

中国科学院大学

《计算机体系结构(研讨课)》实验报告

姓名 姚永舟 学号 2022K8009926016 专业 计算机科学与技术
实验项目编号 1 实验名称 请按讲义填写实验名称

一、 逻辑电路结构与仿真波形的截图及说明(比如 Verilog HDL 关键代码段包含注释 及其对应的逻辑电路结构图自行画图,推荐用 PPT 画逻辑结构框图后保存为 PDF,再插入到 LATEX. 中、相应信号的仿真波形和信号变化的说明等)

二、 RTL 代码与处理器结构设计框图之间的对应关系

- 寄存器堆设计。请输入你的实验报告内容。
如果一段话写不下,可以再这里继续新的段落。
- ALU 设计。请输入你的实验报告内容。
如果一段话写不下,可以再这里继续新的段落。
- 其他关键模块设计。请输入你的实验报告内容。
如果一段话写不下,可以再这里继续新的段落。

三、 实验过程中遇到的问题、对问题的思考过程及解决方法(比如 RTL 代码中出现的逻辑 bug,逻辑仿真和 FPGA 调试过程中的难点等)

- 寄存器堆设计问题。请输入你的实验报告内容。
如果一段话写不下,可以再这里继续新的段落。
- ALU 设计问题。请输入你的实验报告内容。
如果一段话写不下,可以再这里继续新的段落。
插入图片,可以参考如下方法:

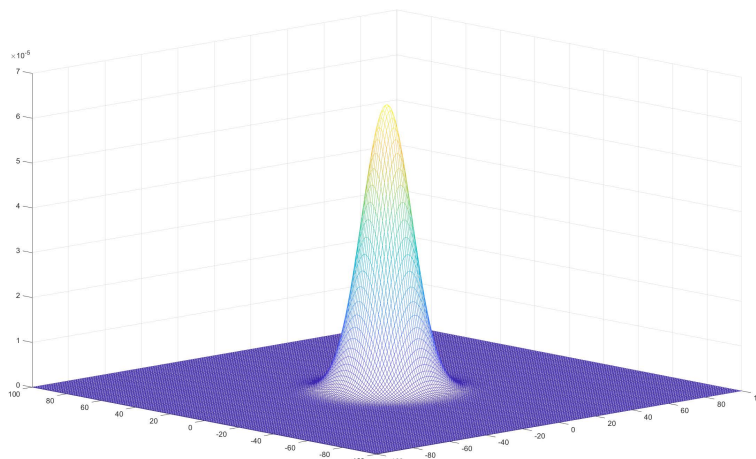


图 1: 这是第一张图

- 其他关键模块设计问题。请输入你的实验报告内容。

如果一段话写不下,可以再这里继续新的段落。

插入第二张图片:

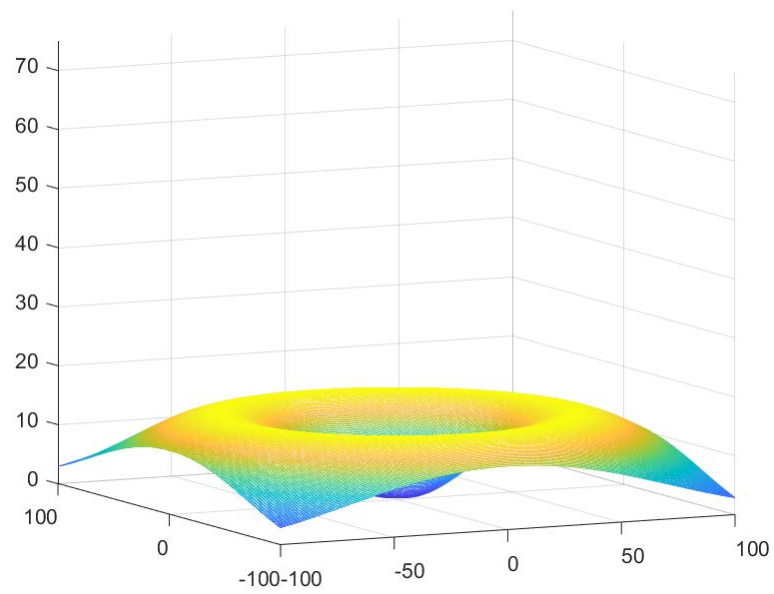


图 2: 这是第二张图

四、 实验总结