Дисциплина электроника

Лабораторный практикум №7

по теме: «Исследование и настройка усилительных и ключевых устройств на биполярных и полевых транзисторах»

Работу выполнил:

студент группы ИУ7-36

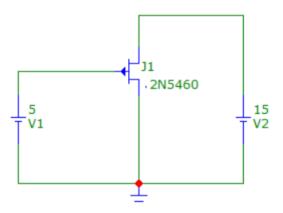
Жаворонкова Алина

Параметры транзисторов

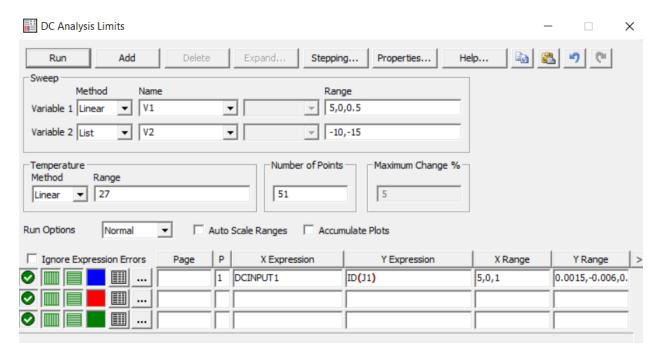
Так как указанного в моем варианте транзистора нет в MicroCap12, было принято решение заменить его на другой библиотечный транзистор. В работе используются транзисторы: модель PJFET 2N5460, NMOS IRF630, PMOS IRF9630.

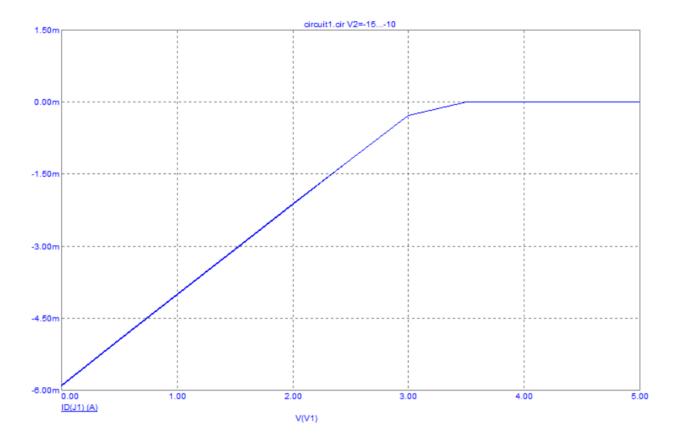
Эксперимент 7

Строим схему:



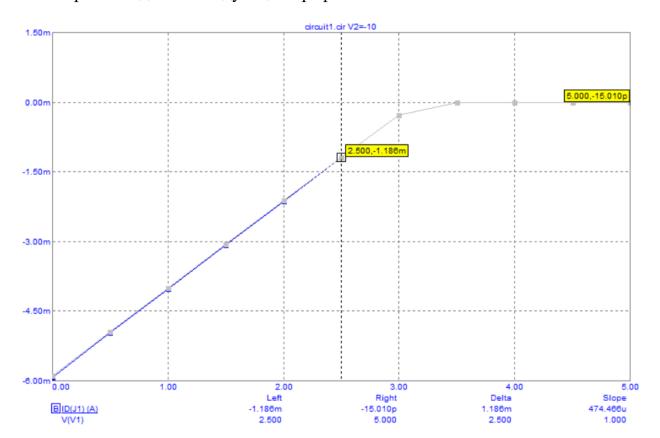
Получим передаточную характеристику:



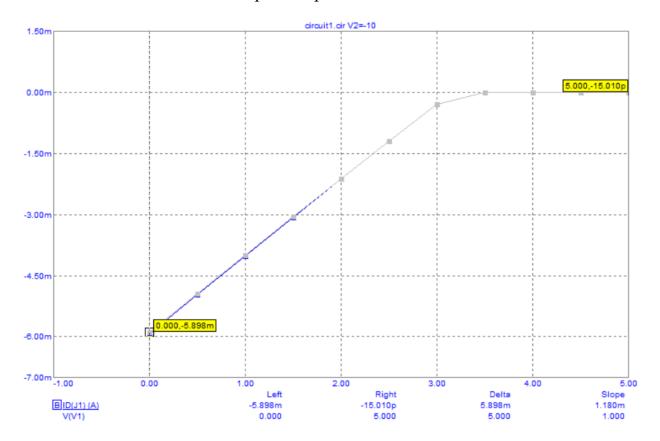


По графику можно определить напряжение отсечки (напряжение, при котором так стока прекращается): Uotc = 2.5 B.

Это хорошо видно на следующем графике:



Начальный ток стока – ток, при котором Uзи = 0: Ic = -5.9 mA



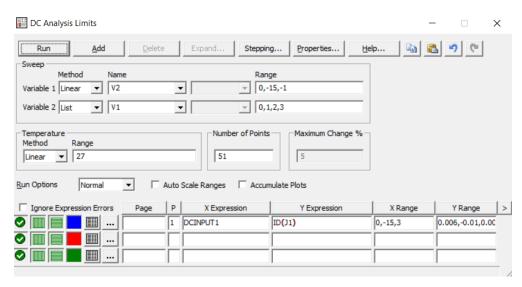
Рассчитаем крутизну:

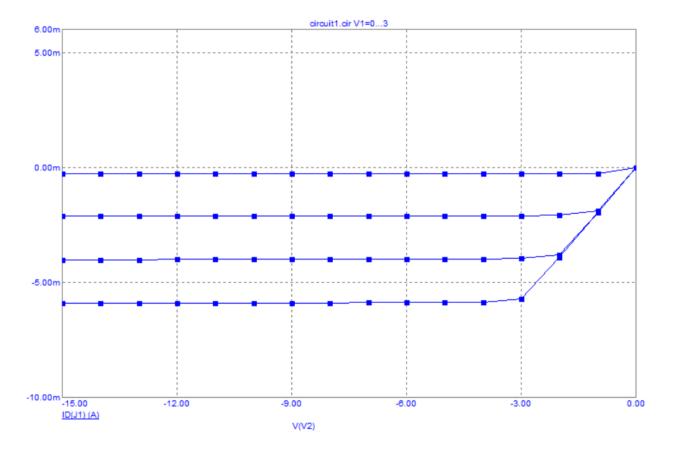
Uote :=
$$2.5$$

Ic := $5.9 \cdot 10^{-3}$

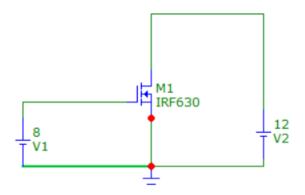
Smax :=
$$\frac{(2 \cdot Ic)}{Uorc} = 4.72 \times 10^{-3}$$

Получим выходную характеристику:

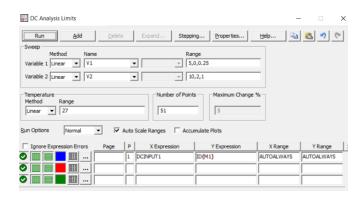


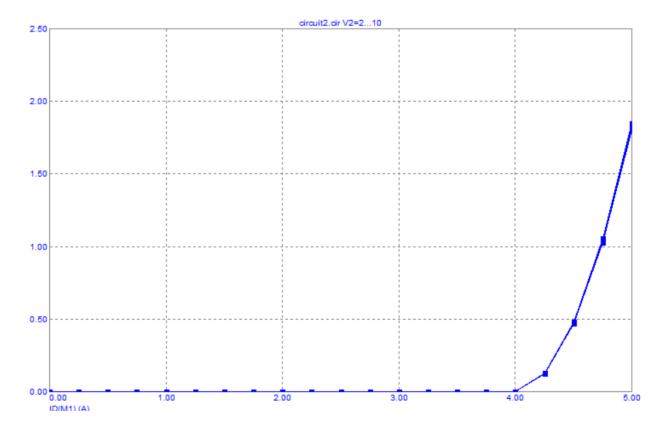


Исследование передаточной и выходной характеристик для транзистора nMOS IRF630. Строим схему:

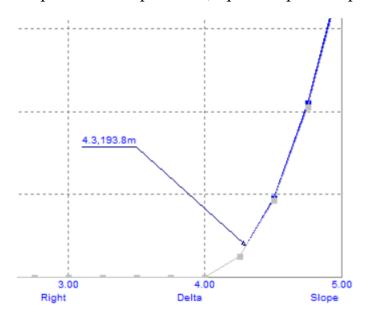


Передаточная характеристика:

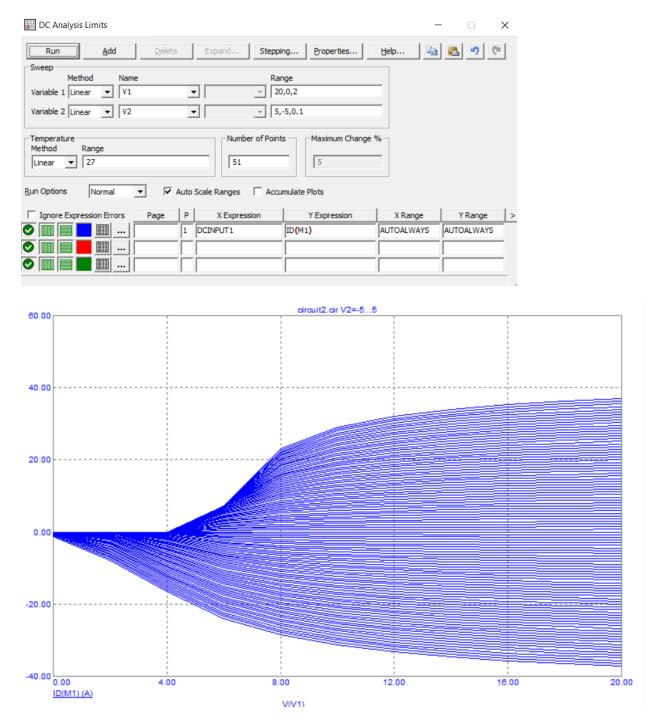




Определим напряжение, при котором открывается NMOS = 4.3 B

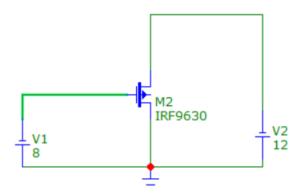


Выходная характеристика:

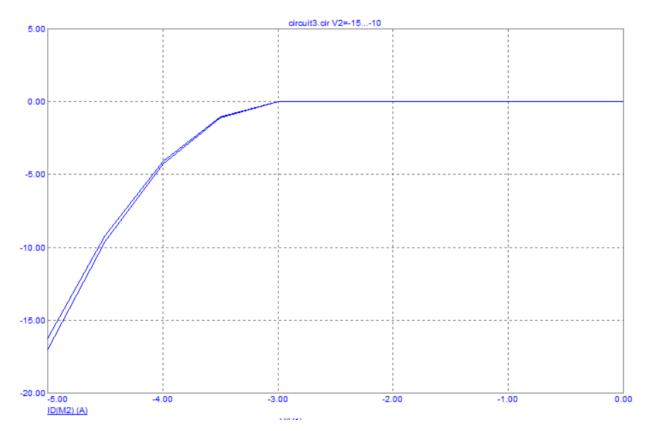


Здесь мы видим от 0 до 8 – крутая область, за ней – область насыщения.

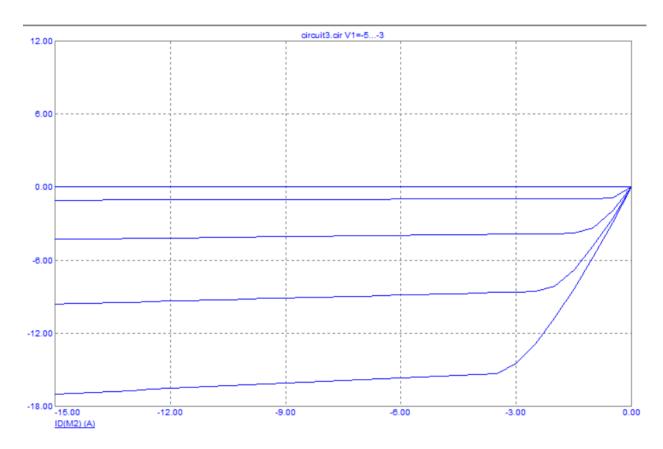
Исследование передаточной и выходной характеристик для транзистора pMOS IRF9630. Строим схему



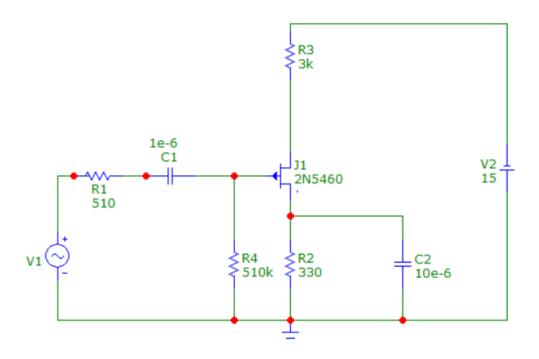
Входная характеристика:

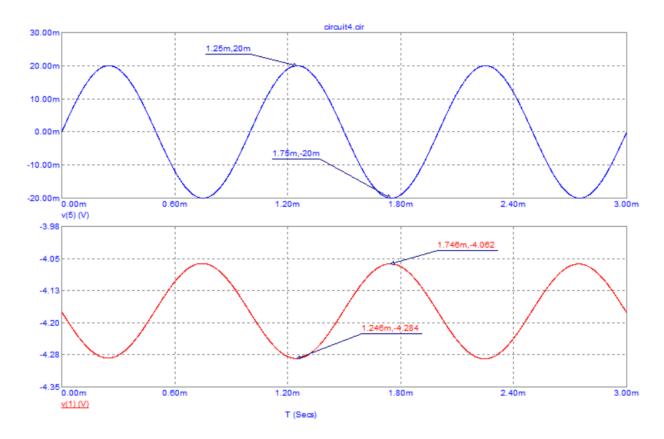


Выходная характеристика:



Здесь мы видим от -3 до 0 – крутая область, перед ней – область насыщения. JFET схема с общим истоком и цепью автосмещения:



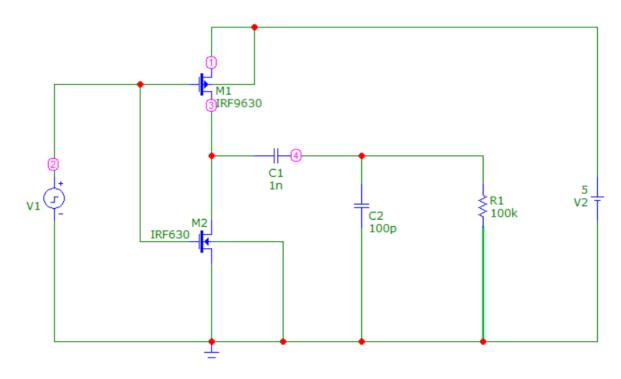


Коэффициент усиления по напряжению:

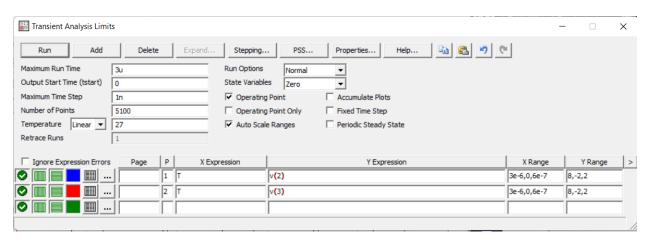
$$K = \left(-4.062 + 4.284\right) / \left(20m + 20m\right) = 0.222 / 0.04 = 5.55$$

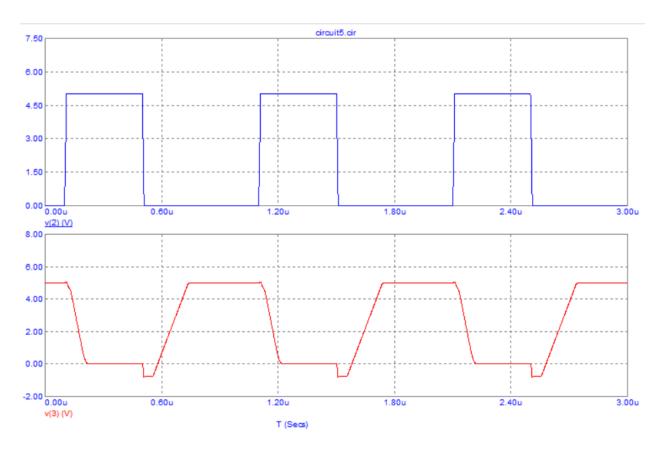
Эксперимент 8

Схема для оценки быстродействия инвертора:



Параметры временного анализа:





По полученным графикам определяем среднее время задержки по уровню 0.5 = (65.3 + 158.6) / 2 = 111.95 нс. Полученное время составляет 111.95 нс / 400 нс $\sim 28\%$ от средней длительности входного сигнала.

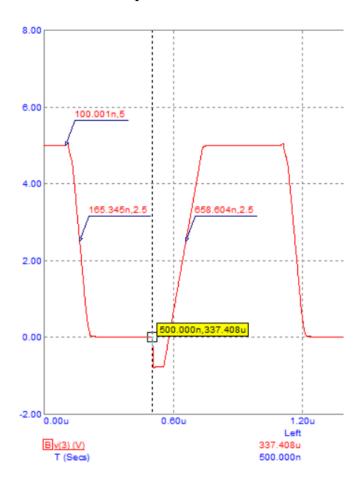
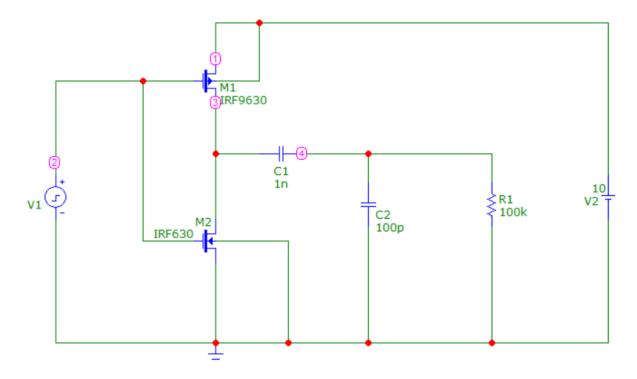
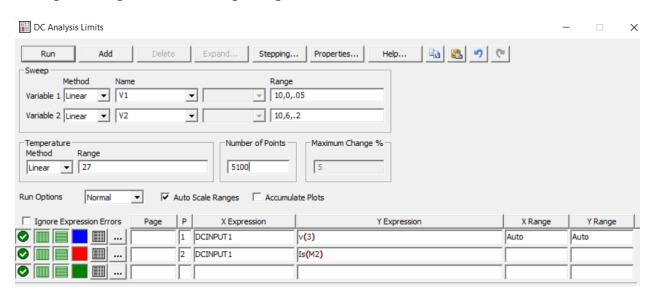
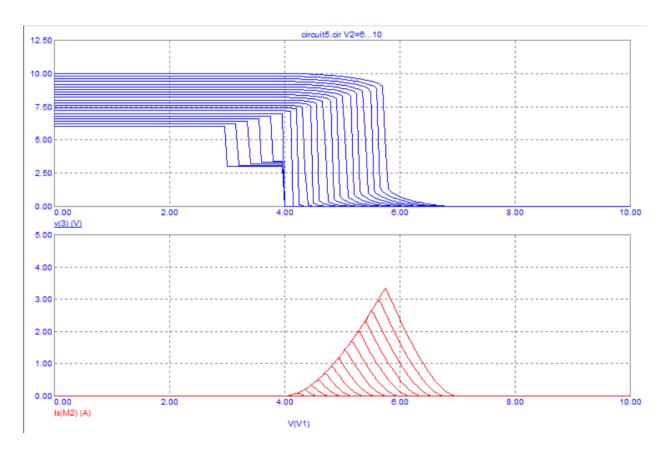


Схема для получения передаточных характеристик:

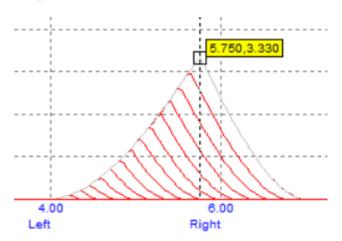


Построим передаточные характеристики:

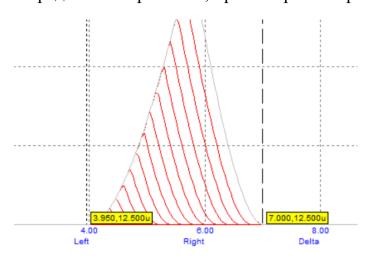




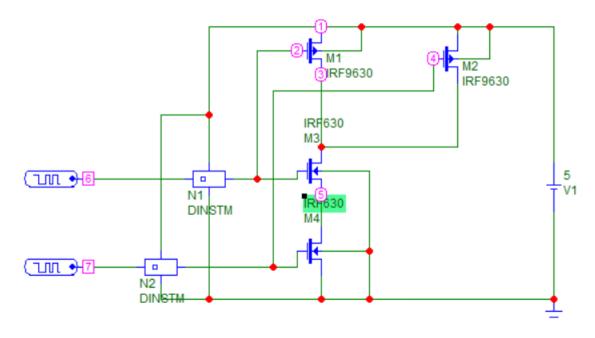
Определим максимальный ток:



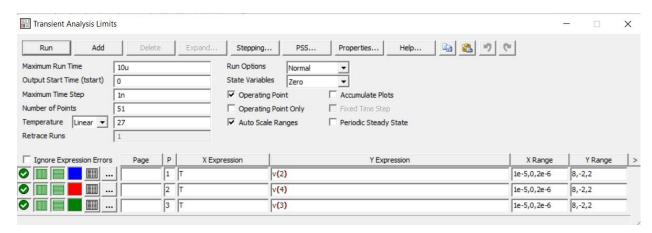
Определим напряжения, при которых открываются транзисторы:

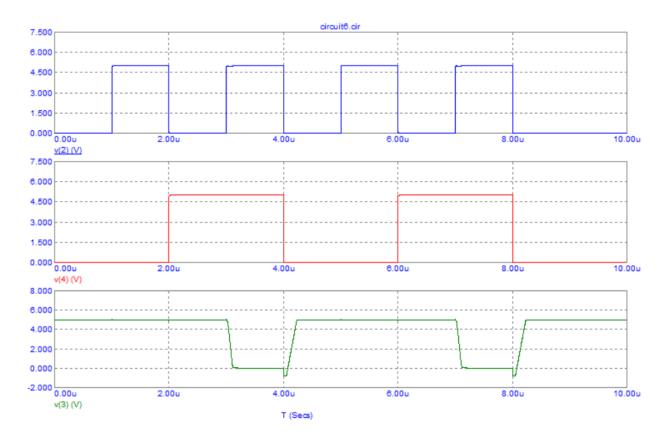


Для исследования логического элемента 2И-НЕ строим схему выходной сигнал равен единице тогда и только тогда, когда хотя бы один из входных сигналов равен 0:

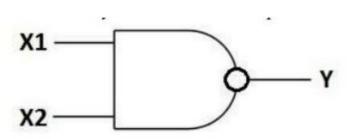


Запускаем временной анализ:





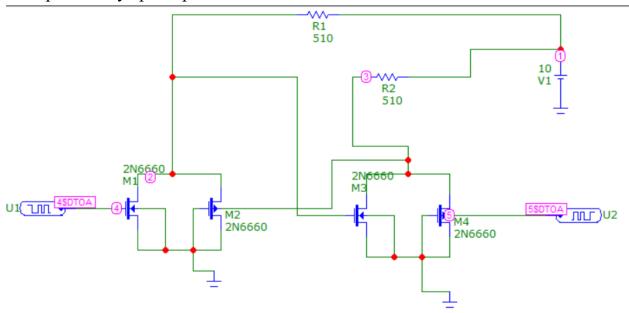
Обозначение и таблица истинности логического элемента 2И-НЕ:



Вход Х1	Вход Х2	Выход Ү
0	0	1
1	0	1
0	1	1
1	1	0

Эксперимент 9

Соберем схему триггера:



Запустим временной анализ:

