



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

по лабораторной работе № 3

Тема: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-46Б

(Группа)

(Подпись, дата)

А. Жаворонкова

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2023

Цель работы: изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

Задание 1

Исследование четырехразрядного синхронного суммирующего счётчика с параллельным переносом на Т-триггерах. Проверить работу счётчика:

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Схема четырехразрядного счетчика на Т-триггерах представлена на рис. 1.

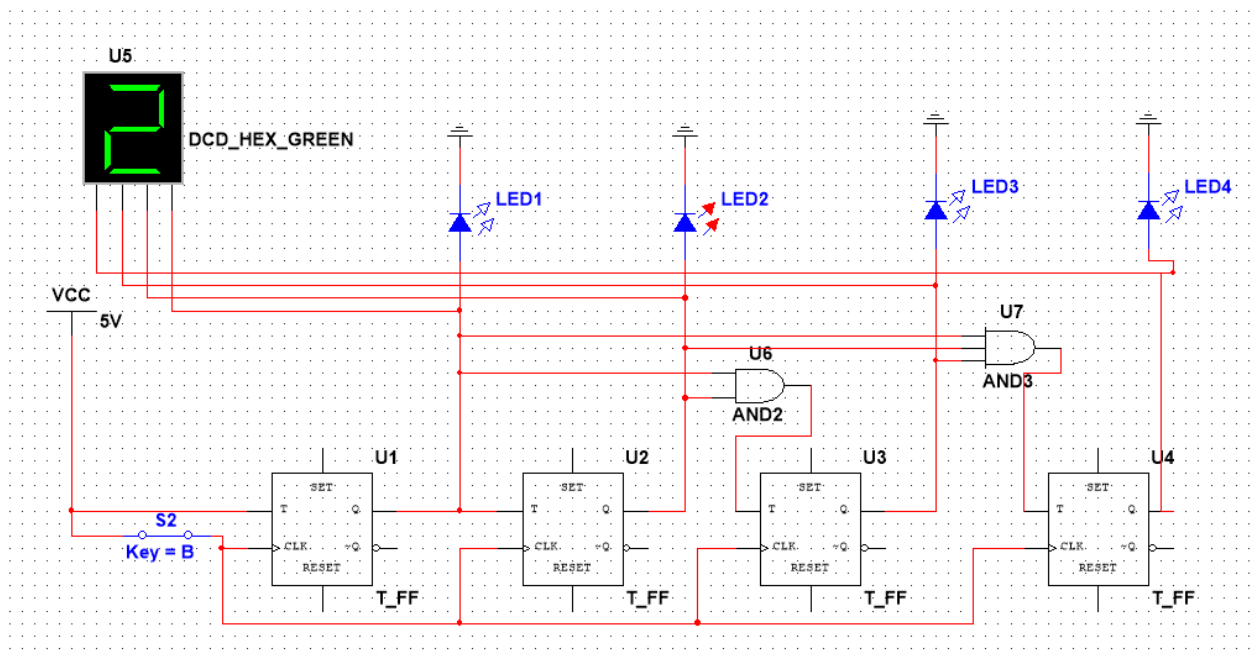
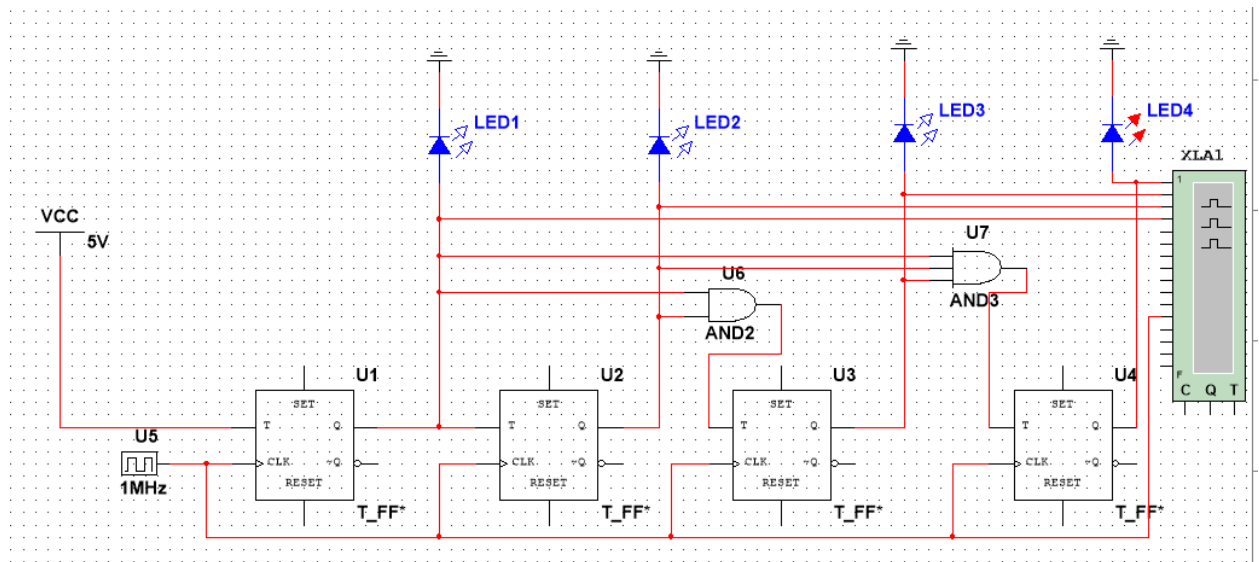


Рисунок 1. Четырехразрядный счетчик на Т-триггерах

Схема с импульсным генератором и логическим анализатором представлена на рисунке 2.



Полученная временная диаграмма представлена на рисунке 3.

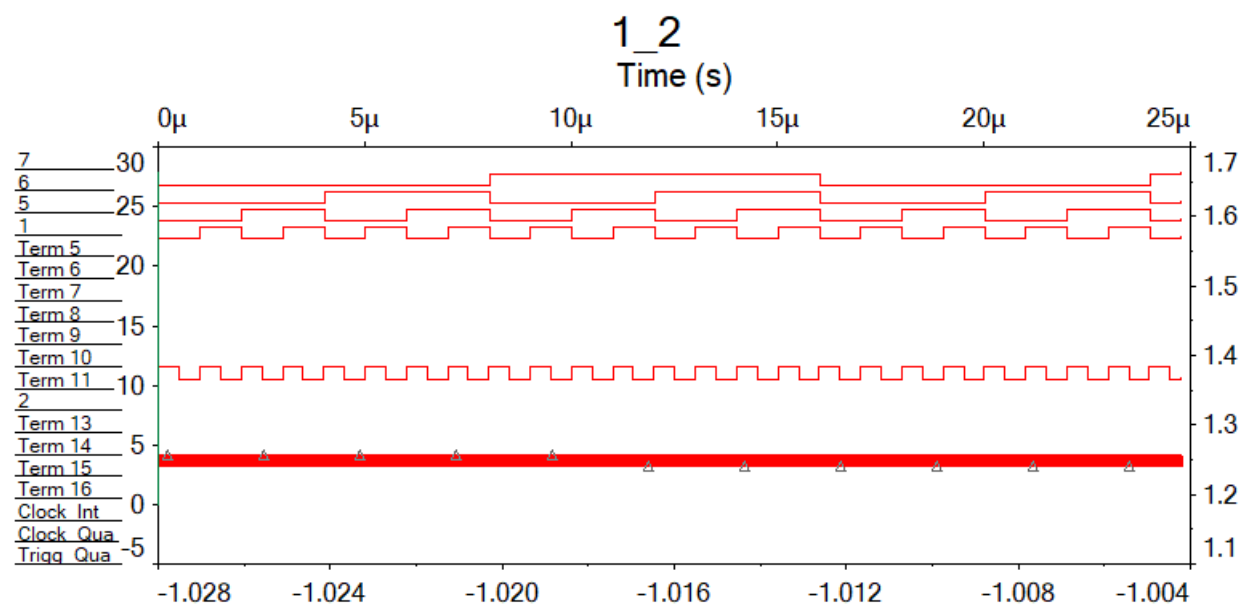


Рисунок 3. Временная диаграмма четырехразрядного счетчика на T-триггерах

Из рисунка 4 видно, что время задержки = 9.5276 нс

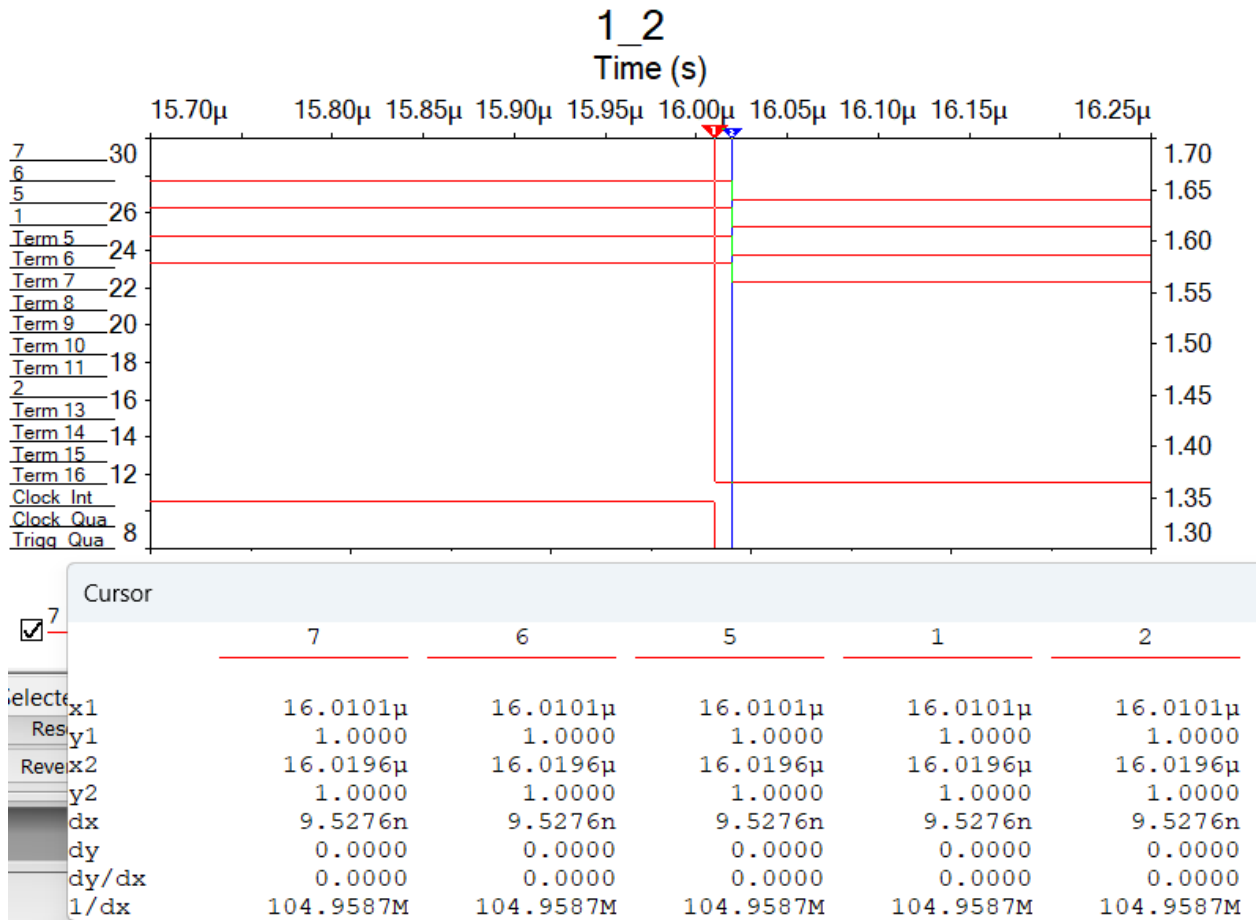


Рисунок 4. Время задержки четырехразрядного счетчика на T-триггерах

Время, через которое все переходные процессы в триггере закончатся (и он будет готов к следующему импульсу), составляет $2 * n$, где n – время задержки, т. е. приблизительно 19 нс. Получается, что максимальная частота счётчика составляет $1 / 19 \text{ нс} = 53 \text{ МГц}$

Задание 2

Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. Последовательность состояний счётчика для каждого варианта работы приведена в табл.3; десятичными числами обозначены номера двоичных наборов, изображающие десятичные цифры и определяющие состояние счётчика. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах.

Вариант №9: 0, 1, 3, 4, 5, 7, 8, 10, 11, 12

Полученная таблица переходов представлена таблицей 1.

№	q3	q2	q1	q0	q3*	q2*	q1*	q0*	j3	k3	j2	k2	j1	k1	j0	k0
0	0	0	0	0	0	0	0	1	0	α	0	α	0	α	1	α
1	0	0	0	1	0	0	1	1	0	α	0	α	1	α	α	0
2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
3	0	0	1	1	0	1	0	0	0	α	1	α	α	1	α	1
4	0	1	0	0	0	1	0	1	0	α	α	0	0	α	1	α
5	0	1	0	1	0	1	1	1	0	α	α	0	1	α	α	0
6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
7	0	1	1	1	1	0	0	0	1	α	α	1	α	1	α	1
8	1	0	0	0	1	0	1	0	α	0	0	α	1	α	0	α
9	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
10	1	0	1	0	1	0	1	1	α	0	0	α	α	0	1	α
11	1	0	1	1	1	1	0	0	α	0	1	α	α	1	α	1
12	1	1	0	0	0	0	0	0	α	1	α	1	0	α	0	α
13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Таблица 1. Обобщенная таблица функционирования

Проведя минимизацию, получим:

$$J3 = q2 * q1$$

$$K3 = q2$$

$$J2 = q1 * q0$$

$$K2 = q1 + q3$$

$$J1 = q0 + q3 * \text{not}(q2)$$

$$K1 = q0$$

$$J0 = \text{not}(q3) + q1$$

$$K0 = q1$$

Схема, построенная по расчетам представлена на рисунке 5.

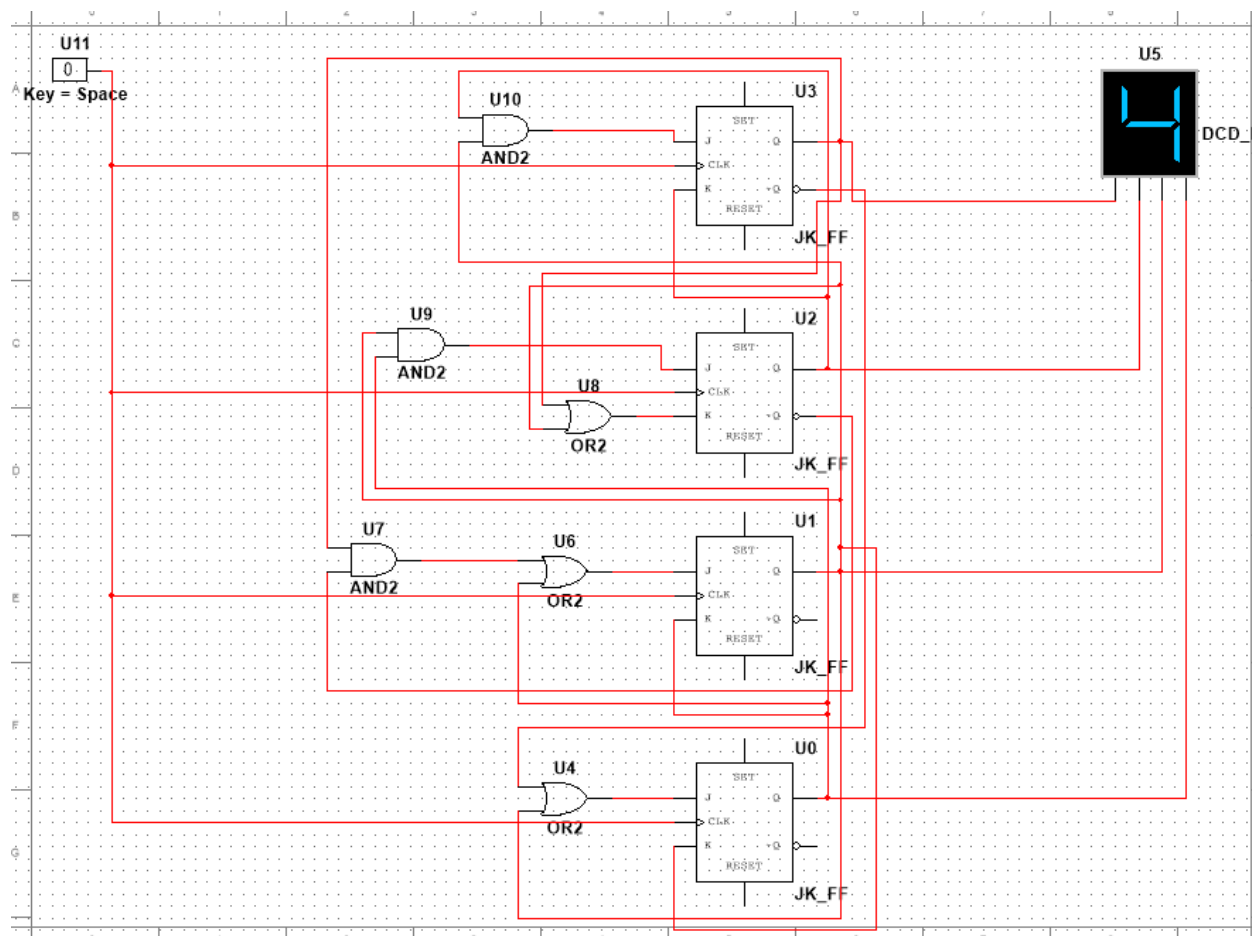


Рисунок 5. Схема двоично-десятичного счетчика с заданной последовательностью состояний

Для демонстрации корректности работы счетчика на рисунке 6 приведена его временная диаграмма.

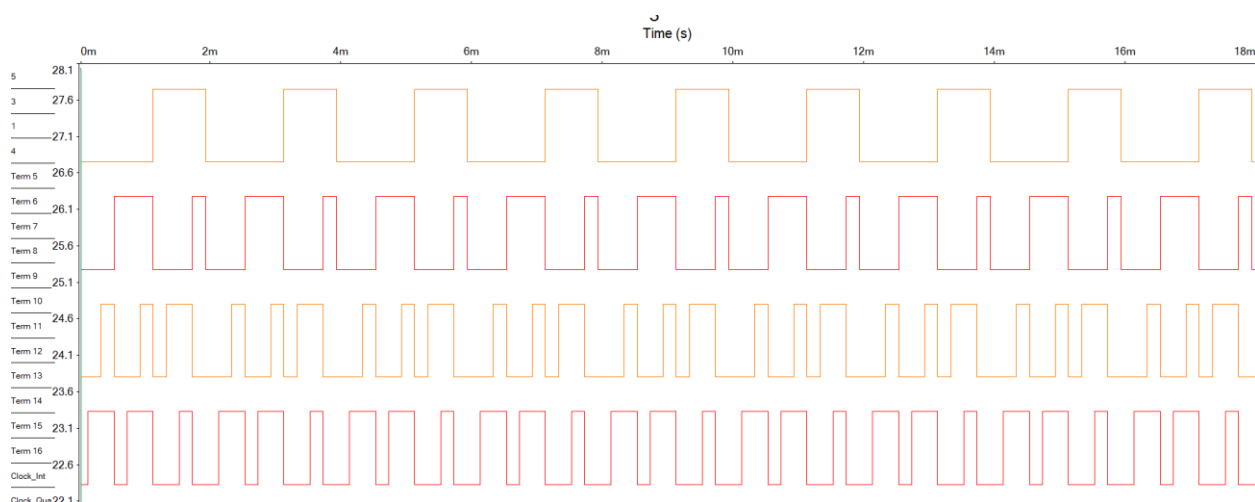


Рисунок 6. Временная диаграмма двоично-десятичного счетчика с заданной последовательностью состояний

Задание 3

Собрать десятичный счётчик, используя элементную базу приложения Multisim или учебного макета. Установить счётчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

Полученная таблица переходов представлена таблицей 2.

№	q3	q2	q1	q0	q3*	q2*	q1*	q0*	j3	k3	j2	k2	j1	k1	j0	k0
0	0	0	0	0	0	0	0	1	0	α	0	α	0	α	1	α
1	0	0	0	1	0	0	1	0	0	α	0	α	1	α	α	1
2	0	0	1	0	0	0	1	1	0	α	0	α	α	0	1	α
3	0	0	1	1	0	1	0	0	0	α	1	α	α	1	α	1
4	0	1	0	0	0	1	0	1	0	α	α	0	0	α	1	α
5	0	1	0	1	0	1	1	0	0	α	α	0	1	α	α	1
6	0	1	1	0	0	1	1	1	0	α	α	0	α	0	1	α
7	0	1	1	1	1	0	0	0	1	α	α	1	α	1	α	1
8	1	0	0	0	1	0	0	1	α	0	0	α	0	α	1	α

9	1	0	0	1	0	0	0	0	α	1	0	α	0	α	α	1
---	---	---	---	---	---	---	---	---	----------	---	---	----------	---	----------	----------	---

Таблица 2. Обобщенная таблица функционирования десятичного счетчика

Проведя минимизацию, получим:

$$J3 = q0 * q1 * q2$$

$$K3 = q0$$

$$J2 = q0 * q1$$

$$K2 = q0 * q1$$

$$J1 = q0 * \text{not}(q3)$$

$$K1 = q0$$

$$J0 = 1$$

$$K0 = 1$$

Схема, построенная по расчетам представлена на рисунке 7.

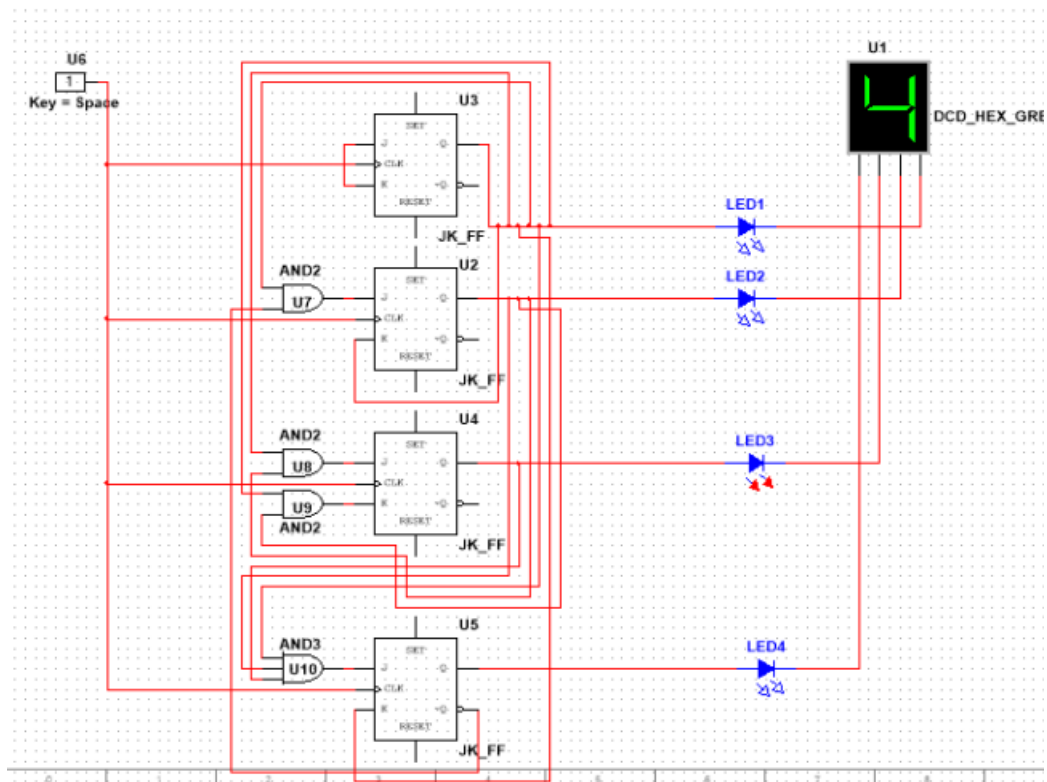


Рисунок 7. Схема десятичного счетчика

Задание 4

Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом. Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Схема счетчика представлена на рисунке 8.

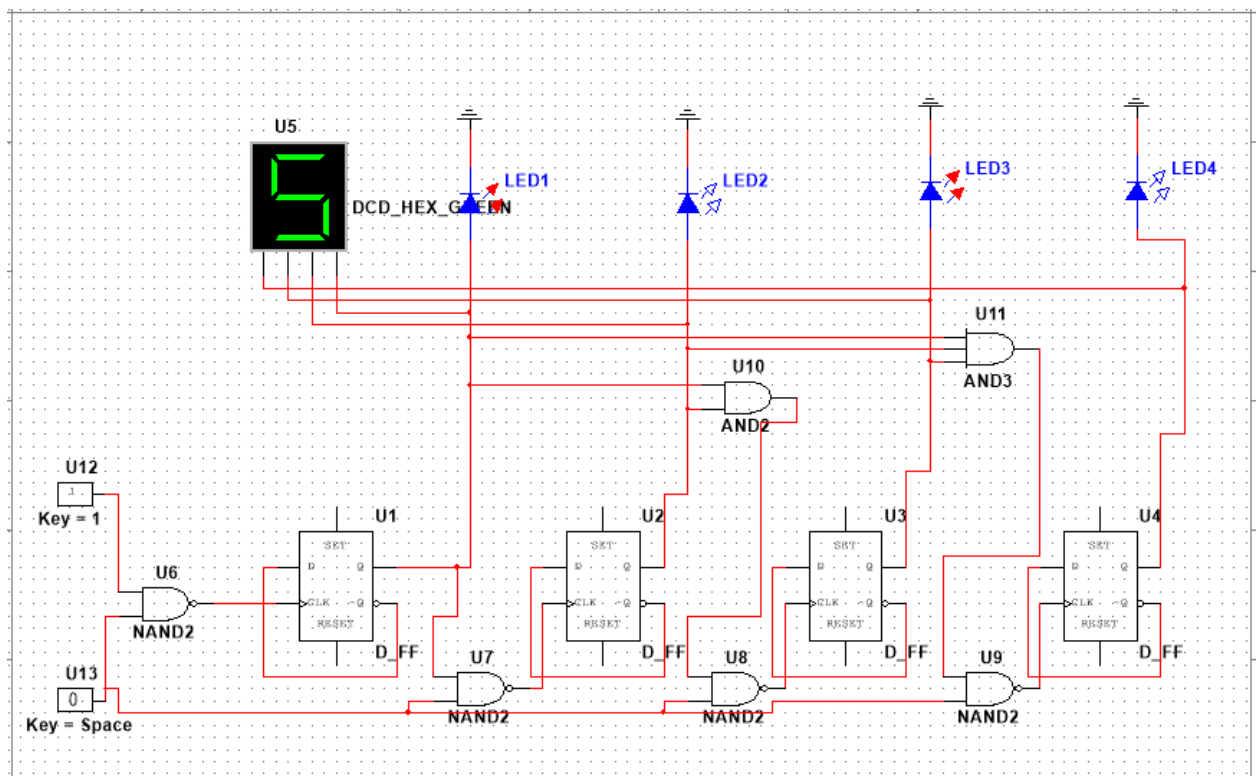


Рисунок 8. Схема четырёхразрядного синхронного суммирующего счётчика с параллельным переносом

Полученная временная диаграмма представлена на рисунке 9.

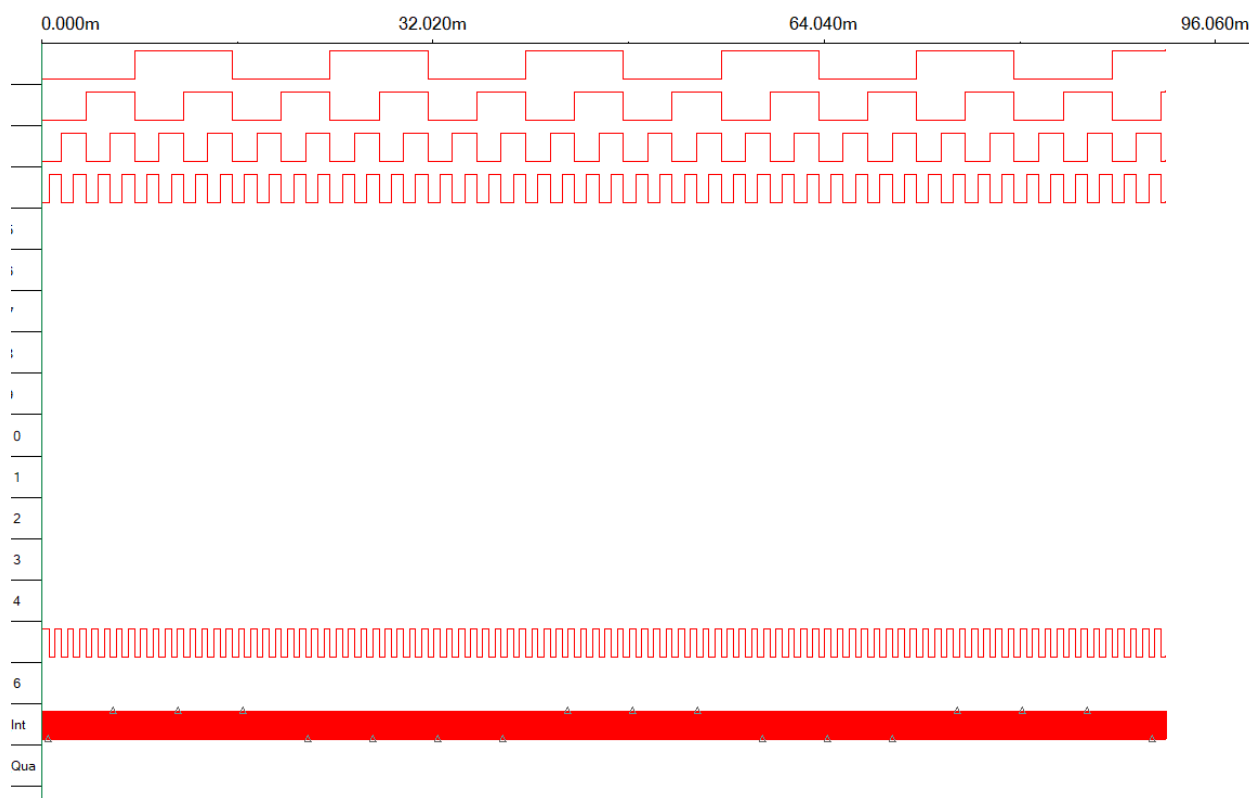


Рисунок 9. Временная диаграмма четырёхразрядного синхронного суммирующего счётчика с параллельным переносом

Время задержки равно 4 нс, максимальная частота 250 MHz.

Задание 5

Исследование четырёхразрядного синхронного суммирующего счётчика с параллельным переносом ИС К555ИЕ9, аналог ИС 74LS160. Проверить работу счётчика

- от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы,
- от импульсов генератора.

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Схема счетчика представлена на рисунке 10.

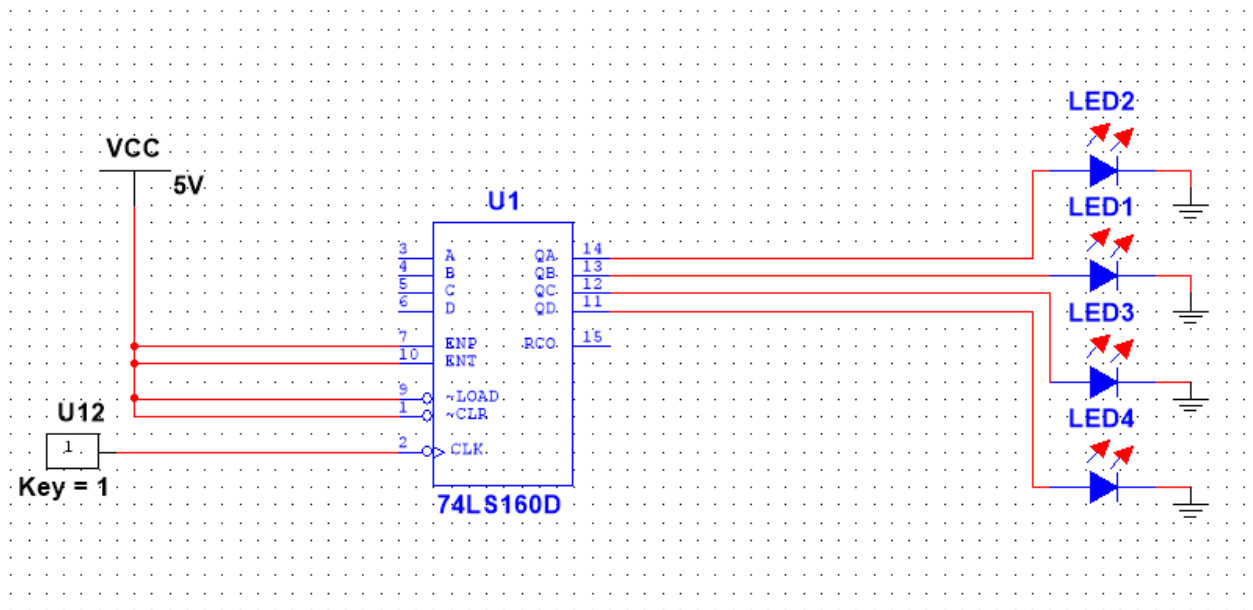


Рисунок 10. Схема четырёхразрядного синхронного суммирующего счётчика с параллельным переносом 74LS160

Полученная временная диаграмма представлена на рисунке 11.

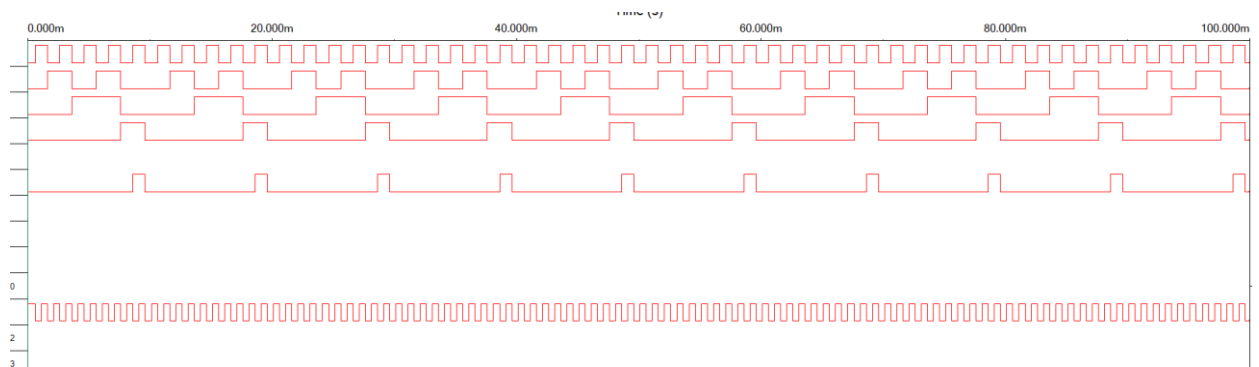


Рисунок 11. Временная диаграмма четырёхразрядного синхронного суммирующего счётчика с параллельным переносом 74LS160

Задание 6

Исследование схем наращивания разрядности счетчиков ИЕ9 до четырех секций с последовательным переносом между секциями и по структуре «быстрого» счета.

Полученные схемы представлены на рисунках 12 и 13.

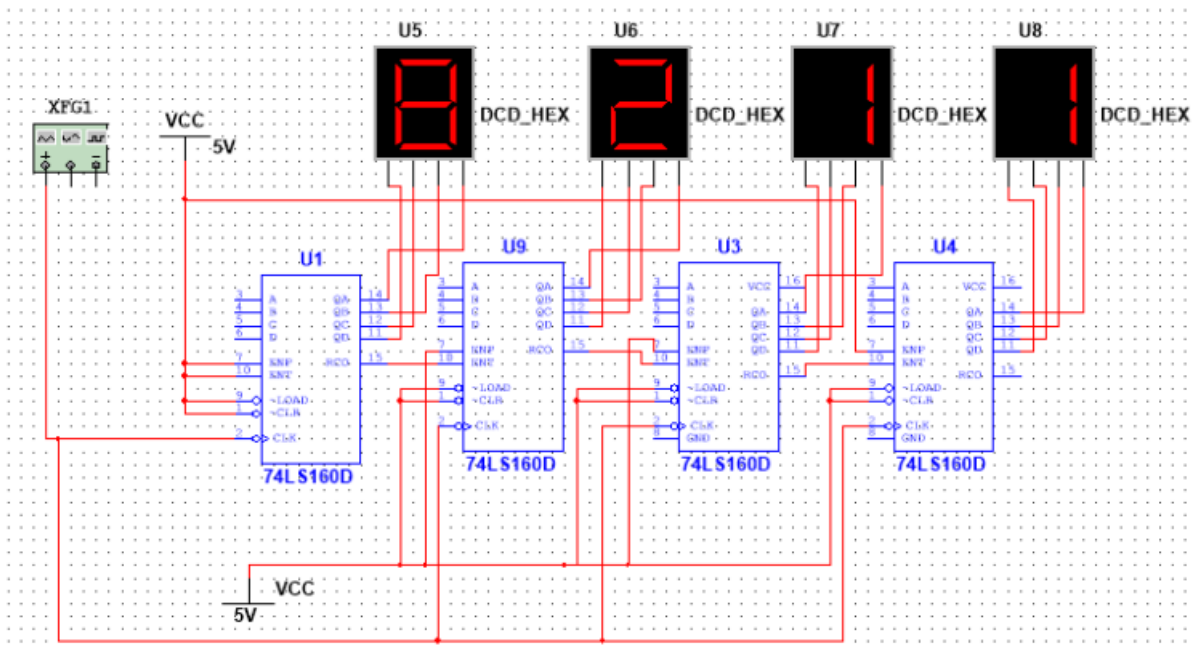


Рисунок 12. Схема наращивания разрядности счетчиков с последовательным переносом между секциями

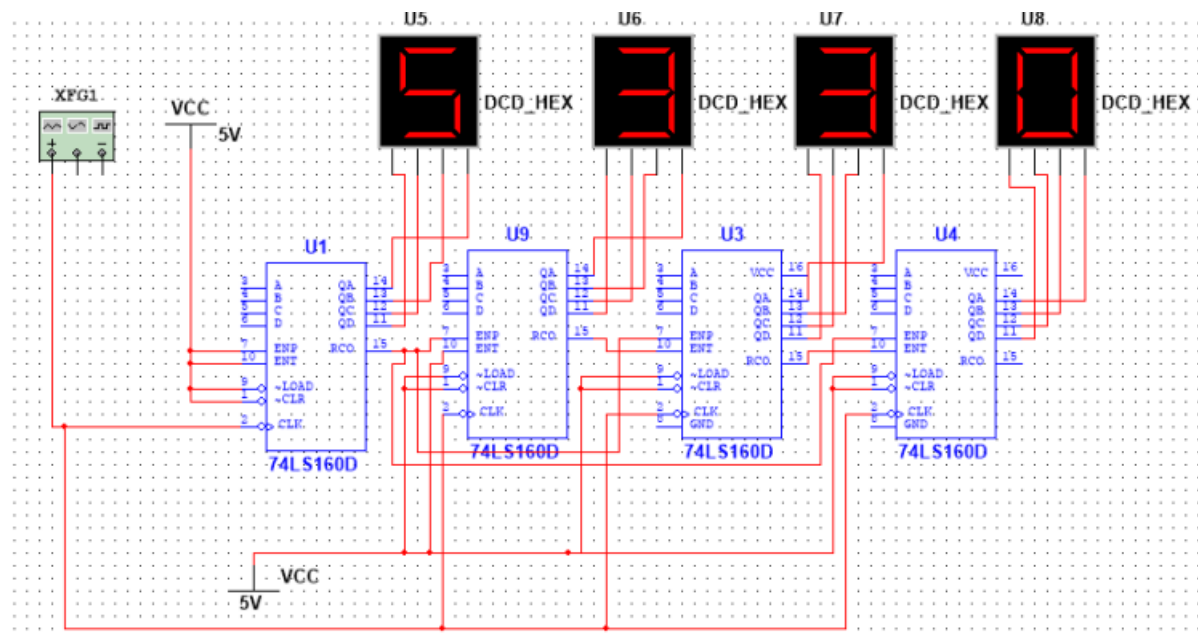


Рисунок 13. Схема наращивания разрядности счетчиков по структуре "быстрого" счета

Контрольные вопросы

8. Что называется счётчиком?

Счетчик - операционный узел ЭВМ, предназначенный для выполнения счета, кодирования в определенной системе счисления и хранения числа сигналов импульсного типа, поступающих на его счетный вход.

9. Что называется коэффициентом пересчёта?

Модуль счета или коэффициент пересчета пересчетной схемы – это число входных сигналов, которое возвращает пересчетную схему в начальное состояние, в качестве которого может быть принято любое ее состояние.

10. Перечислить основные классификационные признаки счётчиков.

По значению модуля счета различают двоичные ($M=2^n$, n - количество двоичных разрядов), двоично-кодированные (например, двоично-десятичные) счетчики, счетчики с одинарным кодированием, когда состояние представлено местом расположения единственной единицы и др. По направлению счета счетчики делят на суммирующие, вычитающие, реверсивные. Суммирующие счетчики выполняют 25 микрооперацию типа $СТ := СТ + 1$, вычитающие - $СТ := СТ - 1$. Реверсивные счетчики выполняют обе микрооперации. По способу организации межразрядных связей различают счетчики с последовательным, сквозным, параллельным и групповым переносами. По порядку изменения состояний различают счетчики с естественным порядком счета и с произвольным порядком счета (пересчетные схемы). По способу управления переключением триггеров во время счета сигналов счетчики разделяют на синхронные и асинхронные.

11. Указать основные параметры счётчиков.

Статические параметры счетчика $U^0_{вх}$, $U^1_{вх}$, $U^0_{вых}$, $U^1_{вых}$, $I^0_{вх}$, $I^1_{вх}$, $K_{раз}$ и другие определяются аналогичными параметрами логических и запоминающих элементов, на которых он реализован. Динамические параметры.

Динамические свойства счетчиков характеризуются большим числом параметров, из которых отметим следующие: - максимальная частота счета, - времена задержек распространения трактов: счетный вход - выход Q_i , счетный вход - выход переноса (заёма), вход параллельной записи - выход Q_i , вход R - выход Q_i . - минимальные длительности импульсов счета, установки в 0, параллельной записи

12. Что такое время установки кода счётчика?

Это интервал времени между входным и выходными сигналами при переходе напряжения на выходе счетчика от U_0 к U_1 (или от U_1 к U_0), измеренный на уровне 0,5 логического перепада входного и выходного сигналов.

13. Объяснить работу синхронного счётчика с параллельным переносом, оценить его быстродействие.

В синхронных счетчиках триггеры осуществляют переходы из одного состояния в другое в соответствии со значениями сигналов на информационных входах в момент прихода синхронизирующего (тактового) сигнала. Сигналы счета являются синхронизирующими сигналами. Таким образом, при изменении состояния синхронного счётчика переключение триггеров всех разрядов происходит одновременно, последовательно во времени, а в асинхронном счётчике этот процесс протекает во всех разрядах последовательно во времени.

14. Объяснить методику синтеза синхронных счётчиков на двухступенчатых JK- и D-триггерах.

Для построения счётчиков могут быть использованы интегральные триггеры разных типов: T, D, DV, JK с внутренней задержкой, имеющие двухступенчатую структуру, а также D, DV, JK с прямым или инверсным динамическим управлением. В счётчиках, построенных на триггерах с прямым динамическим управлением, изменение состояний происходит от положительного перепада счётного импульса; если применяются триггеры с инверсным динамическим управлением – от отрицательного перепада.