



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

по лабораторной работе № 4

Тема: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-46Б

(Группа)

(Подпись, дата)

А. Жаворонкова

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

Москва, 2023

Цель работы: изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

Задание 1

Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

- на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем. Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В (общая);
- на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.
- снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Вариант 9: 1100 1110

Полученная схема представлена на рисунке 1, а ее временная диаграмма – на рисунке 2.

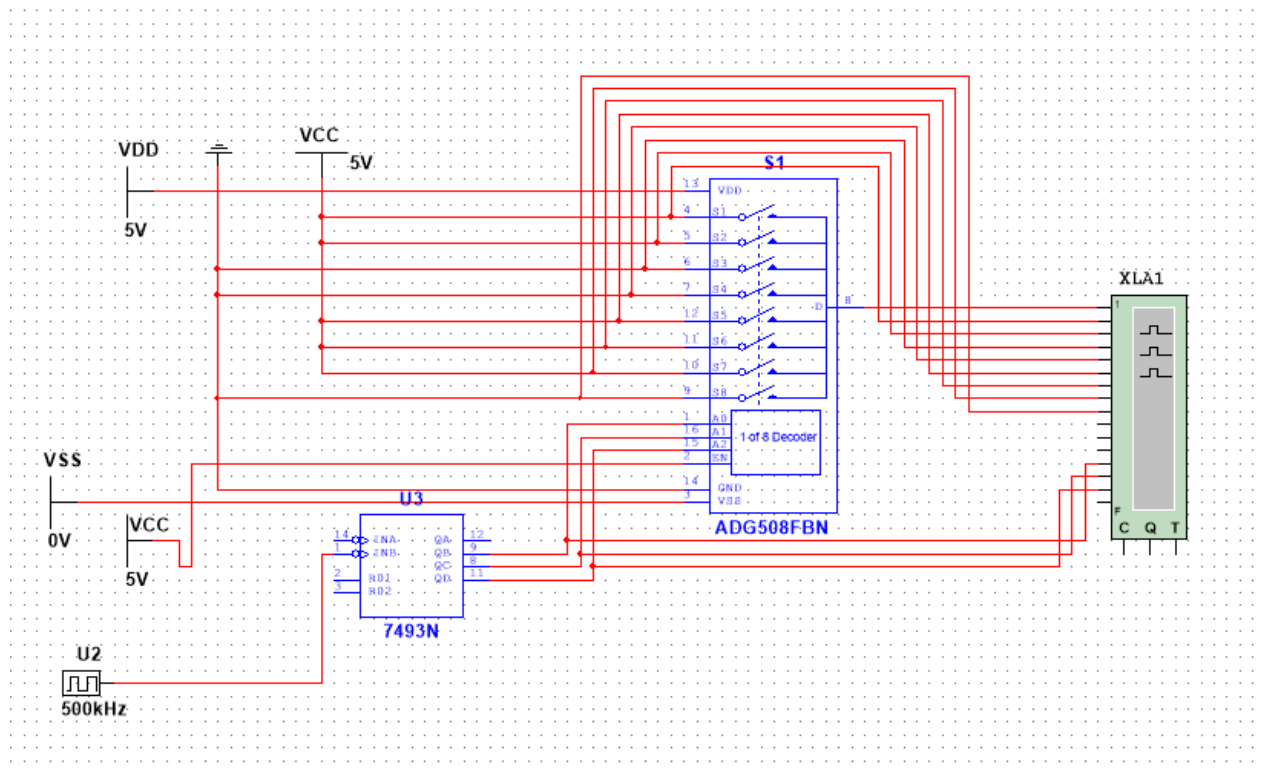


Рисунок 1. Схема ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов

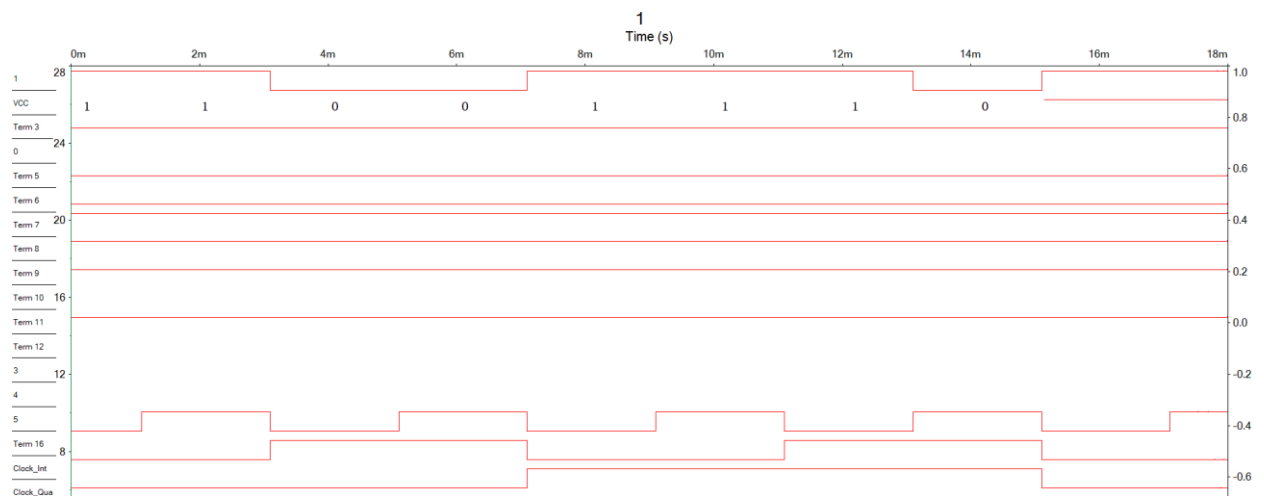


Рисунок 2. Временная диаграмма

Задание 2

Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

- на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC

(приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

- на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;
- снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

Полученная схема представлена на рисунке 3, ее временная диаграмма – на рисунке 4, а показания осциллографа – на рисунке 5.

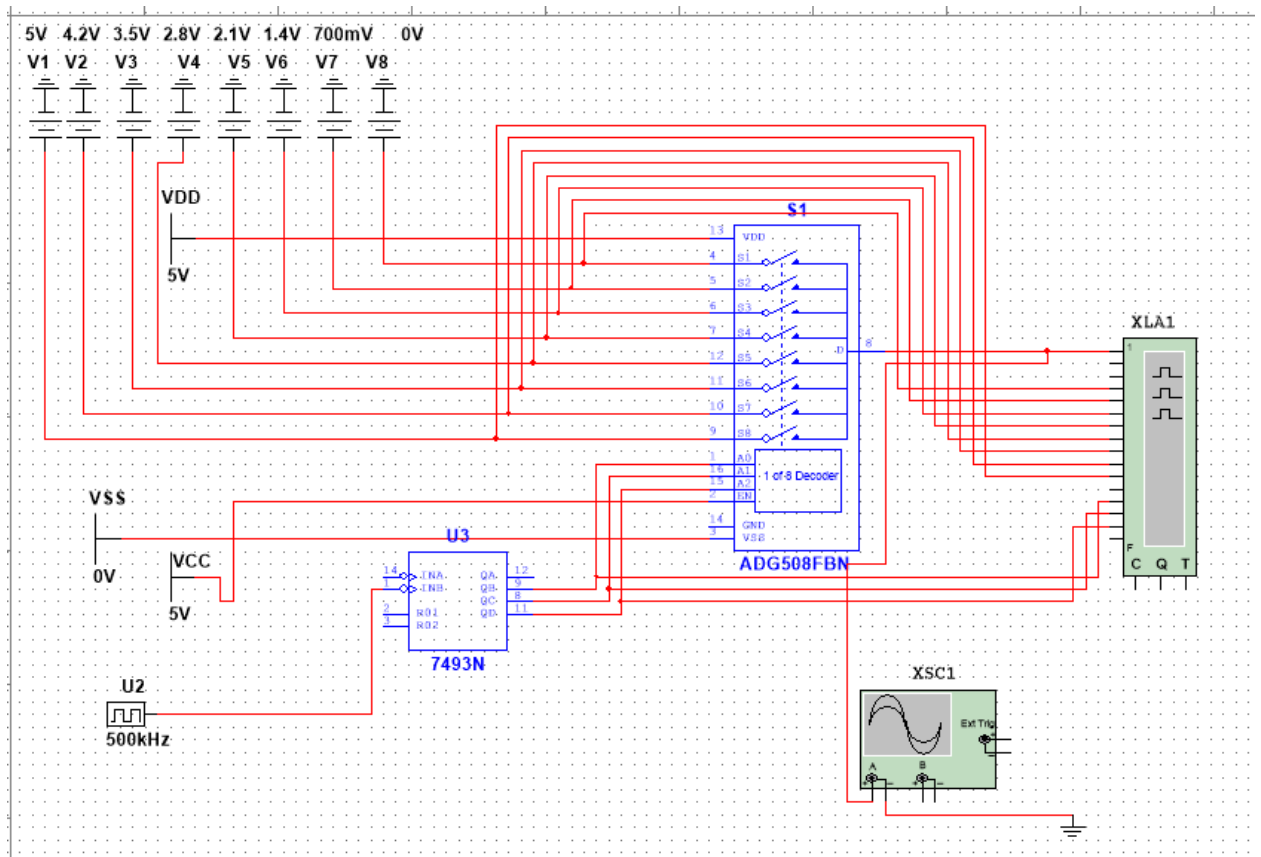


Рисунок 3. Схема ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов

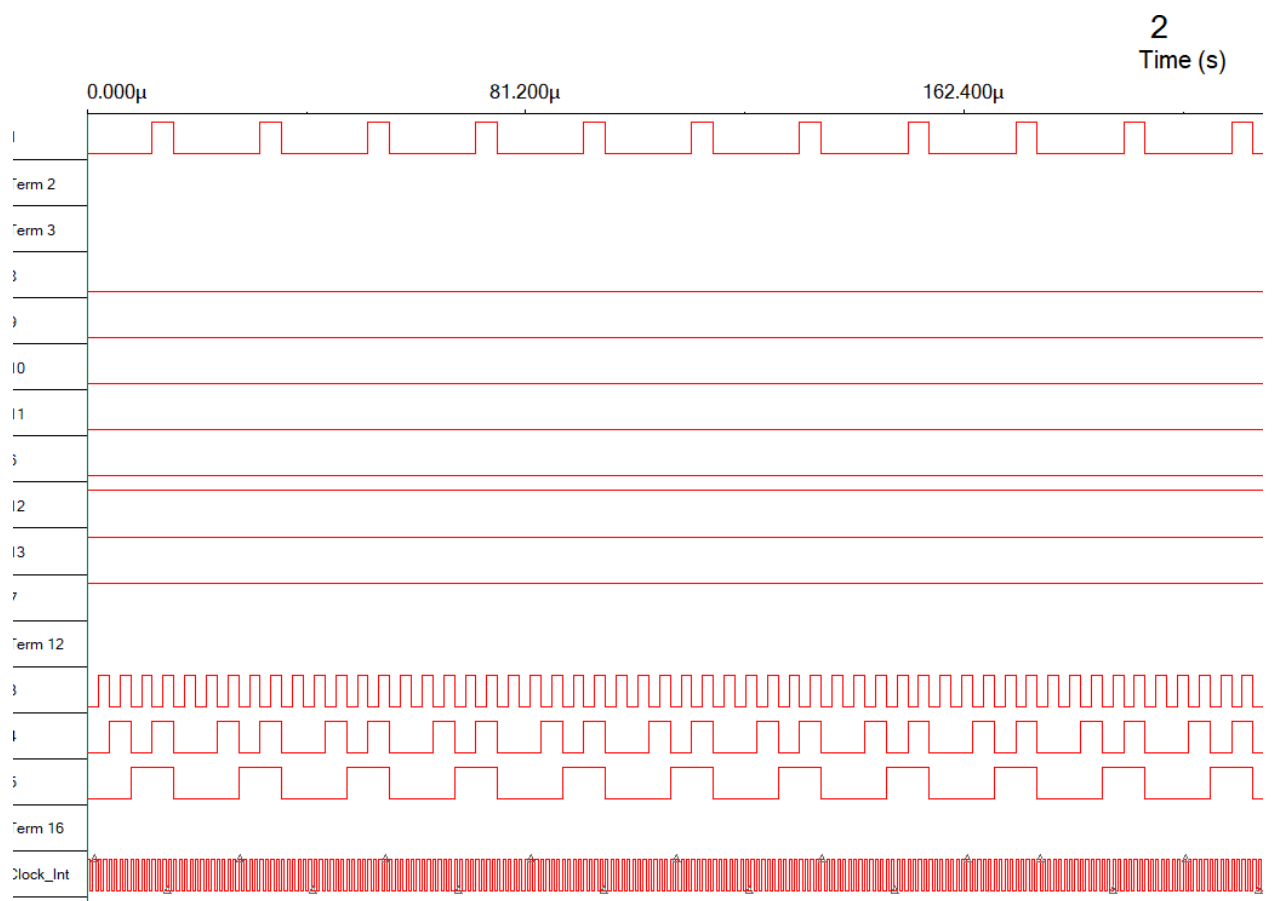


Рисунок 4. Временная диаграмма

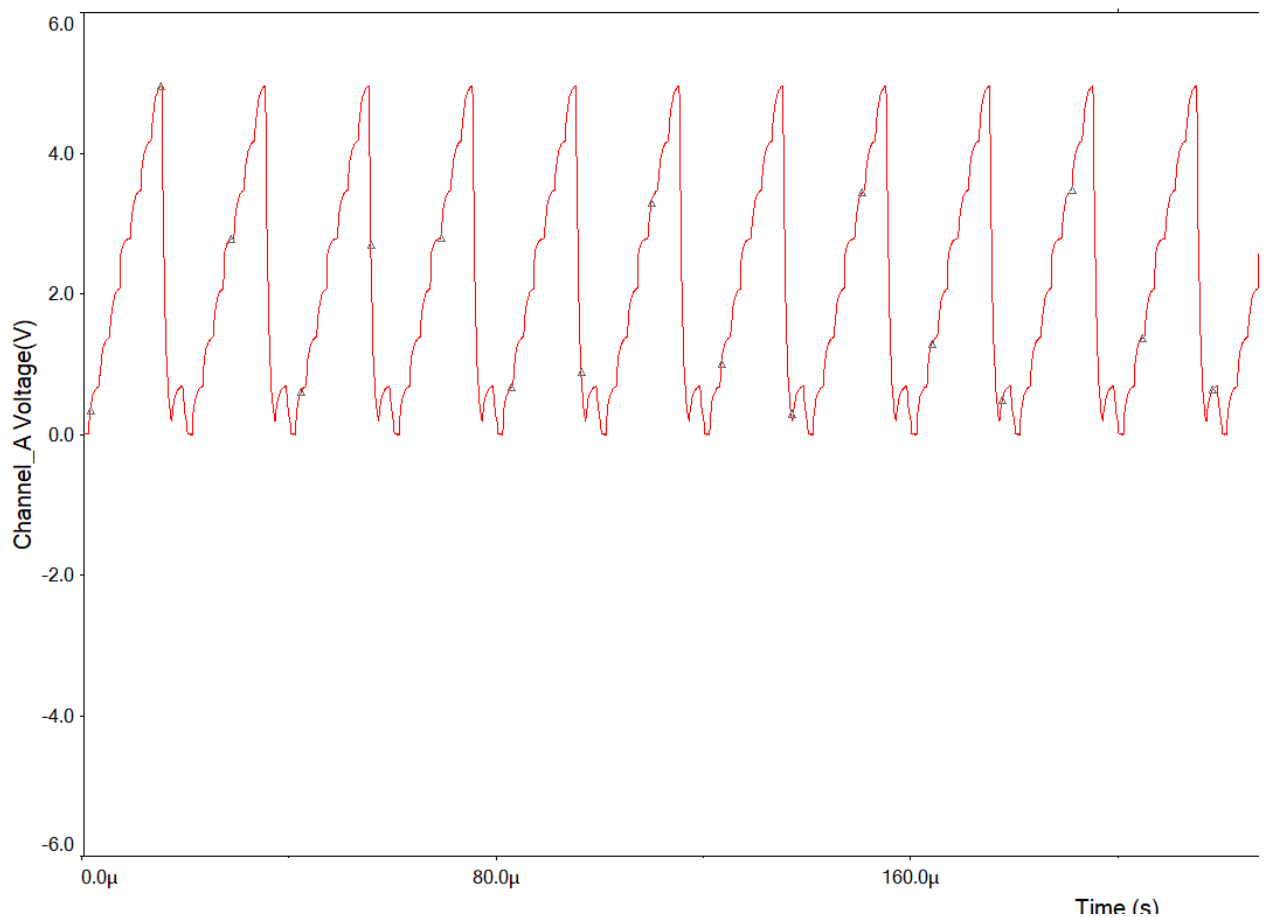


Рисунок 5. Показания осциллографа

Задание 3

Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2. Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант №9, ФАЛ: 1001 0001 1101 1011

Полученная схема представлена на рисунке 6.

11	1	0	1	1	1	D6 = not(X1)
12	1	1	0	0	1	
13	1	1	0	1	0	
14	1	1	1	0	1	D7 = 1
15	1	1	1	1	1	

Показания логического анализатора представлены на рисунке 7.

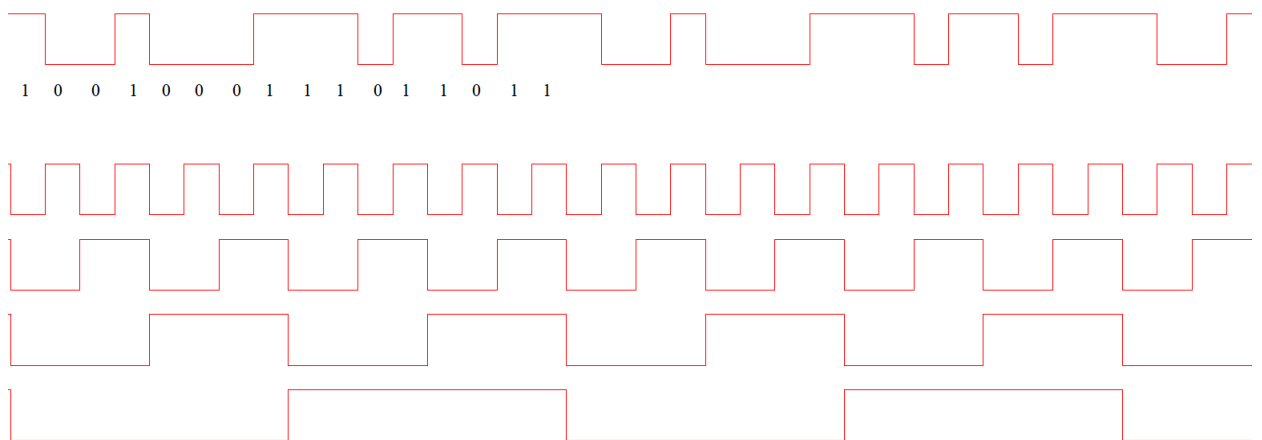


Рисунок 7. Временная диаграмма ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАП четырех переменных

Задание 4

Наращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4. Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.

Вариант №9, набор значений: 1001 0001 1101 1011

Полученная схема представлена на рисунке 8, а показания логического анализатора – на рисунке 9.

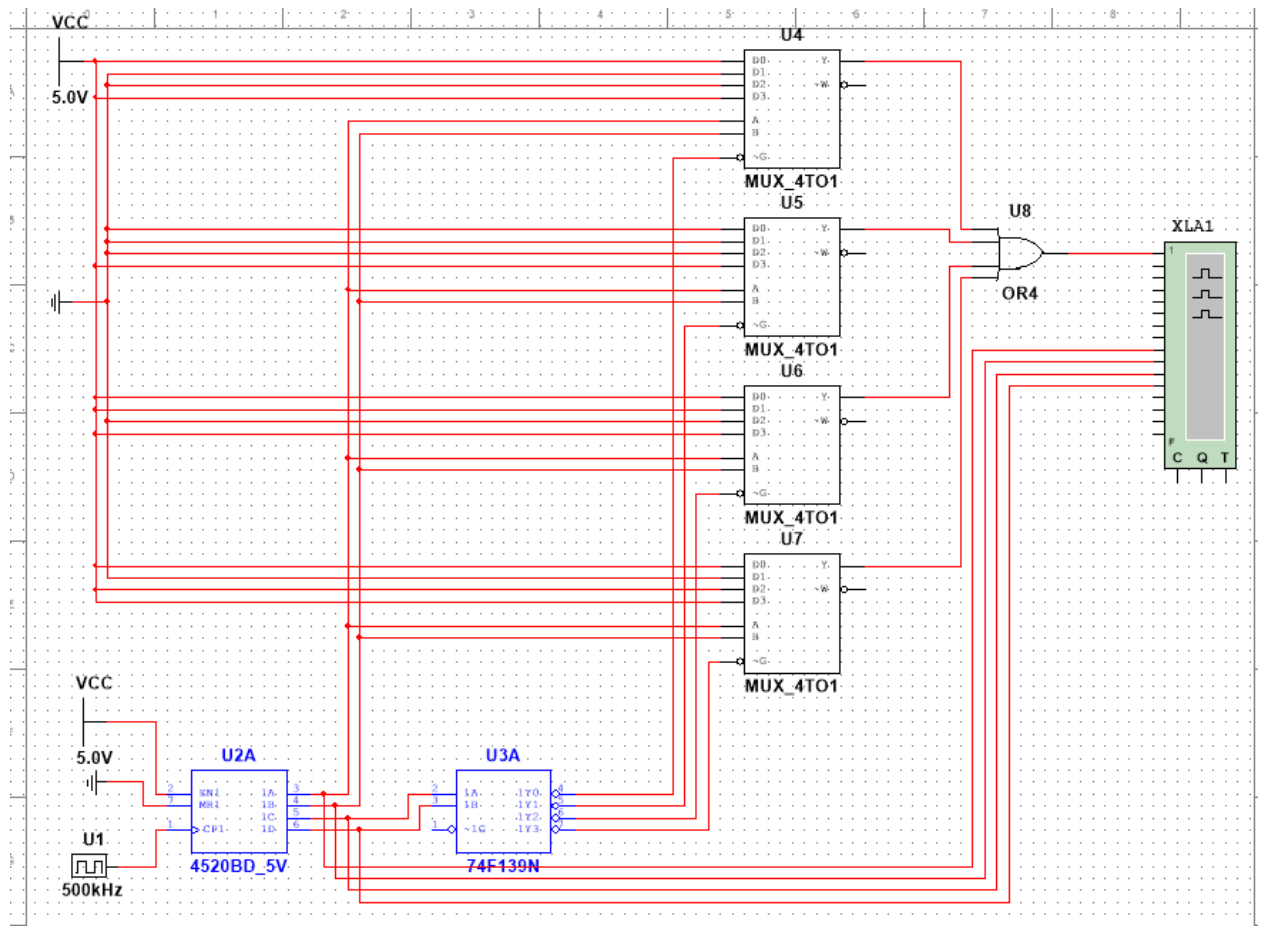


Рисунок 8. Схема мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4

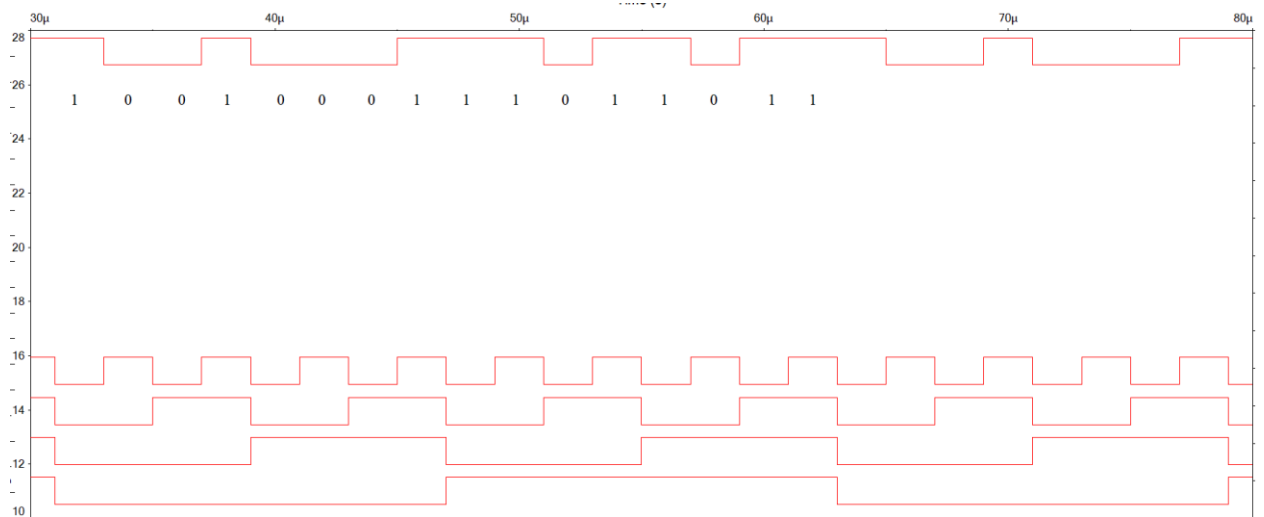


Рисунок 9. Показания логического анализатора

Контрольные вопросы

1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий n

адресных входов и $N=2^n$ информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Иначе мультиплексор – это адресный коммутатор.

2. Какую логическую функцию выполняет мультиплексор?

Мультиплексор реализует логическую функцию

$$Y = EN \cdot \bigvee_{j=0}^{2^n-1} D_j \cdot m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_1, A_0), \quad (1)$$

где A_i – адресные входы и сигналы, $i=0, 1, \dots, n-1$; D_j – информационные входы и сигналы, $j=0, 1, \dots, 2^n-1$; m_j – конституента единицы (конъюнкция всех переменных A_i), номер которой равен числу, образованному двоичным кодом сигналов на адресных входах; EN – вход и сигнал разрешения (стробирования).

3. Каково назначение и использование входа разрешения?

Вход разрешения EN используется:

- собственно, для разрешения работы мультиплексора,
- для стробирования,
- для наращивания числа информационных входов.

При $EN=1$ разрешается работа мультиплексора и выполнение им своей функции, при $EN=0$ работа мультиплексора запрещена и на его выходах устанавливаются неактивные уровни сигналов.

4. Какие функции может выполнять мультиплексор?

Мультиплексоры широко применяются для построения:

- коммутаторов-селекторов,
- постоянных запоминающих устройств емкостью $2^n \times 1$ бит,
- комбинационных схем, реализующих функции алгебры логики,

- преобразователей кодов (например, параллельного кода в последовательный) и других узлов.

5. Какие способы наращивания мультиплексоров?

Наращивание числа коммутируемых каналов выполняется двумя способами:

- по пирамидальной схеме соединения мультиплексоров меньшей размерности,
- путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?

На адресные входы задаем переменные x_4, x_3, x_2 : $A_2 = x_4, A_1 = x_3, A_0 = x_2$, на информационные входы - $x_1, \text{not}(x_1), 0$ или 1 в соответствии с заданной ФАЛ. Получаем таблицу наподобие таблицы в задании 3. Далее, рассматривая попарно строки таблицы, в которых переменные x_4, x_3, x_2 неизменны, определяем значения переменной x_1 , констант 0 и 1 , которые нужно задать для каждой пары строк сигналами на информационных входах мультиплексора, чтобы на его выходе получить сигналы, соответствующие значениям ФАЛ.

7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?

Для исключения на выходе ложных сигналов, вызванных гонками входных сигналов, вход EN используется как стробирующий: для выделения полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов.