|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ**

КАФЕДРА **КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

**ОТЧЕТ**

|  |
| --- |
| **по лабораторной работе № 2** |

**Тема:** Исследование дешифраторов

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-46Б |  |  | А. А. Жаворонкова |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | А.Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2023

**Цель работы:** изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

**Задание №1**

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A0, A1, задать в выходы Q0, Q1, четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

Схема линейного стробируемого дешифратора представлена на рисунке 1.

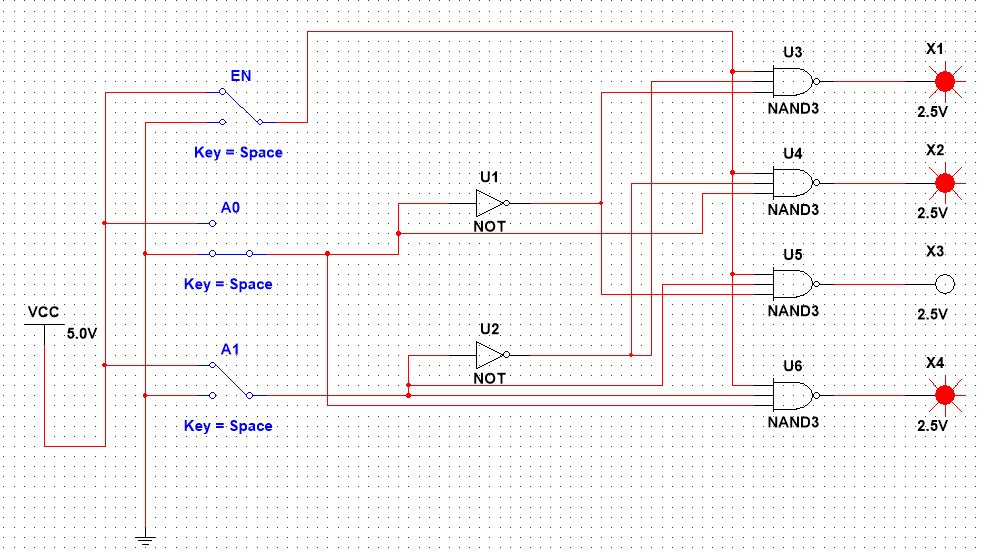


Рисунок . Линейный стробируемый дешифратор

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при ЕN=1);

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **EN** | **A0** | **A1** | **F1** | **F2** | **F3** | **F4** |
| 0 | X | X | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Таблица . Таблица истинности нестробируемого дешифратора

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

Схема с генератором и логическим анализатором представлена на рисунке 2.

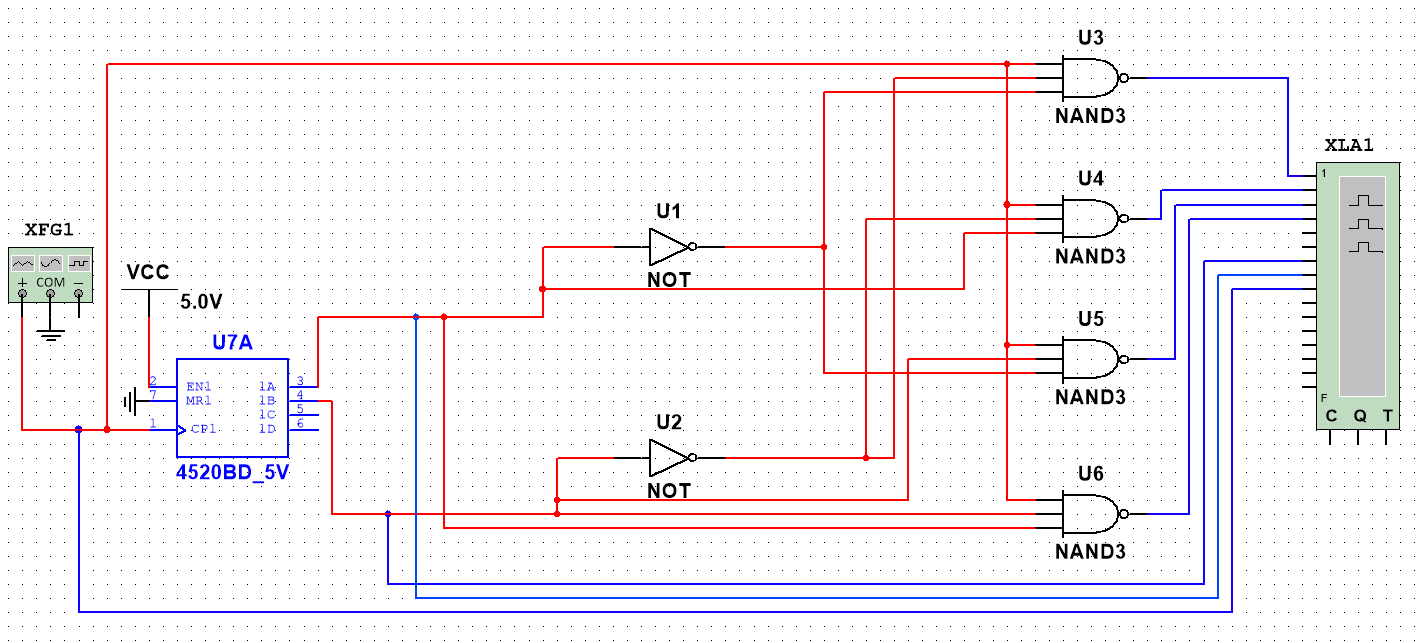


Рисунок . Линейный стробируемый дешифратор с сигналом генератора на входе

Полученные временные диаграммы представлены на рисунке 3.

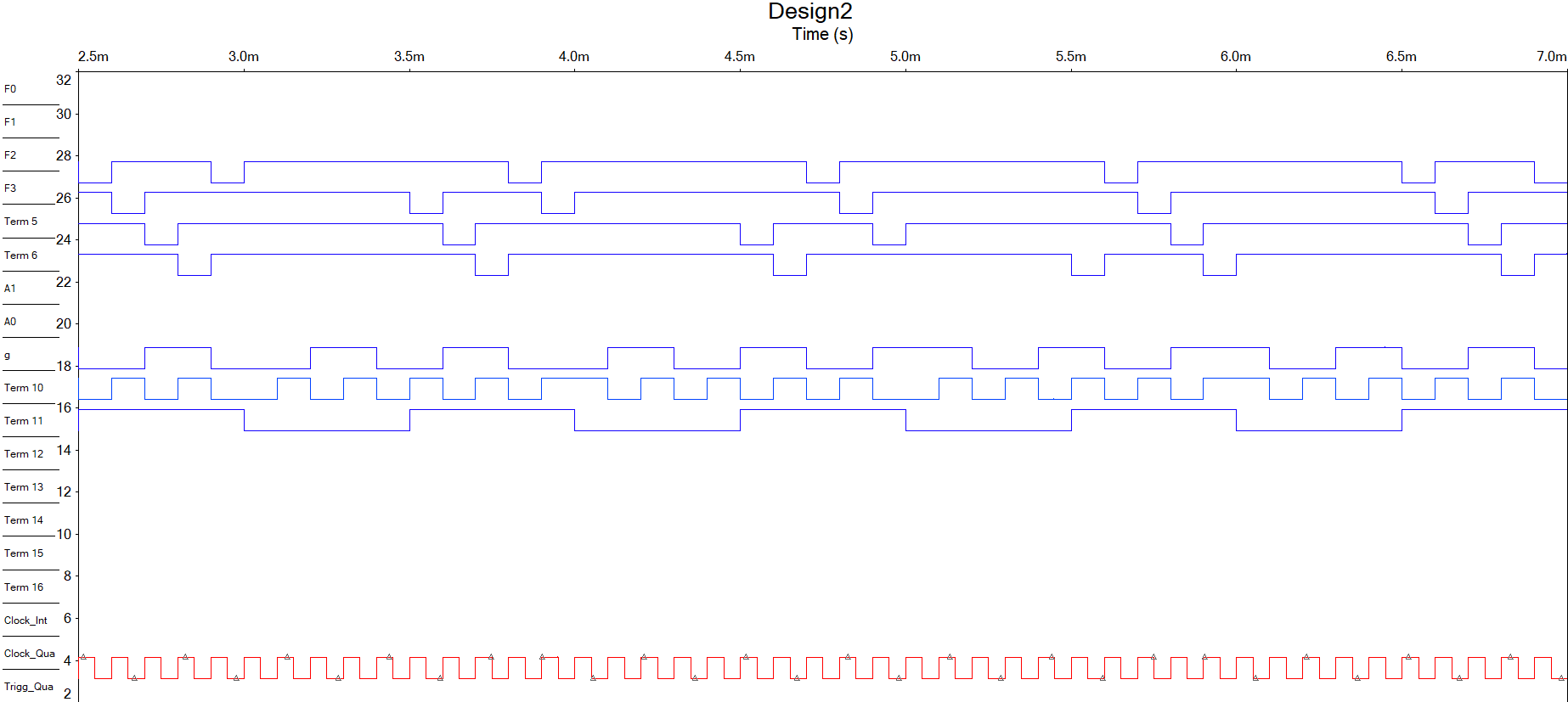


Рисунок . Временные диаграммы линейного дешифратора

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

На рисунке 4 показано определение амплитуды помех на выходах дешифратора. Амплитуда = 99.3789µ.

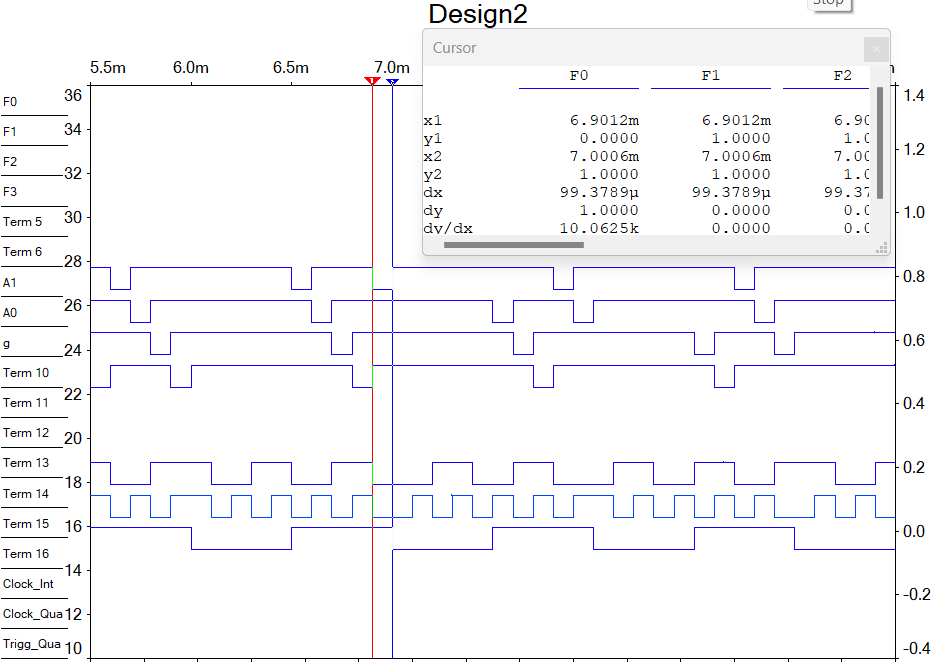


Рисунок . Определение амплитуды помех

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

Поставим 2 инвертора. Полученная схема представлена на рисунке 5.

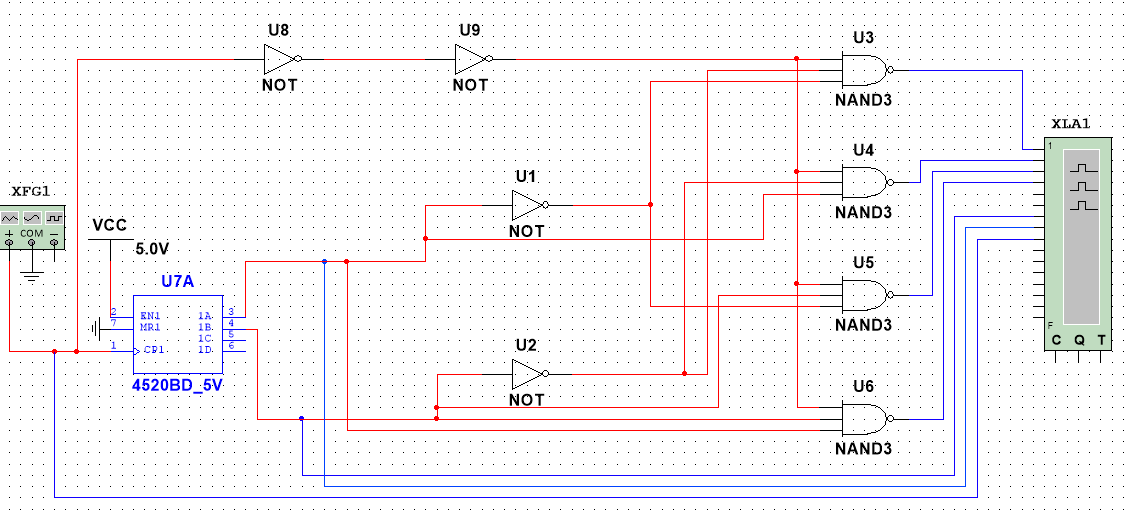


Рисунок . Стробируемый дешифратор с использованием инверторов для задержки сигнала генератора

Временные диаграммы представлены на рисунке 6.

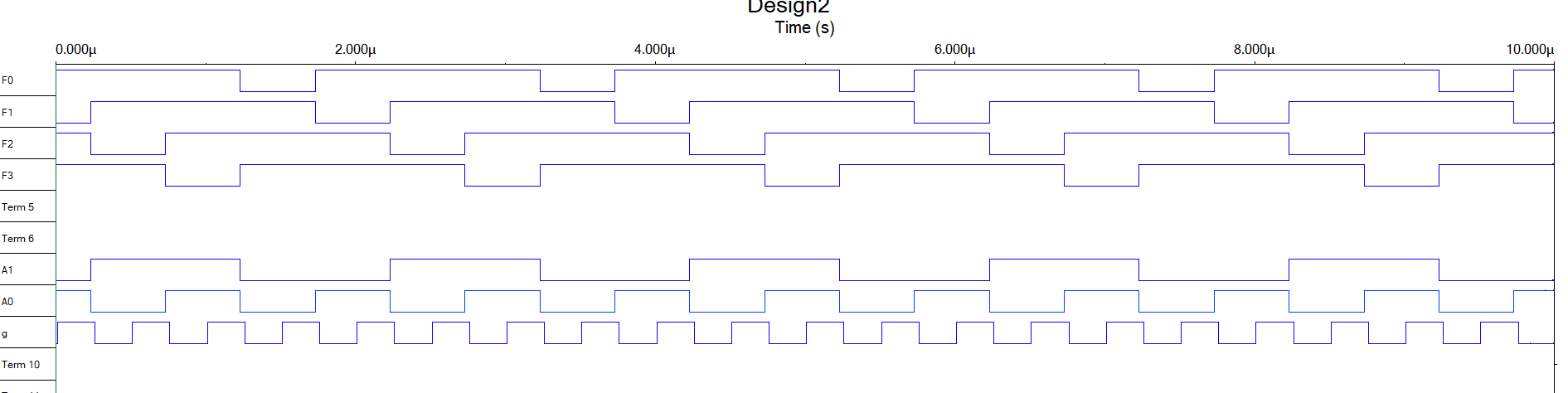


Рисунок . Временные диаграммы дешифратора с задержанным сигналом генератора

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

По рисунку 7 видно, что время задержки, необходимое для исключения помех, равно 99.792 us.

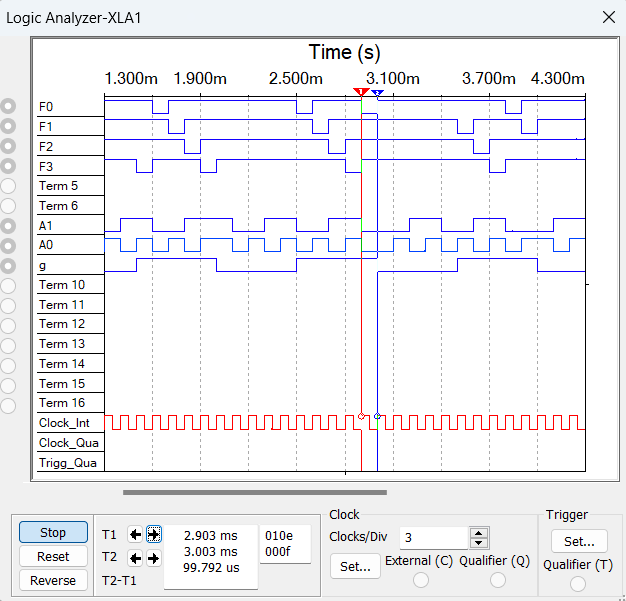


Рисунок . Время задержки, необходимое для устранения помех на выходах дешифратора

**Задание №2**

Исследование дешифраторов ИС К155ИД4 (74LS155).

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы E3 и E4 – импульсы генератора, задержанные линией задержки;

На рисунке 8 представлена схема дешифратора 74LS155, а на рисунке 9 – его временные диаграммы.

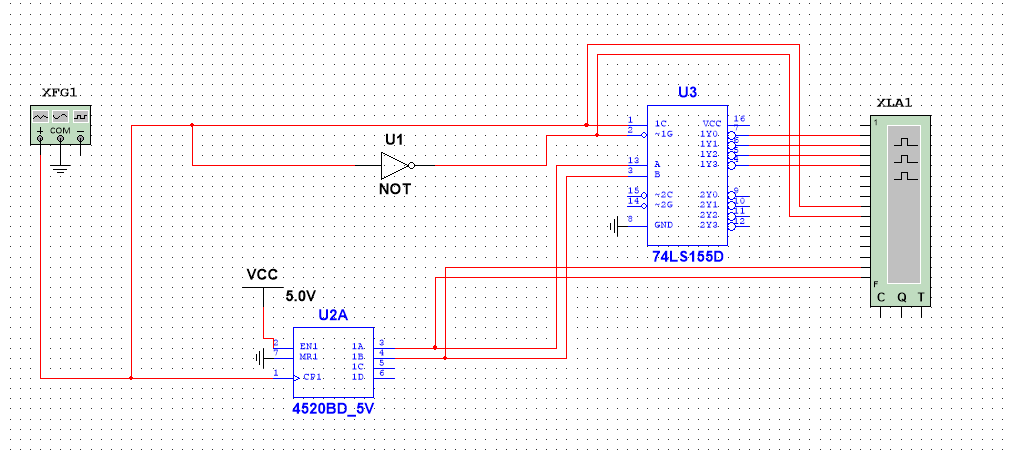


Рисунок . Дешифратор 74LS155

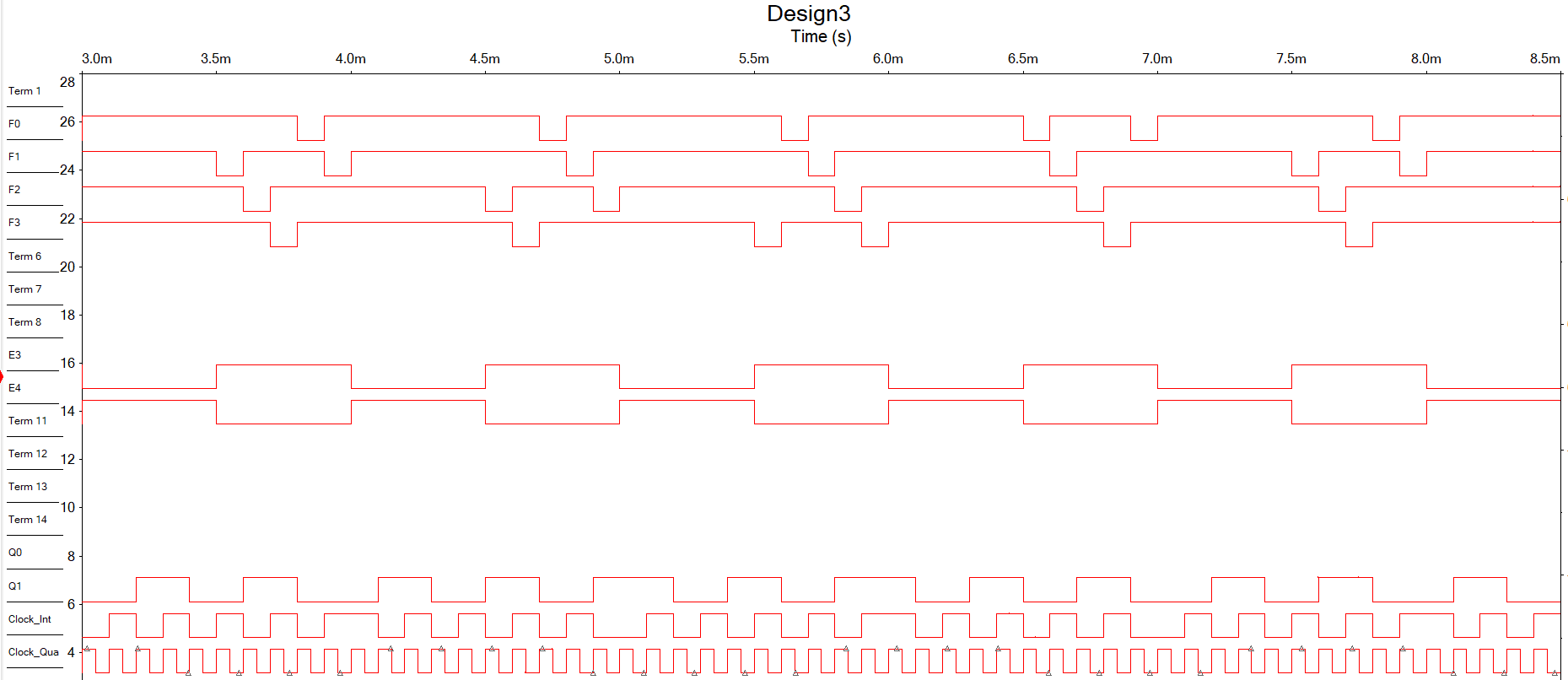


Рисунок . Временные диаграммы дешифратора 74LS155

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

По рисунку 10 видно, что время задержки, необходимое для исключения помех, равно 103.950 us.

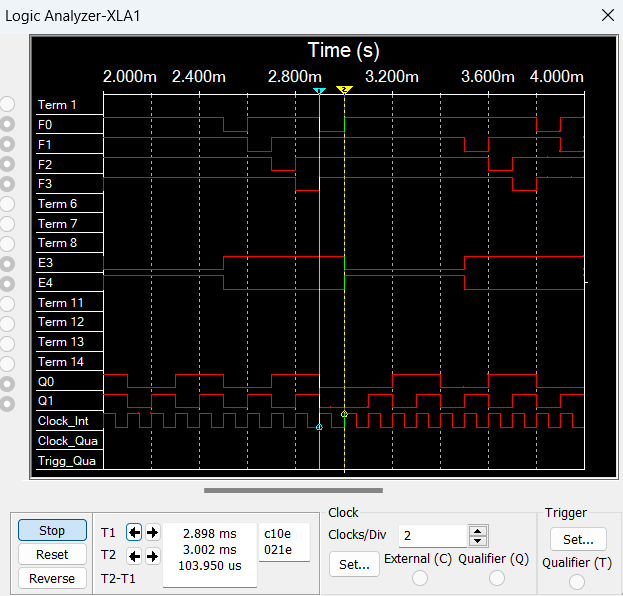


Рисунок . Время задержки сигнала для исключения помех на дешифраторе

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы A0, A1, A2, с выходов Q0, Q1, Q2, счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Схема трехвходового дешифратора представлена на рисунке 11, а его временные диаграммы – на рисунке 12.

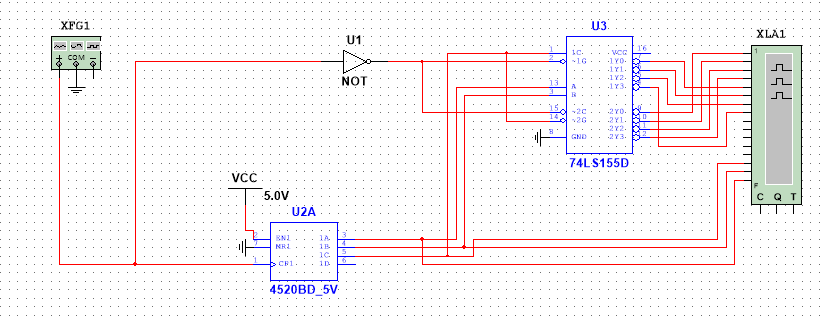


Рисунок . Трехвходовый дешифратор

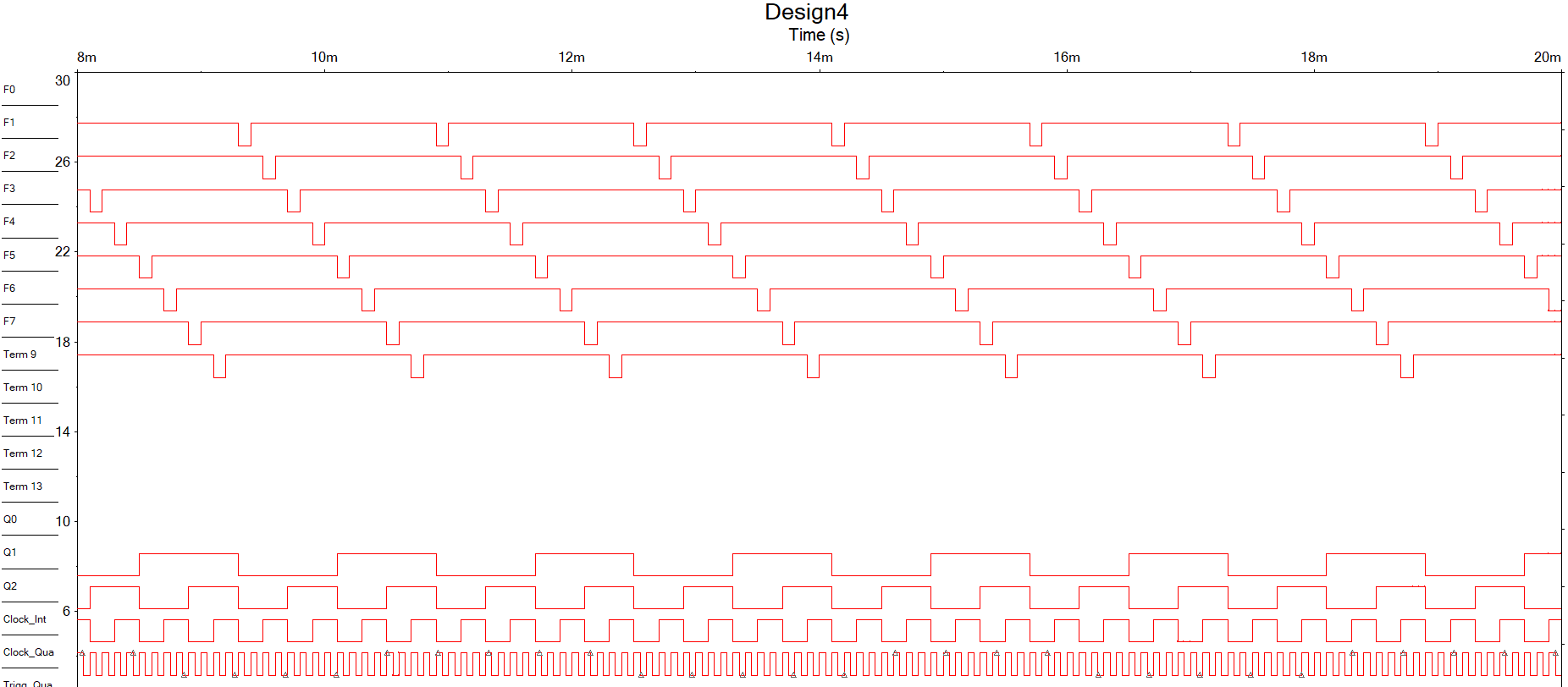


Рисунок . Временные диаграммы трехвходового дешифратора

Используя полученные временные диаграммы построим таблицу истинности (таблица 2).

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Q0** | **Q1** | **Q2** | **F0** | **F1** | **F2** | **F3** | **F4** | **F5** | **F6** | **F7** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

Таблица . Таблица истинности дешифратора 74LS155

**Задание №3**

Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 с раздельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции EN1·EN2, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

Построенная схема представлена на рисунке 12, а ее временная диаграмма – на рисунке 13.

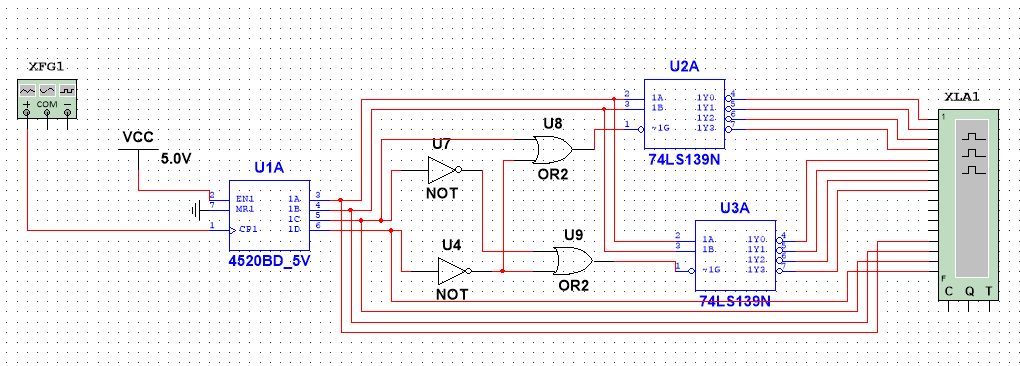


Рисунок . Дешифраторы DC 2-4

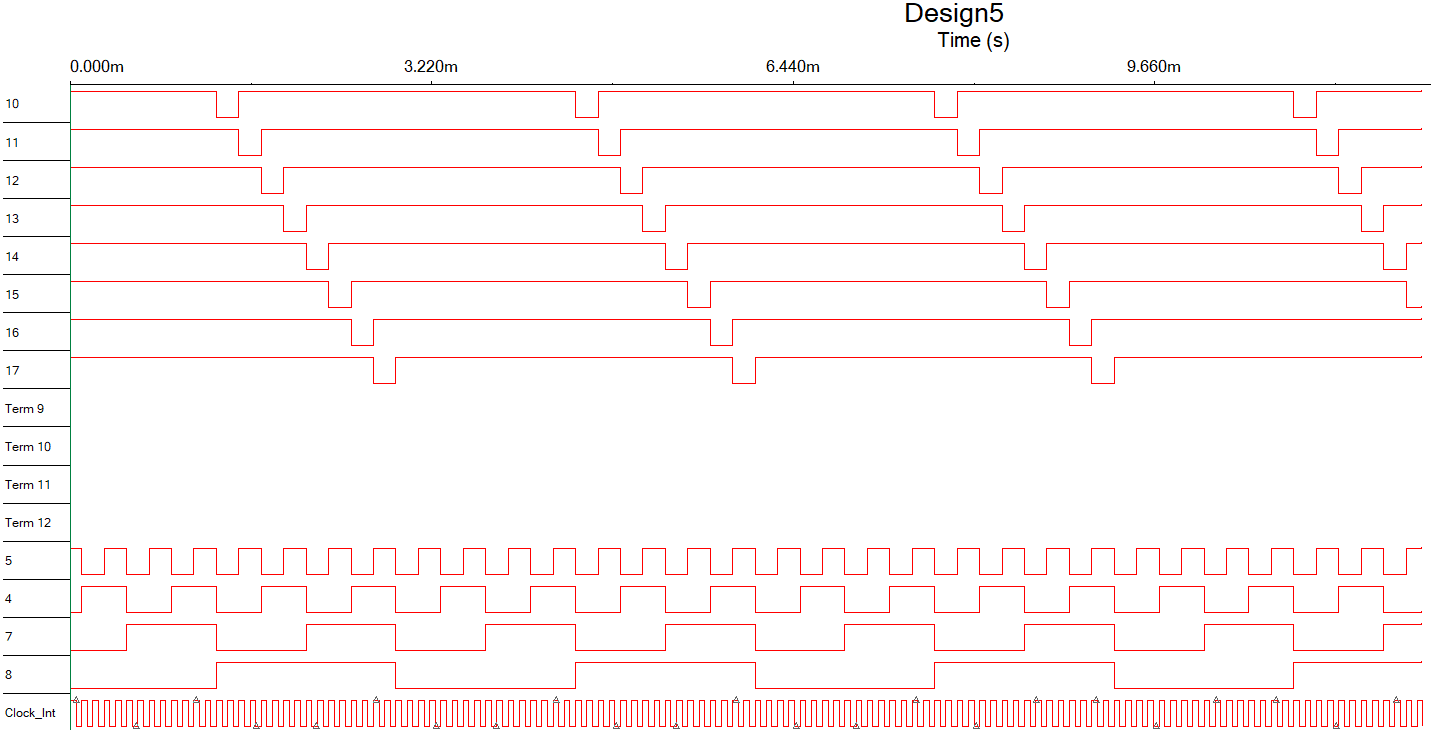


Рисунок . Временные диаграммы дешифраторов DC 2-4

**Задание №4**

Исследовать работоспособность дешифраторов ИС 533ИД7.

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0, Q1, Q2, с выходов счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;

Полученная схема представлена на рисунке 15, а ее временная диаграмма – на рисунке 16.

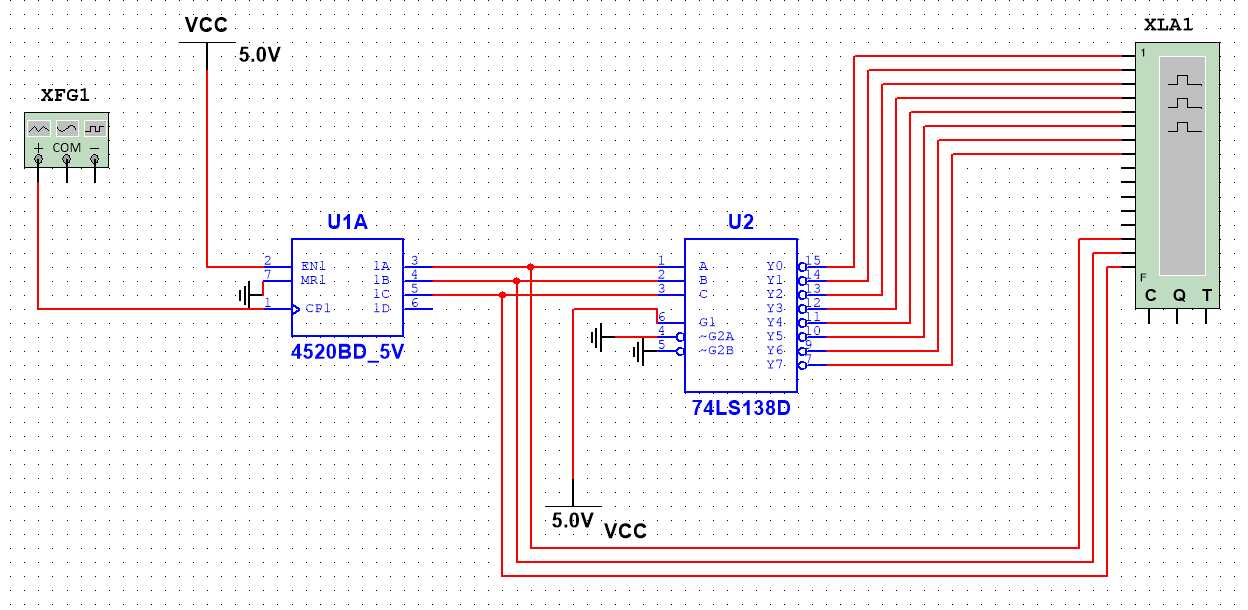


Рисунок . Дешифратор DC 3-8

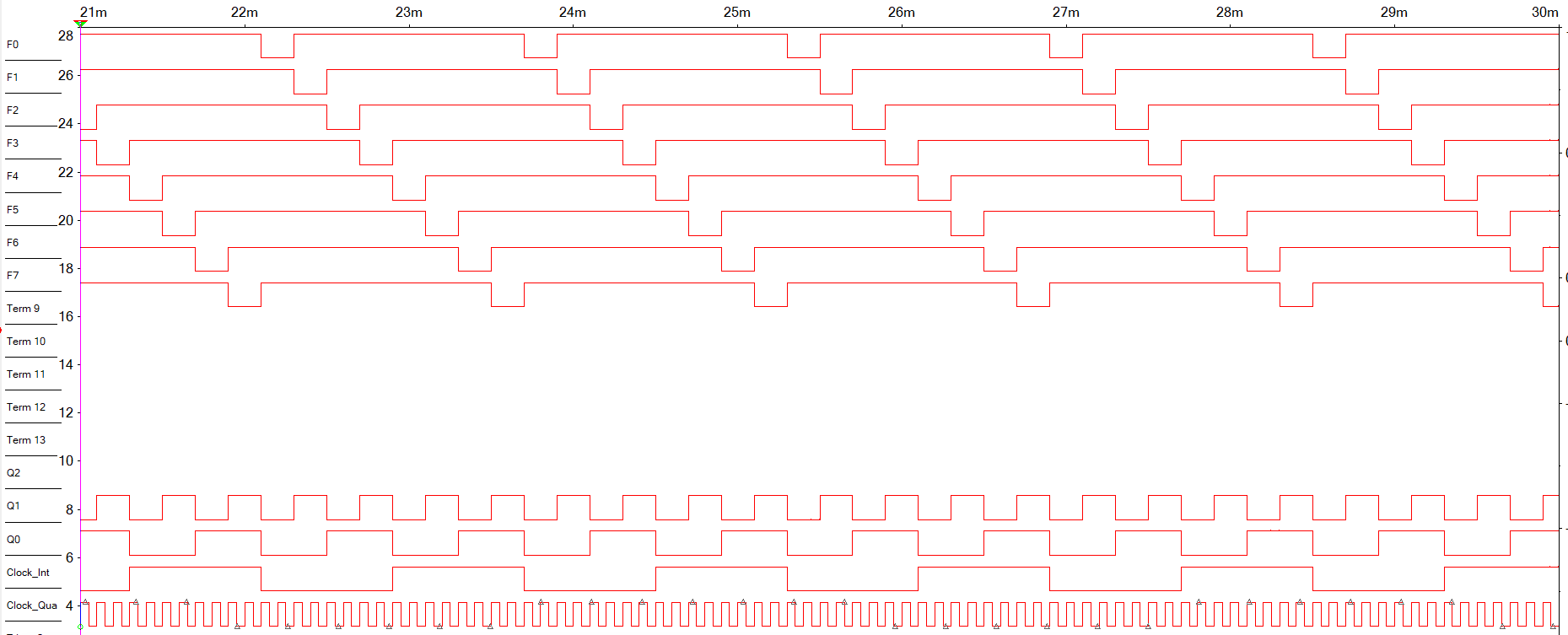


Рисунок . Временные диаграммы дешифратора DC 3-8

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

Полученная схема представлена на рисунке 17, а ее временная диаграмма – на рисунках 18 и 19.

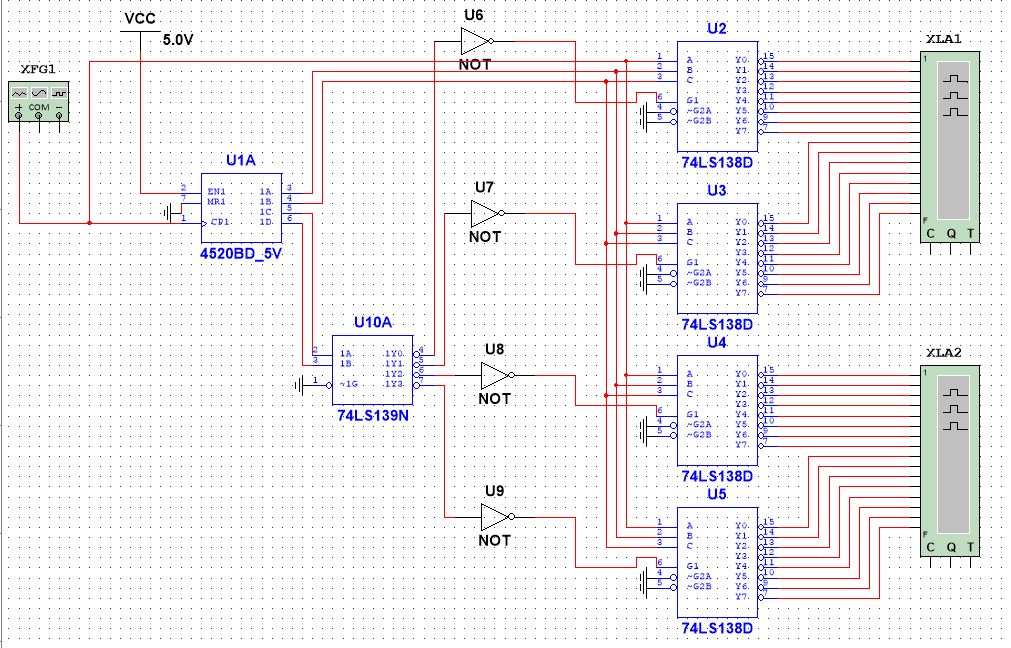


Рисунок . Дешифратор 5-32

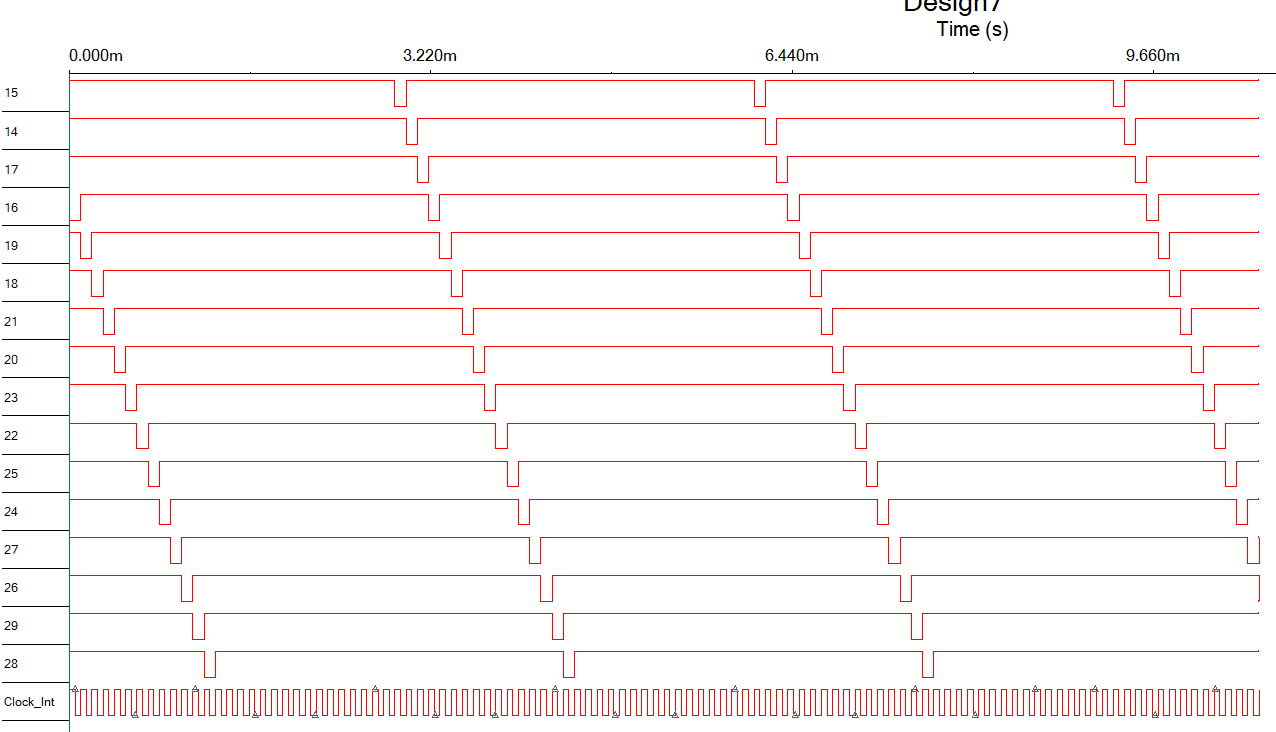


Рисунок . Временные диаграммы дешифратора 5-32 (1)

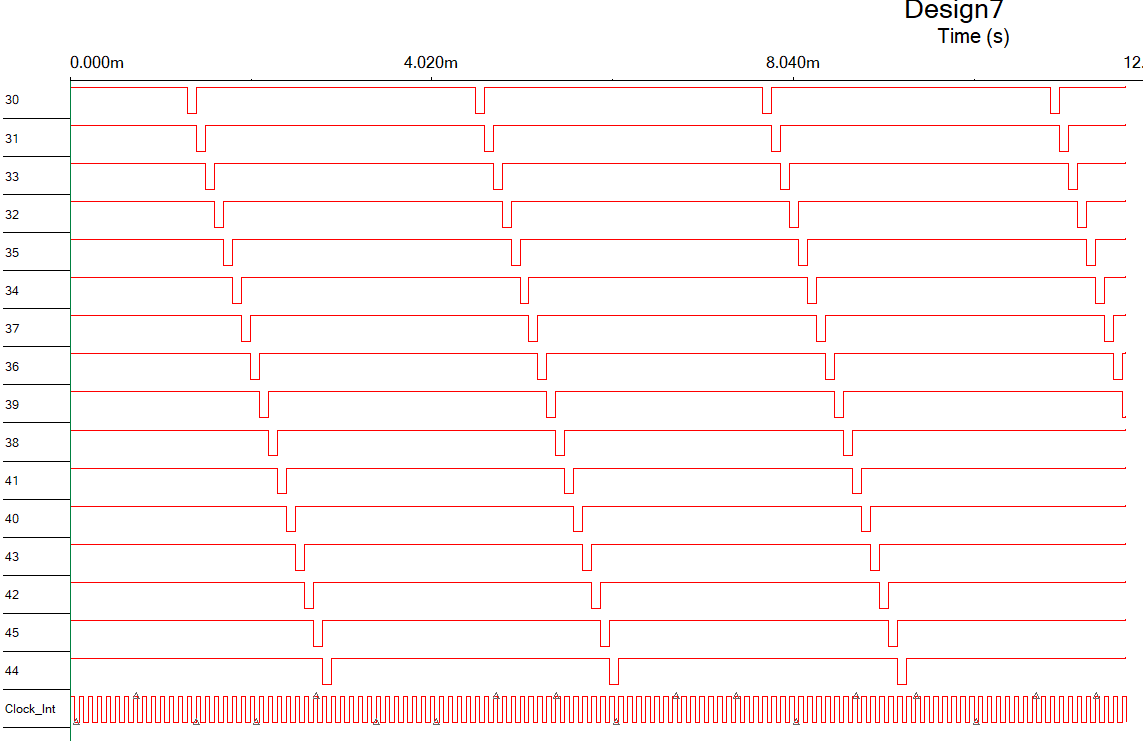


Рисунок . Временные диаграммы дешифратора 5-32 (2)

**Контрольные вопросы**

1. *Что называется дешифратором?*

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. *Какой дешифратор называется полным (неполным)?*

Дешифратор, имеющий 2n выходов, называется полным, при меньшем числе выходов - неполным.

3. *Определите закон функционирования дешифратора аналитически и таблично.*

Функционирование дешифратора DC n-N определяется таблицей истинности:



4. *Поясните основные способы построения дешифраторов.*

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой 2^n конъюнкторов или логических элементов ИЛИ-НЕ с n-входами каждый при отсутствии стробирования и с (n+1) входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. *Что называется гонками и как устраняются ложные сигналы, вызванные гонками?*

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. *Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?*

Пусть для построения сложного дешифратора DC n-N используются простые дешифраторы DC n1 - N1, причем n1 <<n, следовательно и N1 <<N. 1. Число каскадов равно К = n/n1. Если К – целое число, то во всех каскадах используются полные дешифраторы DC n1 -N1. Если К – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n1 - N1. 2. Количество простых дешифраторов DC n 1 -N1 в выходном каскаде равно N/N1, в предвыходном - N/N1^2 , в предвыходном - N/N1^3 и т.д.; во входном каскаде - N/N1^к . Если N/N1^к – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор. 3. В выходном каскаде дешифрируются n1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора. 4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т. д.