

Rechnerarchitektur

Einführung in die Informatik & Rechnerarchitektur
(EIR1/EIF1)

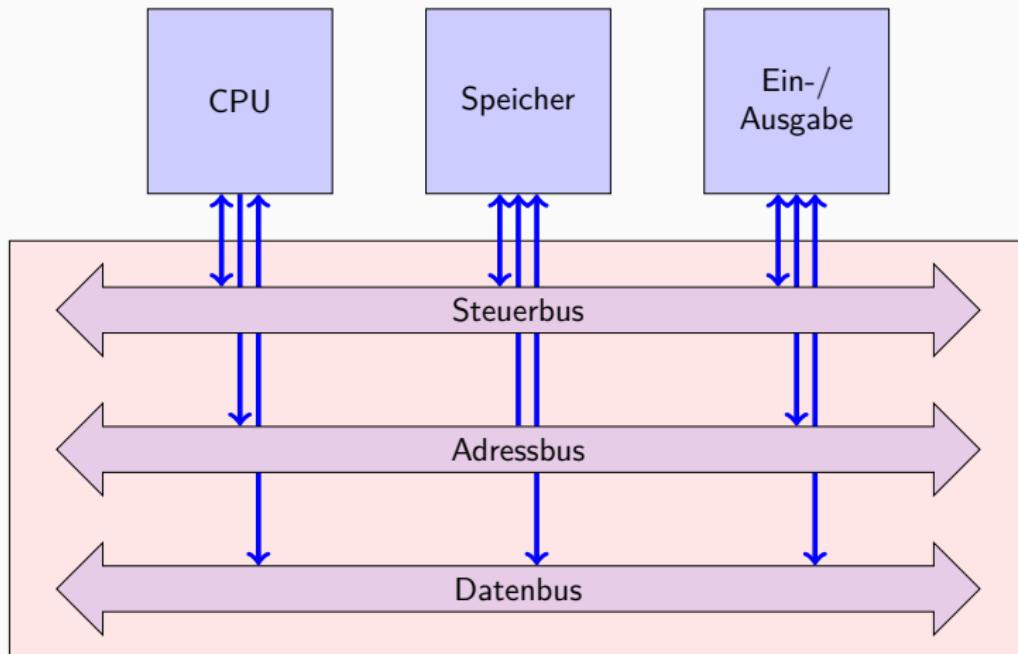
Erik Pitzer

SE & MBI – FH Hagenberg – WS 2025/26

Datenbusse

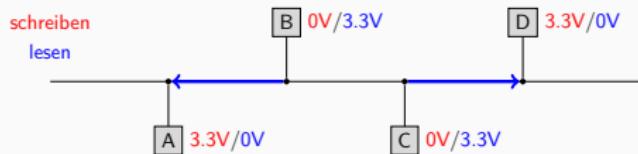
Einführung Datenbusse

- Datenaustausch zwischen Komponenten

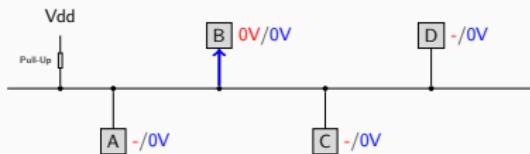


Open Collector Schaltung

- Bei zwei Zuständen (High und Low) keine zuverlässige Kommunikation mit mehreren Teilnehmern möglich
- Signale löschen sich gegenseitig aus → Kurzschluss



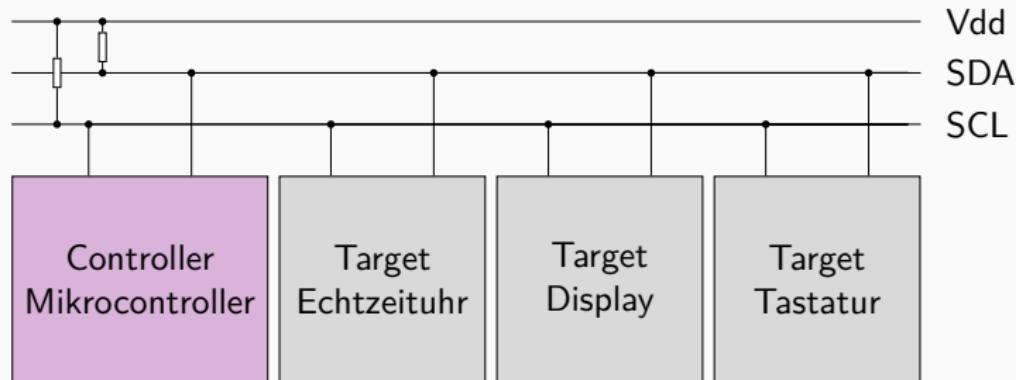
- Open Collector ermöglicht kein Potential anzulegen, also "stumm" zu sein, Absicherung über Pull-Up Widerstand



[demos/bus.circ open collector](#)

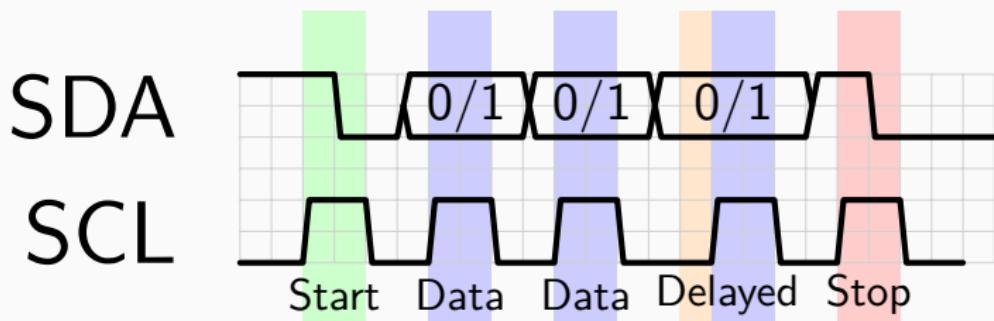
Datenbus Beispiel: Inter-integrated Circuit (I²C) (1/2)

- Serial Data Line (SDA): Datenleitung
- Serial Clock Line (SCL): “Clock” Leitung
- Leitungen über Pull-Up auf High (Vdd)
- mehrere Teilnehmer auf einer Leitung (multidrop)



Datenbus Beispiel: Inter-integrated Circuit (I²C) (2/2)

- Datenübertragung auf SDA während SCL high (deasserted)
- Bit Übertragung seriell
- 100 kbit/s oder 400kbit/s
- 7 Bit Adressen
- Target kann SCL auf low ziehen, um Übertragung zu verlangsamen



Arten von Bussen

- Übertragungsart
 - **parallel**: Bits werden gleichzeitig übertragen
 - **seriell**: Bits werden hintereinander übertragen
- Synchronisation
 - **asynchron**: z.B. für sporadische Datenübertragung
 - **synchron** für höhere Geschwindigkeiten
 - erfordert gemeinsamen Takt
- Architektur
 - **Multi Drop**: gemeinsame elektrische Leitung
 - z.B. PCI, PATA
 - **Daisy-Chain**: “Stille Post” zwischen Teilnehmern
 - z.B. DisplayPort, FireWire, Thunderbolt
 - **Point-to-Point / Hub**
 - z.B. PCIe, SATA

Bus-Standards (1/2)

- Serielle Schnittstelle, RS-232 (20kbit/s)
- Parallele Schnittstelle (EPP, ECP, ... 4MB/s)
- Small Computer Systems Interface
 - (SCSI, 80MB/s)



- Universal Serial Bus (USB)



Version	[MB/s]	Jahr
1.0	1.5	1996
2.0	60	2000
3.0	500	2008
3.1	1 240	2013
3.2	2 480	2017
4.0	5 120	2019
4.2	14 305	2022

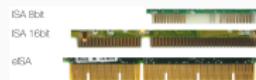
- IEEE 1394 (FireWire, 400MB/s)



Bilder von Computer Hardware Chart 2.0 sonic840 DeviantArt

Bus-Standards (2/2)

- Parallel AT Attachment
 - (PATA/IDE/ATA-1/ATAPI, 133MB/s)
- Serial AT Attachment (SATA 3, 600 MB/s)
- Industry Standard Architecture-Bus
 - (ISA, 2.4MB/s, EISA 20MB/s)
- Peripherals Component Interconnect-Bus (PCI, 533MB/s)



PCI Universal



- Accelerated Graphics Port (AGP, 2133 MB/s)



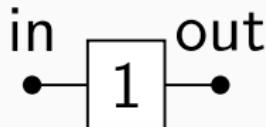
Version	1x [GB/s]	16x [GB/s]
1.x	0.25	4
2.x	0.50	8
3.x	0.99	16
4.0	1.97	32
5.0	3.94	63
6.0	7.56	121
7.0	15.13	242

- PCI-Express

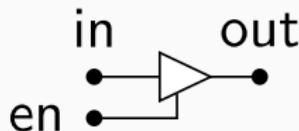


Datenübertragung mit Puffer

- schwache elektronische Entkopplung von Schaltungsteilen
 - Schutz vor Spannungsschwankungen auf beiden Seiten
- Verstärkung & Verzögerung wie andere Gatter



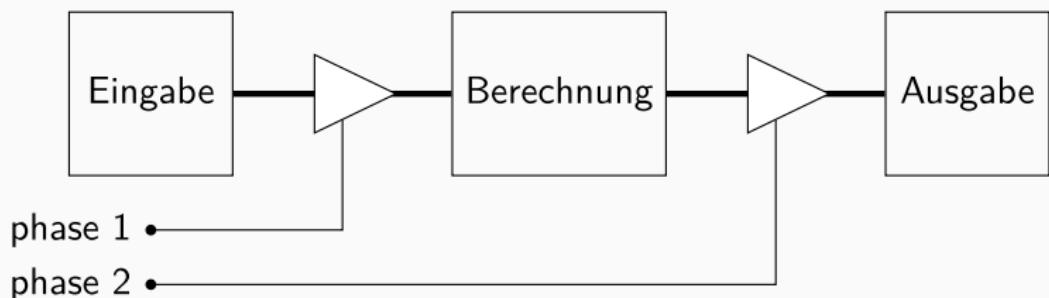
- gesteuerter Puffer kann Eingabe und Ausgabe “trennen”
(hoher elektrischer Widerstand zwischen Ein- und Ausgabe)
- Tri-State Logik: 0 (Low), 1 (High), Z (nicht verbunden)



[demos/bus.circ](#) controlled buffer, dual input

Synchrone Datenübertragung

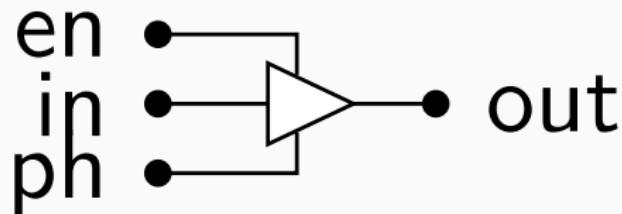
- mehrere Bits werden parallel übertragen
- einzelne Komponenten werden getaktet
- Takt ist in Phasen unterteilt, z.B.
 - Holphase
 - Rechenphase
 - Bringphase



[demos/bus.circ](#) bus

Auswahl und Phase

- Puffer wird nur aktiviert wenn
 - richtige Phase (ph) und
 - Übergang selektiert (en) wird



- ermöglicht beliebiges und getaktetes Verschalten von Datenflüssen

[demos/bus.circ](#) phased controlled buffer,
multibus