



(12)发明专利申请

(10)申请公布号 CN 109788646 A

(43)申请公布日 2019.05.21

(21)申请号 201810195079.6

(22)申请日 2018.03.09

(30)优先权数据

62/586,621 2017.11.15 US

15/867,437 2018.01.10 US

(71)申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行六路八号

(72)发明人 彭丹平 屈帅哥 徐方博 裴大牛
何力键 雷俊江

(74)专利代理机构 南京正联知识产权代理有限公司 32243

代理人 顾伯兴

(51)Int.Cl.

H05K 3/00(2006.01)

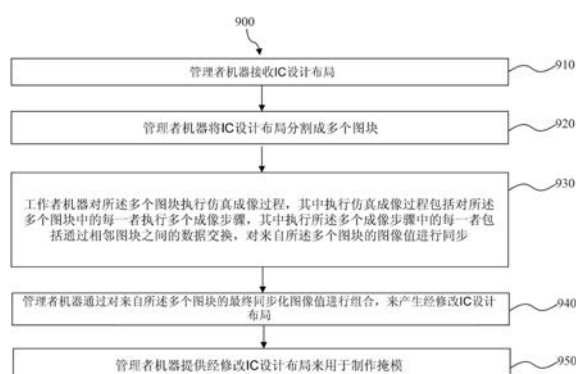
权利要求书1页 说明书21页 附图10页

(54)发明名称

用于集成电路制作的方法

(57)摘要

本文中公开用于大面积光刻仿真的同步化平行图块计算技术的实例来解决图块边界问题。一种用于集成电路(IC)制作的示例性方法包括:接收IC设计布局;将所述IC设计布局分割成多个图块;对所述多个图块实行仿真成像过程;通过对来自所述多个图块的最终同步化图像值进行组合,来产生经修改IC设计布局;以及提供所述经修改IC设计布局来用于制作掩模。实行所述仿真成像过程包括对所述多个图块中的每一者执行多个成像步骤。执行所述多个成像步骤中的每一者包括通过相邻图块之间的数据交换,对来自所述多个图块的图像值进行同步。



1.一种用于集成电路制作的方法,其特征在于,所述方法包括:

接收集成电路设计布局;

将所述集成电路设计布局分割成多个图块;

对所述多个图块执行仿真成像过程,其中实行所述仿真成像过程包括对所述多个图块中的每一者执行多个成像步骤,其中执行所述多个成像步骤中的每一者包括通过相邻图块之间的数据交换,对来自所述多个图块的图像值进行同步;

通过对来自所述多个图块的最终同步化图像值进行组合,来产生经修改集成电路设计布局;以及

提供所述经修改集成电路设计布局来用于制作掩模。

用于集成电路制作的方法

技术领域

[0001] 本发明的实施例涉及用于集成电路制作的方法,更具体来说,涉及一种用于大面积光刻仿真的同步化平行图块计算的方法。

背景技术

[0002] 半导体装置行业已经历快速发展。在半导体装置的演进过程中,在特征大小已减小的同时,功能性密度已普遍增大。这种按比例缩减工艺通过提高生产效率及降低相关联成本来提供效益。此种按比例缩减也增大了设计及制造这些装置的复杂性。

[0003] 举例来说,应用于半导体装置的设计及制造的一种技术是光学邻近效应校正(optical proximity correction,OPC)。OPC包括施加使半导体装置的光掩模设计布局变更的特征,以补偿例如因光穿过光掩模上的次波长特征进行的衍射、透镜系统的带宽限制效应(band limiting effect)以及在光刻期间对光致抗蚀剂进行的化学工艺而造成的畸变。因此,OPC使得衬底上的电路图案能够更接近地与集成电路(integrated circuit,IC)设计者为半导体装置所设计的布局共形(conform)。随着工艺节点缩减,OPC工艺及所得图案变得更为复杂。还存在反向光刻技术(inverse lithography technology,ILT),ILT可在光掩模或掩模版(reticle)上产生复杂的曲线图案,而非在传统光掩模或掩模版上通过OPC而形成的曼哈顿图案(Manhattan pattern)。遗憾的是,尽管现有的OPC及ILT技术已大体上足以实现它们所期望的目的,然而它们尚未在所有方面都令人完全满意。

发明内容

[0004] 本发明的实施例是针对一种用于集成电路(integrated circuit,IC)制作的方法。

[0005] 在某些实施例中,一种用于集成电路制作的方法包括以下步骤。接收IC设计布局(design layout);将所述IC设计布局分割成多个图块;对所述多个图块实行仿真成像过程,其中实行所述仿真成像过程包括对所述多个图块中的每一者执行多个成像步骤,其中执行所述多个成像步骤中的每一者包括通过相邻图块之间的数据交换,对来自所述多个图块的图像值进行同步。所述方法还包括:通过对来自所述多个图块的最终同步化图像值进行组合,来产生经修改IC设计布局;以及提供所述经修改IC设计布局来用于制作掩模。

附图说明

[0006] 结合附图阅读以下详细说明,会最好地理解本发明的各个方面。应注意,根据本行业中的标准惯例,各种特征并非按比例绘制。事实上,为论述清晰起见,可任意增大或减小各种特征的尺寸。

[0007] 图1是根据本发明各种实施例的集成电路(IC)制造系统的实施例的方块图。

[0008] 图2是根据本发明各种实施例的光刻系统的示意图。

[0009] 图3是根据本发明各种实施例的掩模设计系统的方块图。

[0010] 图4是根据本发明各种实施例的计算光刻方法的流程图。

[0011] 图5A是示出根据本发明各种实施例的均匀图块分割方案(uniform tiling scheme)的图。

[0012] 图5B是示出根据本发明各种实施例的交错图块分割方案(staggered tiling scheme)的图。

[0013] 图5C是示出根据本发明各种实施例的适应性图块分割方案(adaptive tiling scheme)的图。

[0014] 图6是示出根据本发明各种实施例的计算方案的示意图。

[0015] 图7是示出根据本发明各种实施例的相邻图块的过渡区如何交叠的示意图。

[0016] 图8是示出根据本发明各种实施例的同步化平行图块计算方案的一部分的示意图。

[0017] 图9是根据本发明各种实施例的计算光刻方法的流程图。

[0018] 图10是根据本发明各种实施例的另一计算光刻方法的流程图。

具体实施方式

[0019] 以下公开内容提供用于实作本公开内容的不同特征的许多不同的实施例或实例。以下阐述组件及排列的具体实例以简化本公开内容。当然,这些仅为实例且不在进行限制。举例来说,以下说明中将第一特征形成在第二特征“之上”或第二特征“上”可包括其中第一特征及第二特征被形成直接接触的实施例,且也可包括其中第一特征与第二特征之间可形成有附加特征、进而使得所述第一特征与所述第二特征可能不直接接触的实施例。另外,本公开内容可能在各种实例中重复使用参考编号及/或字母。这种重复使用是出于简洁及清晰的目的,而不是自身表示所论述的各种实施例及/或配置之间的关系。

[0020] 此外,为易于说明,本文中可能使用例如“之下(beneath)”、“下面(below)”、“下部的(lower)”、“上方(above)”、“上部的(upper)”等空间相对性用语来阐述图中所示的一个元件或特征与另一(其他)元件或特征的关系。所述空间相对性用语旨在除图中所绘示的取向外还囊括装置在使用或操作中的不同取向。设备可具有其他取向(旋转90度或其他取向),且本文中所用的空间相对性描述语可同样相应地进行解释。

[0021] 随着半导体制作向日渐变小的技术节点发展,已采用各种技术来帮助实现小的装置大小。此种技术的一个实例是计算光刻(computational lithography),计算光刻的目标是在实际制作光掩模之前对光刻工艺进行仿真。仿真有助于优化光掩模上的图案几何结构。随着技术节点日渐变小,更多的装置及特征被包装到IC设计布局的相同区域中。在光刻工艺中使用较短的光波长以帮助实现较小的技术节点。因此,在计算光刻的应用(例如,光学邻近效应校正(Optical Proximity Correction,OPC)及反向光刻技术(Inverse Lithography Technology,ILT))中,IC布局的大的区域被划分成小的图块(tile)以用于分布式处理(distributed processing)。分布式处理因与单一中央处理器(central processing unit,CPU)相关联的物理存储体有限,而有助于光刻仿真应用。可通过由位于多个机器上的多个CPU进行的平行处理,来更有效地且更高效地执行光刻仿真。

[0022] 传统平行计算解决方案及图块方案常常导致低的仿真面积效率(simulation area efficiency)。此外,需要格外小心以防在图块边界处得到不一致的计算结果,不一致

的计算结果会在随后将经处理的图块重新接合(stitch back)到一起以形成整个掩模布局的完整解决方案时造成困难。举例来说,在一些掩模校正算法(例如,OPC及ILT)中,以有序方式在每一图块内独立地应用迭代算子(iterative solver)。相邻图块之间的信息流(information flow)仅为单向的:每一图块是基于其前导(predecessor)的解决方案而初始化(位于其边界附近),且所述图块将其自身的结果(位于其边界附近)传递给其继任(successor)。如果特定图块被容许相对于其前导而改变掩模解决方案,则总体上此将导致边界不一致性。在各种解决方案均已出现分歧之后,在最后进行边界接合(boundary stitching),需要特定技术来校正边界不一致性。作为另外一种选择,图块可冻结(freeze)来自其前导的解决方案,但此将限制所述图块在计算优化掩模图案过程中具有的自由度。再者,为准确地对图块进行仿真,对更大的周围区(有时称为晕圈(halo))进行仿真是有用的。在一些传统OPC及ILT实践中,晕圈可能相当大(且常常比基于模型考虑而可能必需的大小),此导致低的仿真面积效率。总体来说,预期传统方法及实践是不足的,对于发展最先进节点(5纳米(nm)及低于5纳米)来说,尤其如此。

[0023] 本发明的实施例提供通过防止本征地(intrinsic)发生图块边界问题,来自自然地解决所述图块边界问题的一种用于大面积光刻仿真的新颖的平行计算架构。具体来说,在不同图块的局部计算(local computation)中,使用多个工作者机器(worker machine)的同时,使用管理者机器(manager machine)来执行总体计算算法。工作者机器与相邻图块交换其中间的计算结果,所述中间计算结果被适当地接合在一起。在迭代过程中的每一次迭代(例如OPC及ILT)内,在每一图像仿真步骤(image simulation step)处均可发生此种信息交换,以同步仿真结果。连续的信息交换本征地避免在传统实践中出现的图块边界接合问题。

[0024] 本文中所公开的平行计算架构将集成电路(integrated circuit, IC)设计布局(或比常见图块大的所述布局设计的大的区域)作为整体来处理。计算架构仍使用下伏图块方案,但将来自每一图块的仿真结果平滑地且对称地组合成单一的较大仿真方案。光刻仿真工艺可具有形成中间结果(例如光学图像、各种抗蚀剂图像及晶片外形)的多个步骤。所公开计算架构将计算阶段化成使得中间结果可在仿真进行到下一步骤之前同步化,由此在每一步骤处有效地消除图块边界不一致性。在功能上,此种同步化等于对IC设计布局的单一的较大区域实行OPC/ILT。因此,本发明的实施例提供一种针对于IC设计布局的大的区域的光刻仿真的有效且高效的解决方案。可对光刻仿真及计算使用此种解决方案,其中在平行计算环境中使用迭代算子(例如,OPC及ILT)。参照图1到图10来更详细地论述本发明的各种实施例。

[0025] 图1是根据本发明各种实施例的IC制造系统10及与IC制造系统10相关联的IC制造流程的方块图。IC制造系统10包括在与制造IC装置30相关的设计、开发及制造循环及/或服务方面彼此交互作用的多个实体,例如设计公司(design house)(或设计团队或设计工坊)15、掩模公司(mask house)20及IC制造商25(例如,IC制作厂(fab))。所述实体是通过通信网络来连接,所述通信网络可为单一网络或各种不同的网络(例如内联网及/或互联网)且可包括有线通信信道及/或无线通信信道。每一实体可与其他实体交互作用且可向其他实体提供服务及/或从其他实体接收服务。设计公司15、掩模公司20、及IC制造商25中的一个或多个可由单一大型公司拥有且可甚至共存于共同的设施中并使用共同的资源。应理解,

本文中的图(包括图1)已为清晰起见而进行了简化。因此,各图可包括在明确示出的特征、工艺及/或操作之前、之间及/或之后存在的附近特征、工艺及/或操作。

[0026] 设计公司15产生IC设计布局35(也称为IC设计图案)。IC设计布局35包括基于所要制造的IC产品的规格而为所述IC产品设计的各种电路特征(以几何形状为代表)。电路特征对应于在各种材料层(例如金属层、介电层及/或半导体层)中形成的几何特征,所述各种材料层组合起来会形成IC产品(例如IC装置30)的IC特征(组件)。举例来说,IC设计布局35的一部分包括将在衬底(例如,硅衬底)中及/或在设置于所述衬底上的各种材料层中形成的各种IC特征。各种IC特征可包括有源区、闸极特征(例如,闸极介电质及/或闸电极)、源极/漏极特征、内连线特征、结合接垫特征、其他IC特征或其组合。在一些实例中,向IC设计布局35中插入辅助特征,以提供成像效应、过程增强及/或识别信息。与用于优化掩模图案(掩模布局)的光学邻近效应校正(OPC)工艺相似,几何邻近效应校正(geometry proximity correction,GPC)工艺可基于与IC制作相关联的环境影响来产生辅助特征,所述环境影响包括刻蚀加载效应(etching loading effect)、图案化加载效应(patterning loading effect)及/或化学机械抛光(chemical mechanical polishing,CMP)工艺效应。

[0027] 设计公司15实作恰当的设计程序以形成IC设计布局35。设计程序可包括逻辑设计、物理设计、布局及布线(place and route)或其组合。IC设计布局35是以具有电路特征(几何图案)的信息的一个或多个数据文件(data file)呈现。在实例中,IC设计布局35被表达成图形数据库系统(Graphic Database System)文件格式(例如,GDS或GDSII)。在另一实例中,IC设计布局35被表达成另一适合的文件格式,例如开放式工艺品系统互换标准(Open Artwork System Interchange Standard)文件格式(例如,OASIS或OAS)。

[0028] 掩模公司20使用IC设计布局35来制造掩模,所述掩模用于根据IC设计布局35来制作IC装置30的各种层。掩模(有时称为光罩(photomask)或掩模版(reticle))是在光刻工艺中使用以将晶片(例如半导体晶片)图案化的图案化衬底。掩模公司20实行掩模数据准备40,其中IC设计布局35被转换成可被掩模写入器(mask writer)写入的形式,以产生掩模。举例来说,IC设计布局35被转换成用于掩模写入器(例如电子束(e-beam)写入器)的机器可读指令。掩模数据准备40产生与由设计布局35界定的目标图案(target pattern)对应的掩模图案(掩模布局)。掩模图案是通过将IC设计布局35的目标图案分割成适合于掩模制作光刻工艺(例如电子束光刻工艺)的多个掩模特征(掩模区)来产生。所述分割工艺(fracturing process)可根据例如IC特征几何结构、图案密度差异及/或临界尺寸(critical dimension,CD)差异等各种因素来实作。掩模特征是基于由印刷掩模图案的掩模写入器所实作的方法来界定。

[0029] 在电子束写入器使用可变形状束(variable-shaped beam,VSB)方法来印刷掩模图案的一些实例中,可通过将IC设计布局35分割成多边形(例如矩形或梯形)来产生掩模图案。对应的掩模曝光布局(mask shot map)可包含每一多边形的曝光单元(exposure shot)信息。举例来说,对于每一多边形,界定至少一个对应的曝光单元,包括曝光量、曝光时间及/或曝光形状。

[0030] 在电子束写入器使用特征投影(character projection,CP)方法来印刷掩模图案的一些实例中,可通过将IC设计布局35分割成与由电子束写入器所使用的模版(stencil)对应的特征(通常代表复杂图案)来产生掩模图案。对应的掩模曝光布局可包含每一特征的

曝光单元信息。举例来说,对于每一特征,界定至少一个对应的曝光单元,包括曝光量、曝光时间及/或曝光形状。在此种实例中,可使用VSB方法来印刷不与模版中的特征匹配的被分割的IC设计布局35的任意部分。

[0031] 掩模数据准备40可包括用于优化掩模图案的各种工艺,使得使用从掩模图案制作出的掩模、通过光刻工艺而在晶片(常称为最终晶片特征)上形成的最终图案展现出增强的解析度(resolution)及精确度。举例来说,掩模数据准备40包括OPC 42,OPC 42使用光刻增强技术来补偿图像畸变及误差,例如因衍射、干扰及/或其他工艺效应而出现的畸变及误差。OPC 42可根据光学模型或光学规则向掩模图案增添辅助特征(例如,散射条纹(scattering bar)、衬线(serif)及/或锤形(hammerhead))来增强晶片上的最终图案的解析度及精确度。在一些实例中,辅助特征可补偿因周围几何结构的不同密度而出现的线宽差异。在一些实例中,辅助特征可防止线端缩短(line end shortening)及/或线端圆化(line end rounding)。OPC 42还可校正电子束邻近效应及/或实行其他优化特征。

[0032] 尽管图1中未示出,然而可与OPC结合使用的一种技术是反向光刻技术(ILT),反向光刻技术使用设计的整个区域而非仅使用设计的边缘来计算掩模图案。尽管OPC可能受限于曼哈顿形式或以其他方式简单地操作光掩模的边缘,然而ILT将例如所述掩模的更丰富代表形式视为像素化图像。一般来说,ILT包括将误差(仿真晶片图案与设计者的布局之间的差异)以“反向”次序(与机器学习中的所谓的反向传播(backpropagation)类似)反馈回仿真中来计算梯度的过程,所述梯度(或所述梯度的一些功能)被接着反馈到所述掩模的迭代校正中。尽管ILT可能在一些情形中形成非直观掩模图案(unintuitive mask pattern),然而ILT可用于制作具有高保真度(fidelity)及/或实质上提高的焦深(depth-of-focus, DOF)及曝光宽容度(exposure latitude)的掩模,由此能够印刷原本可能无法实现的几何图案。在一些实施例中,ILT工艺可称为一种模型化(model-based)掩模校正工艺。

[0033] 在一些实例中,掩模数据准备40可使用掩模规则检查(mask rule check,MRC)工艺来检查在经受OPC工艺之后的掩模图案,其中MRC工艺使用一组掩模创建规则(mask creation rules)。所述掩模创建规则可界定几何限制(geometric restriction)及/或连接性限制(connectivity restriction),以补偿IC制造工艺中的变化。

[0034] 在一些实例中,掩模数据准备40可包括光刻工艺检查(lithography process check,LPC)44,掩模数据准备40对将由IC制造商25实作以制作IC装置30的晶片制作工艺进行仿真。在一些实例中,基于所产生的掩模图案,LPC 44使用各种LPC模型(或规则)对掩模图像进行仿真,所述LPC模型可从由IC制作厂25实作的实际处理参数导出。所述处理参数可包括与IC制造循环的各种工艺相关联的参数、与用于制造IC装置30的工具相关联的参数及/或与制造工艺的其他方面相关联的参数。LPC 44可将例如图像对比(image contrast)、焦深(“DOF”)、掩模误差灵敏度(mask error sensitivity)或掩模误差增强因素(“Mask Error Enhancement Factor,MEFF”)、其他适合的因素或其组合等各种因素考虑在内。在LPC 44已创建仿真装置之后,如果仿真装置的形状不够接近满足预设设计规则,则可重复掩模数据准备40中的一些步骤(例如OPC 42及MRC),来进一步精细化IC设计布局。应理解,为清晰起见已将掩模数据准备40简化,掩模数据准备40可包括用于修改IC设计布局的附加特征、工艺及/或操作来补偿IC制作厂25所使用的光刻工艺中的限制。

[0035] 除实行掩模数据准备40以外,掩模公司20还实行掩模制作45。在掩模制作45中,根

据通过掩模数据准备40而产生的掩模图案来制作掩模(例如,以下在图2中阐述的掩模222)。在一些实例中,掩模图案在掩模制作45期间被修改成符合特定掩模写入器及/或掩模制造商的要求。在掩模制作45期间,实作基于掩模图案(掩模布局)来制作掩模的掩模制作工艺。掩模可包括掩模衬底及图案化掩模层,其中所述图案化掩模层包括最终(真实)掩模图案。最终掩模特征(例如掩模外形(mask contour))与掩模图案对应(所述掩模图案转而与由IC设计布局35提供的目标图案对应)。

[0036] 在一些实例中,所述掩模为二元掩模(binary mask)。举例来说,可在透明掩模衬底(例如熔融石英衬底(fused quartz substrate)或氯化钙(CaF_2))之上形成不透明材料层(例如铬)且可基于掩模图案将所述不透明材料层图案化,以形成具有不透明区及透明区的掩模。在一些实例中,掩模是可增强成像解析度及质量的移相掩模(phase shift mask, PSM),例如衰减性移相掩模(attenuated PSM)或交替式移相掩模(alternating PSM)。举例来说,可在透明的掩模衬底(例如熔融石英衬底或氯化钙(CaF_2))之上形成移相材料层(例如硅化钼(MoSi)或氧化硅(SiO_2))且可将所述移相材料层图案化,以形成具有局部透射的移相区及用于形成掩模图案的透射区的掩模。在另一实例中,移相材料层是透明掩模衬底的一部分,使得掩模图案形成在所述透明掩模衬底中。

[0037] 在一些实例中,所述掩模为极紫外(extreme ultraviolet, EUV)掩模。举例来说,可在衬底之上形成反射层,可在所述反射层之上形成吸收层,且可将所述吸收层(例如氮化钽硼(TaBN))图案化,以形成具有用于形成掩模图案的反射区的掩模。衬底可包含低热膨胀材料(low thermal expansion material, LTEM),例如熔融石英、经二氧化钛掺杂的二氧化硅或其他适合的低热膨胀材料。反射层可包括在衬底上形成的多个层,其中所述多个层包括多个薄膜对(film pairs),例如钼硅薄膜对(molybdenum-silicide (Mo/Si) film pairs)、钼铍薄膜对(molybdenum-beryllium (Mo/Be) film pairs)或被配置用于反射EUV辐照(光)的其他适合的材料薄膜对。EUV掩模还可包括设置在反射层与吸收层之间的顶盖层(例如钌(Ru))。作为另外一种选择,在反射层之上形成另一反射层并将所述另一反射层图案化,以形成EUV移相掩模。

[0038] 掩模制作45可使用各种光刻工艺来制作掩模。举例来说,掩模制作工艺可包括光刻工艺,所述光刻工艺涉及在掩模材料层上形成图案化能量敏感性抗蚀剂层(patterned energy-sensitive resist layer)并将在所述图案化能量敏感性抗蚀剂层中界定的图案转移到掩模图案化层。掩模材料层可为吸收层、移相材料层、不透明材料层、掩模衬底的一部分及/或其他适合的掩模材料层。在一些实例中,形成图案化能量敏感性抗蚀剂层包括:在掩模材料层(例如,通过旋转涂布(spin coating))上形成能量敏感性抗蚀剂层;实行带电粒子束曝光工艺(charged particle beam exposure process);以及实行显影工艺(developing process)。带电粒子束曝光工艺使用带电粒子束(例如电子束或离子束)在能量敏感性抗蚀剂层中直接“写入”图案。由于能量敏感性抗蚀剂层对带电粒子束敏感,因此所述能量敏感性抗蚀剂层的被暴露出的部分发生化学变化,且所述能量敏感性抗蚀剂层的被暴露出的(或未被暴露出的)部分在显影工艺期间溶解,其视所述能量敏感性抗蚀剂层的特性及在显影工艺中使用的显影溶液的特性而定。在显影之后,图案化抗蚀剂层包括与掩模图案对应的抗蚀剂图案。接着通过适合的工艺将抗蚀剂图案被转移到掩模材料层,以在所述掩模材料层中形成最终掩模特征。举例来说,掩模制作工艺可包括实行将掩模材料层

的一些部分移除的刻蚀工艺,其中所述刻蚀工艺在所述刻蚀工艺期间使用图案化能量敏感性抗蚀剂层作为刻蚀掩模。在刻蚀工艺之后,光刻工艺可例如使用抗蚀剂剥除工艺(resist stripping process)从掩模材料层移除图案化能量敏感性抗蚀剂层。

[0039] IC制造商25(也称为IC制作厂25)(例如半导体代工厂)使用由掩模公司20所制作的一个或多个掩模来制作IC装置30。举例来说,晶片制作工艺可使用掩模来在晶片上制作IC装置30的一部分。在一些实例中,IC制造商25使用各种掩模无数次地实行晶片制作工艺,以完成IC装置30的制作。

[0040] 图2是根据一些实施例构造的光刻系统200的示意图。举例来说,可由IC制造商25使用光刻系统200以制作IC装置30。光刻系统200被设计成通过辐照或光210将半导体晶片202曝光。半导体晶片202可为硅晶片或用于制作IC装置30的其他类型的晶片。半导体晶片202可包括抗蚀剂层204,抗蚀剂层204是对光210敏感的材料。光刻系统200采用辐照源来产生光210,例如具有范围介于约1nm与约100nm之间的波长的极紫外(EUV)光。光刻系统200还包括掩模平台(mask stage)220,掩模平台220被配置成固定掩模222,掩模222可由掩模公司20制作。在一些实施例中,掩模平台220包括用于稳固掩模222的静电吸盘(electrostatic chuck,e-chuck)。如图2中所示,当光刻系统200是EUV光刻系统时,掩模222是反射掩模。光刻系统200还可包括用于将掩模222上的图案成像到半导体晶片202的投影光学元件盒(projection optics box,POB)230。POB 230包括用于引导来自掩模222的光210的反射光学元件,其载送在掩模222上界定的图案的图像。尽管图2中未示出,然而可使用相似的原理,利用具有约193nm或大于193nm的波长的深UV(deep UV,DUV)光来制作IC装置30。

[0041] 依据IC制作阶段,半导体晶片202当经受晶片制作工艺时,可包括各种材料层及/或IC特征(例如,经掺杂特征、闸极特征、源极/漏极特征及/或内连线特征)。在抗蚀剂层204中可形成图案且所述图案被转移到晶片材料层,所述晶片材料层可为介电层、半导体层、导电层、衬底的一部分及/或其他适合的晶片材料层。在半导体晶片202中形成图案化抗蚀剂层可包括:在衬底上形成抗蚀剂层204(例如,通过旋转涂布);实行预曝光烘烤工艺;使用掩模222实行曝光工艺(包括掩模对齐);实行曝光后烘烤工艺;以及实行显影工艺。在曝光工艺期间,将抗蚀剂层204暴露于光210(例如紫外(UV)光、深UV(DUV)光、或极UV(EUV)光)。掩模222依据掩模的最终掩模特征及/或掩模类型(例如,二元掩模、移相掩模或EUV掩模)来阻挡、透射或反射通向抗蚀剂层204的光210,使得图像投影到与最终掩模特征对应的抗蚀剂层204上。此种图像在本文中称为投影晶片图像(projected wafer image)50。由于抗蚀剂层204对光210敏感,因此抗蚀剂层204的被暴露出的部分发生化学变化,且抗蚀剂层204的被暴露出的(或未被暴露出的)部分在显影工艺期间溶解,其视所述能量敏感性抗蚀剂层的特性及在显影工艺中使用的显影溶液的特性而定。在显影之后,抗蚀剂层204包括与最终掩模特征对应的抗蚀剂图案。

[0042] 重新参照图1,可实行显影后检验(after development inspection,ADI)55,以撷取与抗蚀剂图案相关联的信息,例如临界尺寸均匀性(critical dimension uniformity,CDU)信息、上覆信息(overlay information)及/或缺陷信息。理想上,最终晶片特征60匹配由IC设计布局35界定的目标图案。然而,由于与掩模制作工艺及晶片制作工艺相关联的各种因素,在掩模上形成的最终掩模特征常不同于掩模图案(从由IC设计布局35界定的目标

图案产生),致使在晶片上形成的最终晶片特征60不同于目标图案。举例来说,掩模写入模糊化(mask writing blur)(例如电子束写入模糊化(e-beam writing blur))及/或其他掩模制作因素可能在最终掩模特征与掩模图案之间造成变化,此转而会在最终晶片特征60与目标图案之间造成变化。与晶片制作工艺相关联的各种因素(例如抗蚀剂模糊(resist blur)、掩模衍射(mask diffraction)、投影成像解析度(projection imaging resolution)、酸扩散(acid diffusion)、刻蚀偏置(etching bias)及/或其他晶片制作因素)进一步加剧最终晶片特征60与目标图案之间的变化。

[0043] 为将此种变化最小化或消除,计算光刻(computational lithography)有助于增强及优化掩模制作工艺及晶片制作工艺。计算光刻包括实作计算密集型物理模型及/或经验模型来预测及优化IC特征图案化的一组技术。所述物理模型及/或经验模型是基于影响光刻工艺结果的现象,例如成像效应(例如,衍射及/或干涉)及/或抗蚀剂化学反应。IC制造系统10可实作此种技术,以产生掩模制作工艺(常称为掩模优化)的优化设定及/或晶片制作工艺(常称为源优化(source optimization)、波前工程(wave front engineering)及/或目标优化)。举例来说,IC制造系统可实作OPC、MRC、LPC及/或ILT技术,来产生由掩模公司20制作的掩模的最终掩模特征的形状,所述形状使投影晶片图像50优化,以使投影晶片图像50可与IC设计布局35的目标图案尽可能相近地对应。

[0044] 图3是根据本发明各种实施例的掩模设计系统300的方块图。掩模设计系统300可为图1中所示掩模公司20的一部分,更具体来说,掩模设计系统300可进行操作,以实行联系图1所示掩模数据准备40而阐述的功能性。在操作中,掩模设计系统300被配置成在IC设计布局35通过掩模制作45而转移到掩模222之前,根据各种预设条件(例如,设计规则、IC制作能力及限制)来操控IC设计布局35。举例来说,包括OPC、ILT、MRC及/或LPC在内的掩模数据准备40可被实作成在掩模设计系统300上执行的软件指令。在此种实施例中,掩模设计系统300从设计公司15接收IC设计布局35(例如,GDSII文件)。在掩模数据准备40完成之后,掩模设计系统300向掩模制作45提供经修改的IC设计布局37,来制作掩模222。

[0045] 掩模设计系统300可包括一个或多个计算机装置或机器。如上所述,随着技术节点日渐变小,更多的装置及特征被包装到IC设计布局的相同区域中。因此,在计算光刻的应用(例如,OPC及ILT)中,IC布局的大的区域被划分成小的图块,以用于分布式处理。分布式处理因与单一CPU相关联的物理存储体有限,而有助于光刻仿真。可通过由位于多个机器上的多个CPU进行的平行处理,来更快速地且更高效地执行光刻仿真。在实施例中,掩模设计系统300包括多个机器,所述多个机器包括管理者机器310及多个工作者机器(例如320及330)。每一个机器是信息处理系统(information handling system),例如计算机、服务器、工作站或其他适合的装置。所述多个机器可驻留在相同的位置处(例如,较大的掩模设计系统单元)或不同的位置处,且可通过各种通信方式彼此交互作用。

[0046] 每一个管理者机器或工作者机器包括处理器(processor)312、系统存储(system memory)314、海量存储装置(mass storage device)316及通信模块(communication module)318。处理器312可包括一个或多个CPU。系统存储314提供具有非暂时性计算机可读存储器的处理器312,以方便通过处理器312来执行计算机指令。系统存储的实例可包括随机存取存储(random access memory, RAM)装置,例如动态随机存取存储(dynamic RAM, DRAM)、同步动态随机存取存储(synchronous DRAM, SDRAM)、固态存储装置及/或所属领域

中已知的各种其他存储装置。在海量存储装置316上存储计算机程序、指令及数据。海量存储装置的实例可包括硬盘、光盘、磁光盘、固态存储器装置及/或各种其他海量存储器装置。通信模块318可进行操作,以与掩模设计系统300中或IC制造系统10中的其他组件(例如设计公司15)交流信息(例如IC设计布局文件)。通信模块的实例可包括以太网卡、802.11WiFi装置、蜂窝数据无线电(cellular data radio)及/或其他适合的装置。

[0047] 图3中所示新颖的平行计算架构可通过防止本征地发生图块边界不一致性,来自然地解决大面积光刻仿真的图块边界问题。在实施例中,在不同图块的局部计算中使用多个工作者机器(包括320及330)的同时,使用管理者机器310来执行总体计算算法。工作者机器与相邻图块交换其中间计算结果,所述中间计算结果被适当地接合在一起。在迭代过程中的每一次迭代(例如OPC及ILT)内,在每一图像仿真步骤处均可发生此种信息的交换,以同步仿真结果同步。连续的信息交换本征地避免在传统实践中出现的图块边界接合问题。参照图4阐述此种同步化平行图块计算方案的更多细节。

[0048] 图4是根据本发明各种实施例的计算光刻方法400的流程图。计算光刻方法400可通过图1所示的IC制造系统10来实作,其中设计公司15、掩模公司20及/或IC制造商25可实行(或进行合作以实行)方法400来制造IC装置30。举例来说,方法400可由掩模公司20作为计算光刻工艺来实作,计算光刻工艺使用光刻增强技术来补偿图像畸变及误差,例如因衍射、干涉或其他工艺效应而出现的图像畸变及误差。方法400可由掩模设计系统300的管理者机器310及工作者机器联合实作。为清晰起见,已简化图4。应理解,可在方法400之前、期间及之后提供附加步骤且对于方法400的其他实施例,可替换或去除所述步骤中的一些步骤。除非另外指明,否则方法400中的步骤可以包括同时进行在内的任意次序实行。

[0049] 在步骤405中,管理者机器(例如,管理者机器310)接收IC设计布局,例如IC设计布局35。IC设计布局是以具有目标图案信息的一个或多个数据文件(例如,GDSII文件格式)呈现。IC设计布局可为原始设计布局或从原始设计布局处理而成的版本。IC设计布局包括为将例如由IC制造系统10制造的IC产品设计的各种IC特征(以几何形状为代表)。IC特征可在各种材料层(例如金属层、介电层及/或半导体层)中形成,所述各种材料层组合起来会形成IC产品的IC特征。在一些实例中,IC特征在掩模(例如,掩模222)上规定掩模特征,以将抗蚀剂层(例如,抗蚀剂层204)选择性地暴露于辐照能量(例如,光210)。IC设计布局可含有需要被分割成较小图块,以用于分布式处理的相对大的区域。此种区域可具有任意适合的形状及/或大小。此种区域的大小可视例如管理者机器的计算能力等各种因素而定。举例来说,IC设计布局的长度或宽度可介于50微米(μm)到1毫米(mm)范围内。在一些实施例中,IC设计布局包括为约 200×200 平方微米(μm^2)、 $100 \times 300 \mu\text{m}^2$ 、 $28 \times 32 \mu\text{m}^2$ 等的区域。

[0050] 在步骤410中,管理者机器将IC设计布局(或其区域)划分或分割成多个较小的图块。在一些实施例中,IC设计布局包括研究区(region of interest)及周围冻结区(surrounding freeze region),且研究区被分割成图块。每一图块代表将被指派给工作者机器以进行平行计算的工作单元(job unit),所述工作单元是IC设计布局的较小区域。每一图块可具有任意适合的形状(例如,矩形或正方形)及/或大小。举例来说,设计布局的大区域(例如, $200 \times 200 \mu\text{m}^2$)可被管理者机器分割成一定数目的图块(例如,各自具有 $50 \times 50 \mu\text{m}^2$ 大小的16个图块)。就在IC设计布局内的相对位置来说,每一图块可通过其四个隅角的座标来界定或识别。就图像内容来说,每一图块可具有带有图像值(image values)的多

个像素(或点或斑点),如以下参照图6所进一步阐述。在分割之后,每一个图块被指派给将用于支援管理者机器的局部运算的工作者机器(例如,工作者机器320或330)。再者,管理者机器向每一个工作者机器发送界定哪些点或像素去往与所述工作者机器交互作用的其他工作者机器中的哪一者的消息递送指令,由此能够使所述工作者机器与其他工作者机器交换信息,以同步其仿真结果。应注意,如果IC设计布局对于一个管理者机器来说过大而无法计算,则可使用多个管理者机器来处理计算负荷,所述多个管理者机器中的每一者与多个工作者机器交互作用。

[0051] 在本发明的实施例中,IC设计布局(或其区域)可依据应用而灵活地被分割成图块(此过程有时称为“图块分割(tiling)”)。作为实例,图5A是示出均匀图块分割方案(uniform tiling scheme)500的图,图5B是示出交错图块分割方案(staggered tiling scheme)550的图,且图5C是示出适应性图块分割方案(adaptive tiling scheme)580的图。在均匀图块分割方案500中,矩形图块具有相等大小且被紧密包装(具有或不具有交叠区域)。图5A示出九个矩形图块(由实线矩形代表的四个隅角图块及由虚线矩形代表的其他图块),其中每一个图块局部地交叠其相邻图块。参照图6阐述与每一个图块相关联的不同区的细节。在交错图块分割方案550中,矩形图块可具有相等或不同的大小,且可或可不在布局的特定区域中彼此交叠。图5B示出五个矩形图块,两个由实线矩形代表且三个由虚线矩形代表。在一些实施例中,使用交错图块分割方案550来尽可能高效地(例如,通过不对特定非必需的区进行仿真)对非标准(非矩形)区进行仿真。在适应性图块分割方案580中,图块是不均匀地分布在布局中;确切来说,图块的形状、大小及位置可基于所述布局中的IC特征来调适。如图5C中所示,视需要,可将特定图块进一步划分成更小的区域(称为“子图块(subtile)”)。适应性图块分割方案580相对于均匀图块分割方案500来说的一个优点是存在从计算中省略子图块中的一些子图块的选项。举例来说,不计算一个 $16 \times 16 \mu\text{m}^2$ 图块,而可计算两个或三个 $8 \times 8 \mu\text{m}^2$ 子图块(且省略两个或一个子图块),此可提高效率。应理解,尽管图5A到图5C中未示出,然而预期在本发明的实施例的范围内还存在其他图块分割方案。再者,应理解,由于图块代表被指派给工作者机器以进行计算的工作单元,因此本文中可通过例如仿真盒(simulation box)或包围盒(bounding box)等其他用语来撷取或以其他方式表达图块的概念。以下参照图7来进一步阐述仿真盒及其相关联区。

[0052] 在步骤420中,工作者机器准备或预处理其IC设计布局的相应部分,以进行仿真。举例来说,由于每一个经分割的图块(或仿真盒)可含有几何内容,因此每一个工作者机器可在其相应的图块(或仿真盒)中接收几何内容且接着视需要将几何内容转换为像素化的代表形式。尽管图4示出由工作者机器进行的预处理,然而作为另外一种选择,图块可通过管理者机器来进行预处理且接着被发送到工作者机器。

[0053] 在一些实施例中,预处理可包括例如栅格化(rasterization)及/或抗混迭滤波(anti-aliasing filtering)等步骤。栅格化或像素化代表取得以向量图形格式阐述的图像(例如,包括掩模图案的多边形形状),并将所述图像转换成包含像素或斑点的栅格图像的任务。在栅格化工艺中,可获得高解析度的栅格化图像。然而,此种高解析度图像可能有时是非必需的,在此种情形中,高解析度的栅格化掩模被减少取样(down-sampled)到较低的解析度的代表形式,此可包括图形保真过滤,以限制图形失真对所述较低解析度格栅(grid)的影响。

[0054] 在一些实施例中,每一个经预处理的图块包括多个像素(或点或斑点),例如像素611(以下参照图6更详细地论述)。每一个像素可代表图像的非常小的区域(例如,具有 $0.1 \times 0.1 \text{ nm}^2$ 、 $1 \times 1 \text{ nm}^2$ 、 $10 \times 10 \text{ nm}^2$ 、 $50 \times 50 \text{ nm}^2$ 等面积的正方形)。每一个像素具有用于界定其在图像内的相对位置的一组座标(例如,X-Y座标或极座标)。每一个像素还具有像素值或图像值。举例来说,可对被形状完全覆盖或局部覆盖的像素给定为1的值,且可对不被任何形状覆盖的像素给定为0的值。在一些情形中,如果像素被形状局部地覆盖,则还可对所述像素给定介于0与1之间的加权值(例如,如果像素中的区域的60%被所述形状覆盖,则给定为0.6的值)。在计算光刻期间,像素的图像值的改变可标志着覆盖所述像素的几何形状(例如,多边形边缘)的边缘移动或位移。举例来说,边缘位移值或顶点可通过比较图块中的像素的图像值如何改变来导出。在一些实施例中(例如,当OPC在不从像素值导出几何形状的条件下,直接调处所述几何形状时),每一个经预处理的图块可直接包括几何形状,且本文中所公开的原理可在此种实施例中起到相似作用。

[0055] 在步骤420之后,方法400可进入仿真成像过程430,以对光刻工艺的各种阶段进行仿真。在一些实施例中,仿真成像过程430是迭代过程,其中每一次迭代包括多个步骤。举例来说,如图4中所示,仿真成像过程430的每一次迭代包括掩模更新步骤432及多个成像步骤(例如成像步骤434及成像步骤436)。在每一次迭代结束时,产生经修改设计布局。所述迭代可进行重复,直到最终经修改设计布局450在形状上足够接近满足设计规则。

[0056] 在步骤432中,每一个工作者机器根据先前的仿真结果来更新其IC设计布局的相应部分,以得到新的布局。如图4中所示,同一工作者机器可对于下一迭代使用从步骤436获得的仿真结果来更新IC设计布局。如果尚未进行仿真(例如,在第一次迭代中),则可跳过步骤432。举例来说,在第一迭代中,可对下一成像步骤434使用来自原始IC设计布局的像素值。应注意,根据仿真计算掩模更新,可为反向问题且是通过OPC或ILT来计算。

[0057] 再者,在步骤432中,每一工作者机器将预定像素处的值传递到其指定相邻工作者机器(遵从在步骤410中产生的消息递送指令),以方便其在下一成像步骤434中的计算。举例来说,对第一图块开展工作的第一工作者机器可将消息(有时在图式中标示为“msg”)递送到对相邻图块开展工作的一个或多个第二工作者机器。消息是根据递送指令来递送,所述递送指令在步骤410中被管理者机器发送到工作者机器。递送指令界定哪些点或像素去往与所述工作者机器交互作用的其他工作者机器中的哪一者,由此能够使所述工作者机器与其他工作者机器交换信息,以同步其仿真结果。

[0058] 所述多个成像步骤(包括第一成像步骤434、中间成像步骤(图4中未示出)及最末成像步骤436)代表仿真成像过程430如何具体地对光刻工艺的各种阶段进行仿真。光刻工艺涉及各种阶段或步骤,例如掩模制作、穿过掩模的光的衍射、穿过透镜系统且到达抗蚀剂上的光的投影、抗蚀剂曝光、曝光后烘烤(post-exposure baking)、显影、刻蚀、金属线形成等。在光刻工艺的各种阶段中可使用或形成不同图像,例如掩模图像、空间图像(aerial image)或光学图像及光致抗蚀剂/抗蚀剂图像。各阶段(及其中所使用的图像)可以向前次序进行仿真(例如,对于OPC)或者另外具有以“反向”次序向后传播的误差(例如,对于ILT中的梯度计算)。在一些实施例中,可逐步地(例如,如图4中所示的n个步骤)计算标准向前光刻仿真(standard forward lithography simulation),其中每一步骤是以一图像为开始且得到另一图像。在此种步骤中产生的图像的实例包括掩模近场(mask near field)、空间

图像及抗蚀剂图像。因此,依据仿真的阶段,通过仿真成像过程430计算的IC设计布局可代表此种图像中的任一者。完成这些步骤会实现向前仿真的一个完整循环。

[0059] 在仿真成像过程430的一些实施例中,步骤434将薄掩模模型应用于所处理的掩模布局,由此产生掩模近场。掩模近场可通过将两个不同恒定场值(constant field values)分别指派给被图案占用的区域或不被图案占用的区域的薄掩模模型来进行近似计算。中间步骤(未在图4中标记)将光学模型应用于掩模近场,由此在晶片上产生空间图像。此步骤还可被视为实行曝光仿真。步骤436将光致抗蚀剂模型应用于空间图像,以在晶片上获得最终光致抗蚀剂图像。此步骤还可被视为实行光致抗蚀剂仿真。可视需要对光刻的更多阶段进行仿真。

[0060] 在平行光刻仿真中,为准确地对图块进行仿真,对可与一个或多个相邻图块交叠的较大周围区进行仿真是有用的。作为结果,对于位于交叠区中的像素,可通过不同工作者机器为同一像素计算多个像素值。在不进行恰当的同步的条件下,同一像素的多个像素值可能有所不同,进而导致图块边界不一致性。如果在仿真过程的最后进行了边界接合,则可能来不及解决边界不一致性,原因是所计算的解决方案可能已出现显著的分歧。在本发明的实施例中,为解决图块边界不一致性且因此提高光刻仿真的准确性,工作者机器可利用来自所述工作者机器自身的平均像素值(例如,先前成像步骤的结果)及从其相邻图块递送的像素值来开始多个图像步骤中的每一者。在一些实施例中,当计算像素的经更新像素值时,每一平均权重均是不是负的,且像素的所有贡献权重的总和为1。再者,在每一成像步骤期间,每一工作者机器将预定像素处的像素值传递到其指定相邻工作者机器(遵从在步骤410中产生的消息递送指令),以方便其在下一成像步骤中的计算。

[0061] 图6中进一步示出计算原理,图6是示出计算方案600的示意图。在图6中,第一图块610位于中间,两个相邻的图块620及630位于图块610的两侧。图块610、620及630可位于IC设计布局上的任意位置(例如,图5A中所示行中的任一行)。图块610可标记为“图块i”,图块620可标记为“图块i-1”,且图块630可标记为“图块i+1”,其中i代表当前图块的数目。图块610可在X方向与Y方向二者上具有附加相邻图块(例如,图5A中的中心图块具有八个相邻图块),但为简洁起见,未在图6中示出其他相邻图块。如上所述,图块610、620及630中的每一者包括多个像素,且每一像素具有将通过仿真成像过程430来更新的像素值。举例来说,图块610包括像素611,像素611的值可通过执行成像步骤434及436来改变。

[0062] 在一些实施例中,对来自工作者机器自身及来自其相邻图块的相同像素的像素值进行平均计算,是通过使用被设计用于且指派给每一图块的加权函数实现。如图6中所示,加权函数612、622及632分别被设计用于且指派给图块610、620及630。加权函数612、622及632是沿X方向绘制,原因是其用于对来自在X方向上“相邻”的图块的像素值进行组合。可设计相似的加权函数对来自在Y方向上“相邻”的图块(例如,来自图块610、图6中未示出的上部图块及下部图块)的像素值进行组合。在一些实施例中,加权函数612、622及632是相同的(例如,如果图块610、620及630在X方向上具有相同宽度)。但加权函数612、622及632可视需要(例如,如果图块610、620及630在X方向上具有不同宽度,或者如果图块610、620及630中的一者被进一步划分成子图块)来变化。每一加权函数规定一系列权重(值介于0与1之间),所述一系列权重各自对应于具有相同X座标值的像素。举例来说,加权函数612具有与像素611对应的第一权重613,且加权函数632具有也与像素611对应的第二权重633。

[0063] 基于加权函数轮廓(weight function profile),可导出与每一图块(例如,图块610)相关联的若干区。视像素的相对于加权函数的位置,所述像素可落于不同的区中。举例来说,如果像素仅基于来自图块610的结果来更新,则所述像素落于核心区614中(即,其中加权函数612等于1)。相反,如果像素(例如,像素611)基于来自包括图块610及相邻图块的多个贡献图块的像素值的加权组合来更新,则所述像素落于过渡区616中(即,其中加权函数612大于0但小于1)。包括核心区614及过渡区616的矩形区域构成图块610,原因是所述矩形区域代表图块610的工作者机器在像素更新方面上所负责的区。否则,如果像素不通过图块610来更新(但所述像素的值需要准确地对过渡区616或核心区614中的其他像素进行仿真),则像素落于晕圈区618中(即,其中加权函数612等于0)。位于晕圈区618中的像素值不被传送到相邻图块(作为另外一种选择,位于晕圈区618中的像素的值可被传送到相邻图块,但所述值将被相邻图块给定为0的权重)。从内向外包括核心区614、过渡区616及晕圈区618的全部矩形区域构成仿真盒619(有时称为包围盒、标识器(marker)或帧(frame))。在一些实施例中,仿真盒619是被指派给工作者机器的工作单元,原因是仿真盒619含有工作者机器处理其IC设计布局的相应部分所必需的所有本征像素值。在此种意义上,图块610的概念可通过仿真盒619来相等地获得。举例来说,当矩形仿真盒619被管理者机器指派给工作者机器时,所述管理者机器可通过仿真盒619的四个隅角的座标来简单地界定或识别仿真盒619。加权函数612将规定与仿真盒619相关联的其余区。

[0064] 为对交叠区产生一致的仿真结果,与相同像素的每一构成图块相关联的权重(每一权重具有大于0但小于1的值)之和等于约1(例如,1、1.01、1.001、1.0005、0.99、0.999、0.9995等)。应注意,所述权重可总计为不同的数目且接着被重新调整到约1。此可称为“单位分割(partition of unity)”。因此,加权函数 W_i 可与每一图块(例如,图块610)相关联,使得在所述图块的过渡区(例如,过渡区616)外部 $W_i=0$,在所述图块的核心区内部 $W_i=1$,且在所述图块的过渡区内部 $\sum W_i(x,y)=1$ 。

[0065] 在一些实施例中,位于座标 (x,y) 处的像素的加权组合可使用以下方程式来计算:

$$[0066] \quad P_{update}(x,y) = \sum_{i=1}^k W_i(x,y) P_i(x,y),$$

[0067] 其中 $P_{update}(x,y)$ 表示基于加权组合的像素的经更新像素值;

[0068] $P_i(x,y)$ 表示由贡献图块 i 产生的像素的先前像素值;

[0069] $W_i(x,y)$ 表示根据加权函数 W_i 的像素的权重;并且

[0070] k 表示过渡区覆盖 (x,y) 处的像素的贡献图块(包括当前图块及相邻图块)的数目。

[0071] 图7是示出相邻图块的过渡区如何交叠的示意图。视像素所位于的位置,所述像素可被不同数目的过渡区覆盖。举例来说,像素611分别被两个相邻图块(即,图块610及630)的过渡区616及636覆盖。因此,权重613及633(其将被乘以像素611的值)总计为约1。如图6中所示,权重613为约0.9,且权重633为约0.1。然而,位于过渡区616的隅角附近的另一像素617被四个相邻图块覆盖。因此,四个权重(其将被乘以像素617的值)总计为1。应注意,由于本文中图块可灵活地分割(参见图5A到图5C),因此像素可被任意适合数目的过渡区覆盖。因此,像素可基于来自贡献图块的任意适合数目的像素值的加权组合来更新。

[0072] 应注意,在图6及图7中,图块(或仿真盒)及其相关联区可具有任意适合的大小。举例来说,仿真盒619可具有约 $3 \times 3 \mu\text{m}^2$ 、 $5 \times 10 \mu\text{m}^2$ 、 $10 \times 10 \mu\text{m}^2$ 、 $10 \times 25 \mu\text{m}^2$ 、 $50 \times 50 \mu\text{m}^2$ 等

大小。在此种情形中,仿真盒619将在X方向上具有约 $3\mu\text{m}$ 、 $5\mu\text{m}$ 、 $10\mu\text{m}$ 、 $50\mu\text{m}$ 等的仿真盒宽度。图块610的边界与仿真盒619的边界之间的晕圈距离可被设定为任意适合的值(例如, $0.3\mu\text{m}$ 、 $1\mu\text{m}$ 、 $2\mu\text{m}$ 等)。其余区的大小可通过可使用任意适合的方式来设计的对应加权函数来确定。举例来说,在X方向上,核心区614的宽度及图块610的宽度二者均通过加权函数612来确定。过渡距离将核心区614与图块610分开。过渡距离界定图块610与630之间的交叠距离。在一些实施例中,过渡区616的一侧的中点可被定义为加权函数612与632相交的点。如图6中所示,加权函数612与632在其权重的值均为0.5时相交。应注意,加权函数612及632的值可依据在特定点处交叠有多少加权函数来进行调整。加权函数612在过渡距离内的轮廓可或可不关于核心区614的两侧对称。作为具体实例,就X方向上的大小来说,核心区614可具有约 $29\mu\text{m}$ 的宽度;图块610可具有约 $35\mu\text{m}$ 的宽度,在核心区614的任一侧上包括约 $3\mu\text{m}$ 的过渡距离;并且仿真盒619可具有约 $37\mu\text{m}$ 的宽度,在图块610的任一侧上包括约 $1\mu\text{m}$ 的晕圈距离。

[0073] 本文中所公开的同步化平行图块计算技术可本征地移除图块边界不一致性。举例来说,假定管理者机器310将第一仿真盒及第二仿真盒指派给工作者机器320及330,以实行仿真成像过程430。分别与图块610及630相关联的第一仿真盒及第二仿真盒在包括具有一组座标的像素或点的区(例如,均包括座标(x,y)处的像素611的过渡区616及636)中交叠。在一些实施例中,在第一成像步骤(例如,步骤432)中,工作者机器320可计算像素611的第一图像值(A),且工作者机器330可计算像素611的第二图像值(B)。此外,在第一成像步骤中,工作者机器320与330可彼此互换图像值A与B。接着,在第二成像步骤中,工作者机器320可例如使用以下方程式基于图像值A与B的加权组合来计算像素611的第三图像值(C): $C=A*(\text{权重}613)+B*(\text{权重}633)$ 。此外,在第二成像步骤中,工作者机器330可例如使用以下方程式基于图像值A与B的相同加权组合来计算像素611的第四图像值(D): $D=A*(\text{权重}613)+B*(\text{权重}633)$ 。所述两个方程式示出图像值C及D具有相等的值。换句话说,尽管其计算是单独地且独立地执行,然而工作者机器320及330二者均可在同一成像步骤中为同一像素产生相同的图像值。因此图块边界不一致性被移除。在实作中,尽管图像值C及D可能由于各种因素(例如,计算算法或工作者机器的能力的不同、模型不准确性、通信误差等)而不完美匹配,然而图像值C与D之间的潜在分歧得到显著减小。

[0074] 作为另一优点,由于每一图块使用在先前步骤(而非当前步骤)中获得的结果,因此图块次序变得与边界接合处理不相关。举例来说,可在同一成像步骤中,以任一种次序处理图块610及630,而不会影响最终输出的结果。也就是说,本文中所公开的同步技术还可可在一个CPU上运行,其中图块被逐个地仿真。在此种情形中,仍可对称地组合图块,使得图块次序不影响最终输出。

[0075] 图8是示出同步化平行图块计算方案800的一部分的示意图,同步化平行图块计算方案800可用于仿真成像过程430中。在图块分割步骤810中,管理者机器接收IC设计布局812且将IC设计布局812分割成包括814及816的多个图块。在成像步骤820(例如,与成像步骤434相同)中,对图块进行仿真或更新。举例来说,图块814及816通过更新其中所含有的图像值(但所述图块的座标保持不变)而分别转变成图块824及826。举例来说,掩模图像或近场可转变成光学图像。如上所述,对图块进行仿真涉及使用由不同图块产生的先前仿真结果的加权组合。再者,成像步骤820包括同步过程822以通过相邻图块之间的数据交换,对来自所述多个图块的图像值进行同步。具体来说,位于相邻图块的交叠区中的像素值进行互

换,以对来自所述相邻图块的仿真结果进行同步。在计算光刻期间,像素值中的变化转换成位移值,以反映相关联几何结构或形状的边缘移动。作为结果,所有图块可接合在一起,而成为经完全修改的IC设计布局830。举例来说,经修改IC设计布局830可代表光学图像。经修改IC设计布局830可存储在管理者机器中且用于下一成像步骤(或仿真成像过程430的下一迭代)。作为另外一种选择,由于由多个工作者机器进行的分布式处理的本质,经修改IC设计布局830可能无法物理地存储在单一CPU或单一装置的存储体中,而是可分布在具有同步化图像的许多工作者机器中(即,交叠区中具有相同数据且不存在图块边界问题)。因此,无论是否存储在多个机器中,经修改IC设计布局830均有效地为同步化图像(例如,虚拟同步化图像)。

[0076] 在方案800中,可在每一接下来的成像步骤中重复进行成像步骤820,直到经修改IC设计布局830满足设计规则。在此种意义上,数据在图块之间连续进行互换且进行接合。举例来说,在标准向前成像(standard forward imaging)或验证期间(verification),可对每一向前图像进行同步,且接着可在适宜的计量表处测量临界尺寸。在一些实施例中,对光学图像进行同步,接着还对各种抗蚀剂图像(例如梯度、淬火(quenching)等)进行同步。在OPC期间,可在每一阶段处对初始掩模、雅可比(Jacobian)及边缘移动进行同步。在ILT期间,可在每一阶段处对初始掩模、晶片图像及梯度进行同步。当经修改IC设计布局830满足设计规则时,所述多个图块可通过管理者机器组合在一起或接合在一起,而成为最终同步化图像值。最终经修改IC设计布局可接着用于掩模制作。

[0077] 图9是根据本发明各种实施例的计算光刻方法900的流程图。计算光刻方法900可通过图1所示的IC制造系统10来实行,其中设计公司15、掩模公司20及/或IC制造商25可实行(或进行合作以实行)计算光刻方法900,以制造IC装置30。举例来说,光刻方法900可如上所述使用由管理者机器(例如,管理者机器310)及多个工作者机器(例如,工作者机器320及330)进行的同步化平行处理,来修改IC设计布局。为清晰起见,已简化图9。应理解,可在方法900之前、期间及之后提供附加步骤且对于方法900的其他实施例,可替换或删除所述步骤中的一些步骤。除非另外指明,否则方法900的工艺可以包括同时进行在内的任意次序实行。

[0078] 在步骤910中,管理者机器接收IC设计布局。在步骤920中,管理者机器将IC设计布局分割成多个图块。管理者机器还可将所述多个图块指派给工作者机器,以进行仿真。在步骤930中,工作者机器对所述多个图块实行仿真成像过程(例如,仿真成像过程430)。在仿真成像过程之前可进行预处理。实行仿真成像过程包括对所述多个图块中的每一者执行多个成像步骤(例如,成像步骤434及436)。此外,执行所述多个成像步骤中的每一者包括通过相邻图块之间的数据交换,对来自所述多个图块的图像值进行同步。在一些实施例中,仿真成像过程是用于OPC或ILT中的迭代过程,且所述迭代过程的每一次迭代包括所述多个成像步骤。方法还包括重复实行迭代过程,直到经修改IC设计布局满足预设设计规则。

[0079] 在一些实施例中,相邻图块包括第一图块(例如,图块610)及与所述第一图块相邻的第二图块(例如,图块630)。第一图块与第一过渡区(例如,过渡区616)相关联,且第二图块与第二过渡区(例如,过渡区636)相关联。第一过渡区与第二过渡区的交叠区域包括像素(例如,像素611)。像素具有先前通过第一图块计算的第一图像值及先前通过第二图块计算的图像值。对第一图块执行成像步骤包括基于像素的第一图像值与所述像素的第二图

像值的加权组合(使用权重613及633)计算所述像素的经更新图像值。成像步骤中的相邻图块之间的数据交换包括将像素的经更新图像值从第一图块递送到第二图块。在一些实施例中,加权组合包括与第一图像值相乘的第一权重(例如,权重613)及与第二图像值相乘的第二权重(例如,权重633)。第一权重与第二权重之和大于0但等于或小于1。

[0080] 在一些实施例中,对第一图块执行的成像步骤是第一成像步骤(例如,步骤434),且所述多个成像步骤还包括在第一成像步骤之后进行的第二成像步骤。此处,对第二图块执行第二成像步骤包括基于(a)被递送到第二图块的像素的经更新图像值与(b)在第一成像步骤中通过第二图块计算的像素的第三图像值的加权组合,来计算所述像素的第二经更新图像值。

[0081] 方法900旨在解决IC制作问题。在步骤940中,管理者机器通过对来自所述多个图块的最终同步化图像值进行组合,来产生经修改IC设计布局。在步骤950中,管理者机器提供经修改IC设计布局来用于制作掩模。

[0082] 图10是根据本发明各种实施例的计算光刻方法1000的流程图。可通过图1所示的IC制造系统10来实作计算光刻方法1000。举例来说,可通过工作者机器(例如,工作者机器320或330)来实作光刻方法1000,以修改IC设计布局的一部分。为清晰起见,已简化图10。应理解,可在方法1000之前、期间及之后提供附加步骤且对于方法1000的其他实施例,可替换或去除所述步骤中的一些步骤。除非另外指明,否则方法1000的工艺可以包括同时进行在内的任意次序实行。

[0083] 在步骤1010中,第一工作者机器接收IC设计布局的仿真盒(例如,仿真盒619)。仿真盒包括第一过渡区(例如,过渡区616)。第一过渡区覆盖像素(例如,像素611),像素611也被由一个或多个第二工作者机器处理的一个或多个第二过渡区覆盖。在步骤1020中,第一工作者机器计算像素的第一像素值,以对光刻工艺的第一阶段进行仿真。光刻工艺涉及各种阶段或步骤,例如掩模制作、辐照投影、抗蚀剂曝光、曝光后刻蚀及金属线形成。在光刻工艺的各种阶段中形成不同的图像,例如掩模图像、光学图像及光致抗蚀剂或抗蚀剂图像。在步骤1030中,第一工作者机器接收已由与所述第一工作者机器交互作用的一个或多个第二工作者机器为像素计算的一个或多个第二像素值。所述一个或多个第二工作者机器可能也已计算第二像素值,以对光刻工艺的第一阶段进行仿真。在步骤1040中,第一工作者机器对像素的经更新像素值进行计算,以基于第一像素值与所述一个或多个第二像素值的加权组合,来对光刻工艺的第二阶段进行仿真。在一些实施例中(例如,对于OPC),像素的第一经更新像素值可代表所述像素处的光学图像值,且所述像素的第二经更新像素值可代表所述像素处的抗蚀剂图像值(resist image value)。在其他实施例中(例如,对于ILT),像素的第一经更新像素值可代表所述像素处的晶片图像值,且其中所述像素的第二经更新像素值可代表所述像素处的梯度值。在步骤1050中,第一工作者机器将像素的经更新像素值传送到所述一个或多个第二工作者机器中的每一者。

[0084] 如上所述,本文中所公开的平行计算架构将大的IC设计布局作为整体来处理。尽管仍使用下伏(underlying)图块方案,然而仿真结果是从每一图块平滑地且对称地组合到单一的较大仿真域(simulation domain)中。由于仿真成像过程具有产生中间结果的多个步骤,因此所公开计算架构将计算阶段化成使得可在仿真进行到下一步骤之前将中间结果同步,由此在每一步骤处有效地消除图块边界不一致性。在功能上,此种同步等于对IC设计

布局的单一的较大区域实行仿真成像过程。因此,本发明的实施例提供一种针对用于掩模布局的大的区域的光刻仿真的有效且高效的解决方案。可对光刻仿真及计算使用此种解决方案,其中在平行计算环境中使用迭代算子(例如,OPC及ILT)。

[0085] 本文中所公开的平行计算架构可在仿真效率方面实现可观的增益。作为第一实例,在不进行有意义的图案重复的平面IC设计布局中,假定每一图块包含于 $32 \times 32 \mu\text{m}^2$ 仿真域中。纯粹基于模型考虑而假定晕圈距离为约 $1 \mu\text{m}$ 。使用本文中所公开的技术,总过渡距离可为约 $3 \mu\text{m}$ 或小于 $3 \mu\text{m}$ 。据估计,在OPC仿真中,与其他方式相比在过渡距离方面的减小(从 $6 \mu\text{m}$ 到 $3 \mu\text{m}$)可得到约24%的有效增益。作为第二实例,假定每一图块包含于 $16 \times 16 \mu\text{m}^2$ 仿真域中,且纯粹基于模型考虑而假定晕圈距离为约 $0.3 \mu\text{m}$ 。据估计,在OPC仿真中,与其他方式相比在过渡距离方面的减小(从 $1.5 \mu\text{m}$ 到 $0.3 \mu\text{m}$)可得到约10%的有效增益。使用较小的晕圈(例如,大小仅受限于模型考虑)也会提高大面积仿真的效率。

[0086] 本文中所实现的效率增益对于特定图块方案来说可尤其有用。举例来说,在对于热点固定(hotspot fixing)来说有用的交错图块分割方案(例如,交错图块方案550)中,可用最少的图块高效地对非矩形区(图块或仿真盒)进行仿真。此种情形中的有效增益可为极大的,对于复杂热点区域来说尤其如此。另外,可通过多个工作者机器来同时处置连续热点区域而无需对特征进行任何冻结。总体来说,无论图块方案如何,所公开图块同步技术均具有益处。通过对特征进行冻结(例如,在完全芯片(full-chip) OPC中),所述系统在其优化掩模的自由度方面受约束。本发明的实施例提出有限的(如果有)约束条件(例如,在例如热点固定等情形中不存在此种约束条件),由此得到更好的计算结果收敛性(特别是在图块边界附近)。另外,本文中所公开的同步技术可例如通过对较大图块实作所述同步技术而选择性地并入现有框架中。所公开图块方案可与传统方案加以组合,以在可用计算资源上禁止同步处理整个设计布局时获得效率。尽管此种局部实作方案可能无法消除边界接合问题,然而其会降低边界接合问题的出现频率。

[0087] 因此,本发明的实施例提供用于IC制作的同步化平行图块计算方法的实例。在一些实例中,一种方法包括:接收IC设计布局;将所述IC设计布局分割成多个图块;对所述多个图块实行仿真成像过程,其中实行所述仿真成像过程包括对所述多个图块中的每一者执行多个成像步骤,其中执行所述多个成像步骤中的每一者包括通过相邻图块之间的数据交换,对来自所述多个图块的图像值进行同步。所述方法还包括:通过对来自所述多个图块的最终同步化图像值进行组合,来产生经修改IC设计布局;以及提供所述经修改IC设计布局来用于制作掩模。

[0088] 在一些此种实例中,所述相邻图块包括第一图块及与所述第一图块相邻的第二图块。所述第一图块与所述第二图块的交叠区域包括像素,且所述像素具有先前通过所述第一图块计算的第一图像值及先前通过所述第二图块计算的第二图像值。对所述第一图块执行成像步骤包括基于所述像素的所述第一图像值及所述像素的所述第二图像值的加权组合来计算所述像素的经更新图像值。所述成像步骤中所述相邻图块之间的所述数据交换包括将所述像素的所述经更新图像值从所述第一图块递送到所述第二图块。在一些此种实例中,所述加权组合包括与所述第一图像值相乘的第一权重及与所述第二图像值相乘的第二权重,且所述第一权重与所述第二权重之和大于0但等于或小于1。在一些此种实例中,对所述第一图块执行的所述成像步骤是第一成像步骤,且所述多个成像步骤还包括在所述第一

成像步骤之后进行的第二成像步骤。此处,对所述第二图块执行所述第二成像步骤包括基于(a)被递送到所述第二图块的所述像素的所述经更新图像值与(b)在所述第一成像步骤中通过所述第二图块计算的所述像素的第三图像值的加权组合来计算所述像素的第二经更新图像值。在一些此种实例中,所述仿真成像过程是在OPC或ILT中使用的迭代过程,且所述迭代过程的每一次迭代包括所述多个成像步骤。此处,所述方法还包括重复地实行所述迭代过程直到所述经修改IC设计布局满足预设条件。

[0089] 在又一些实例中,一种系统包括管理者机器,所述管理者机器与多个工作者机器交互作用,所述多个工作者机器包括与所述管理者机器交互作用的第一工作者机器及第二工作者机器。所述管理者机器被配置成:接收IC设计布局;将所述IC设计布局分割成多个仿真盒,所述多个仿真盒包括第一仿真盒及第二仿真盒;将所述第一仿真盒及所述第二仿真盒分别指派给所述第一工作者机器及所述第二工作者机器,以实行仿真成像过程,所述仿真成像过程包括第一成像步骤及第二成像步骤。此处,所述第一仿真盒与所述第二仿真盒的交叠区包括具有一组座标的点。所述第一工作者机器及所述第二工作者机器被配置成:在所述第一成像步骤中,使用所述第一工作者机器计算所述点的图像值A,并使用所述第二工作者机器计算所述点的图像值B;在所述第一成像步骤中,将所述图像值A与所述图像值B彼此互换;以及在所述第二成像步骤中,使用所述第一工作者机器计算所述点的图像值C,并使用所述第二工作者机器计算所述点的图像值D。所述图像值C及所述图像值D二者的所述计算是基于所述图像值A与所述图像值B的加权组合。

[0090] 在一些此种实例中,所述图像值A与所述图像值B的所述加权组合使用与所述图像值A相乘的第一权重及与所述图像值B相乘的第二权重,且其中所述第一权重与所述第二权重之和等于1。在一些此种实例中,使用所述第一工作者机器计算的所述点的所述图像值C与使用所述第二工作者机器计算的所述点的所述图像值D相等。在一些此种实例中,所述第一工作者机器及所述第二工作者机器还被配置成将所述点的所述图像值C及所述点的所述图像值D发送到所述管理者机器。在一些此种实例中,所述管理者机器还被配置成:部分地基于所述点的所述图像值C及所述点的所述图像值D来产生经修改IC设计布局;以及提供所述经修改IC设计布局以基于所述经修改IC设计布局来制作光刻掩模。

[0091] 在又一些实例中,一种用于光刻仿真的方法包括由第一工作者机器接收IC设计布局的仿真盒。所述仿真盒包括第一过渡区,所述第一过渡区覆盖像素,且所述像素还被由一个或多个第二工作者机器处理的一个或多个第二过渡区覆盖。所述方法还包括:计算所述像素的第一像素值,以对光刻工艺的第一阶段进行仿真;接收已由与所述第一工作者机器交互作用的所述一个或多个第二工作者机器为所述像素计算的一个或多个第二像素值;以及基于所述第一像素值与所述一个或多个第二像素值的加权组合来计算所述像素的经更新像素值,以对所述光刻工艺的第二阶段进行仿真。

[0092] 在一些此种实例中,所述加权组合使用多个权重,在计算所述经更新像素值时所述多个权重中的每一者被乘以所述第一像素值与所述一个或多个第二像素值中的一者。此处,所述多个权重之和等于1。在一些此种实例中,所述方法还包括:将所述像素的所述经更新像素值传送到所述一个或多个第二工作者机器中的每一者。在一些此种实例中,所述方法还包括:由与所述第一工作者机器及所述一个或多个第二工作者机器交互作用的管理者机器接收所述IC设计布局;由所述管理者机器将所述IC设计布局分割成包括所述仿真盒在

内的多个仿真盒;由所述管理者机器将所述仿真盒指派给所述第一工作者机器以进行仿真;以及从所述管理者机器向所述第一工作者机器发送消息递送指令,所述消息递送指令规定如何将所述像素的所述经更新像素值传送到所述一个或多个第二工作者机器中的每一者。在一些此种实例中,所述像素的所述经更新像素值是由所述第一工作者机器在第一成像步骤中计算的第一经更新像素值。所述方法还包括在所述第一成像步骤之后的第二成像步骤中:接收已由所述一个或多个第二工作者机器在所述第一成像步骤中为所述像素产生的一个或多个第三像素值;以及基于所述第一经更新像素值与所述一个或多个第三像素值的加权组合来计算所述像素的第二经更新像素值。在一些此种实例中,所述第一成像步骤及所述第二成像步骤用于OPC,其中所述像素的所述第一经更新像素值代表所述像素处的光学图像值,且其中所述像素的所述第二经更新像素值代表所述像素处的抗蚀剂图像值。在一些此种实例中,所述第一成像步骤及所述第二成像步骤用于反向光刻技术(ILT),其中所述像素的所述第一经更新像素值代表所述像素处的晶片图像值,且其中所述像素的所述第二经更新像素值代表所述像素处的梯度值。在一些此种实例中,所述方法还包括:部分地基于所述第二经更新像素值来产生经修改IC设计布局;以及提供所述经修改IC设计布局,以基于所述经修改IC设计布局制作光刻掩模。在一些此种实例中,所述第一像素值与所述一个或多个第二像素值的所述加权组合是由一个或多个加权函数规定,其中所述加权函数中的每一者(a)对所述仿真盒的核心区赋予为1的权重,(b)对所述过渡区赋予介于0与1之间的权重,以及(c)对所述仿真盒的晕圈区赋予为0的权重。在一些此种实例中,所述仿真盒还包括被所述过渡区环绕的核心区及环绕所述过渡区的晕圈区。此处,所述方法还包括:仅使用已由所述第一工作者机器为所述多个像素产生的像素值、而不使用由所述一个或多个第二工作者机器为所述多个像素产生的任何先前像素值来计算所述核心区中的多个像素的经更新像素值。计算所述像素的所述经更新像素值是进一步基于位于所述晕圈区中的附加像素。位于所述晕圈区中的所述附加像素的值不被所述第一工作者机器传送到所述一个或多个第二工作者机器中的任一者。

[0093] 以上概述了若干实施例的特征,以使所属领域的普通技术人员可更好地理解本发明的实施例的各方面。所属领域的普通技术人员应知,他们可容易地使用本发明的实施例作为设计或修改其他工艺及结构的基础以施行与本文中所介绍的实施例相同的目的及/或实现与本文中所介绍的实施例相同的优点。所属领域的普通技术人员还应认识到这些等效构造并不背离本发明的实施例的精神及范围,且他们可在不背离本发明的实施例的精神及范围的条件下对其作出各种变化、代替及变更。

[0094] [符号的说明]

[0095] 10:IC制造系统

[0096] 15:设计公司

[0097] 20:掩模公司

[0098] 25:IC制造商/IC制作厂

[0099] 30:IC装置

[0100] 35:设计布局

[0101] 40:掩模数据准备

[0102] 42:光学邻近效应校正(OPC)

- [0103] 44:光刻工艺检查 (LPC)
- [0104] 45:掩模制作
- [0105] 50:投影晶片图像
- [0106] 55:显影后检验
- [0107] 60:最终晶片特征
- [0108] 200:光刻系统
- [0109] 202:半导体晶片
- [0110] 204:抗蚀剂层
- [0111] 210:光
- [0112] 220:掩模平台
- [0113] 222:掩模
- [0114] 230:投影光学元件盒 (POB)
- [0115] 300:掩模设计系统
- [0116] 310:管理者机器
- [0117] 312:处理器
- [0118] 314:系统存储
- [0119] 316:海量存储装置
- [0120] 318:通信模块
- [0121] 320、330:工作者机器
- [0122] 400:方法
- [0123] 405、410、420:步骤
- [0124] 430:仿真成像过程
- [0125] 432:步骤/掩模更新步骤
- [0126] 434:步骤/成像步骤/第一成像步骤
- [0127] 436:步骤/成像步骤/最末成像步骤
- [0128] 450:最终经修改设计布局
- [0129] 500:均匀图块分割方案
- [0130] 550:交错图块分割方案
- [0131] 580:适应性图块分割方案
- [0132] 600:计算方案
- [0133] 610:图块/第一图块
- [0134] 611、617:像素
- [0135] 612、622、632:加权函数
- [0136] 613:权重/第一权重
- [0137] 614:核心区
- [0138] 616、636:过渡区
- [0139] 618:晕圈区
- [0140] 619:仿真盒
- [0141] 620、630、814、816、824、826:图块

- [0142] 633:权重/第二权重
- [0143] 800:方案/同步化平行图块计算方案
- [0144] 810:图块分割步骤
- [0145] 812:IC设计布局
- [0146] 820:成像步骤
- [0147] 822:同步过程
- [0148] 830:经修改IC设计布局
- [0149] 900、1000:方法
- [0150] 910、920、930、940、950、1010、1020、1030、1040、1050:步骤
- [0151] X、Y:方向

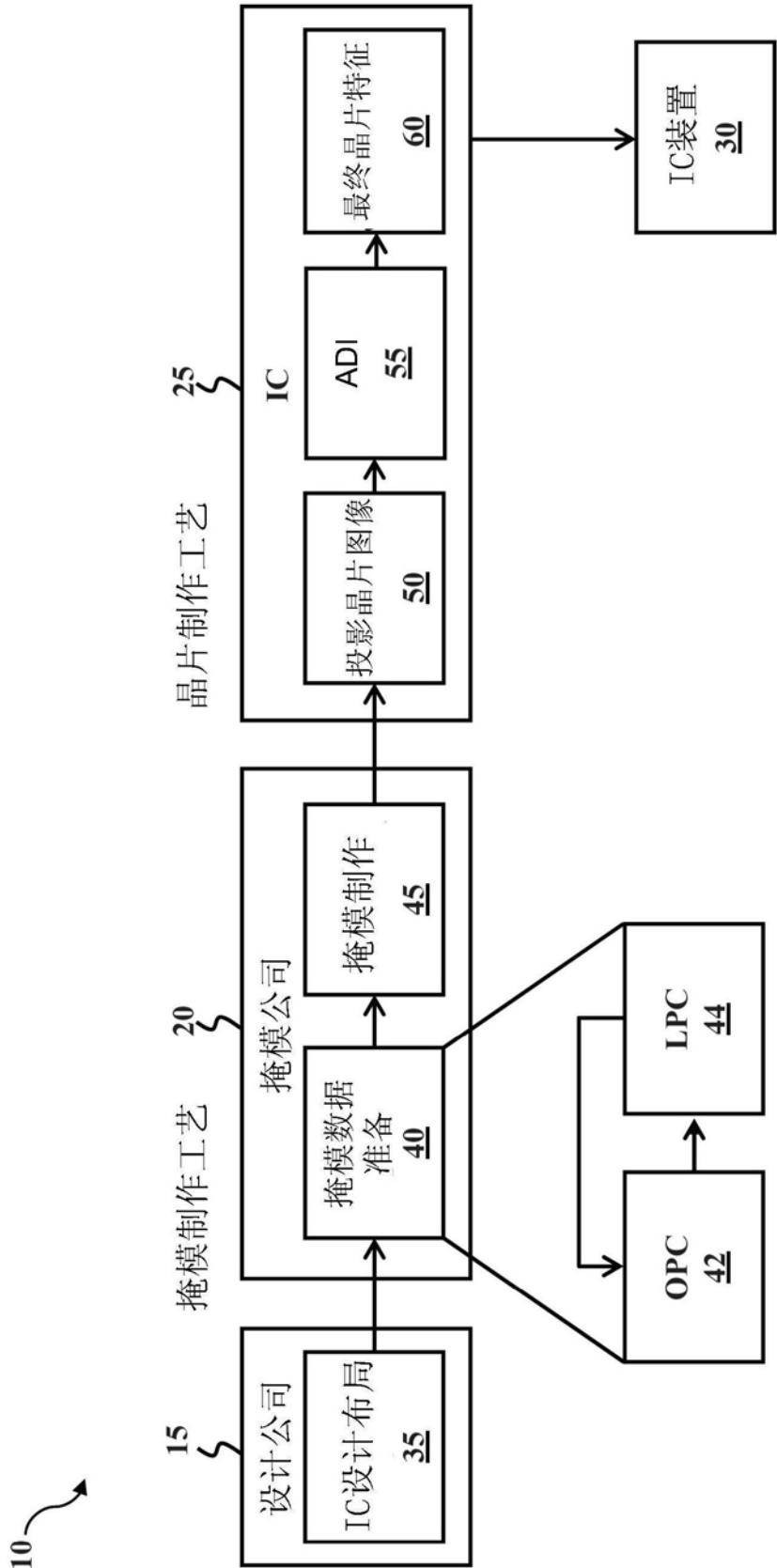


图1

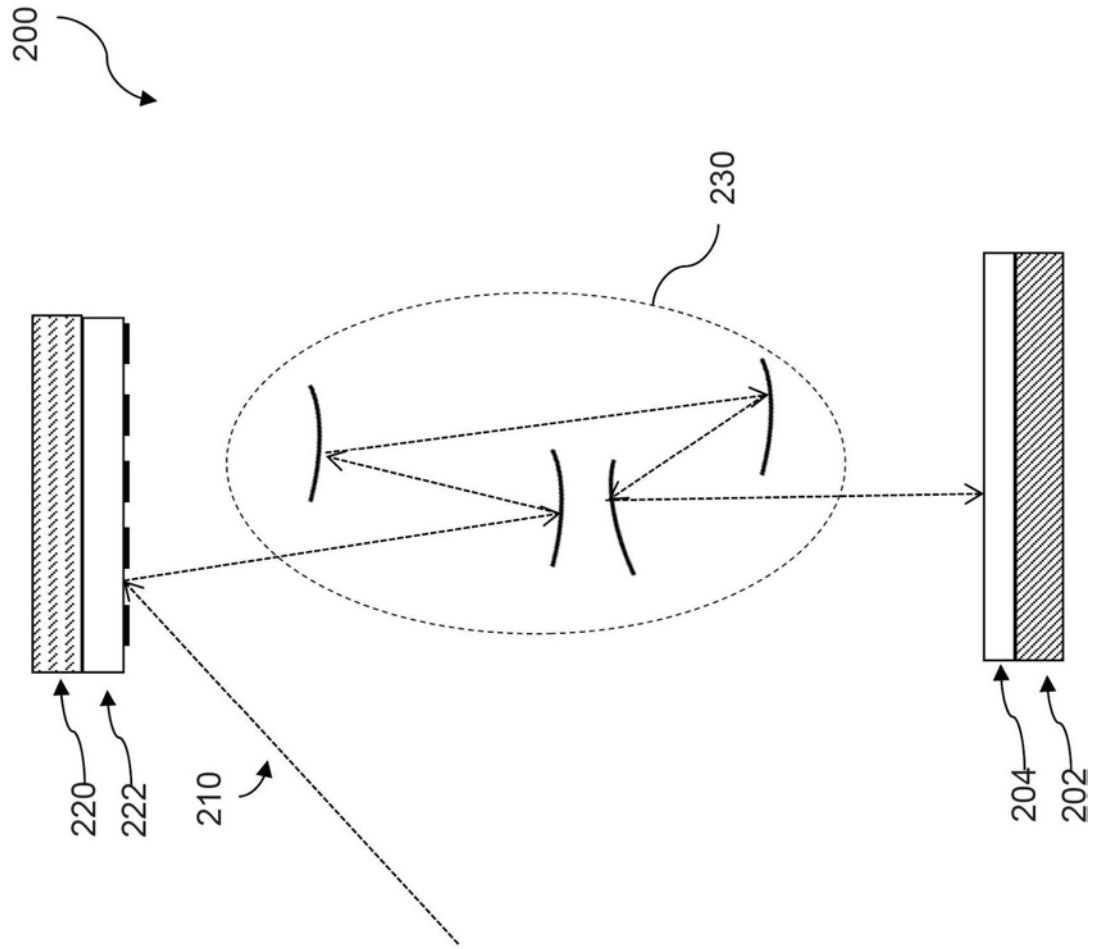


图2

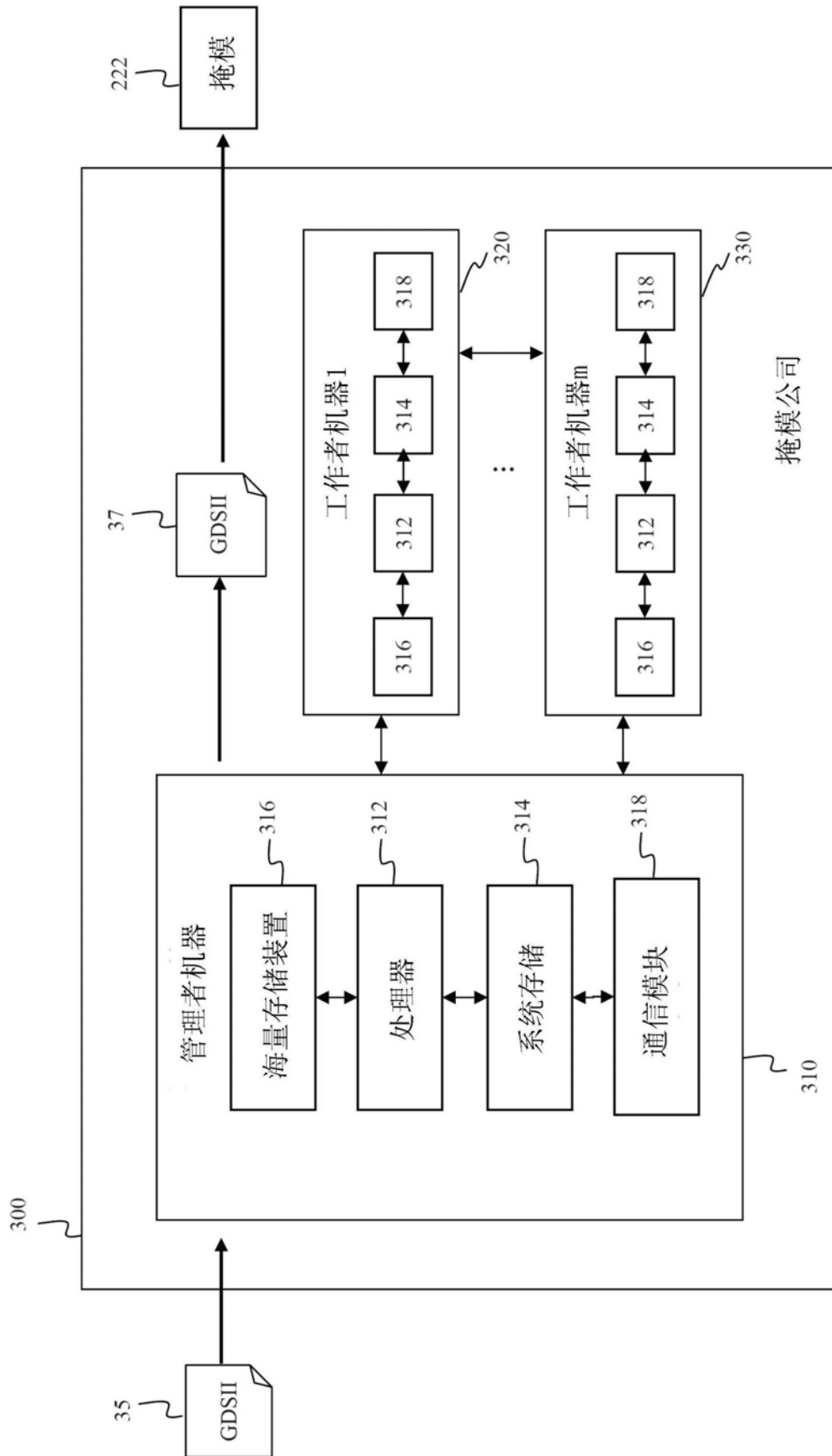


图3

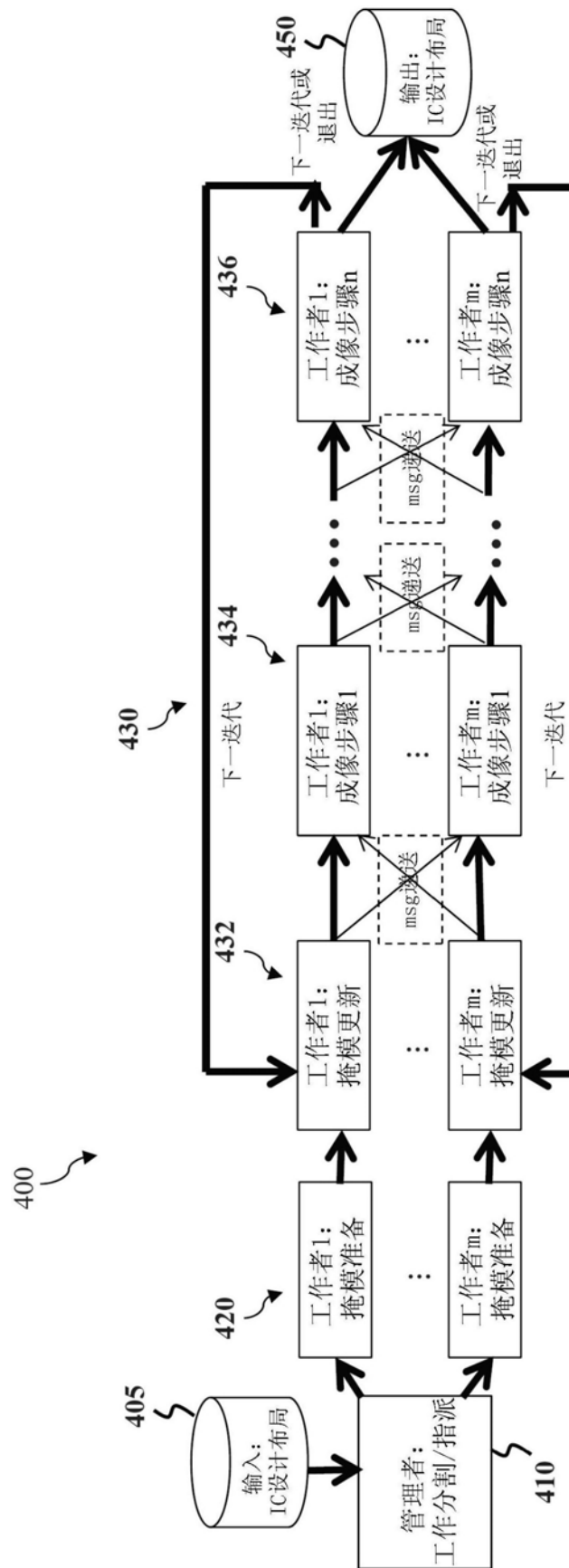


图4

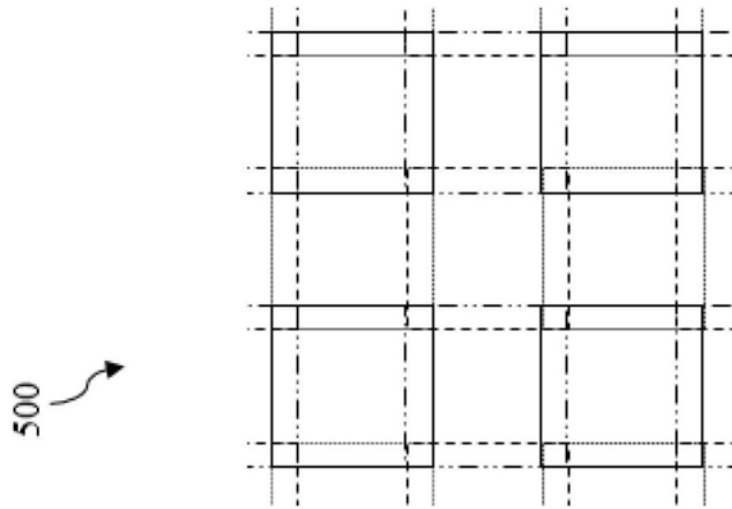


图5A

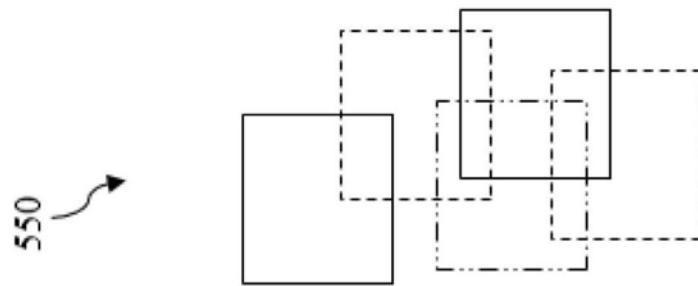


图5B

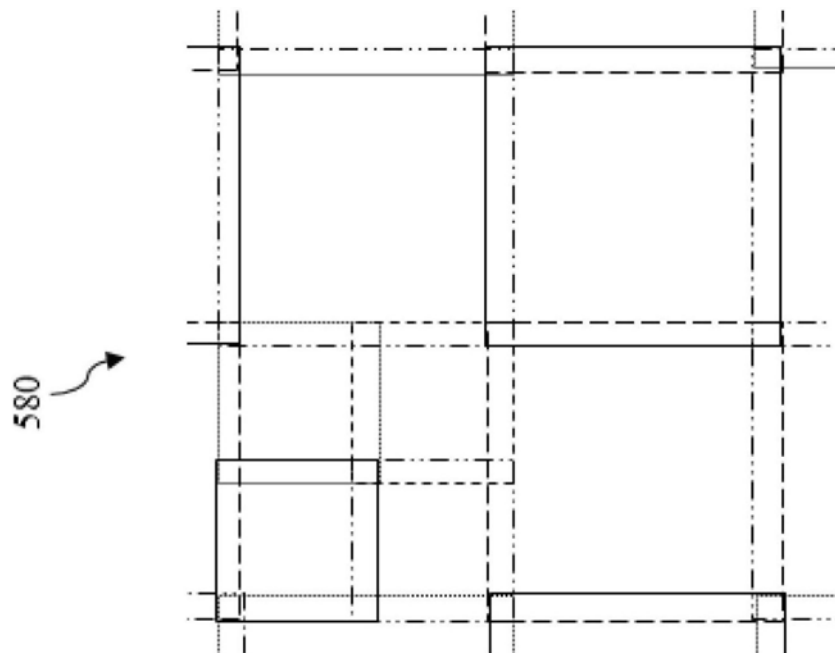


图5C

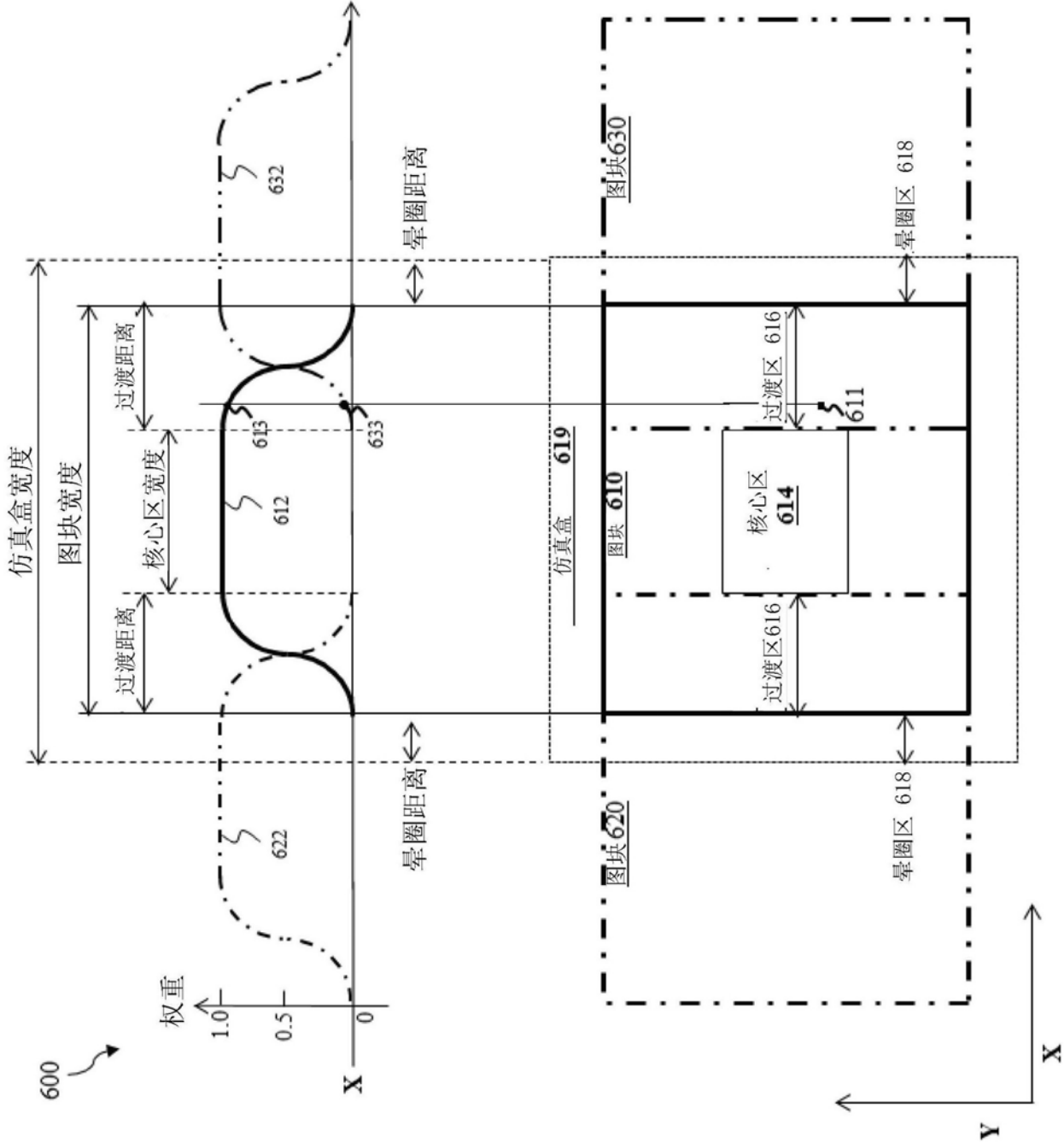


图6

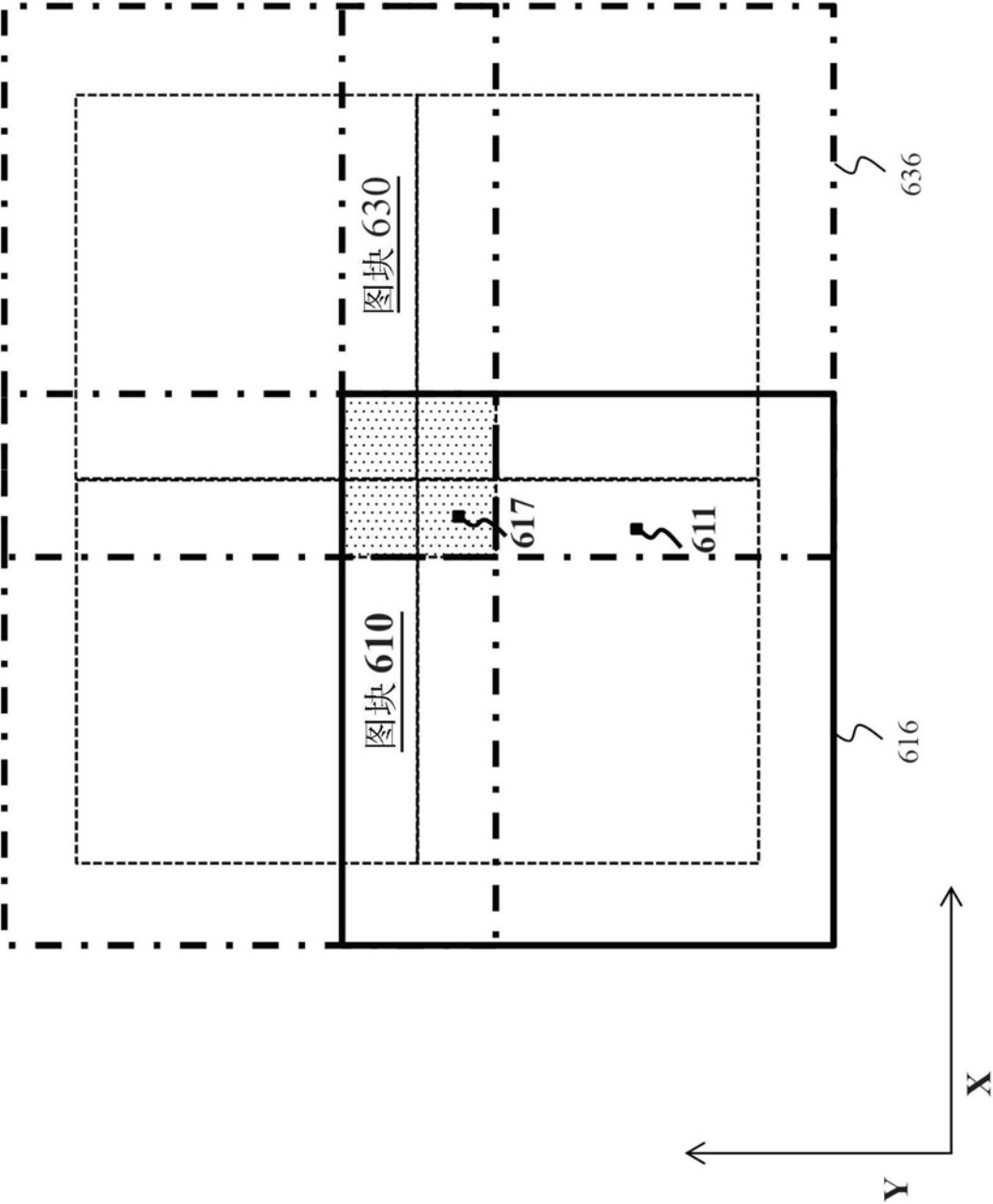


图7

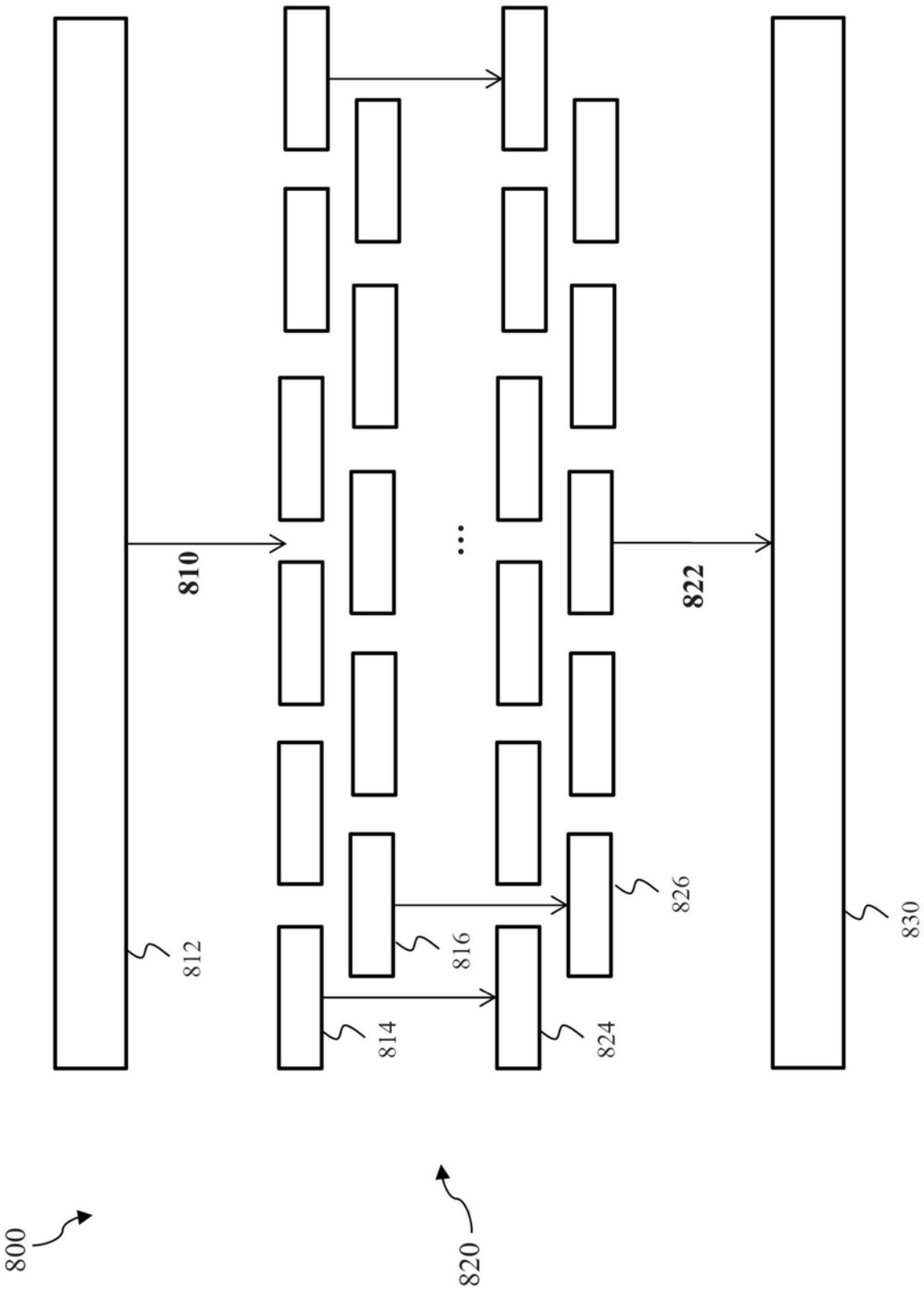


图8

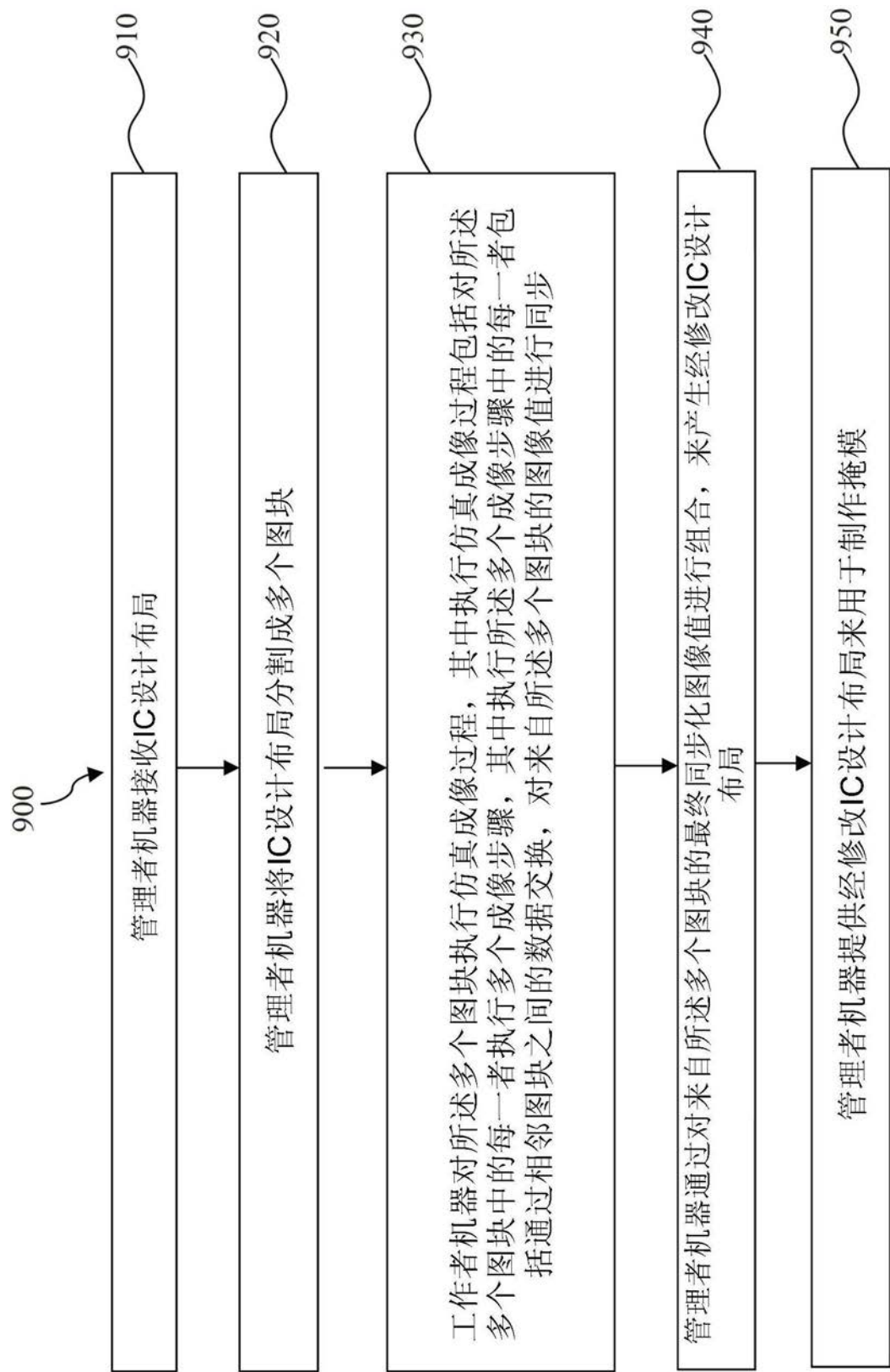


图9

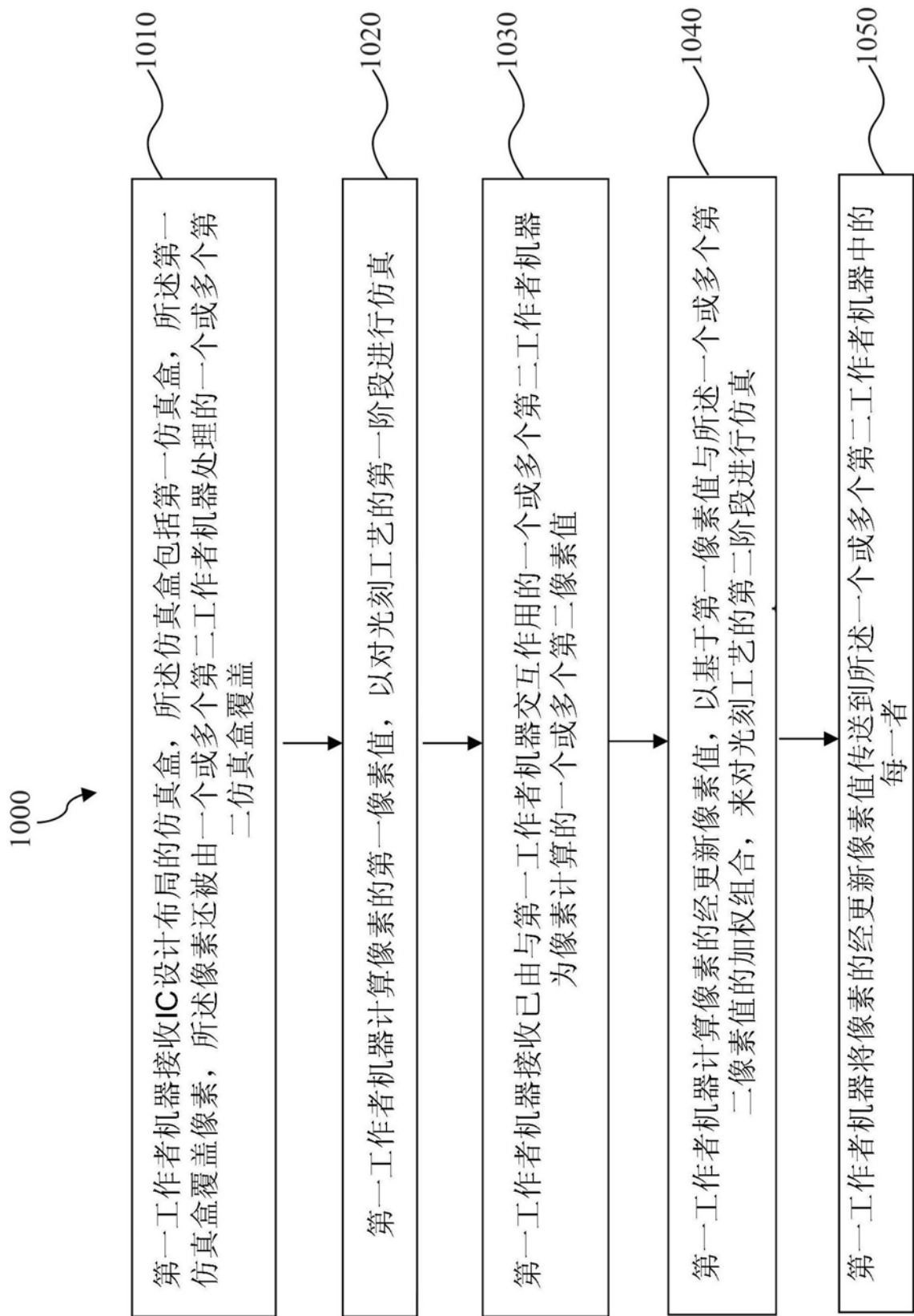


图10