



(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201923442 A

(43)公開日：中華民國 108(2019)年06月16日

(21)申請案號：107107953

(22)申請日：中華民國 107(2018)年03月08日

(51)Int. Cl. : G03F1/36 (2012.01)

G06F17/50 (2006.01)

(30)優先權：2017/11/15 美國

62/586,621

2018/01/10 美國

15/867,437

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)  
新竹市力行六路八號(72)發明人：彭 丹平 PENG, DANPING (US)；屈 帥哥 SAGAR, TRIVEDI (IN)；徐方博 XU,  
FANGBO (CN)；裴 大牛 DANIEL, BEYLIKIN (US)；何 力鍵 HO, KENNETH  
L. (US)；雷 俊江 LEI, JUNJIANG (US)

(74)代理人：卓俊傑

申請實體審查：無 申請專利範圍項數：1 項 圖式數：10 共 62 頁

## (54)名稱

用於積體電路製作的方法

METHOD FOR INTEGRATED CIRCUIT FABRICATION

## (57)摘要

本發明的實施例提供一種用於大面積微影模擬的同步化平行圖塊計算技術的實例來解決圖塊邊界問題。一種用於積體電路 (IC) 製作的示例性方法包括：接收 IC 設計佈局；將所述 IC 設計佈局分割成多個圖塊；對所述多個圖塊執行模擬成像過程；透過對來自所述多個圖塊的最終同步化影像值進行組合，來產生經修改 IC 設計佈局；以及提供所述經修改 IC 設計佈局來用於製作光罩。執行所述模擬成像過程包括對所述多個圖塊中的每一者執行多個成像步驟。執行所述多個成像步驟中的每一者包括透過相鄰圖塊之間的資料交換，對來自所述多個圖塊的影像值進行同步。

Examples of synchronized parallel tile computation techniques for large area lithography simulation are disclosed herein for solving tile boundary issues. An exemplary method for integrated circuit (IC) fabrication comprises receiving an IC design layout, partitioning the IC design layout into a plurality of tiles, performing a simulated imaging process on the plurality of tiles, generating a modified IC design layout by combining final synchronized image values from the plurality of tiles, and providing the modified IC design layout for fabricating a mask. Performing the simulated imaging process comprises executing a plurality of imaging steps on each of the plurality of tiles. Executing each of the plurality of imaging steps comprises synchronizing image values from the plurality of tiles via data exchange between neighboring tiles.

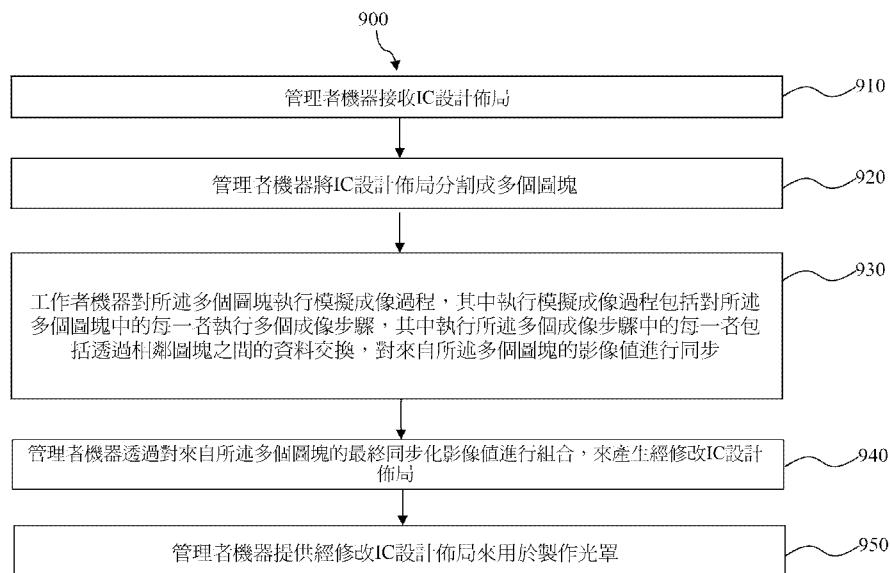
指定代表圖：

符號簡單說明：

900 · · · 方法

910、920、930、

940、950 · · · 步驟



【圖9】



201923442

## 【發明摘要】

【中文發明名稱】用於積體電路製作的方法

【英文發明名稱】METHOD FOR INTEGRATED CIRCUIT

FABRICATION

【中文】本發明的實施例提供一種用於大面積微影模擬的同步化平行圖塊計算技術的實例來解決圖塊邊界問題。一種用於積體電路（IC）製作的示例性方法包括：接收IC設計佈局；將所述IC設計佈局分割成多個圖塊；對所述多個圖塊執行模擬成像過程；透過對來自所述多個圖塊的最終同步化影像值進行組合，來產生經修改IC設計佈局；以及提供所述經修改IC設計佈局來用於製作光罩。執行所述模擬成像過程包括對所述多個圖塊中的每一者執行多個成像步驟。執行所述多個成像步驟中的每一者包括透過相鄰圖塊之間的資料交換，對來自所述多個圖塊的影像值進行同步。

【英文】Examples of synchronized parallel tile computation techniques for large area lithography simulation are disclosed herein for solving tile boundary issues. An exemplary method for integrated circuit (IC) fabrication comprises receiving an IC design layout, partitioning the IC design layout into a plurality of tiles, performing a simulated imaging process on the plurality of tiles, generating a modified IC design layout by combining final

synchronized image values from the plurality of tiles, and providing the modified IC design layout for fabricating a mask. Performing the simulated imaging process comprises executing a plurality of imaging steps on each of the plurality of tiles. Executing each of the plurality of imaging steps comprises synchronizing image values from the plurality of tiles via data exchange between neighboring tiles.

【指定代表圖】圖9。

【代表圖之符號簡單說明】

900：方法

910、920、930、940、950：步驟

【特徵化學式】

無

# 【發明說明書】

【中文發明名稱】用於積體電路製作的方法

【英文發明名稱】METHOD FOR INTEGRATED CIRCUIT

FABRICATION

【技術領域】

【0001】本發明的實施例涉及用於積體電路製作的方法，更具體來說，涉及一種用於大面積微影模擬的同步化平行圖塊計算的方法。

【先前技術】

【0002】半導體裝置行業已經歷快速發展。在半導體裝置的演進過程中，在特徵尺寸已減小的同時，功能性密度已普遍增大。這種按比例縮減製程透過提高生產效率及降低相關聯成本來提供效益。此種按比例縮減也增大了設計及製造這些裝置的複雜性。

【0003】舉例來說，應用於半導體裝置的設計及製造的一種技術是光學鄰近效應校正（optical proximity correction，OPC）。OPC包括施加使半導體裝置的光罩設計佈局變更的特徵，以補償例如因光穿過光罩上的次波長特徵進行的繞射、透鏡系統的頻寬限制效應（band limiting effect）以及在微影期間對光阻進行的化學製程而造成的畸變。因此，OPC 使得基板上的電路圖案能夠更接近地與積體電路（integrated circuit，IC）設計者為半導體裝置所設

計的佈局共形 (conform)。隨著製程節點縮減，OPC 製程及所得圖案變得更為複雜。還存在反向微影技術 (inverse lithography technology, ILT)，ILT 可在光罩( photomask )或發光分劃線( reticle )上產生複雜的曲線圖案，而非在傳統光罩或光罩版上透過 OPC 而形成的曼哈頓圖案 (Manhattan pattern)。遺憾的是，儘管現有的 OPC 及 ILT 技術已大體上足以實現它們所期望的目的，然而它們尚未在所有方面都令人完全滿意。

### 【發明內容】

**【0004】** 本發明的實施例是針對一種用於積體電路製作的方法。

**【0005】** 在某些實施例中，一種用於積體電路製作的方法包括以下步驟。接收 IC 設計佈局；將所述 IC 設計佈局分割成多個圖塊；對所述多個圖塊執行模擬成像過程，其中執行所述模擬成像過程包括對所述多個圖塊中的每一者執行多個成像步驟，其中執行所述多個成像步驟中的每一者包括透過相鄰圖塊之間的資料交換，對來自所述多個圖塊的影像值進行同步。所述方法還包括：透過對來自所述多個圖塊的最終同步化影像值進行組合，來產生經修改 IC 設計佈局；以及提供所述經修改 IC 設計佈局來用於製作光罩。

### 【圖式簡單說明】

**【0006】**

圖 1 是根據本發明各種實施例的積體電路（IC）製造系統的實施例的方塊圖。

圖 2 是根據本發明各種實施例的微影系統的示意圖。

圖 3 是根據本發明各種實施例的光罩設計系統的方塊圖。

圖 4 是根據本發明各種實施例的運算微影方法的流程圖。

圖 5A 是示出根據本發明各種實施例的均勻圖塊分割方案（uniform tiling scheme）的圖。

圖 5B 是示出根據本發明各種實施例的交錯圖塊分割方案（staggered tiling scheme）的圖。

圖 5C 是示出根據本發明各種實施例的適應性圖塊分割方案（adaptive tiling scheme）的圖。

圖 6 是示出根據本發明各種實施例的計算方案的示意圖。

圖 7 是示出根據本發明各種實施例的相鄰圖塊的過渡區如何交疊的示意圖。

圖 8 是示出根據本發明各種實施例的同步化平行圖塊計算方案的一部分的示意圖。

圖 9 是根據本發明各種實施例的運算微影方法的流程圖。

圖 10 是根據本發明各種實施例的另一運算微影方法的流程圖。

## 【實施方式】

【0007】以下公開內容提供許多不同的實施例或實例以用於實作

本發明的實施例的不同特徵。以下闡述元件及配置形式的具體實例以簡化本公開內容。當然，這些僅為實例而並非旨在進行限制。舉例來說，以下說明中將第一特徵形成在第二特徵“之上”或第二特徵“上”可包括其中第一特徵與第二特徵被形成為直接接觸的實施例，且也可包括其中第一特徵與第二特徵之間可形成有附加特徵、進而使得所述第一特徵與所述第二特徵可能不直接接觸的實施例。另外，本公開內容可能在各種實例中重複使用參考編號及/或字母。這種重複使用是出於簡明及清晰的目的，而自身並不表示所論述的各種實施例及/或配置之間的關係。

**【0008】**此外，為易於說明，本文中可能使用例如“在...之下（*beneath*）”、“在...下方（*below*）”、“下部的（*lower*）”、“在...上方（*above*）”、“上部的（*upper*）”等空間相對性用語來闡述圖中所示的一個元件或特徵與另一（其他）元件或特徵的關係。所述空間相對性用語旨在除圖中所繪示的取向外還囊括裝置在使用或操作中的不同取向。設備可具有其他取向（旋轉 90 度或處於其他取向），且本文中所使用的空間相對性描述語可同樣相應地進行解釋。

**【0009】**隨著半導體製作向日漸變小的技術節點發展，已採用各種技術來說明實現小的裝置尺寸。此種技術的一個實例是運算微影（*computational lithography*），運算微影的目標是在實際製作光罩之前對微影製程進行模擬。模擬有助於最適化光罩上的圖案幾何結構。隨著技術節點日漸變小，更多的裝置及特徵被包裝到 IC

設計佈局的相同區域中。在微影製程中使用較短的光波長以幫助實現較小的技術節點。因此，在運算微影的應用（例如，光學鄰近效應校正（Optical Proximity Correction，OPC）及反向微影技術（Inverse Lithography Technology，ILT））中，IC 佈局的大的區域被劃分成小的圖塊（tile）以用於分布式處理（distributed processing）。分布式處理因與單一中央處理器（central processing unit，CPU）相關聯的物理記憶體有限，而有助於微影模擬應用。可透過由位於多個機器上的多個 CPU 進行的平行處理，來更有效地且更高效地執行微影模擬。

**【0010】** 傳統平行計算解決方案及圖塊方案常常導致低的模擬面積效率（simulation area efficiency）。此外，需要格外小心以防在圖塊邊界處得到不一致的計算結果，不一致的計算結果會在隨後將經處理的圖塊重新接合（stitch back）到一起以形成整個光罩佈局的完整解決方案時造成困難。舉例來說，在一些光罩校正演算法（例如，OPC 及 ILT）中，以有序方式在每一圖塊內獨立地應用反覆運算運算元（iterative solver）。相鄰圖塊之間的資訊流（information flow）僅為單向的：每一圖塊是基於其前導（predecessor）的解決方案而初始化（位於其邊界附近），且所述圖塊將其自身的結果（位於其邊界附近）傳遞給其繼任（successor）。如果特定圖塊被容許相對於其前導而改變光罩解決方案，則總體上此將導致邊界不一致性。在各種解決方案均已出現分歧之後，在最後進行邊界接合（boundary stitching），需要特

定技術來校正邊界不一致性。作為另外一種選擇，圖塊可凍結 (freeze) 來自其前導的解決方案，但此將限制所述圖塊在計算最適化光罩圖案過程中具有的自由度。再者，為準確地對圖塊進行模擬，對更大的周圍區（有時稱為暈圈（halo））進行模擬是有用的。在一些傳統 OPC 及 ILT 實踐中，暈圈可能相當大（且常常比基於模型考慮而可能必需的尺寸大），此導致低的模擬面積效率。總體來說，預期傳統方法及實踐是不足的，對於發展最先進節點（5 奈米（nm）及低於 5 奈米）來說，尤其如此。

**【0011】** 本發明的實施例提供透過防止固有地 (intrinsic) 發生圖塊邊界問題，來自然地解決所述圖塊邊界問題的一種用於大面積微影模擬的新穎的平行計算架構。具體來說，在不同圖塊的局部計算( local computation )中，使用多個工作者機器( worker machine )的同時，使用管理者機器 ( manager machine ) 來執行總體計算演算法。工作者機器與相鄰圖塊交換其中間的計算結果，所述中間計算結果被適當地接合在一起。在反覆運算過程中的每一次反覆運算(例如 OPC 及 ILT)內，在每一影像模擬步驟( image simulation step )處均可發生此種資訊交換，以同步模擬結果。連續的資訊交換固有地避免在傳統實踐中出現的圖塊邊界接合問題。

**【0012】** 本文中所揭露的平行計算架構將積體電路 ( integrated circuit , IC ) 設計佈局 ( 或比常見圖塊大的所述佈局設計的大區域 ) 作為整體來處理。計算架構仍使用下伏圖塊方案，但將來自每一圖塊的模擬結果平滑地且對稱地組合成單一的較大模擬方

案。微影模擬製程可具有形成中間結果（例如光學影像、各種阻抗影像及晶圓外形）的多個步驟。所揭露計算架構將計算階段化成使得中間結果可在模擬進行到下一步驟之前同步化，藉此在每一步驟處有效地消除圖塊邊界不一致性。在功能上，此種同步化等於對 IC 設計佈局的單一的較大區域執行 OPC/ILT。因此，本發明的實施例提供一種針對用於 IC 設計佈局的大的區域的微影模擬的有效且高效的解決方案。可對微影模擬及計算使用此種解決方案，其中在平行計算環境中使用反覆運算運算元（例如，OPC 及 ILT）。參照圖 1 到圖 10 來更詳細地論述本發明的各種實施例。

**【0013】** 圖 1 是根據本發明各種實施例的 IC 製造系統 10 及與 IC 製造系統 10 相關聯的 IC 製造流程的方塊圖。IC 製造系統 10 包括在與製造 IC 裝置 30 相關的設計、開發及製造鏈及/或服務方面彼此交互作用的多個實體，例如設計公司（design house）（或設計團隊或設計工作室）15、光罩公司（mask house）20 及 IC 製造商 25（例如，IC 製作廠（fab））。所述實體是透過通訊網路來連接，所述通訊網路可為單一網路或各種不同的網路（例如內聯網及/或互聯網）且可包括有線通訊通道及/或無線通訊通道。每一實體可與其他實體交互作用且可向其他實體提供服務及/或從其他實體接收服務。設計公司 15、光罩公司 20 及 IC 製造商 25 中的一個或多個可由單一大型公司擁有且可甚至共存於共同的設施中並使用共同的資源。應理解，本文中的圖（包括圖 1）已為清晰起見而進行了簡化。因此，各圖可包括在明確示出的特徵、製程及/或操作之前、

之間及/或之後存在的附近特徵、製程及/或操作。

**【0014】** 設計公司 15 產生 IC 設計佈局 35( 也稱為 IC 設計圖案 )。IC 設計佈局 35 包括基於所要製造的 IC 產品的規格而為所述 IC 產品設計的各種電路特徵 ( 以幾何形狀為代表 ) 。電路特徵對應於在各種材料層 ( 例如金屬層、介電層及/或半導體層 ) 中形成的幾何特徵，所述各種材料層組合起來會形成 IC 產品 ( 例如 IC 裝置 30 ) 的 IC 特徵 ( 元件 ) 。舉例來說，IC 設計佈局 35 的一部分包括將在基板 ( 例如，矽基板 ) 中及/或在設置於所述基板上的各種材料層中形成的各種 IC 特徵。各種 IC 特徵可包括主動區、閘極特徵 ( 例如，閘極介電質及/或閘電極 ) 、源極/漏極特徵、內連線特徵、結合接墊特徵、其他 IC 特徵或其組合。在一些實例中，向 IC 設計佈局 35 中插入輔助特徵，以提供成像效應、過程增強及/或識別資訊。與用於最適化光罩圖案 ( 光罩佈局 ) 的光學鄰近效應校正 ( OPC ) 製程相似，幾何鄰近效應校正 ( geometry proximity correction , GPC ) 製程可基於與 IC 製作相關聯的環境影響來產生輔助特徵，所述環境影響包括蝕刻載入效應 ( etching loading effect ) 、圖案化載入效應 ( patterning loading effect ) 及/或化學機械拋光 ( chemical mechanical polishing , CMP ) 製程效應。

**【0015】** 設計公司 15 進行恰當的設計程式，以形成 IC 設計佈局 35 。設計程式可包括邏輯設計、物理設計、佈局及佈線 ( place and route ) 或其組合。IC 設計佈局 35 是以具有電路特徵 ( 幾何圖案 ) 的資訊的一個或多個資料檔案 ( data file ) 呈現。在實例中，IC 設

計佈局 35 被表達成影像資料系統（Graphic Database System）檔案格式（例如，GDS 或 GDSII）。在另一實例中，IC 設計佈局 35 被表達成另一適合的檔案格式，例如開放圖稿系統交換標準（Open Artwork System Interchange Standard）檔案格式（例如，OASIS 或 OAS）。

**【0016】**光罩公司 20 使用 IC 設計佈局 35 來製造光罩，所述光罩用於根據 IC 設計佈局 35 來製作 IC 裝置 30 的各種層。光罩（有時稱為光罩（photomask）或光罩（reticle））是在微影製程中用來將晶圓（例如半導體晶圓）圖案化的圖案化基板。光罩公司 20 執行光罩資料準備 40，其中 IC 設計佈局 35 被轉換成可被光罩寫入器（mask writer）寫入的形式，以產生光罩。舉例來說，IC 設計佈局 35 被轉換成用於光罩寫入器（例如電子束（e-beam）寫入器）的機器可讀指令。光罩資料準備 40 產生與由設計佈局 35 定義的目標圖案對應的光罩圖案（光罩佈局）。光罩圖案是透過將 IC 設計佈局 35 的目標圖案（target pattern）分割成適合於光罩製作微影製程（例如電子束微影製程）的多個光罩特徵（光罩區）來產生。所述分割製程（fracturing process）可根據例如 IC 特徵幾何結構、圖案密度差異及/或臨界尺寸（critical dimension，CD）差異等各種因素來實作。光罩特徵是基於由印刷光罩圖案的光罩寫入器所進行的方法來定義。

**【0017】**在電子束寫入器使用可變形狀束（variable-shaped beam，VSB）方法來印刷光罩圖案的一些實例中，可透過將 IC 設

計佈局 35 分割成多邊形（例如矩形或梯形）來產生光罩圖案。對應的光罩曝光佈局（mask shot map）可包含每一多邊形的曝光單元（exposure shot）資訊。舉例來說，對於每一多邊形，定義至少一個對應的曝光單元，包括曝光量、曝光時間及/或曝光形狀。

**【0018】** 在電子束寫入器使用特徵投影（character projection，CP）方法來印刷光罩圖案的一些實例中，可透過將 IC 設計佈局 35 分割成與由電子束寫入器所使用的模版（stencil）對應的特徵（通常代表複雜圖案）來產生光罩圖案。對應的光罩曝光佈局可包含每一特徵的曝光單元資訊。舉例來說，對於每一特徵，定義至少一個對應的曝光單元，包括曝光量、曝光時間及/或曝光形狀。在此種實例中，可使用 VSB 方法來印刷不與模版中的特徵匹配的被分割的 IC 設計佈局 35 的任意部分。

**【0019】** 光罩資料準備 40 可包括用於最適化光罩圖案的各種製程，使得使用從光罩圖案製作出的光罩、透過微影製程而在晶圓（常稱為最終晶圓特徵）上形成的最終圖案展現出增強的解析度（resolution）及精確度。舉例來說，光罩資料準備 40 包括 OPC 42，OPC 42 使用微影增強技術來補償影像畸變及誤差，例如因繞射、干擾及/或其他製程效應而出現的畸變及誤差。OPC 42 可根據光學模型或光學規則向光罩圖案增添輔助特徵（例如，散射條紋（scattering bar）、角塊（serif）及/或錘形（hammerhead））來增強晶圓上的最終圖案的解析度及精確度。在一些實例中，輔助特徵可補償因周圍幾何結構的不同密度而出現的線寬差異。在一些

實例中，輔助特徵可防止線端縮短（line end shortening）及/或線端圓化（line end rounding）。OPC 42 還可校正電子束鄰近效應及/或執行其他最適化特徵。

**【0020】** 儘管圖 1 未示出，然而可與 OPC 結合使用的一種技術是反向微影技術（ILT），反向微影技術使用設計的整個區域而非僅使用設計的邊緣來計算光罩圖案。儘管 OPC 可能受限於曼哈頓形式或以其他方式簡單地操作光罩的邊緣，然而 ILT 將例如所述光罩的更豐富代表形式視為像素化影像（pixelated image）。一般來說，ILT 包括將誤差（模擬晶圓圖案與設計者的佈局之間的差異）以“反向”次序（與機器學習中的所謂的反向傳播（backpropagation）類似）回饋回模擬中來計算梯度的過程，所述梯度（或所述梯度的一些功能）接著被回饋到所述光罩的反覆運算校正中。儘管 ILT 可能在一些情形中形成非直觀光罩圖案（unintuitive mask pattern），然而 ILT 可用於製作具有高保真度（fidelity）及/或實質上提高的焦深（depth-of-focus，DOF）及曝光容許度（exposure latitude）的光罩，藉此能夠印刷原本可能無法實現的幾何圖案。在一些實施例中，ILT 製程可稱為一種模型化（model-based）光罩校正製程。

**【0021】** 在一些實例中，光罩資料準備 40 可使用光罩規則檢查（mask rule check，MRC）製程來檢查在經過 OPC 製程之後的光罩圖案，其中 MRC 製程使用一組光罩創建規則（mask creation rules）。所述光罩創建規則可定義幾何限制（geometric restriction）

及/或連線性限制 (connectivity restriction)，以補償 IC 製造製程中的變化。

**【0022】** 在一些實例中，光罩資料準備 40 可包括微影製程檢查 (lithography process check，LPC) 44，光罩資料準備 40 對將由 IC 製造商 25 實施以製作 IC 裝置 30 的晶圓製作製程進行模擬。在一些實例中，基於所產生的光罩圖案，LPC 44 使用各種 LPC 模型 (或規則) 對光罩影像進行模擬，所述 LPC 模型可從由 IC 製作廠 25 實施的實際處理參數匯出。所述處理參數可包括與 IC 製造鏈的各種製程相關聯的參數、與用於製造 IC 裝置 30 的工具相關聯的參數及/或與製造製程的其他方面相關聯的參數。LPC 44 可將例如影像對比 (image contrast)、焦深 (“DOF”)、光罩誤差靈敏度 (mask error sensitivity) 或光罩誤差增強因素 (“Mask Error Enhancement Factor，MEFF”)、其他適合的因素或其組合等各種因素考慮在內。在 LPC 44 已創建模擬裝置之後，如果模擬裝置的形狀不夠接近滿足預設設計規則，則可重複光罩資料準備 40 中的一些步驟 (例如 OPC 42 及 MRC)，來進一步精細化 IC 設計佈局。應理解，為清晰起見已將光罩資料準備 40 簡化，光罩資料準備 40 可包括用於修改 IC 設計佈局的附加特徵、製程及/或操作來補償 IC 製作廠 25 所使用的微影製程中的限制。

**【0023】** 除執行光罩資料準備 40 以外，光罩公司 20 還執行光罩製作 45。在光罩製作 45 中，根據透過光罩資料準備 40 而產生的光罩圖案來製作光罩 (例如，以下在圖 2 中闡述的光罩 222)。在

一些實例中，光罩圖案在光罩製作 45 期間被修改成符合特定光罩寫入器及/或光罩製造商的要求。在光罩製作 45 期間，進行基於光罩圖案（光罩佈局）來製作光罩的光罩製作製程。光罩可包括光罩基板及圖案化光罩層，其中所述圖案化光罩層包括最終（真實）光罩圖案。最終光罩特徵（例如光罩外形（mask contour））與光罩圖案對應（所述光罩圖案轉而與由 IC 設計佈局 35 提供的目標圖案對應）。

**【0024】** 在一些實例中，所述光罩為二元光罩（binary mask）。舉例來說，可在透明光罩基板（例如熔融石英基板（fused quartz substrate）或氯化鈣（CaF<sub>2</sub>））之上形成不透明材料層（例如鉻）且可基於光罩圖案將所述不透明材料層圖案化，以形成具有不透明區及透明區的光罩。在一些實例中，光罩是可增強成像解析度及品質的相位移光罩（phase shift mask，PSM），例如衰減性相位移光罩（attenuated PSM）或交替式相位移光罩（alternating PSM）。舉例來說，可在透明的光罩基板（例如熔融石英基板或氯化鈣（CaF<sub>2</sub>））之上形成相位移材料層（例如矽化鋁（MoSi）或氧化矽（SiO<sub>2</sub>））且可將所述相位移材料層圖案化，以形成具有局部透射的相位移區及用於形成光罩圖案的透射區的光罩。在另一實例中，相位移材料層是透明光罩基板的一部分，使得光罩圖案形成在所述透明光罩基板中。

**【0025】** 在一些實例中，所述光罩為超紫外（extreme ultraviolet，EUV）光罩。舉例來說，可在基板之上形成反射層，可在所述反

射層之上形成吸收層，且可將所述吸收層（例如氮化鉭硼（TaBN））圖案化，以形成具有用於形成光罩圖案的反射區的光罩。基板可包含低熱膨脹材料（low thermal expansion material，LTEM），例如熔融石英、經二氧化鈦摻雜的二氧化矽或其他適合的低熱膨脹材料。反射層可包括在基板上形成的多個層，其中所述多個層包括多個薄膜對（film pairs），例如鉬矽薄膜對（molybdenum-silicide (Mo/Si) film pairs）、鉬鍍薄膜對（molybdenum-beryllium (Mo/Be) film pairs）或被配置用於反射 EUV 輻照（光）的其他適合的材料薄膜對。EUV 光罩還可包括設置在反射層與吸收層之間的覆蓋層（例如釤（Ru））。作為另外一種選擇，在反射層之上形成另一反射層並將所述另一反射層圖案化，以形成 EUV 相位移光罩。

**【0026】**光罩製作 45 可使用各種微影製程來製作光罩。舉例來說，光罩製作製程可包括微影製程，所述微影製程涉及在光罩材料層上形成圖案化能量敏感性光阻層（patterned energy-sensitive resist layer）並將在所述圖案化能量敏感性光阻層中定義的圖案轉移到光罩圖案化層。光罩材料層可為吸收層、相位移材料層、不透明材料層、光罩基板的一部分及/或其他適合的光罩材料層。在一些實例中，形成圖案化能量敏感性光阻層包括：在光罩材料層（例如，透過旋轉塗佈（spin coating））上形成能量敏感性光阻層；執行帶電粒子束曝光製程（charged particle beam exposure process）；以及執行顯影製程（developing process）。帶電粒子束曝光製程使用帶電粒子束（例如電子束或離子束）在能量敏感性

光阻層中直接“寫入”圖案。由於能量敏感性光阻層對帶電粒子束敏感，因此所述能量敏感性光阻層的被暴露出的部分發生化學變化，且所述能量敏感性光阻層的被暴露出的（或未被暴露出的）部分在顯影製程期間溶解，其視所述能量敏感性光阻層的特性及在顯影製程中使用的顯影溶液的特性而定。在顯影之後，圖案化光阻層包括與光罩圖案對應的光阻圖案。接著透過適合的製程將光阻圖案被轉移到光罩材料層，以在所述光罩材料層中形成最終光罩特徵。舉例來說，光罩製作製程可包括執行將光罩材料層的一些部分移除的蝕刻製程，其中所述蝕刻製程在所述蝕刻製程期間使用圖案化能量敏感性光阻層作為蝕刻光罩。在蝕刻製程之後，微影製程可例如使用光阻剝除製程（resist stripping process）從光罩材料層移除圖案化能量敏感性光阻層。

**【0027】** IC 製造商 25(也稱為 IC 製作廠 25)(例如半導體代工廠) 使用由光罩公司 20 所製作的一個或多個光罩來製作 IC 裝置 30。舉例來說，晶圓製作製程可使用光罩來在晶圓上製作 IC 裝置 30 的一部分。在一些實例中，IC 製造商 25 使用各種光罩無數次地執行晶圓製作製程，以完成 IC 裝置 30 的製作。

**【0028】** 圖 2 是根據一些實施例所建構的微影系統 200 的示意圖。舉例來說，可由 IC 製造商 25 使用微影系統 200 以製作 IC 裝置 30。微影系統 200 被設計成透過輻照或光 210 將半導體晶圓 202 曝光。半導體晶圓 202 可為矽晶圓或用於製作 IC 裝置 30 的其他類型的晶圓。半導體晶圓 202 可包括光阻層 204，光阻層 204 是對

光 210 敏感的材料。微影系統 200 採用輻照源來產生光 210，例如具有範圍介於約 1 nm 與約 100 nm 之間的波長的超紫外 (EUV) 光。微影系統 200 還包括光罩平台 (mask stage) 220，光罩平台 220 被配置成固定光罩 222，光罩 222 可由光罩公司 20 製作。在一些實施例中，光罩平台 220 包括用於穩固光罩 222 的靜電吸盤 (electrostatic chuck, e-chuck)。如圖 2 中所示，當微影系統 200 是 EUV 微影系統時，光罩 222 是反射光罩。微影系統 200 還可包括用於將光罩 222 上的圖案成像到半導體晶圓 202 的投影光學元件盒 (projection optics box, POB) 230。POB 230 包括用於引導來自光罩 222 的光 210 的反射光學元件，其載送在光罩 222 上定義的圖案的影像。儘管圖 2 未示出，然而可使用相似的原理，利用具有約 193 nm 或大於 193 nm 的波長的深 UV (deep UV, DUV) 光來製作 IC 裝置 30。

**【0029】** 依據 IC 製作階段，半導體晶圓 202 當在進行晶圓製作製程時，可包括各種材料層及/或 IC 特徵 (例如，經摻雜特徵、閘極特徵、源極/漏極特徵及/或內連線特徵)。在光阻層 204 中可形成圖案且所述圖案被轉移到晶圓材料層，所述晶圓材料層可為介電層、半導體層、導電層、基板的一部分及/或其他適合的晶圓材料層。在半導體晶圓 202 中形成圖案化光阻層可包括：在基板上形成光阻層 204 (例如，透過旋轉塗佈)；執行預曝光烘烤製程；使用光罩 222 執行曝光製程(包括光罩對齊)；執行曝光後烘烤製程；以及執行顯影製程。在曝光製程期間，將光阻層 204 暴露於光 210

(例如紫外 (UV) 光、深 UV (DUV) 光、或超 UV (EUV) 光)。光罩 222 依據光罩的最終光罩特徵及/或光罩類型 (例如，二元光罩、相位移光罩或 EUV 光罩) 來阻擋、透射或反射通向光阻層 204 的光 210，使得影像投影到與最終光罩特徵對應的光阻層 204 上。此種影像在本文中稱為投影晶圓影像 (projected wafer image) 50。由於光阻層 204 對光 210 敏感，因此光阻層 204 的被暴露出的部分發生化學變化，且光阻層 204 的被暴露出的 (或未被暴露出的) 部分在顯影製程期間溶解，其視所述能量敏感性光阻層的特性及在顯影製程中使用的顯影溶液的特性而定。在顯影之後，光阻層 204 包括與最終光罩特徵對應的光阻圖案。

【0030】重新參照圖 1，可執行顯影後檢驗 (after development inspection, ADI) 55，以擷取與光阻圖案相關聯的資訊，例如臨界尺寸均勻性 (critical dimension uniformity, CDU) 資訊、上覆資訊 (overlay information) 及/或缺陷資訊。理想上，最終晶圓特徵 60 匹配由 IC 設計佈局 35 定義的目標圖案。然而，由於與光罩製作製程及晶圓製作製程相關聯的各種因素，在光罩上形成的最終光罩特徵常不同於光罩圖案 (從由 IC 設計佈局 35 定義的目標圖案產生)，致使在晶圓上形成的最終晶圓特徵 60 不同於目標圖案。舉例來說，光罩寫入模糊化 (mask writing blur) (例如電子束寫入模糊化 (e-beam writing blur)) 及/或其他光罩製作因素可能在最終光罩特徵與光罩圖案之間造成變化，此轉而會在最終晶圓特徵 60 與目標圖案之間造成變化。與晶圓製作製程相關聯的各種

因素（例如阻抗模糊（resist blur）、光罩繞射（mask diffraction）、投影影像解析度（projection imaging resolution）、酸擴散（acid diffusion）、蝕刻偏置（etching bias）及/或其他晶圓製作因素）進一步加劇最終晶圓特徵 60 與目標圖案之間的變化。

**【0031】** 為將此種變化最小化或消除，運算微影（computational lithography）有助於增強及最適化光罩製作製程及晶圓製作製程。運算微影包括進行計算密集型物理模型及/或經驗模型來預測及最適化 IC 特徵圖案化的一組技術。所述物理模型及/或經驗模型是基於影響微影製程結果的現象，例如成像效應（例如，繞射及/或干涉）及/或光阻化學反應。IC 製造系統 10 可進行此種技術，以產生光罩製作製程（常稱為光罩最適化）的最適化設定及/或晶圓製作製程（常稱為光源最適化（source optimization）、波前工程（wave front engineering）及/或目標最適化）。舉例來說，IC 製造系統可進行 OPC、MRC、LPC 及/或 ILT 技術，來產生由光罩公司 20 製作的光罩的最終光罩特徵的形狀，所述形狀使投影晶圓影像 50 最適化，以使投影晶圓影像 50 可與 IC 設計佈局 35 的目標圖案盡可能相近地對應。

**【0032】** 圖 3 是根據本發明各種實施例的光罩設計系統 300 的方塊圖。光罩設計系統 300 可為圖 1 中所示光罩公司 20 的一部分，更具體來說，光罩設計系統 300 可進行操作，以執行聯繫圖 1 所示光罩資料準備 40 而闡述的功能性。在操作中，光罩設計系統 300 被配置成在 IC 設計佈局 35 透過光罩製作 45 而轉移到光罩 222 之

前，根據各種預設條件（例如，設計規則、IC 製作能力及限制）來操控 IC 設計佈局 35。舉例來說，包括 OPC、ILT、MRC 及/或 LPC 在內的光罩資料準備 40 可被實施成在光罩設計系統 300 上執行的軟體指令。在此種實施例中，光罩設計系統 300 從設計公司 15 接收 IC 設計佈局 35（例如，GDSII 檔）。在光罩資料準備 40 完成之後，光罩設計系統 300 向光罩製作 45 提供經修改的 IC 設計佈局 37，來製作光罩 222。

**【0033】** 光罩設計系統 300 可包括一個或多個電腦裝置或機器。如上所述，隨著技術節點日漸變小，更多的裝置及特徵被包裝到 IC 設計佈局的相同區域中。因此，在運算微影的應用（例如，OPC 及 ILT）中，IC 佈局的大的區域被劃分成小的圖塊，以用於分布式處理。分布式處理因與單一 CPU 相關聯的物理記憶體有限，而有助於微影模擬。可透過由位於多個機器上的多個 CPU 進行的平行處理，來更快速地且更高效地執行微影模擬。在實施例中，光罩設計系統 300 包括多個機器，所述多個機器包括管理者機器 310 及多個工作者機器（例如 320 及 330）。每一個機器是資訊處理系統（information handling system），例如電腦、伺服器、工作站或其他適合的裝置。所述多個機器可駐留在相同的位置處（例如，較大的光罩設計系統單元）或不同的位置處，且可透過各種通訊方式彼此交互作用。

**【0034】** 每一個管理者機器或工作者機器包括處理器（processor）312、系統記憶體（system memory）314、大容量儲存裝置（mass

storage device) 316 及通訊模組 (communication module) 318。處理器 312 可包括一個或多個 CPU。系統記憶體 314 提供具有非暫時性電腦可讀記憶體的處理器 312，以方便透過處理器 312 來執行電腦指令。系統記憶體的實例可包括隨機存取記憶體 (random access memory, RAM) 裝置，例如動態隨機存取記憶體 (dynamic RAM, DRAM)、同步動態隨機存取記憶體 (synchronous DRAM, SDRAM)、固態記憶體裝置及/或所屬領域中已知的各種其他記憶體裝置。在大容量儲存裝置 316 上記憶體電腦程式、指令及資料。大容量儲存裝置的實例可包括硬碟、光碟、磁光碟、固態記憶體裝置及/或各種其他大量記憶體裝置。通訊模組 318 可進行操作，以與光罩設計系統 300 中或 IC 製造系統 10 中的其他元件（例如設計公司 15）交流資訊（例如 IC 設計佈局檔）。通訊模組的實例可包括乙太網卡、802.11 WiFi 裝置、蜂窩資料無線電 (cellular data radio) 及/或其他適合的裝置。

**【0035】** 圖 3 所示新穎的平行計算架構可透過防止固有地發生圖塊邊界不一致性，來自然地解決大面積微影模擬的圖塊邊界問題。在實施例中，在不同圖塊的局部計算中使用多個工作者機器（包括 320 及 330）的同時，使用管理者機器 310 來執行總體計算演算法。工作者機器與相鄰圖塊交換其中間計算結果，所述中間計算結果被適當地接合在一起。在反覆運算過程中的每一次反覆運算（例如 OPC 及 ILT）內，在每一影像模擬步驟均可發生此種資訊的交換，以同步模擬結果。連續的資訊交換固有地避免在傳

統實踐中出現的圖塊邊界接合問題。參照圖 4 閣述此種同步化平行圖塊計算方案的更多細節。

**【0036】** 圖 4 是根據本發明各種實施例的運算微影方法 400 的流程圖。運算微影方法 400 可透過圖 1 所示的 IC 製造系統 10 來實作，其中設計公司 15、光罩公司 20 及/或 IC 製造商 25 可執行（或進行合作以執行）方法 400 來製造 IC 裝置 30。舉例來說，方法 400 可由光罩公司 20 作為運算微影製程來進行，運算微影製程使用微影增強技術來補償影像畸變及誤差，例如因繞射、干涉或其他製程效應而出現的影像畸變及誤差。方法 400 可由光罩設計系統 300 的管理者機器 310 及工作者機器聯合進行。為清晰起見，已簡化圖 4。應理解，可在方法 400 之前、期間及之後提供附加步驟且對於方法 400 的其他實施例，可替換或去除所述步驟中的一些步驟。除非另外指明，否則方法 400 中的步驟可以包括同時進行在內的任意次序執行。

**【0037】** 在步驟 405 中，管理者機器（例如，管理者機器 310）接收 IC 設計佈局，例如 IC 設計佈局 35。IC 設計佈局是以具有目標圖案資訊的一個或多個資料檔案（例如，GDSII 檔案格式）呈現。IC 設計佈局可為原始設計佈局或從原始設計佈局處理而成的版本。IC 設計佈局包括為將例如由 IC 製造系統 10 製造的 IC 產品設計的各種 IC 特徵（以幾何形狀為代表）。IC 特徵可在各種材料層（例如金屬層、介電層及/或半導體層）中形成，所述各種材料層組合起來會形成 IC 產品的 IC 特徵。在一些實例中，IC 特徵在光

罩（例如，光罩 222）上界定光罩特徵，以將光阻層（例如，光阻層 204）選擇性地暴露於輻射能量（例如，光 210）。IC 設計佈局可含有需要被分割成較小圖塊，以用於分布式處理的相對大的區域。此種區域可具有任意適合的形狀及/或尺寸。此種區域的尺寸可視例如管理者機器的計算能力等各種因素而定。舉例來說，IC 設計佈局的長度或寬度可介於 50 微米（ $\mu\text{m}$ ）到 1 毫米（mm）範圍內。在一些實施例中，IC 設計佈局包括為約  $200\times200$  平方微米（ $\mu\text{m}^2$ ）、 $100\times300 \mu\text{m}^2$ 、 $28\times32 \mu\text{m}^2$  等的區域。

**【0038】** 在步驟 410 中，管理者機器將 IC 設計佈局（或其區域）劃分或分割成多個較小的圖塊。在一些實施例中，IC 設計佈局包括研究區（region of interest）及周圍凍結區（surrounding freeze region），且研究區被分割成圖塊。每一圖塊代表將被指派給工作者機器以進行平行計算的工作單元(job unit)，所述工作單元是 IC 設計佈局的較小區域。每一圖塊可具有任意適合的形狀（例如，矩形或正方形）及/或尺寸。舉例來說，設計佈局的大的區域（例如， $200\times200 \mu\text{m}^2$ ）可被管理者機器分割成一定數目的圖塊（例如，各自具有  $50\times50 \mu\text{m}^2$  尺寸的 16 個圖塊）。就在 IC 設計佈局內的相對位置來說，每一圖塊可透過其四個隅角的座標來定義或辨識。就影像內容來說，每一圖塊可具有帶有影像值(image values)的多個像素（或點或斑點），如以下參照圖 6 所進一步闡述。在分割之後，每一個圖塊被指派給將用於支援管理者機器的局部運算的工作者機器（例如，工作者機器 320 或 330）。再者，管理者機

器向每一個工作者機器發送定義哪些點或像素去往與所述工作者機器交互作用的其他工作者機器中的哪一者的訊息遞送指令，藉此能夠使所述工作者機器與其他工作者機器交換資訊，以同步其模擬結果。應注意，如果 IC 設計佈局對於一個管理者機器來說過大而無法計算，則可使用多個管理者機器來處理計算負荷，所述多個管理者機器中的每一者與多個工作者機器交互作用。

**【0039】** 在本發明的實施例中，IC 設計佈局（或其區域）可依據應用而靈活地被分割成圖塊（此過程有時稱為“圖塊分割（tiling）”）。作為實例，圖 5A 示出均勻圖塊分割方案（uniform tiling scheme）500 的圖，圖 5B 是示出交錯圖塊分割方案（staggered tiling scheme）550 的圖，且圖 5C 示出適應性圖塊分割方案（adaptive tiling scheme）580 的圖。在均勻圖塊分割方案 500 中，矩形圖塊具有相等尺寸且被緊密封裝（具有或不具有交疊區域）。圖 5A 示出九個矩形圖塊（由實線矩形表示的四個隅角圖塊及由虛線矩形表示的其他圖塊），其中每一個圖塊局部地交疊其相鄰圖塊。參照圖 6 開述與每一個圖塊相關聯的不同區的細節。在交錯圖塊分割方案 550 中，矩形圖塊可具有相等或不同的尺寸，且可或可不在佈局的特定區域中彼此交疊。圖 5B 示出五個矩形圖塊，兩個由實線矩形表示且三個由虛線矩形表示。在一些實施例中，使用交錯圖塊分割方案 550 來盡可能高效地（例如，透過不對特定非必需的區進行模擬）對非標準（非矩形）區進行模擬。在適應性圖塊分割方案 580 中，圖塊是不均勻地分佈在佈局中；確切

來說，圖塊的形狀、尺寸及位置可基於所述佈局中的 IC 特徵來調適。如圖 5 中所示，視需求，可將特定圖塊進一步劃分成更小的區域（稱為“子圖塊（subtile）”）。適應性圖塊分割方案 580 相對於均勻圖塊分割方案 500 來說的一個優點是存在從運算中省略子圖塊中的一些子圖塊的選項。舉例來說，不計算一個  $16 \times 16 \mu\text{m}^2$  圖塊，而可計算兩個或三個  $8 \times 8 \mu\text{m}^2$  子圖塊（且省略兩個或一個子圖塊），此可提高效率。應理解，儘管圖 5A 到圖 5C 未示出，然而預期在本發明的實施例的範圍內還存在其他圖塊分割方案。再者，應理解，由於圖塊代表被指派給工作者機器以進行計算的工作單元，因此本文中可透過例如模擬盒（simulation box）或包圍盒（bounding box）等其他用語來擷取或以其他方式表達圖塊的概念。以下參照圖 7 來進一步闡述模擬盒及其相關聯區。

**【0040】** 在步驟 420 中，工作者機器準備或預處理其 IC 設計佈局的相應部分，以進行模擬。舉例來說，由於每一個經分割的圖塊（或模擬盒）可含有幾何內容，因此每一個工作者機器可在其相應的圖塊（或模擬盒）中接收幾何內容且接著視需要將幾何內容轉換為像素化的代表形式。儘管圖 4 示出由工作者機器進行的預處理，然而作為另外一種選擇，圖塊可透過管理者機器來進行預處理且接著被發送到工作者機器。

**【0041】** 在一些實施例中，預處理可包括例如光柵化（rasterization）及/或抗混疊濾波（anti-aliasing filtering）等步驟。光柵化或像素化代表取得以向量圖形格式闡述的影像（例如，包

括光罩圖案的多邊形形狀)，並將所述影像轉換成包含像素或斑點的柵格影像的任務。在光柵化製程中，可獲得高解析度的光柵化影像。然而，此種高解析度影像可能有時是非必需的，在此種情形中，高解析度的光柵化光罩被減少取樣（down-sampled）到較低的解析度的代表形式，此可包括圖形保真過濾，以限制圖形失真對所述較低解析度格柵（grid）的影響。

**【0042】** 在一些實施例中，每一個經預處理的圖塊包括多個像素（或點或斑點），例如像素 611（以下參照圖 6 更詳細地論述）。每一個像素可代表影像的非常小的區域（例如，具有  $0.1 \times 0.1 \text{ nm}^2$ 、 $1 \times 1 \text{ nm}^2$ 、 $10 \times 10 \text{ nm}^2$ 、 $50 \times 50 \text{ nm}^2$  等面積的正方形）。每一個像素具有用於定義其在影像內的相對位置的一組座標（例如，X-Y 座標或極座標）。每一個像素還具有像素值或影像值。舉例來說，可對被形狀完全覆蓋或局部覆蓋的像素給定為 1 的值，且可對不被任何形狀覆蓋的像素給定為 0 的值。在一些情形中，如果像素被形狀局部地覆蓋，則還可對所述像素給定介於 0 與 1 之間的加權值（例如，如果像素中的區域的 60% 被所述形狀覆蓋，則給定為 0.6 的值）。在運算微影期間，像素的影像值的改變可標誌著覆蓋所述像素的幾何形狀（例如，多邊形邊緣）的邊緣移動或位移。舉例來說，邊緣位移值或頂點可透過比較圖塊中的像素的影像值如何改變來匯出。在一些實施例中（例如，當 OPC 在不從像素值匯出幾何形狀的條件下，直接控制所述幾何形狀時），每一個經預處理的圖塊可直接包括幾何形狀，且本文中所揭露的原理可在此

種實施例中起到相似作用。

**【0043】** 在步驟 420 之後，方法 400 可進入模擬成像過程 430，以對微影製程的各種階段進行模擬。在一些實施例中，模擬成像過程 430 是反覆運算過程，其中每一次反覆運算包括多個步驟。舉例來說，如圖 4 中所示，模擬成像過程 430 的每一次反覆運算包括光罩更新步驟 432 及多個成像步驟（例如成像步驟 434 及成像步驟 436）。在每一次反覆運算結束時，產生經修改設計佈局。所述反覆運算可進行重複，直到最終經修改設計佈局 450 在形狀上足夠接近滿足設計規則。

**【0044】** 在步驟 432 中，每一個工作者機器根據先前的模擬結果來更新其 IC 設計佈局的相應部分，以得到新的佈局。如圖 4 中所示，同一工作者機器可對於下一反覆運算使用從步驟 436 獲得的模擬結果來更新 IC 設計佈局。如果尚未進行模擬（例如，在第一次反覆運算中），則可跳過步驟 432。舉例來說，在第一反覆運算中，可對下一成像步驟 434 使用來自原始 IC 設計佈局的像素值。應注意，根據模擬計算光罩更新，可為反向問題且是透過 OPC 或 ILT 來計算。

**【0045】** 再者，在步驟 432 中，每一工作者機器將預定像素處的值傳遞到其指定相鄰工作者機器（遵從在步驟 410 中產生的訊息遞送指令），以方便其在下一成像步驟 434 中的計算。舉例來說，對第一圖塊開展工作的第一工作者機器可將訊息（有時在圖式中標示為“msg”）遞送到對相鄰圖塊開展工作的一個或多個第二工作

者機器。訊息是根據遞送指令來遞送，所述遞送指令在步驟 410 中被管理者機器發送到工作者機器。遞送指令定義哪些點或像素去往與所述工作者機器交互作用的其他工作者機器中的哪一者，藉此能夠使所述工作者機器與其他工作者機器交換資訊，以同步其模擬結果。

**【0046】** 所述多個成像步驟（包括第一成像步驟 434、中間成像步驟（圖 4 中未示出）及最終成像步驟 436）代表模擬成像過程 430 如何具體地對微影製程的各種階段進行模擬。微影製程涉及各種階段或步驟，例如光罩製作、穿過光罩的光的繞射、穿過透鏡系統且到達光阻上的光的投影、阻抗曝光、曝光後烘焙(*post-exposure baking*)、顯影、蝕刻、金屬線形成等。在微影製程的各種階段中可使用或形成不同影像，例如光罩影像、空間影像(*aerial image*)或光學影像及光阻/阻抗影像。各階段（及其中所使用的影像）可以前向次序進行模擬（例如，對於 OPC）或者另外具有以“反向”次序向後傳播的誤差（例如，對於 ILT 中的梯度計算）。在一些實施例中，可逐步地（例如，如圖 4 中所示的 n 個步驟）計算標準前向微影模擬（*standard forward lithography simulation*），其中每一步驟是以一影像為開始且得到另一影像。在此種步驟中產生的影像的實例包括光罩近場（*mask near field*）、空間影像及阻抗影像。因此，依據模擬的階段，透過模擬成像過程 430 計算的 IC 設計佈局可代表此種影像中的任一者。完成這些步驟會實現前向模擬的一個完整的迴圈。

**【0047】** 在模擬成像過程 430 的一些實施例中，步驟 434 將薄光罩模型應用於所處理的光罩佈局，藉此產生光罩近場。光罩近場可透過將兩個不同場值常數（constant field values）分別指派給被圖案佔用的區域或不被圖案佔用的區域的薄光罩模型來進行近似運算。中間步驟（未在圖 4 中標記）將光學模型應用於光罩近場，藉此在晶圓上產生空間影像。此步驟還可被視為執行曝光模擬。步驟 436 將光阻模型應用於空間影像，以在晶圓上獲得最終光阻影像。此步驟還可被視為執行光阻模擬。可視需要對微影的更多階段進行模擬。

**【0048】** 在平行微影模擬中，為準確地對圖塊進行模擬，對可與一個或多個相鄰圖塊交疊的較大周圍區進行模擬是有用的。作為結果，對於位於交疊區中的像素，可透過不同工作者機器為同一像素計算多個像素值。在不進行恰當的同步的條件下，同一像素的多個像素值可能有所不同，進而導致圖塊邊界不一致性。如果在模擬過程的最後進行了邊界接合，則可能來不及解決邊界不一致性，因為所計算的解決方案可能已出現顯著的分歧。在本發明的實施例中，為解決圖塊邊界不一致性且因此提高微影模擬的準確性，工作者機器可利用來自所述工作者機器自身的平均像素值（例如，先前成像步驟的結果）及從其相鄰圖塊遞送的像素值來開始多個影像步驟中的每一者。在一些實施例中，當計算像素的經更新像素值時，每一平均權重均是不是負的，且像素的所有貢獻權重的總和為 1。再者，在每一成像步驟期間，每一工作者機器

將預定像素處的像素值傳遞到其指定相鄰工作者機器（遵從在步驟 410 中產生的訊息遞送指令），以方便其在下一成像步驟中的計算。

**【0049】** 圖 6 中進一步示出計算原理，圖 6 示出運算方案 600 的示意圖。在圖 6 中，第一圖塊 610 位於中間，兩個相鄰的圖塊 620 及 630 位於圖塊 610 的兩側。圖塊 610、620 及 630 可位於 IC 設計佈局上的任意位置（例如，圖 5A 中所示列（row）中的任一列）。圖塊 610 可標記為“圖塊 i”，圖塊 620 可標記為“圖塊 i-1”，且圖塊 630 可標記為“圖塊 i+1”，其中 i 代表當前圖塊的數目。圖塊 610 可在 X 方向與 Y 方向二者上具有附加相鄰圖塊（例如，圖 5A 中的中心圖塊具有八個相鄰圖塊），但為簡潔起見，未在圖 6 中示出其他相鄰圖塊。如上所述，圖塊 610、620 及 630 中的每一者包括多個像素，且每一像素具有將透過模擬成像過程 430 來更新的像素值。舉例來說，圖塊 610 包括像素 611，像素 611 的值可透過執行成像步驟 434 及 436 來改變。

**【0050】** 在一些實施例中，對來自工作者機器自身及來自其相鄰圖塊的相同像素的像素值進行平均計算，是透過使用被設計用於且指派給每一圖塊的加權函數來進行。如圖 6 中所示，加權函數 612、622 及 632 分別被設計用於且指派給圖塊 610、620 及 630。加權函數 612、622 及 632 是沿 X 方向繪製，因為其用於對來自在 X 方向上“相鄰”的圖塊的像素值進行組合。可設計相似的加權函數對來自在 Y 方向上“相鄰”的圖塊（例如，來自圖塊 610、圖 6

中未示出的上部圖塊及下部圖塊) 的像素值進行組合。在一些實施例中，加權函數 612、622 及 632 是相同的(例如，如果圖塊 610、620 及 630 在 X 方向上具有相同寬度)。但加權函數 612、622 及 632 可視需要(例如，如果圖塊 610、620 及 630 在 X 方向上具有不同寬度，或者如果圖塊 610、620 及 630 中的一者被進一步劃分成子圖塊)來變化。每一加權函數界定一組權重(值介於 0 與 1 之間)，所述一組權重各自對應於具有相同 X 座標值的像素。舉例來說，加權函數 612 具有與像素 611 對應的第一權重 613，且加權函數 632 具有也與像素 611 對應的第二權重 633。

**【0051】** 基於加權函數輪廓 (weight function profile)，可匯出與每一圖塊(例如，圖塊 610)相關聯的若干區。視像素的相對於加權函數的位置，所述像素可落於不同的區中。舉例來說，如果像素僅基於來自圖塊 610 的結果來更新，則所述像素落於核心區 614 中(即，其中加權函數 612 等於 1)。相反，如果像素(例如，像素 611)基於來自包括圖塊 610 及相鄰圖塊的多個貢獻圖塊的像素值的加權組合來更新，則所述像素落於過渡區 616 中(即，其中加權函數 612 大於 0 但小於 1)。包括核心區 614 及過渡區 616 的矩形區域構成圖塊 610，原因是所述矩形區域代表圖塊 610 的工作者機器在像素更新方面上所負責的區。否則，如果像素不透過圖塊 610 來更新(但所述像素的值需要準確地對過渡區 616 或核心區 614 中的其他像素進行模擬)，則像素落於量圈區 618 中(即，其中加權函數 612 等於 0)。位於量圈區 618 中的像素值不被傳送

到相鄰圖塊（作為另外一種選擇，位於暈圈區 618 中的像素的值可被傳送到相鄰圖塊，但所述值將被相鄰圖塊給定為 0 的權重）。從內向外包括核心區 614、過渡區 616 及暈圈區 618 的全部矩形區域構成模擬盒 619（有時稱為包圍盒、標識器（marker）或幀（frame））。在一些實施例中，模擬盒 619 是被指派給工作者機器的工作單元，原因是模擬盒 619 含有工作者機器處理其 IC 設計佈局的相應部分所必需的所有固有像素值。在此種意義上，圖塊 610 的概念可透過模擬盒 619 來相等地獲得。舉例來說，當矩形模擬盒 619 被管理者機器指派給工作者機器時，所述管理者機器可透過模擬盒 619 的四個隅角的座標來簡單地定義或識別模擬盒 619。加權函數 612 將規定與模擬盒 619 相關聯的其餘區。

**【0052】** 為對交疊區產生一致的模擬結果，與相同像素的每一構成圖塊相關聯的權重（每一權重具有大於 0 但小於 1 的值）之和等於約 1（例如，1、1.01、1.001、1.0005、0.99、0.999、0.9995 等）。應注意，所述權重可總計為不同的數目且接著被重新調整到約 1。此可稱為“單位分割（partition of unity）”。因此，加權函數  $W_i$  可與每一圖塊（例如，圖塊 610）相關聯，使得在所述圖塊的過渡區（例如，過渡區 616）外部  $W_i = 0$ ，在所述圖塊的核心區內部  $W_i = 1$ ，且在所述圖塊的過渡區內部  $\sum W_i(x, y) = 1$ 。

**【0053】** 在一些實施例中，位於座標  $(x, y)$  處的像素的加權組合可使用以下方程式來計算：

$$P_{\text{update}}(x, y) = \sum_{i=1}^k W_i(x, y) P_i(x, y),$$

其中  $P_{\text{update}}(x, y)$  表示基於加權組合的像素的經更新像素值；

$P_i(x, y)$  表示由貢獻圖塊  $i$  產生的像素的先前像素值；

$W_i(x, y)$  表示根據加權函數  $W_i$  的像素的權重；並且

$k$  表示過渡區覆蓋  $(x, y)$  處的像素的貢獻圖塊（包括當前圖塊及相鄰圖塊）的數目。

**【0054】** 圖 7 示出相鄰圖塊的過渡區如何交疊的示意圖。視像素所位於的位置，所述像素可被不同數目的過渡區覆蓋。舉例來說，像素 611 分別被兩個相鄰圖塊（即，圖塊 610 及 630）的過渡區 616 及 636 覆蓋。因此，權重 613 及 633（其將被乘以像素 611 的值）總計為約 1。如圖 6 中所示，權重 613 為約 0.9，且權重 633 為約 0.1。然而，位於過渡區 616 的隅角附近的另一像素 617 被四個相鄰圖塊覆蓋。因此，四個權重（其將被乘以像素 617 的值）總計為 1。應注意，由於本文中圖塊可靈活地分割（參見圖 5A 到圖 5C），因此像素可被任意適合數目的過渡區覆蓋。因此，像素可基於來自貢獻圖塊的任意適合數目的像素值的加權組合來更新。

**【0055】** 應注意，在圖 6 及圖 7 中，圖塊（或模擬盒）及其相關聯區可具有任意適合的尺寸。舉例來說，模擬盒 619 可具有約  $3 \times 3 \mu\text{m}^2$ 、 $5 \times 10 \mu\text{m}^2$ 、 $10 \times 10 \mu\text{m}^2$ 、 $10 \times 25 \mu\text{m}^2$ 、 $50 \times 50 \mu\text{m}^2$  等尺寸。在此種情形中，模擬盒 619 將在 X 方向上具有約  $3 \mu\text{m}$ 、 $5 \mu\text{m}$ 、

10  $\mu\text{m}$ 、50  $\mu\text{m}$  等的模擬盒寬度。圖塊 610 的邊界與模擬盒 619 的邊界之間的暈圈距離可被設定為任意適合的值（例如，0.3  $\mu\text{m}$ 、1  $\mu\text{m}$ 、2  $\mu\text{m}$  等）。其餘區的尺寸可透過可使用任意適合的方式來設計的對應加權函數來確定。舉例來說，在 X 方向上，核心區 614 的寬度及圖塊 610 的寬度二者均透過加權函數 612 來確定。過渡距離將核心區 614 與圖塊 610 分開。過渡距離定義圖塊 610 與 630 之間的交疊距離。在一些實施例中，過渡區 616 的一側的中點可被定義為加權函數 612 與 632 相交的點。如圖 6 中所示，加權函數 612 與 632 在其權重的值均為 0.5 時相交。應注意，加權函數 612 及 632 的值可依據在特定點處交疊有多少加權函數來進行調整。加權函數 612 在過渡距離內的輪廓可或可不關於核心區 614 的兩側對稱。作為具體實例，就 X 方向上的尺寸來說，核心區 614 可具有約 29  $\mu\text{m}$  的寬度；圖塊 610 可具有約 35  $\mu\text{m}$  的寬度，在核心區 614 的任一側上包括約 3  $\mu\text{m}$  的過渡距離；並且模擬盒 619 可具有約 37  $\mu\text{m}$  的寬度，在圖塊 610 的任一側上包括約 1  $\mu\text{m}$  的暈圈距離。

**【0056】** 本文中所揭露的同步化平行圖塊計算技術可固有地移除圖塊邊界不一致性。舉例來說，假定管理者機器 310 將第一模擬盒及第二模擬盒指派給工作者機器 320 及 330，以執行模擬成像過程 430。分別與圖塊 610 及 630 相關聯的第一模擬盒及第二模擬盒在包括具有一組座標的像素或點的區（例如，均包括座標(x, y)處的像素 611 的過渡區 616 及 636）中交疊。在一些實施例中，在第

一成像步驟（例如，步驟 432）中，工作者機器 320 可計算像素 611 的第一影像值（A），且工作者機器 330 可計算像素 611 的第二影像值（B）。此外，在第一成像步驟中，工作者機器 320 與 330 可彼此互換影像值 A 與 B。接著，在第二成像步驟中，工作者機器 320 可例如使用以下方程式基於影像值 A 與 B 的加權組合來計算像素 611 的第三影像值（C）： $C = A * (權重 613) + B * (權重 633)$ 。此外，在第二成像步驟中，工作者機器 330 可例如使用以下方程式基於影像值 A 與 B 的相同加權組合來計算像素 611 的第四影像值（D）： $D = A * (權重 613) + B * (權重 633)$ 。所述兩個方程式示出影像值 C 及 D 具有相等的值。換句話說，儘管其計算是單獨地且獨立地執行，然而工作者機器 320 及 330 二者均可在同一成像步驟中為同一像素產生相同的影像值。因此圖塊邊界不一致性被移除。在實作中，儘管影像值 C 及 D 可能由於各種因素（例如，計算演算法或工作者機器的能力的不同、模型不準確性、通訊誤差等）而不完美匹配，然而影像值 C 與 D 之間的潛在分歧得到顯著減小。

**【0057】** 作為另一優點，由於每一圖塊使用在先前步驟（而非當前步驟）中獲得的結果，因此圖塊次序變得與邊界接合處理不相關。舉例來說，可在同一成像步驟中，以任一種次序處理圖塊 610 及 630，而不會影響最終輸出的結果。也就是說，本文中所揭露的同步技術還可在一個 CPU 上運行，其中圖塊被逐個地模擬。在此種情形中，仍可對稱地組合圖塊，使得圖塊次序不影響最終輸出。

【0058】 圖 8 示出同步化平行圖塊計算方案 800 的一部分的示意圖，同步化平行圖塊計算方案 800 可用於模擬成像過程 430 中。在圖塊分割步驟 810 中，管理者機器接收 IC 設計佈局 812 且將 IC 設計佈局 812 分割成包括 814 及 816 的多個圖塊。在成像步驟 820（例如，與成像步驟 434 相同）中，對圖塊進行模擬或更新。舉例來說，圖塊 814 及 816 透過更新其中所含有的影像值（但所述圖塊的座標保持不變）而分別轉變成圖塊 824 及 826。舉例來說，光罩影像或近場可轉變成光學影像。如上所述，對圖塊進行模擬涉及使用由不同圖塊產生的先前模擬結果的加權組合。再者，成像步驟 820 包括同步過程 822 以透過相鄰圖塊之間的資料交換，對來自所述多個圖塊的影像值進行同步。具體來說，位於相鄰圖塊的交疊區中的像素值進行互換，以對來自所述相鄰圖塊的模擬結果進行同步。在運算微影期間，像素值中的變化轉換成位移值，以反映相關聯幾何結構或形狀的邊緣移動。作為結果，所有圖塊可接合在一起，而成為經完全修改的 IC 設計佈局 830。舉例來說，經修改 IC 設計佈局 830 可代表光學影像。經修改 IC 設計佈局 830 可儲存在管理者機器中且用於下一成像步驟（或模擬成像過程 430 的下一次反覆運算）。作為另外一種選擇，由於由多個工作者機器進行的分布式處理的本質，經修改 IC 設計佈局 830 可能無法物理地記憶體在單一 CPU 或單一裝置的記憶體中，而是可分佈在具有同步化影像的許多工作者機器中（即，交疊區中具有相同資料且不存在圖塊邊界問題）。因此，無論是否儲存在多個機器中，經修

改 IC 設計佈局 830 均有效地為同步化影像（例如，虛擬同步化影像）。

**【0059】** 在方案 800 中，可在每一接下來的成像步驟中重複進行成像步驟 820，直到經修改 IC 設計佈局 830 滿足設計規則。在此種意義上，資料在圖塊之間連續進行互換且進行接合。舉例來說，在標準前向成像（standard forward imaging）或驗證期間（verification），可對每一個前向影像進行同步，接著可在適宜的計量表處測量臨界尺寸。在一些實施例中，對光學影像進行同步，接著還對各種阻抗影像（例如梯度、淬火（quenching）等）進行同步。在 OPC 期間，可在每一階段處對初始光罩、雅可比（Jacobian）及邊緣移動進行同步。在 ILT 期間，可在每一階段處對初始光罩、晶圓影像及梯度進行同步。當經修改 IC 設計佈局 830 滿足設計規則時，所述多個圖塊可透過管理者機器組合在一起或接合在一起，而成為最終同步化影像值。最終經修改 IC 設計佈局可接著用於光罩製作。

**【0060】** 圖 9 是根據本發明各種實施例的運算微影方法 900 的流程圖。運算微影方法 900 可透過圖 1 所示的 IC 製造系統 10 來進行，其中設計公司 15、光罩公司 20 及/或 IC 製造商 25 可執行（或進行合作以執行）運算微影方法 900，以製造 IC 裝置 30。舉例來說，微影方法 900 可如上所述使用由管理者機器（例如，管理者機器 310）及多個工作者機器（例如，工作者機器 320 及 330）進行的同步化平行處理，來修改 IC 設計佈局。為清晰起見，已簡化

圖 9。應理解，可在方法 900 之前、期間及之後提供附加步驟且對於方法 900 的其他實施例，可替換或去除所述步驟中的一些步驟。除非另外指明，否則方法 900 的製程可以包括同時進行在內的任意次序執行。

**【0061】** 在步驟 910 中，管理者機器接收 IC 設計佈局。在步驟 920 中，管理者機器將 IC 設計佈局分割成多個圖塊。管理者機器還可將所述多個圖塊指派給工作者機器以進行模擬。在步驟 930 中，工作者機器對所述多個圖塊執行模擬成像過程（例如，模擬成像過程 430）。在模擬成像過程之前可進行預處理。執行模擬成像過程包括對所述多個圖塊中的每一者執行多個成像步驟（例如，成像步驟 434 及 436）。此外，執行所述多個成像步驟中的每一者包括透過相鄰圖塊之間的資料交換，對來自所述多個圖塊的影像值進行同步。在一些實施例中，模擬成像過程是用於 OPC 或 ILT 中的反覆運算過程，且所述反覆運算過程的每一次反覆運算包括所述多個成像步驟。方法還包括重複執行反覆運算過程，直到經修改 IC 設計佈局滿足預設設計規則。

**【0062】** 在一些實施例中，相鄰圖塊包括第一圖塊（例如，圖塊 610）及與所述第一圖塊相鄰的第二圖塊（例如，圖塊 630）。第一圖塊與第一過渡區（例如，過渡區 616）相關聯，且第二圖塊與第二過渡區（例如，過渡區 636）相關聯。第一過渡區與第二過渡區的交疊區域包括像素（例如，像素 611）。像素具有先前透過第一圖塊計算的第一影像值及先前透過第二圖塊計算的第二影像值。

對第一圖塊執行成像步驟包括基於像素的第一影像值與所述像素的第二影像值的加權組合（使用權重 613 及 633）計算所述像素的經更新影像值。成像步驟中的相鄰圖塊之間的資料交換包括將像素的經更新影像值從第一圖塊遞送到第二圖塊。在一些實施例中，加權組合包括與第一影像值相乘的第一權重（例如，權重 613）及與第二影像值相乘的第二權重（例如，權重 633）。第一權重與第二權重之和大於 0 但等於或小於 1。

**【0063】** 在一些實施例中，對第一圖塊執行的成像步驟是第一成像步驟（例如，步驟 434），且所述多個成像步驟還包括在第一成像步驟之後進行的第二成像步驟。在此，對第二圖塊執行第二成像步驟包括基於（a）被遞送到第二圖塊的像素的經更新影像值與（b）在第一成像步驟中透過第二圖塊計算的像素的第三影像值的加權組合，來計算所述像素的第二經更新影像值。

**【0064】** 方法 900 旨在解決 IC 製作問題。在步驟 940 中，管理者機器透過對來自所述多個圖塊的最終同步化影像值進行組合，來產生經修改 IC 設計佈局。在步驟 950 中，管理者機器提供經修改 IC 設計佈局來用於製作光罩。

**【0065】** 圖 10 是根據本發明各種實施例的運算微影方法 1000 的流程圖。可透過圖 1 所示的 IC 製造系統 10 來進行運算微影方法 1000。舉例來說，可透過工作者機器（例如，工作者機器 320 或 330）來進行微影方法 1000，以修改 IC 設計佈局的一部分。為清晰起見，已簡化圖 10。應理解，可在方法 1000 之前、期間及之後

提供附加步驟且對於方法 1000 的其他實施例，可替換或去除所述步驟中的一些步驟。除非另外指明，否則方法 1000 的製程可以包括同時進行在內的任意次序執行。

【0066】 在步驟 1010 中，第一工作者機器接收 IC 設計佈局的模擬盒（例如，模擬盒 619）。模擬盒包括第一過渡區（例如，過渡區 616）。第一過渡區覆蓋像素（例如，像素 611），像素 611 也被由一個或多個第二工作者機器處理的一個或多個第二過渡區覆蓋。在步驟 1020 中，第一工作者機器計算像素的第一像素值，以對微影製程的第一階段進行模擬。微影製程涉及各種階段或步驟，例如光罩製作、輻射投影、阻抗曝光、曝光後蝕刻及金屬線形成。在微影製程的各種階段中形成不同的影像，例如光罩影像、光學影像及光阻影像或阻抗影像。在步驟 1030 中，第一工作者機器接收已由與所述第一工作者機器交互作用的一個或多個第二工作者機器為像素計算的一個或多個第二像素值。所述一個或多個第二工作者機器可能也已計算第二像素值，以對微影製程的第一階段進行模擬。在步驟 1040 中，第一工作者機器對像素的經更新像素值進行計算，以基於第一像素值與所述一個或多個第二像素值的加權組合，來對微影製程的第二階段進行模擬。在一些實施例中（例如，對於 OPC），像素的第一經更新像素值可代表所述像素處的光學影像值，且所述像素的第二經更新像素值可代表所述像素處的阻抗影像值（resist image value）。在其他實施例中（例如，對於 ILT），像素的第一經更新像素值可代表所述像素處的晶

圓影像值，且其中所述像素的第二經更新像素值可代表所述像素處的梯度值。在步驟 1050 中，第一工作者機器將像素的經更新像素值傳送到所述一個或多個第二工作者機器中的每一者。

**【0067】** 如上所述，本文中所揭露的平行計算架構將大的 IC 設計佈局作為整體來處理。儘管仍使用下伏（underlying）圖塊方案，然而模擬結果是從每一個圖塊平滑地且對稱地組合到單一的較大模擬域（simulation domain）中。由於模擬成像過程具有產生中間結果的多個步驟，因此所揭露的運算架構將計算階段化成使得可在模擬進行到下一步驟之前將中間結果同步，藉此在每一步驟處有效地消除圖塊邊界不一致性。在功能上，此種同步等於對 IC 設計佈局的單一的較大區域執行模擬成像過程。因此，本發明的實施例提供一種針對用於光罩佈局的大的區域的微影模擬的有效且高效的解決方案。可對微影模擬及計算使用此種解決方案，其中在平行計算環境中使用反覆運算運算元（例如，OPC 及 ILT）。

**【0068】** 本文中所揭露的平行計算架構可在模擬效率方面實現可觀的增益。作為第一實例，在不進行有意義的圖案重複的平面 IC 設計佈局中，假定每一圖塊包含於  $32 \times 32 \mu\text{m}^2$  模擬域中。純粹基於模型考慮而假定暈圈距離為約  $1 \mu\text{m}$ 。使用本文中所揭露的技術，總過渡距離可為約  $3 \mu\text{m}$  或小於  $3 \mu\text{m}$ 。據估計，在 OPC 模擬中，與其他方式相比在過渡距離方面的減小（從  $6 \mu\text{m}$  到  $3 \mu\text{m}$ ）可得到約 24% 的有效增益。作為第二實例，假定每一圖塊包含於  $16 \times 16 \mu\text{m}^2$  模擬域中，且純粹基於模型考慮而假定暈圈距離為約

0.3 μm。據估計，在 OPC 模擬中，與其他方式相比在過渡距離方面的減小（從 1.5 μm 到 0.3 μm）可得到約 10%的有效增益。使用較小的暈圈（例如，尺寸僅受限於模型考慮）也會提高大面積模擬的效率。

**【0069】** 本文中所實現的效率增益對於特定圖塊方案來說可尤其有用。舉例來說，在對於熱點固定（hotspot fixing）來說有用的交錯圖塊分割方案（例如，交錯圖塊方案 550）中，可用最少的圖塊高效地對非矩形區（圖塊或模擬盒）進行模擬。此種情形中的有效增益可為極大的，對於複雜熱點區域來說尤其如此。另外，可透過多個工作者機器來同時處置連續熱點區域而無需對特徵進行任何凍結。總體來說，無論圖塊方案如何，所揭露圖塊同步技術均具有益處。透過對特徵進行凍結（例如，在完整晶片（full-chip）OPC 中），所述系統受限於對光罩最適化的自由度。本發明的實施例提出有限的（如果有）限制（例如，在例如熱點固定等情形中不存在此種限制），藉此得到更好的運算結果收斂性（特別是在圖塊邊界附近）。另外，本文中所揭露的同步技術可例如透過對較大圖塊進行所述同步技術而選擇性地併入現有框架中。所揭露圖塊方案可與傳統方案加以組合，以在可用運算資源上禁止同步處理整個設計佈局時獲得效率。儘管此種局部實作方案可能無法消除邊界接合問題，然而其會降低邊界接合問題的出現頻率。

**【0070】** 因此，本發明的實施例提供用於 IC 製作的同步化平行圖塊計算方法的實例。在一些實例中，一種方法包括：接收 IC 設計

佈局；將所述 IC 設計佈局分割成多個圖塊；對所述多個圖塊執行模擬成像過程，其中執行所述模擬成像過程包括對所述多個圖塊中的每一者執行多個成像步驟，其中執行所述多個成像步驟中的每一者包括透過相鄰圖塊之間的資料交換，對來自所述多個圖塊的影像值進行同步。所述方法還包括：透過對來自所述多個圖塊的最終同步化影像值進行組合，來產生經修改 IC 設計佈局；以及提供所述經修改 IC 設計佈局來用於製作光罩。

**【0071】** 在一些此種實例中，所述相鄰圖塊包括第一圖塊及與所述第一圖塊相鄰的第二圖塊。所述第一圖塊與所述第二圖塊的交疊區域包括像素，且所述像素具有先前透過所述第一圖塊計算的第一影像值及先前透過所述第二圖塊計算的第二影像值。對所述第一圖塊執行成像步驟包括基於所述像素的所述第一影像值及所述像素的所述第二影像值的加權組合來計算所述像素的經更新影像值。所述成像步驟中所述相鄰圖塊之間的所述資料交換包括將所述像素的所述經更新影像值從所述第一圖塊遞送到所述第二圖塊。在一些此種實例中，所述加權組合包括與所述第一影像值相乘的第一權重及與所述第二影像值相乘的第二權重，且所述第一權重與所述第二權重之和大於 0 但等於或小於 1。在一些此種實例中，對所述第一圖塊執行的所述成像步驟是第一成像步驟，且所述多個成像步驟還包括在所述第一成像步驟之後進行的第二成像步驟。此處，對所述第二圖塊執行所述第二成像步驟包括基於 (a) 被遞送到所述第二圖塊的所述像素的所述經更新影像值與 (b) 在

所述第一成像步驟中透過所述第二圖塊計算的所述像素的第三影像值的加權組合來計算所述像素的第二經更新影像值。在一些此種實例中，所述模擬成像過程是在 OPC 或 ILT 中使用的反覆運算過程，且所述反覆運算過程的每一次反覆運算包括所述多個成像步驟。此處，所述方法還包括重複地執行所述反覆運算過程直到所述經修改 IC 設計佈局滿足預設條件。

**【0072】** 在又一些實例中，一種系統包括管理者機器，所述管理者機器與多個工作者機器交互作用，所述多個工作者機器包括與所述管理者機器交互作用的第一工作者機器及第二工作者機器。所述管理者機器被配置成：接收 IC 設計佈局；將所述 IC 設計佈局分割成多個模擬盒，所述多個模擬盒包括第一模擬盒及第二模擬盒；將所述第一模擬盒及所述第二模擬盒分別指派給所述第一工作者機器及所述第二工作者機器，以執行模擬成像過程，所述模擬成像過程包括第一成像步驟及第二成像步驟。此處，所述第一模擬盒與所述第二模擬盒的交疊區包括具有一組座標的點。所述第一工作者機器及所述第二工作者機器被配置成：在所述第一成像步驟中，使用所述第一工作者機器計算所述點的影像值 A，並使用所述第二工作者機器計算所述點的影像值 B；在所述第一成像步驟中，將所述影像值 A 與所述影像值 B 彼此互換；以及在所述第二成像步驟中，使用所述第一工作者機器計算所述點的影像值 C，並使用所述第二工作者機器計算所述點的影像值 D。所述影像值 C 及所述影像值 D 二者的所述計算是基於所述影像值 A 與

所述影像值 **B** 的加權組合。

**【0073】** 在一些此種實例中，所述影像值 **A** 與所述影像值 **B** 的所述加權組合使用與所述影像值 **A** 相乘的第一權重及與所述影像值 **B** 相乘的第二權重，且其中所述第一權重與所述第二權重之和等於 1。在一些此種實例中，使用所述第一工作者機器計算的所述點的所述影像值 **C** 與使用所述第二工作者機器計算的所述點的所述影像值 **D** 相等。在一些此種實例中，所述第一工作者機器及所述第二工作者機器還被配置成將所述點的所述影像值 **C** 及所述點的所述影像值 **D** 發送到所述管理者機器。在一些此種實例中，所述管理者機器還被配置成：部分地基於所述點的所述影像值 **C** 及所述點的所述影像值 **D** 來產生經修改 IC 設計佈局；以及提供所述經修改 IC 設計佈局以基於所述經修改 IC 設計佈局來製作微影光罩。

**【0074】** 在又一些實例中，一種用於微影模擬的方法包括由第一工作者機器接收 IC 設計佈局的模擬盒。所述模擬盒包括第一過渡區，所述第一過渡區覆蓋像素，且所述像素還被由一個或多個第二工作者機器處理的一個或多個第二過渡區覆蓋。所述方法還包括：計算所述像素的第一像素值，以對微影製程的第一階段進行模擬；接收已由與所述第一工作者機器交互作用的所述一個或多個第二工作者機器為所述像素計算的一個或多個第二像素值；以及基於所述第一像素值與所述一個或多個第二像素值的加權組合來計算所述像素的經更新像素值，以對所述微影製程的第二階段進行模擬。

【0075】 在一些此種實例中，所述加權組合使用多個權重，在計算所述經更新像素值時所述多個權重中的每一者被乘以所述第一像素值與所述一個或多個第二像素值中的一者。此處，所述多個權重之和等於 1。在一些此種實例中，所述方法還包括：將所述像素的所述經更新像素值傳送到所述一個或多個第二工作者機器中的每一者。在一些此種實例中，所述方法還包括：由與所述第一工作者機器及所述一個或多個第二工作者機器交互作用的管理者機器接收所述 IC 設計佈局；由所述管理者機器將所述 IC 設計佈局分割成包括所述模擬盒在內的多個模擬盒；由所述管理者機器將所述模擬盒指派給所述第一工作者機器以進行模擬；以及從所述管理者機器向所述第一工作者機器發送訊息遞送指令，所述訊息遞送指令規定如何將所述像素的所述經更新像素值傳送到所述一個或多個第二工作者機器中的每一者。在一些此種實例中，所述像素的所述經更新像素值是由所述第一工作者機器在第一成像步驟中計算的第一經更新像素值。所述方法還包括在所述第一成像步驟之後的第二成像步驟中：接收已由所述一個或多個第二工作者機器在所述第一成像步驟中為所述像素產生的一個或多個第三像素值；以及基於所述第一經更新像素值與所述一個或多個第三像素值的加權組合來計算所述像素的第二經更新像素值。在一些此種實例中，所述第一成像步驟及所述第二成像步驟用於 OPC，其中所述像素的所述第一經更新像素值代表所述像素處的光學影像值，且其中所述像素的所述第二經更新像素值代表所述

像素處的阻抗影像值。在一些此種實例中，所述第一成像步驟及所述第二成像步驟用於反向微影技術（ILT），其中所述像素的所述第一經更新像素值代表所述像素處的晶圓影像值，且其中所述像素的所述第二經更新像素值代表所述像素處的梯度值。在一些此種實例中，所述方法還包括：部分地基於所述第二經更新像素值來產生經修改 IC 設計佈局；以及提供所述經修改 IC 設計佈局，以基於所述經修改 IC 設計佈局製作微影光罩。在一些此種實例中，所述第一像素值與所述一個或多個第二像素值的所述加權組合是由一個或多個加權函數規定，其中所述加權函數中的每一者（a）對所述模擬盒的核心區賦予為 1 的權重，(b) 對所述過渡區賦予介於 0 與 1 之間的權重，以及 (c) 對所述模擬盒的暈圈區賦予為 0 的權重。在一些此種實例中，所述模擬盒還包括被所述過渡區環繞的核心區及環繞所述過渡區的暈圈區。此處，所述方法還包括：僅使用已由所述第一工作者機器為所述多個像素產生的像素值、而不使用由所述一個或多個第二工作者機器為所述多個像素產生的任何先前像素值來計算所述核心區中的多個像素的經更新像素值。計算所述像素的所述經更新像素值是進一步基於位於所述暈圈區中的附加像素。位於所述暈圈區中的所述附加像素的值不被所述第一工作者機器傳送到所述一個或多個第二工作者機器中的任一者。

**【0076】**以上概述了若干實施例的特徵，以使所屬領域中的技術人員可更好地理解本發明的各個方面。所屬領域中的技術人員應

知，其可容易地使用本發明作為設計或修改其他製程及結構的基礎來施行與本文中所介紹的實施例相同的目的及/或實現與本文中所介紹的實施例相同的優點。所屬領域中的技術人員還應認識到，這些等效構造並不背離本發明的精神及範圍，而且他們可在不背離本發明的精神及範圍的條件下對其作出各種改變、代替、及變更。

### 【符號說明】

#### 【0077】

15：設計公司

20：光罩公司

25：IC 製造商/IC 製作廠

30：IC 裝置

35、37：設計佈局

40：光罩數據準備

42：光學鄰近效應校正（OPC）

44：微影製程檢查（LPC）

45：光罩製作

50：投影晶圓影像

55：顯影後檢驗

60：最終晶圓特徵

200：微影系統

202：半導體晶圓

204：光阻層

210：光

220：光罩平台

222：光罩

230：投影光學元件盒（POB）

300：光罩設計系統

310：管理者機器

312：處理器

314：系統記憶體

316：大容量儲存裝置

318：通訊模組

320、330：工作者機器

400：方法

405、410、420：步驟

430：模擬成像過程

432：步驟/光罩更新步驟

434：步驟/成像步驟/第一成像步驟

436：步驟/成像步驟/最終成像步驟

450：最終經修改設計佈局

500：均勻圖塊分割方案

550：交錯圖塊分割方案

580：適應性圖塊分割方案

600：計算方案

610：圖塊/第一圖塊

611、617：像素

612、622、632：加權函數

613：權重/第一權重

614：核心區

616、636：過渡區

618：暈圈區

619：模擬盒

620、630、814、816、824、826：圖塊

633：權重/第二權重

800：方案/同步化平行圖塊計算方案

810：圖塊分割步驟

812：IC 設計佈局

820：成像步驟

822：同步過程

830：經修改 IC 設計佈局

900、1000：方法

910、920、930、940、950、1010、1020、1030、1040、1050：

步驟

X、Y：方向

## 【發明申請專利範圍】

【第1項】 一種用於積體電路製作的方法，包括：

接收積體電路設計佈局；

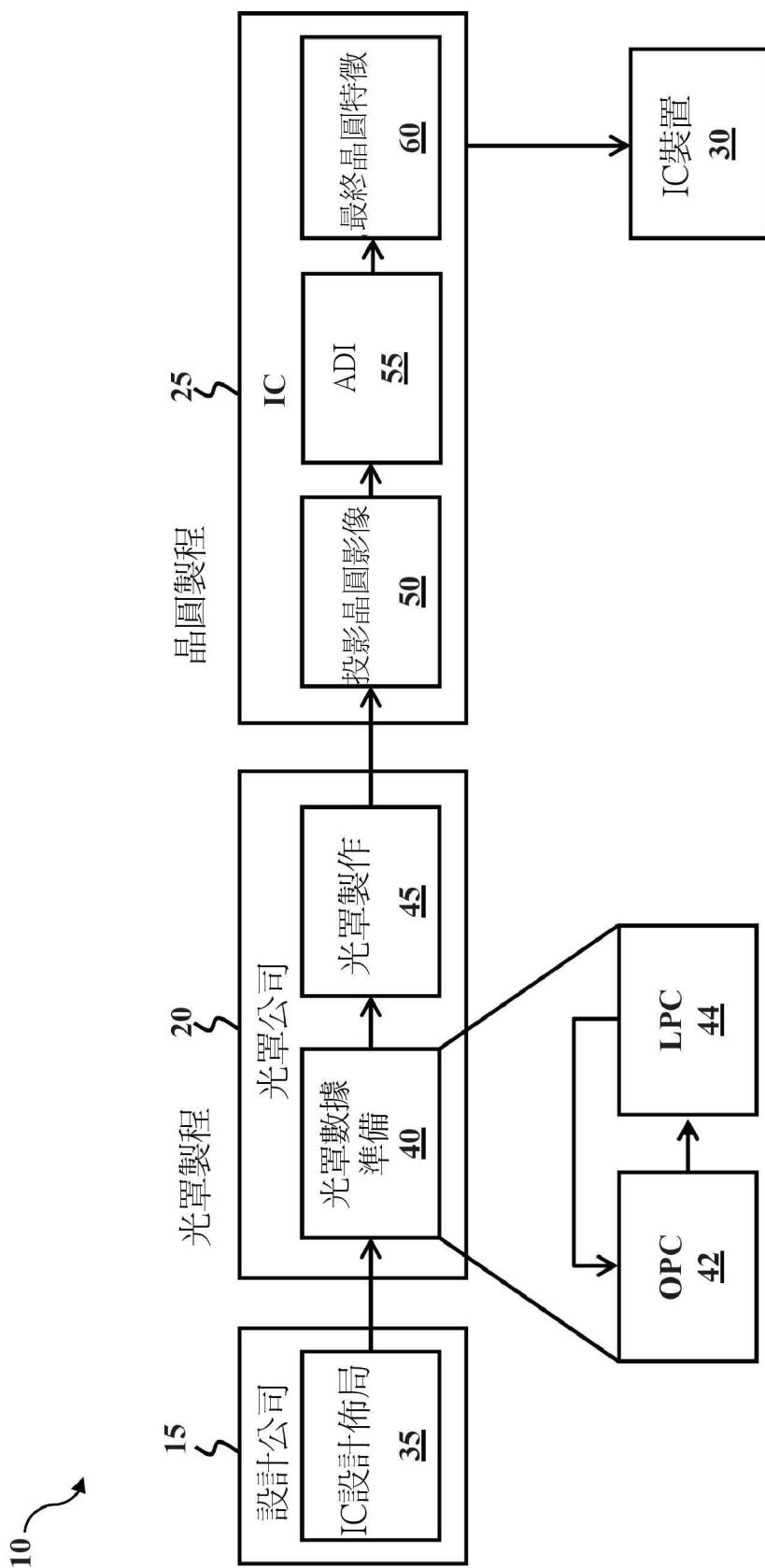
將所述積體電路設計佈局分割成多個圖塊；

對所述多個圖塊執行模擬成像過程，其中執行所述模擬成像過程包括對所述多個圖塊中的每一者執行多個成像步驟，其中執行所述多個成像步驟中的每一者包括透過相鄰圖塊之間的資料交換，對來自所述多個圖塊的影像值進行同步；

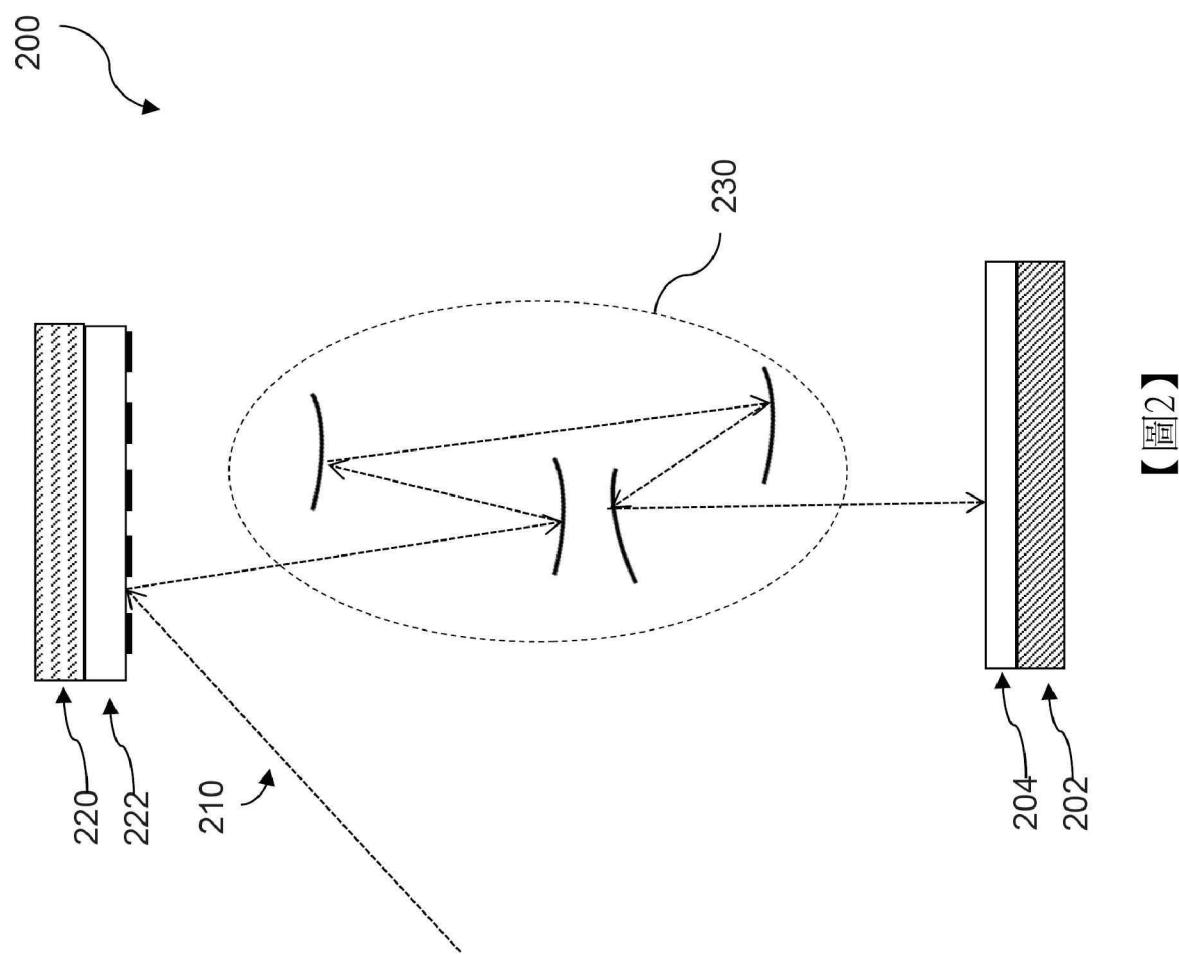
透過對來自所述多個圖塊的最終同步化影像值進行組合，來產生經修改積體電路設計佈局；以及

提供所述經修改積體電路設計佈局來用於製作光罩。

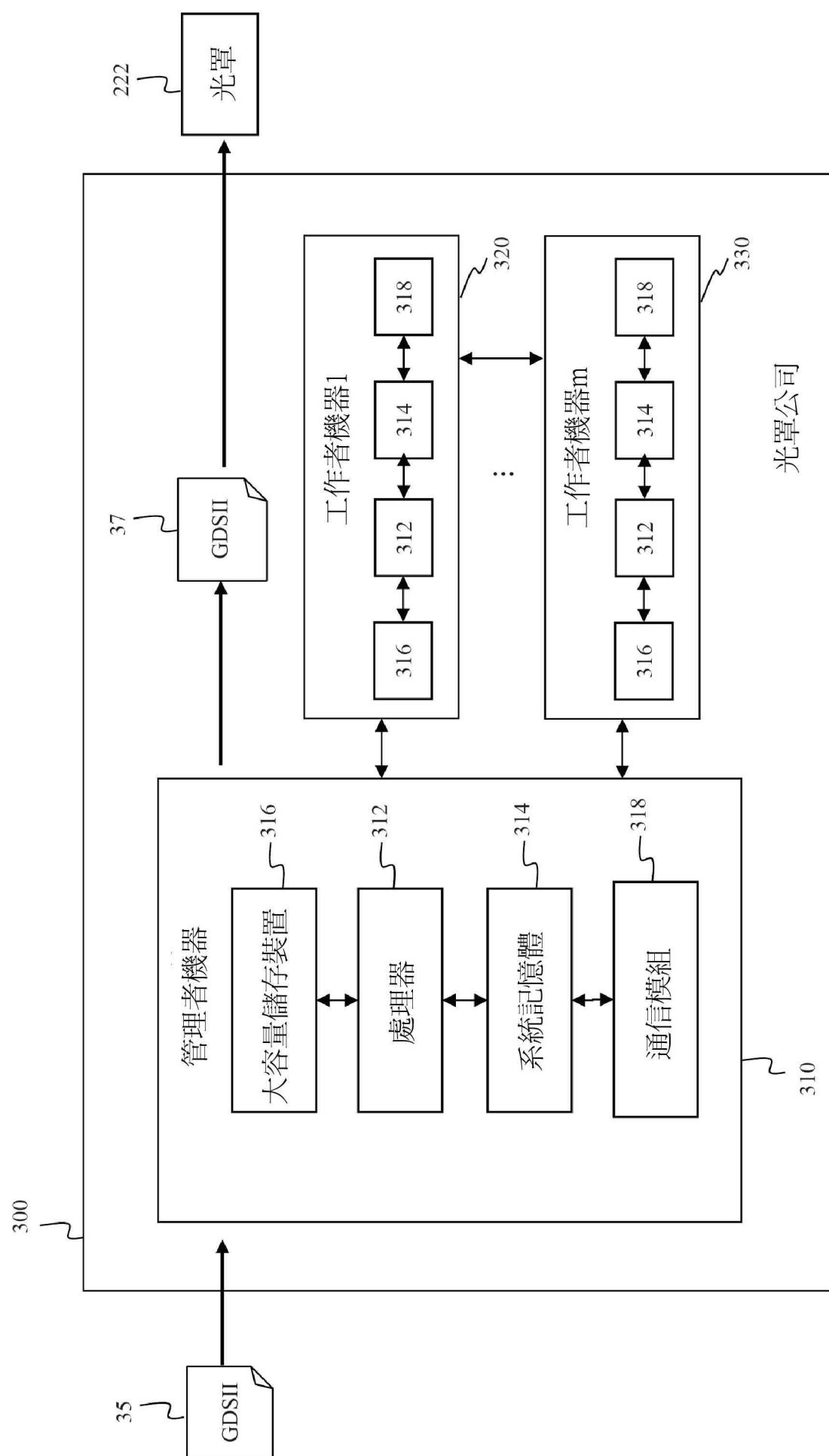
## 【發明圖式】



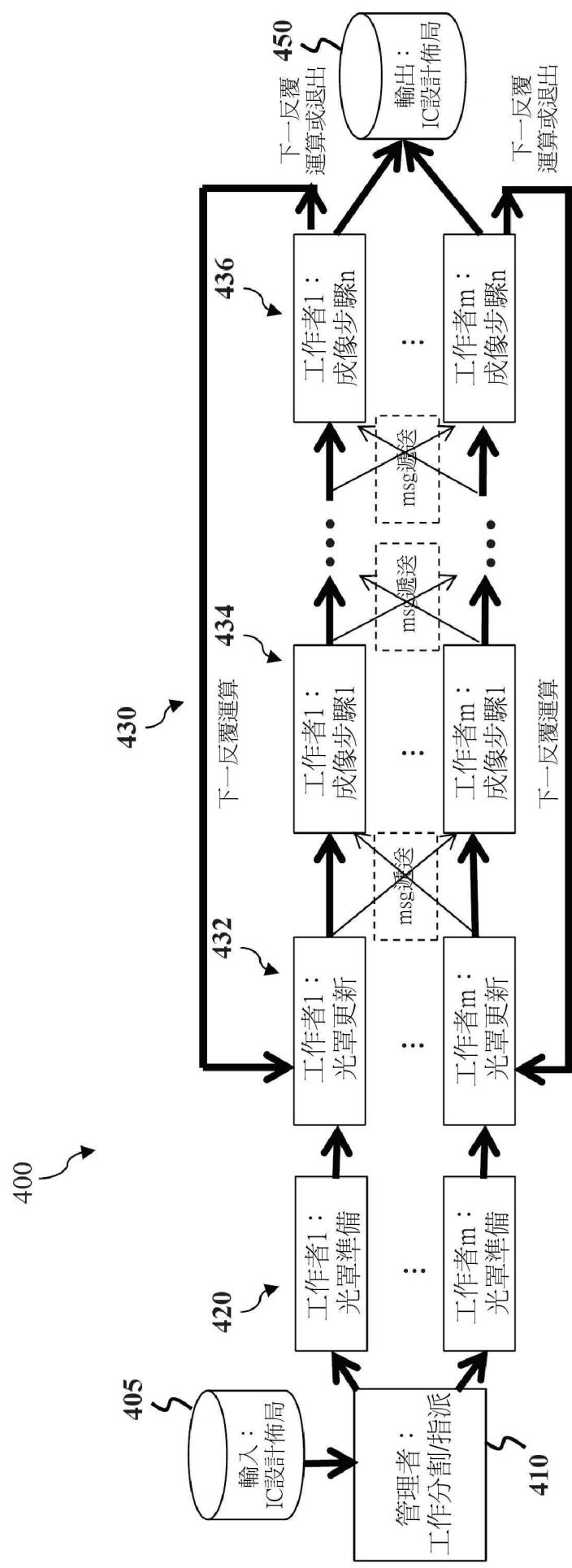
【圖1】



【圖2】

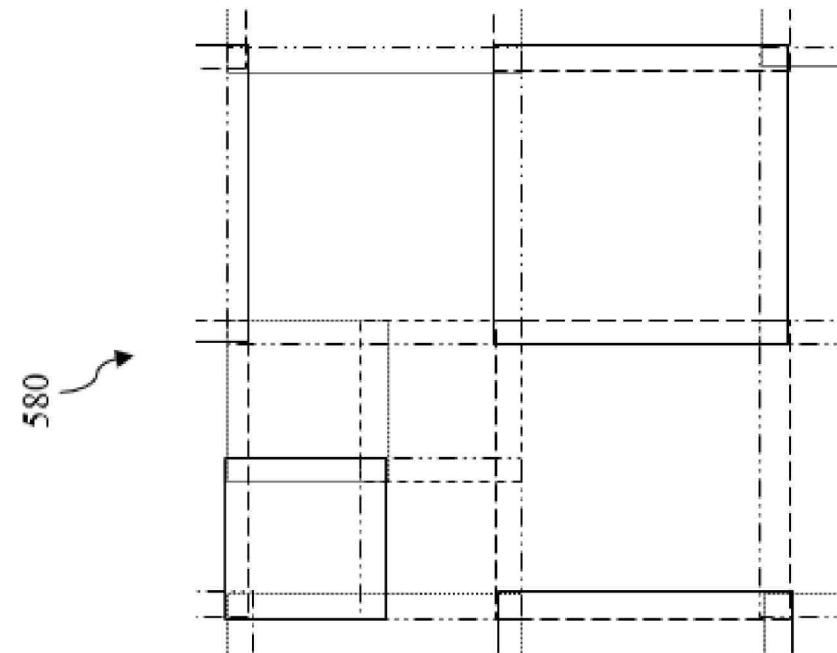


【圖3】

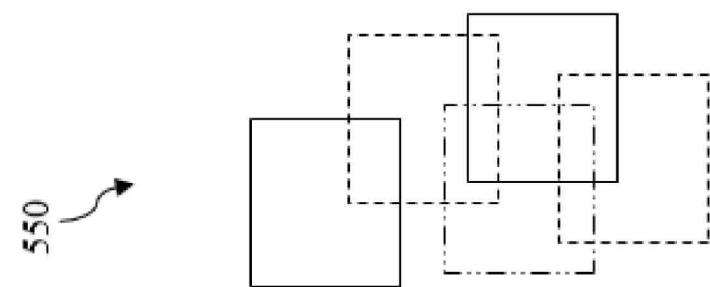


【圖4】

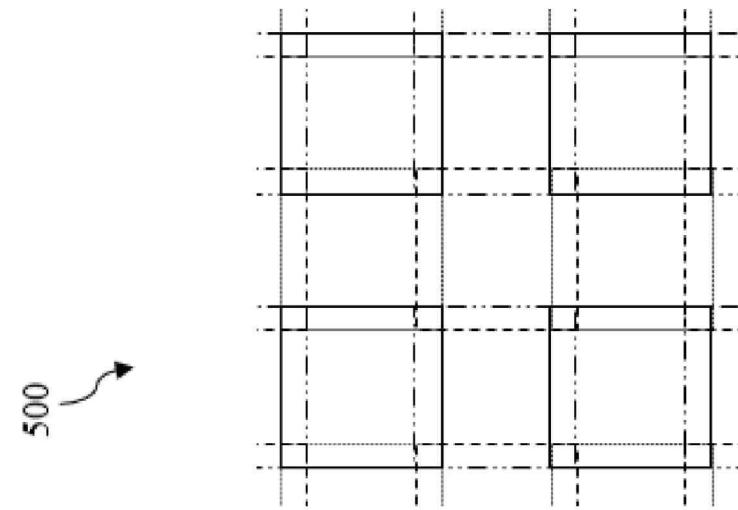
201923442



【圖5C】

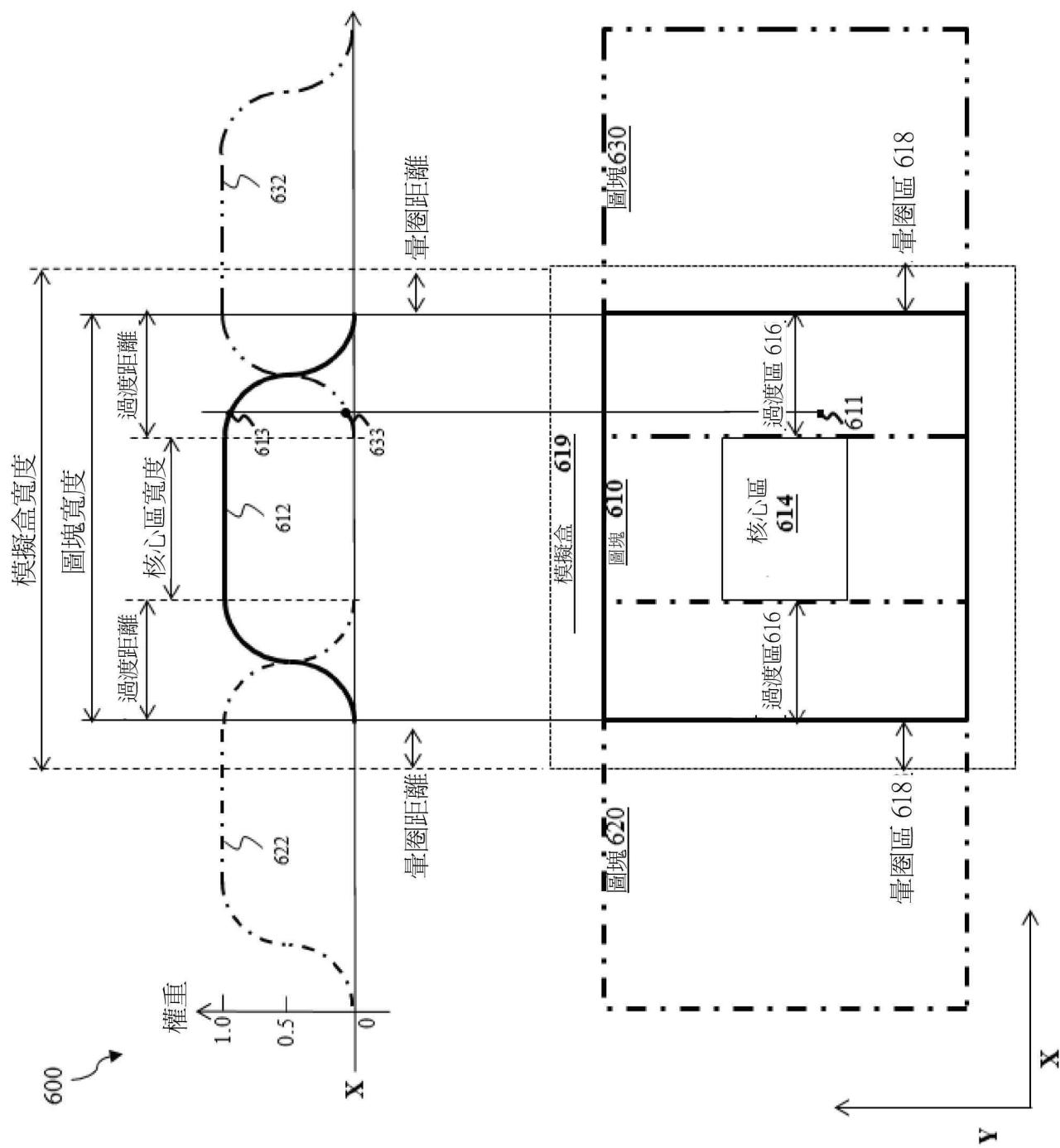


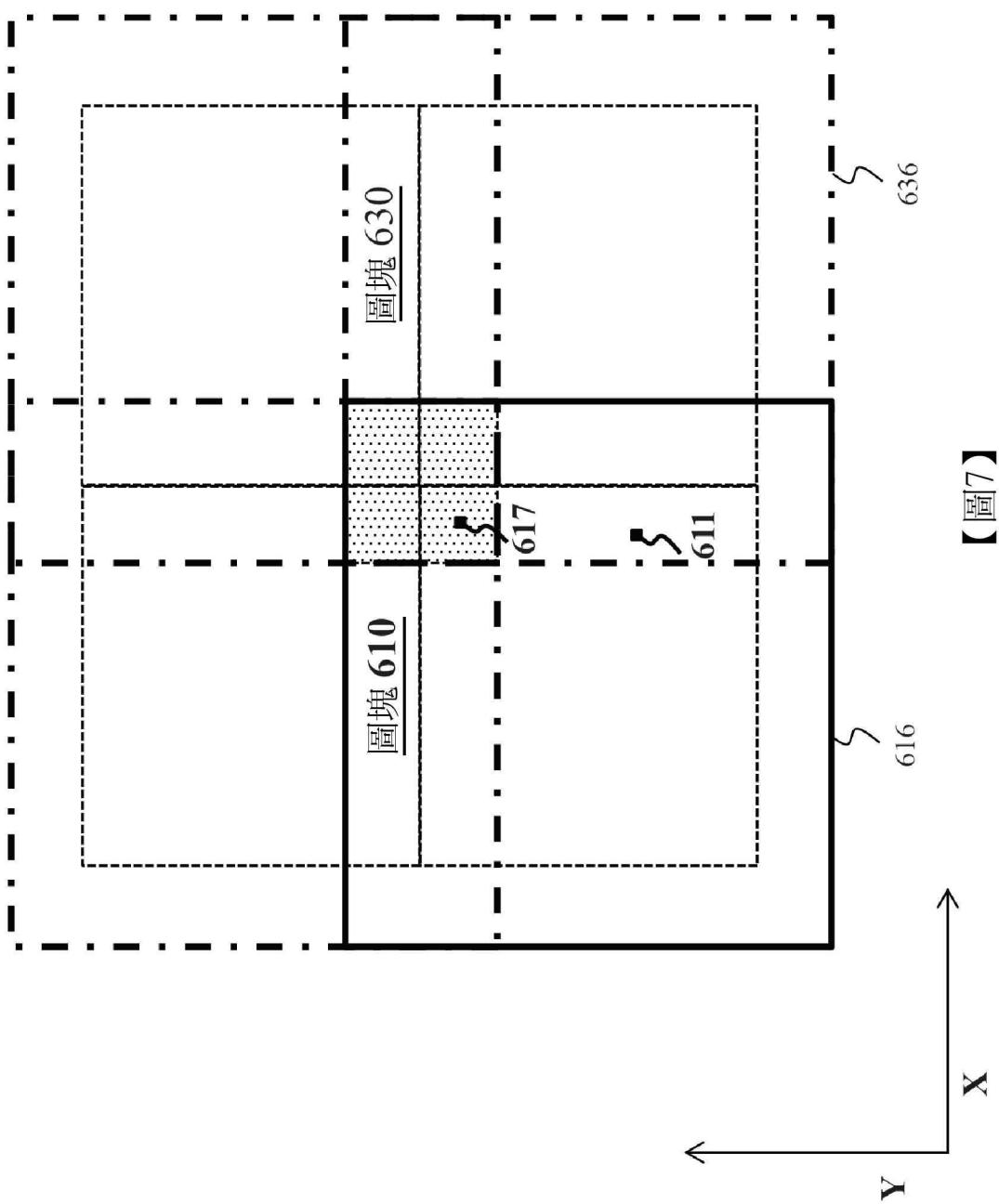
【圖5B】

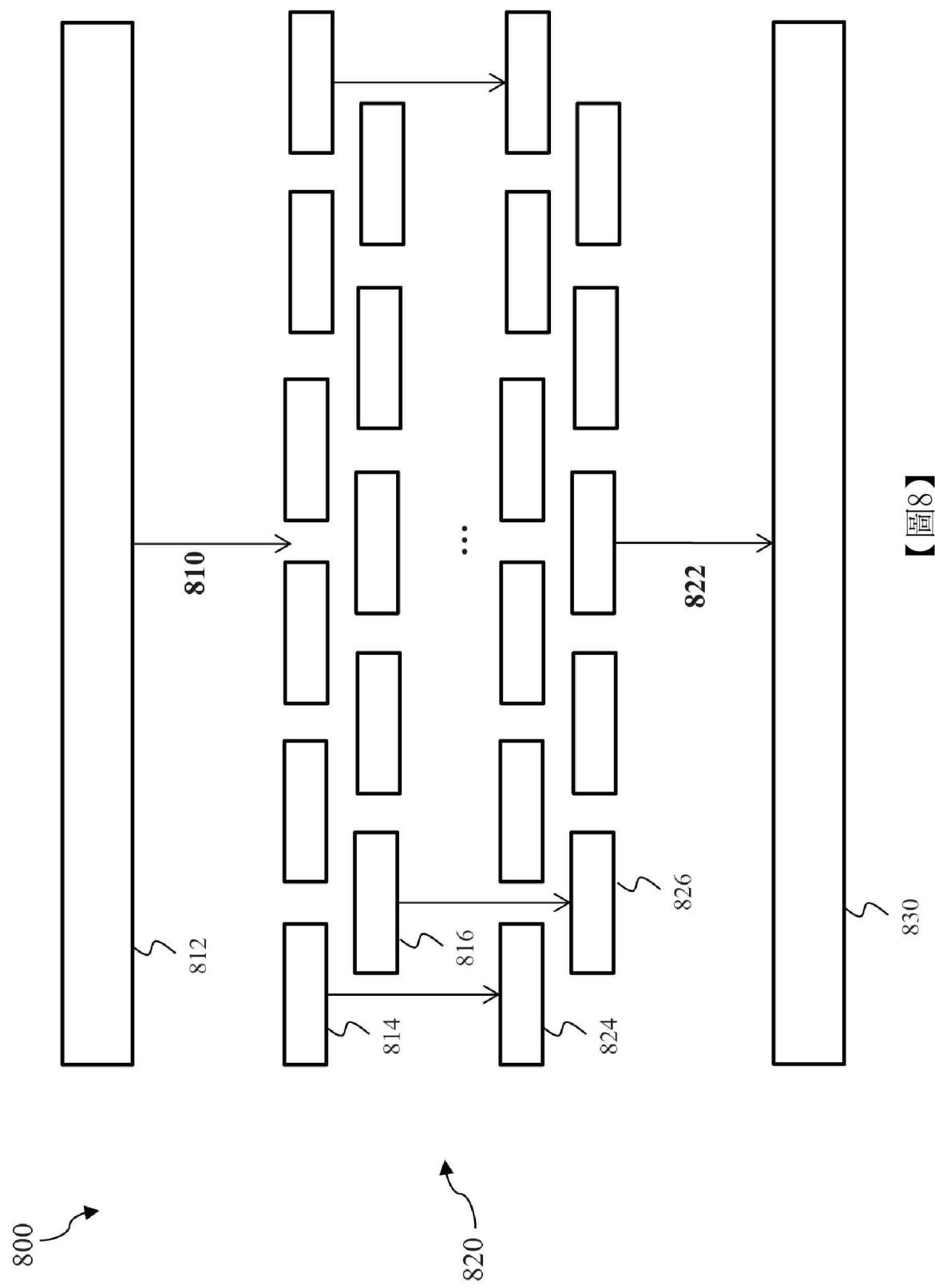


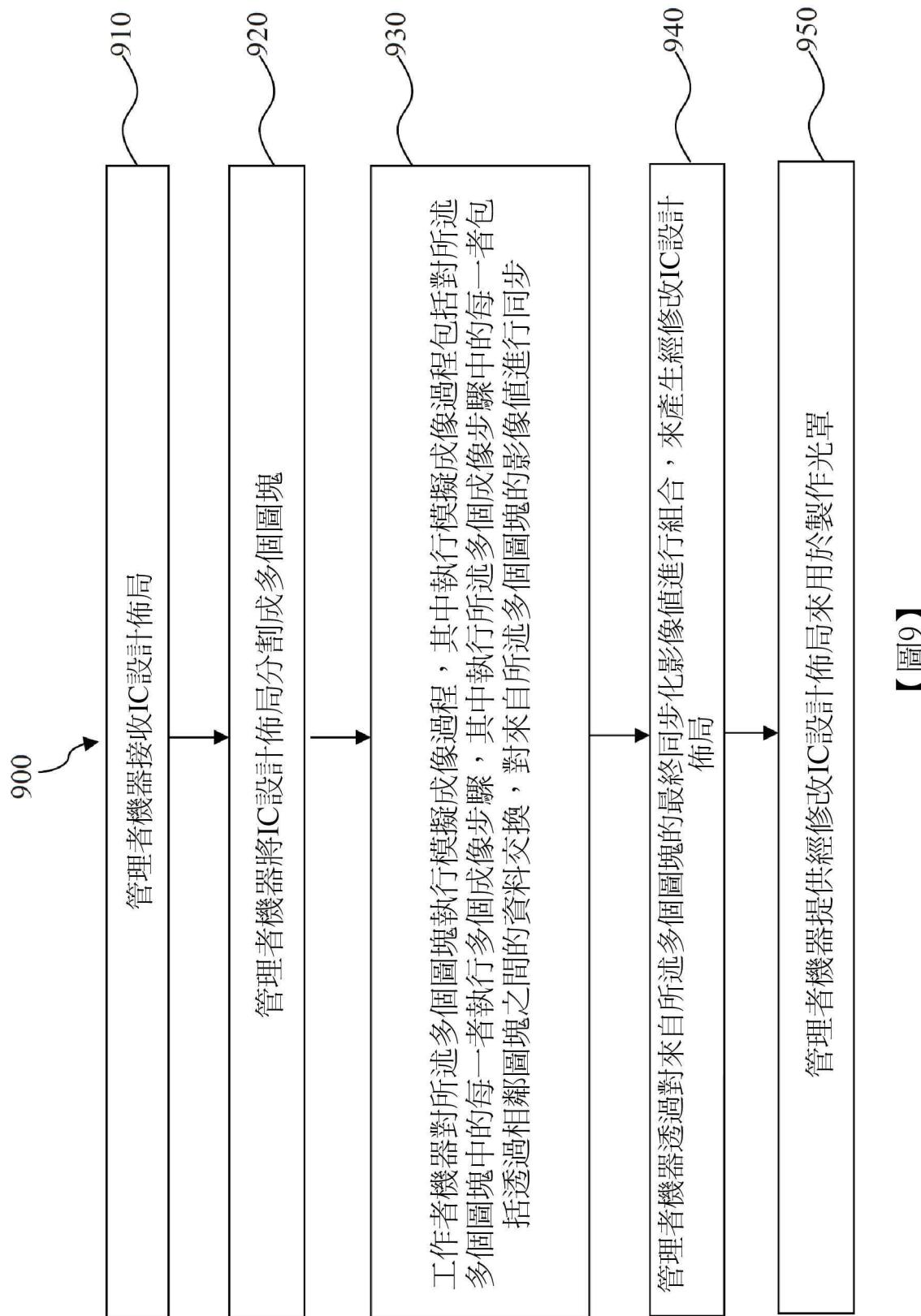
【圖5A】

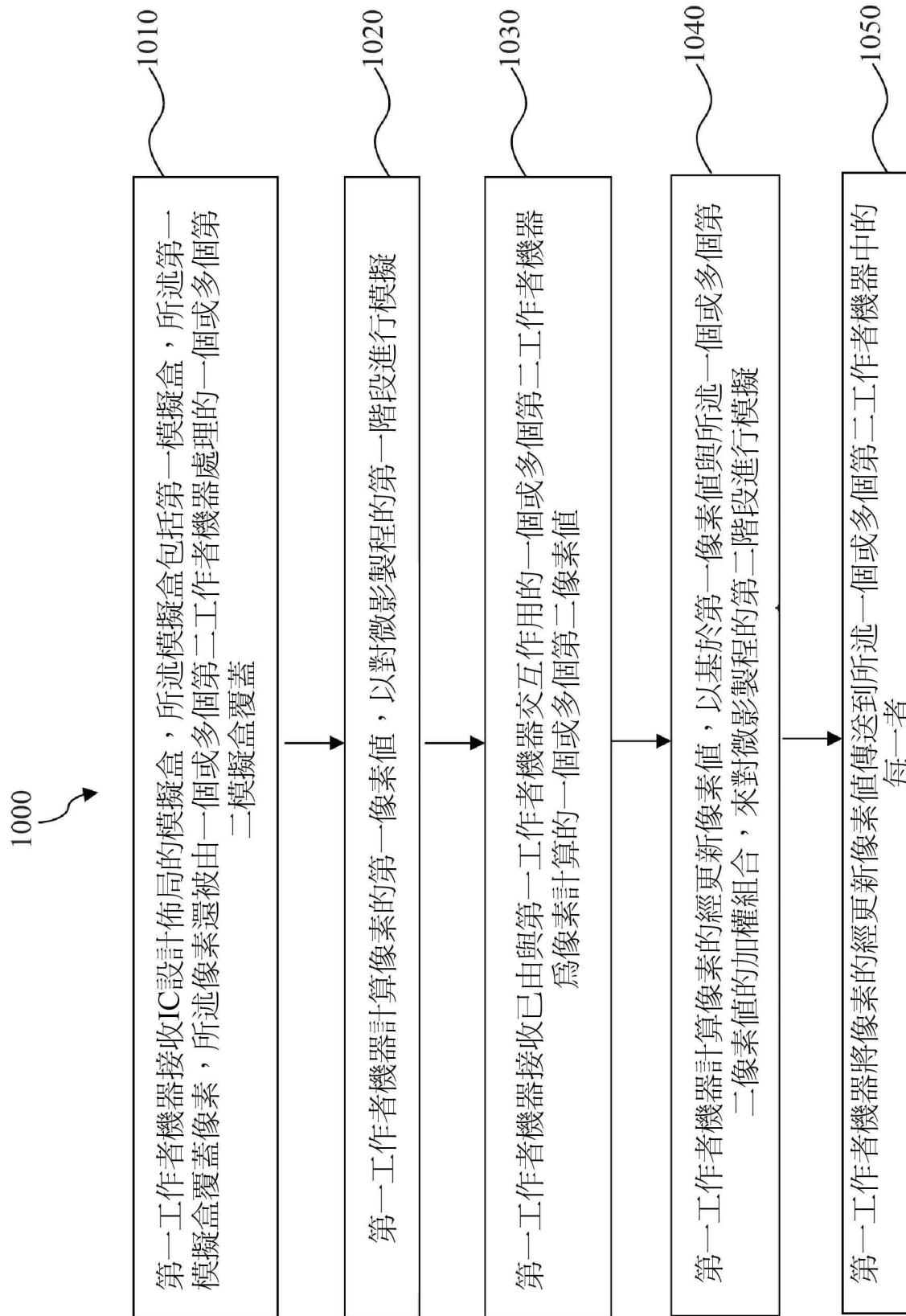
四六











【圖10】