

Міністерство освіти і науки України
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»



Звіт

до лабораторної роботи № 1

з дисципліни: **«МОДЕЛЮВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ»**

На тему: «Інсталяція та ознайомлення з середовище розробки Xilinx ISE»
Варіант 19

Виконав:

ст. гр. КІ-201

Салагуб А.О.

Прийняв:

Козак Н. Б.

Львів - 2023

Мета роботи: Побудувати дешифратор 3->7 за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.

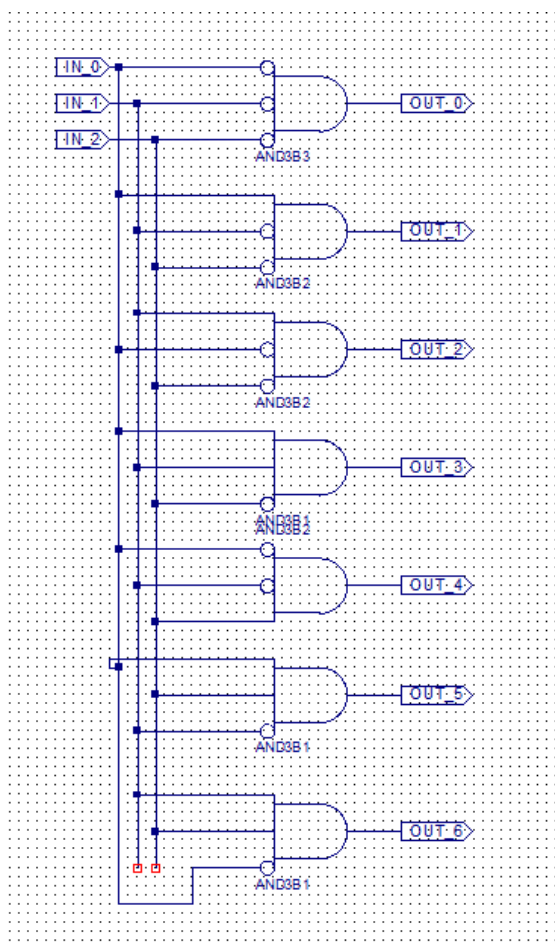
Завдання:

1. Створення облікового запису на www.xilinx.com
2. Інсталяція Xilinx ISE та отримання ліцензії.
3. Побудова пристрою «3 в 7» за допомогою ISE Webpack Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
4. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Хід роботи

1. Використовуючи компоненти з бібліотеки, реалізую схему згідно із завданням.

Схема дешифратора 3->7 на логічних елементах бібліотеки Xilinx ISE.



2. Додав до проекту User Constraint файл та призначив виводам схеми виводи цільової FPGA.

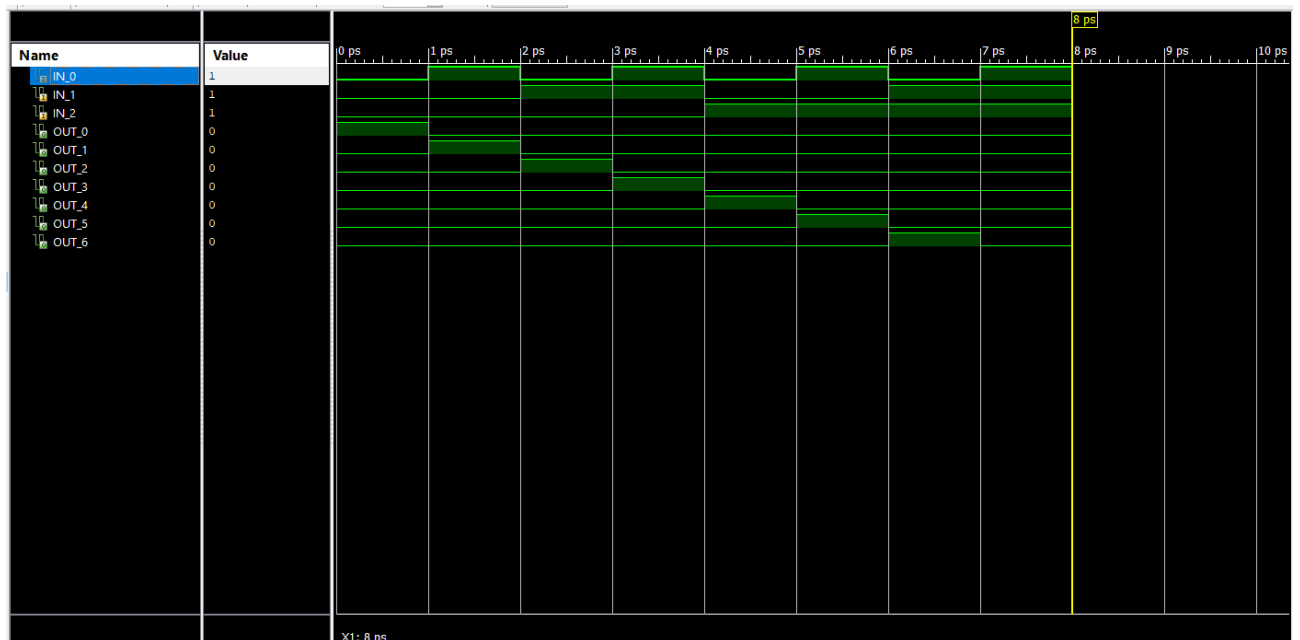
```

1  *****
2  #                                                                 UCF for ElbertV2 Development Board
3  *****
4  CONFIG VCCAUX = "3.3" ;
5
6  # Clock 12 MHz
7  #NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
8  #####
9  #                                                                 LED
10 #####
11 NET "OUT_0" LOC = P46 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
12 NET "OUT_1" LOC = P47 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
13 NET "OUT_2" LOC = P48 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
14 NET "OUT_3" LOC = P49 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
15 NET "OUT_4" LOC = P50 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
16 NET "OUT_5" LOC = P51 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
17 NET "OUT_6" LOC = P54 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
18
19 #####
20 #                                                                 DP Switches
21 #####
22 NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
23 NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
24 NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
25

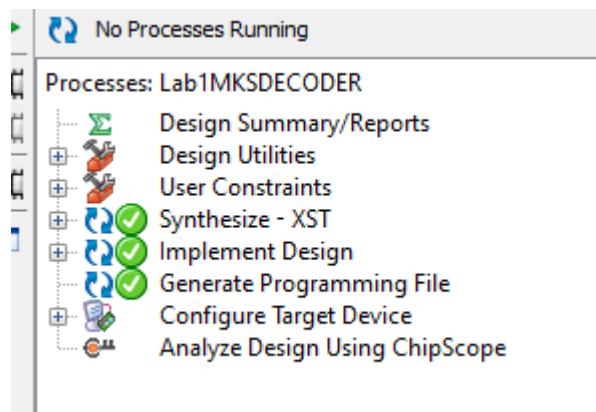
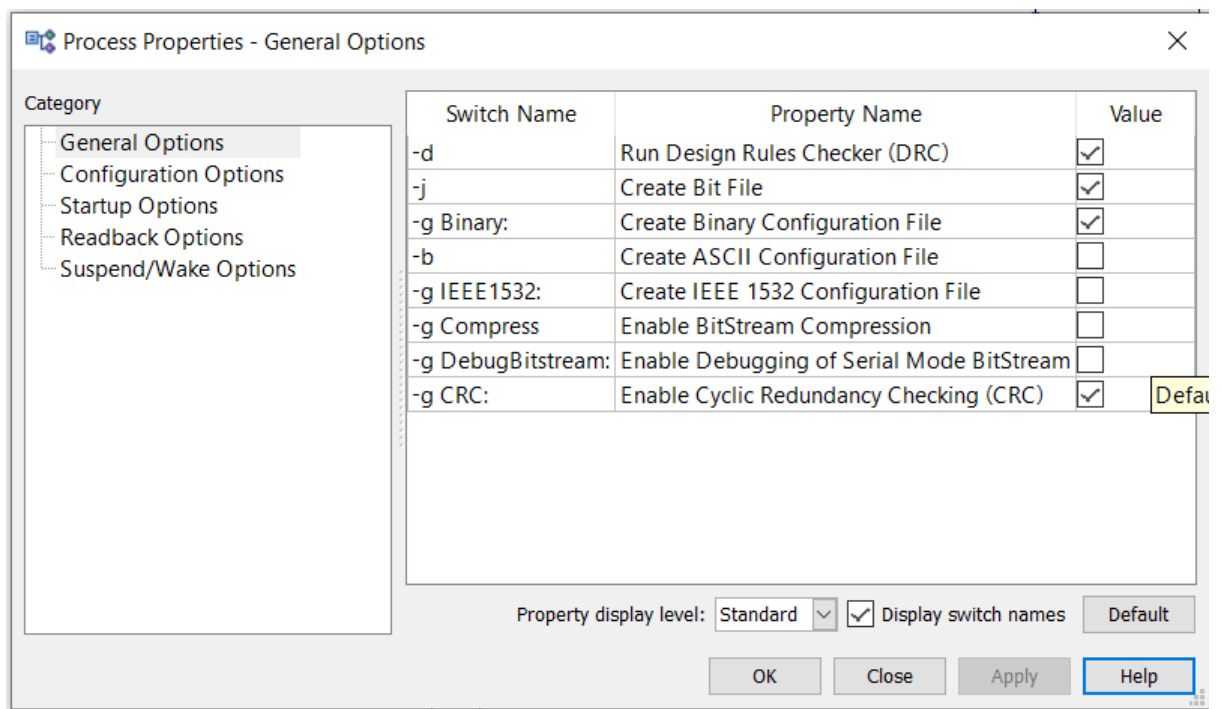
```

Рис. .ucf файл

3. Для кожного вхідного сигналу викликаю контекстне меню і встановлюю значення (0 або 1). Проводжу симуляцію роботи схеми для наборів вхідних значень. В результаті отримую певну діаграму.

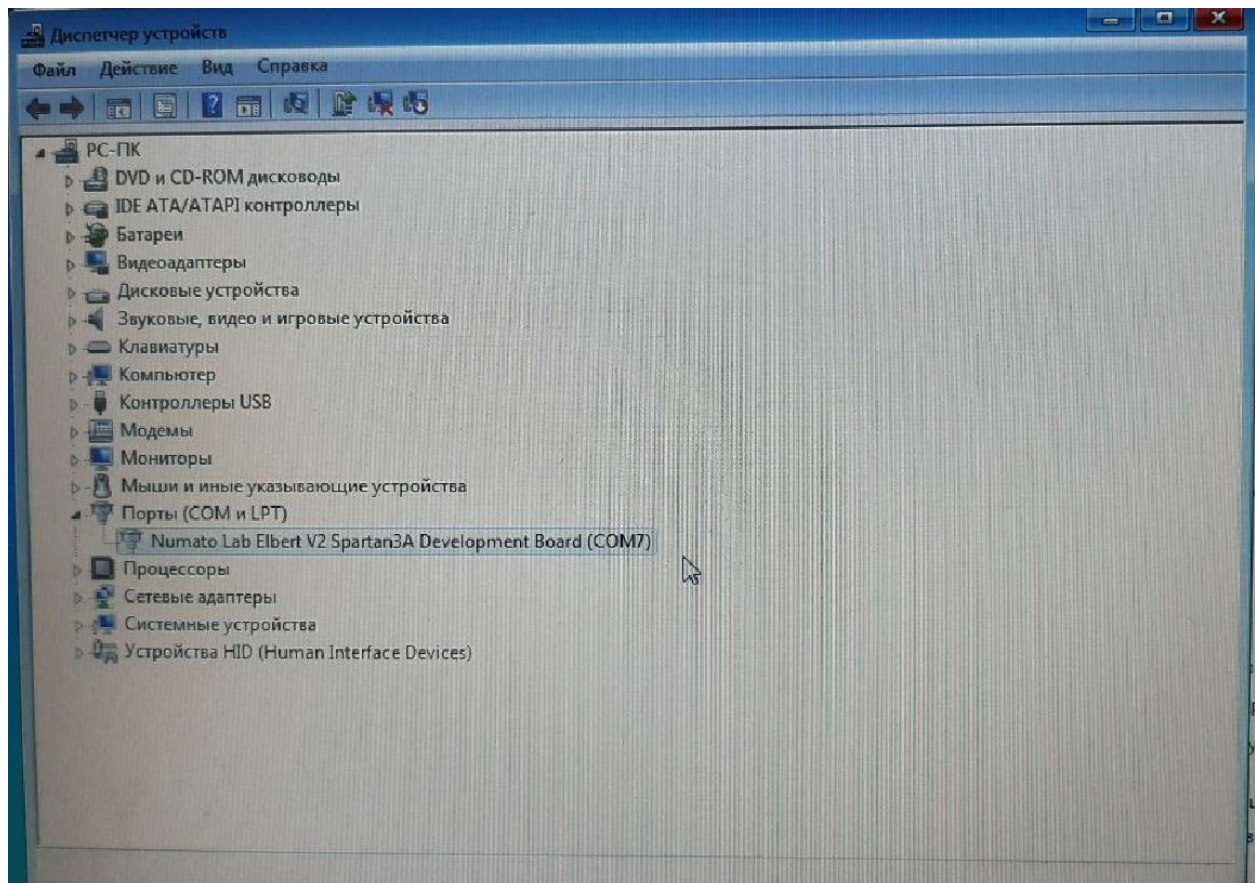


4. У параметрах процесу Generate Programming File активував опцію Create Binary Configuration File, послідовно запустив процеси Synthesize-XST, Implement Design, Generate Programming File та переконався, що вони виконалися успішно.

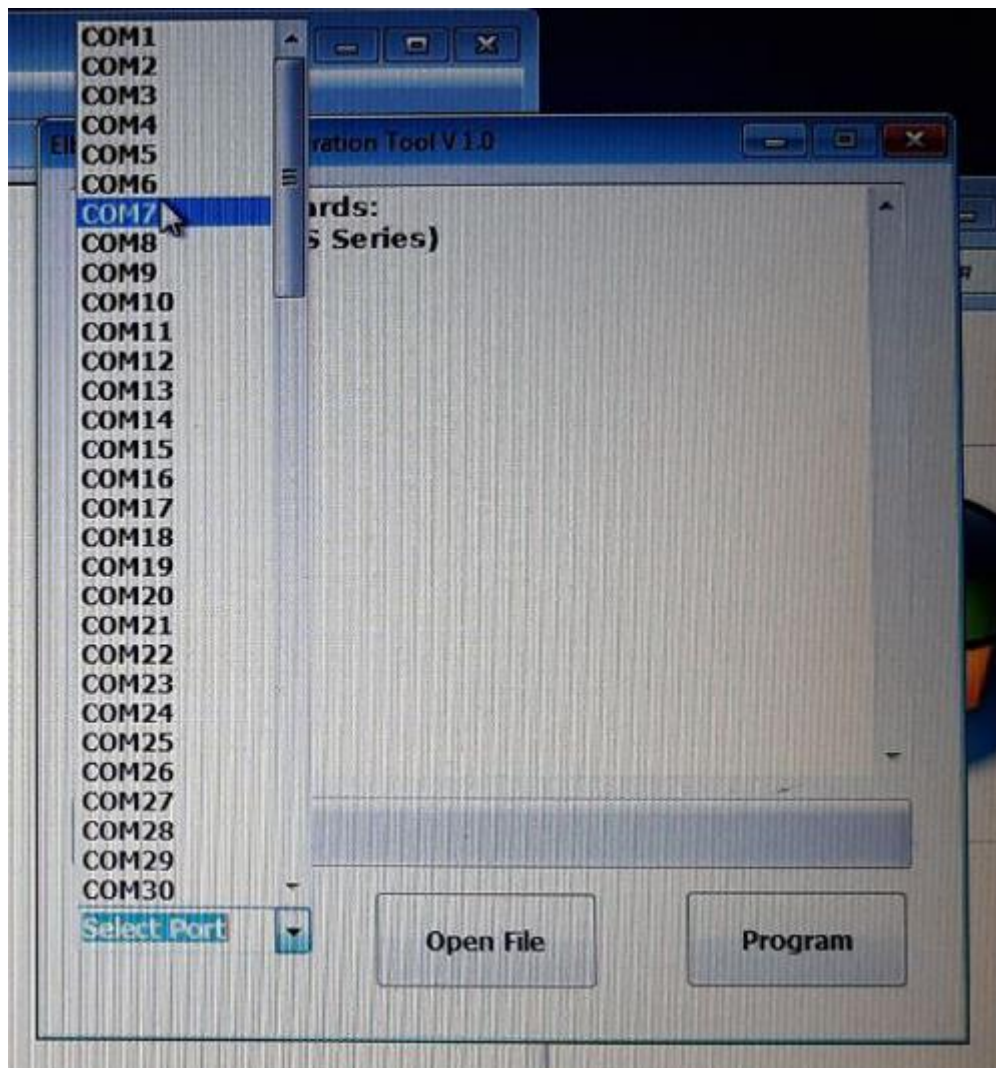


1. Запрограмував лабораторний стенд отриманим файлом:

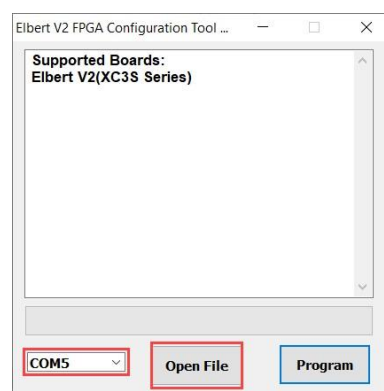
- Запустив утиліту ElbertV2Config.exe.
- Визначив за допомогою диспетчера пристроїв COM порт який використовується для підключення лабораторного стенда.



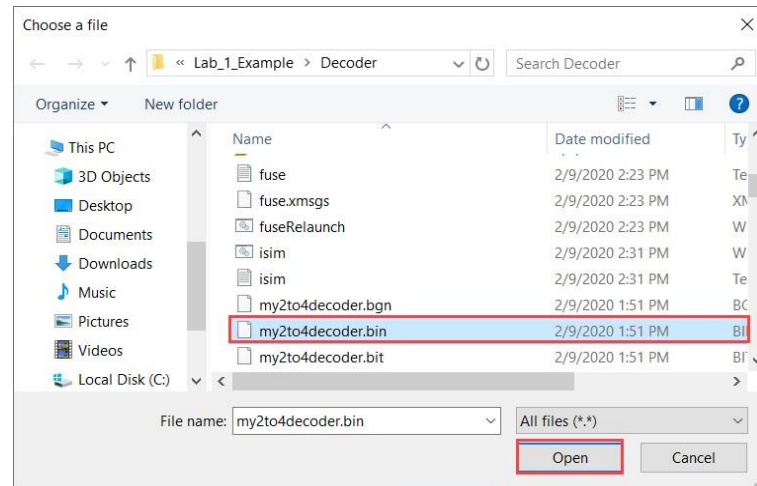
- Встановив номер COM порта який використовується для підключення лабораторного стенда.



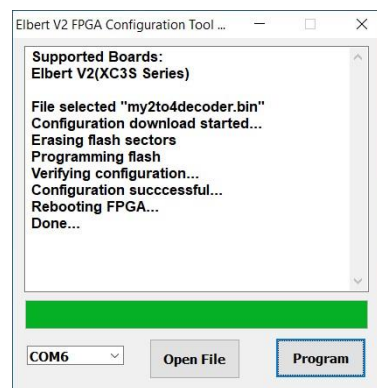
- Натиснув кнопку Open File.



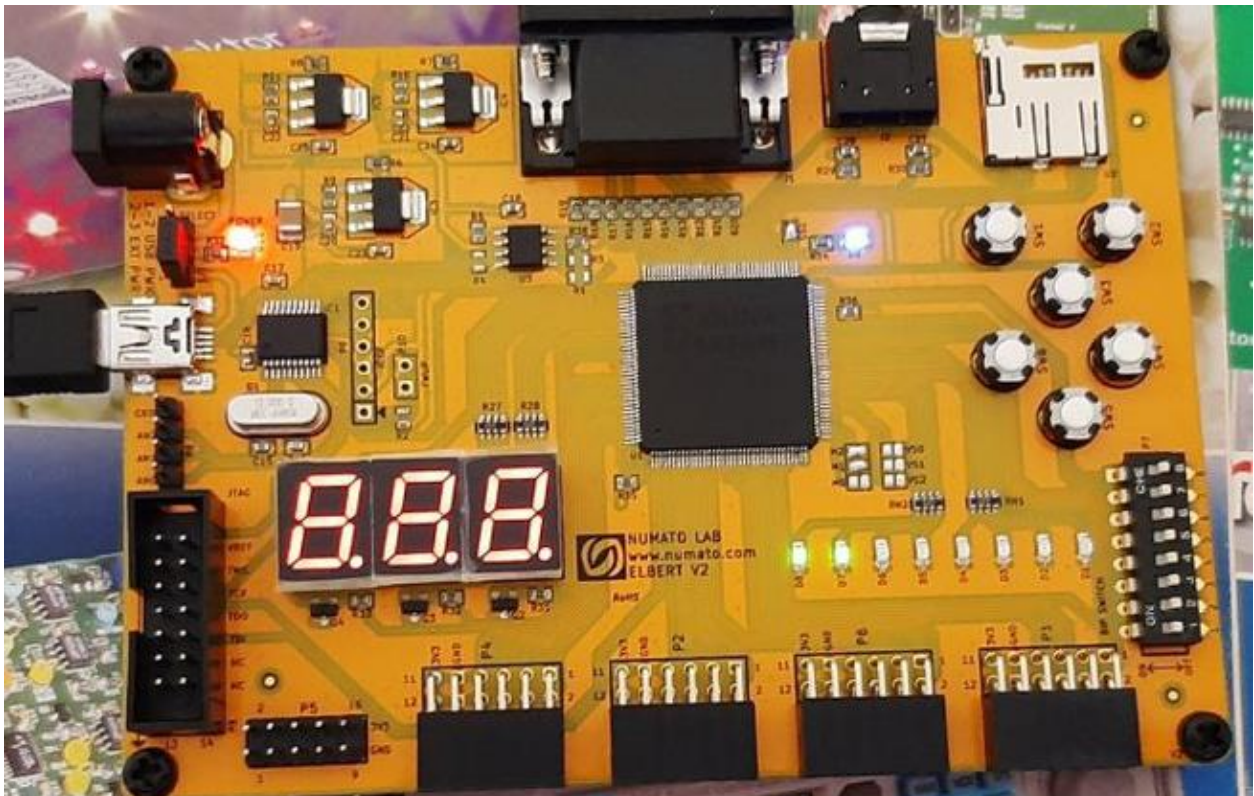
- Перейшов в папку проекту вибрати згенерований .BIN файл і натиснув Open



- Натиснув Program. Дочекавшись закінчення процесу переконався що програмування відбулось успішно.



- Виконання програми на платі.



Висновок: під час виконання даної лабораторної роботи я ознайомився з середовищем розробки Xilinx ISE, стендом Elbert V2 - Spartan 3A FPGA,

реалізував схему дешифратора 3 на 7 та провів моделювання його роботи в симуляторі Isim та згенерував файли прощиття.