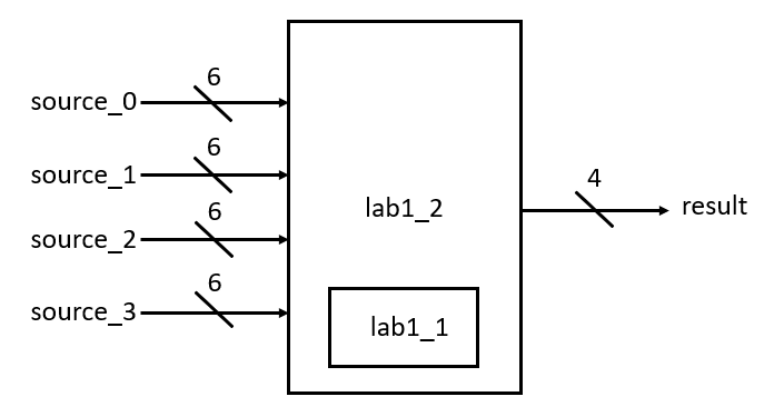
|  |  |
| --- | --- |
| **Lab 1** | |
| 學號: 110062131 | 姓名: 馬毓昇 |

1. **Lab Implementation**

Lab1\_1: 用if-else statement從最高位判斷到最低位來決定arbitration。一張含有 文字 的圖片

自動產生的描述

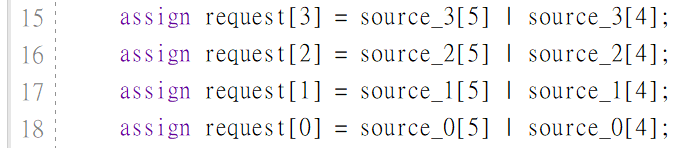
Lab1\_2: 用每個source最高兩位給做request的個別bit讓lab1\_1判斷要處理哪個source，再以function來做出result。



Lab1\_2 segments:

1. input/output

2. 依source的最高兩位做request



3. lab1\_1做出grant代表要處理哪個source，再跑case來處理



一張含有 文字 的圖片

自動產生的描述

4. 因為處理的code重複性很高，所以寫成一個function

一張含有 文字 的圖片

自動產生的描述

用到了Lectrue01怎麼裝和設置vivado，還有Lecture02怎麼用vivado跑模擬。主要還是老師的Verilog Series，Modeling跟Blocks的影片讓這次寫code順利許多。

1. **Questions and Discussions**

A: 因為grant變化會有Gate delay，要用#DELAY等變化結束再做判斷才是對的。

B: 是，MUX。

C: if-else statement是很多個2-1MUX接著，case statement是一個N-1MUX。

1. **Problem Encountered**

1. 一開始遇到”No Change in HDL. Linking previously generated obj files to create kernel”的問題，後來重開project就解決了。

2. 有遇到”concurrent assignment to a non-net ‘grant‘ is not permitted”的error，網路上說是因為不能把reg型賦值給另一module的輸出reg型，改成wire型就可以了。

一張含有 文字 的圖片

自動產生的描述

1. **Suggestions**

老師的verilog教學影片很棒，我花了一學期還搞不懂的verilog僅用短短幾部影片就讓我學懂了，受益良多。

胡瓜到科技業面試。

主管：「你懂製程嗎？」

胡瓜：「不是，我胡瓜。」

🤡

換董至成到科技業面試

主管：你懂製程嗎?

董至成：對

主管：你懂什麼?

董至成：志成

主管：什麼製程?

董至成：董

主管：來，下面一位～