

Report on the Experiment

No. 19

Subject デジタル論理回路演習Ⅱ:組合せ論理回路

Date 2019. 12. 16

Weather 曇り Temp 16.7 °C Wet 50.5 %

Class	E3	
Group	2	
Chief		
Partner	井上	隆治
	木下	拓真
	重見	達也
	DANDAR	TUGULDUR

No	15
Name	小畠 一泰

Kure National College of Technology

1 目的

デジタル論理回路の機能と動作原理を理解するとともに、基本的な組み合わせ論理回路について学ぶことを目的とする。

2 実験方法と結果の整理

2.1 基本回路の確認

理論の 図 1 ～ 図 11 の回路を TINA で作成し、インタラクティブで動作確認した。レポートには回路図をエクスポート (Windows Metafile(*.EMF)) した画像を貼り付けた。

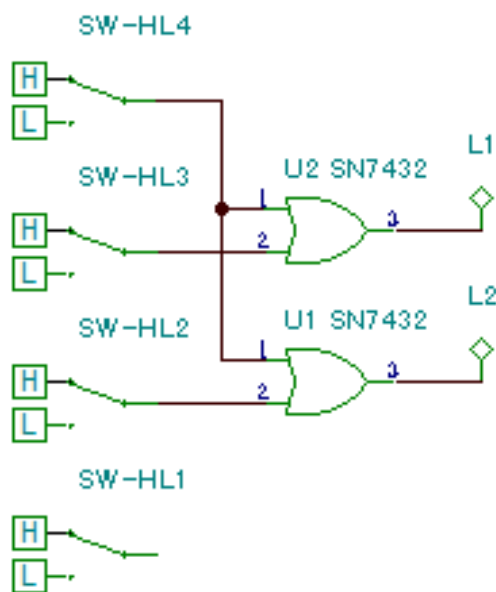


図 1: 4 入力エンコーダ

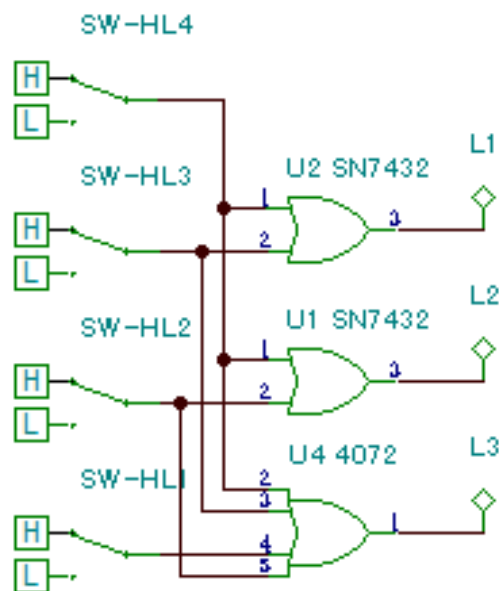


図 2: OR を追加した回路

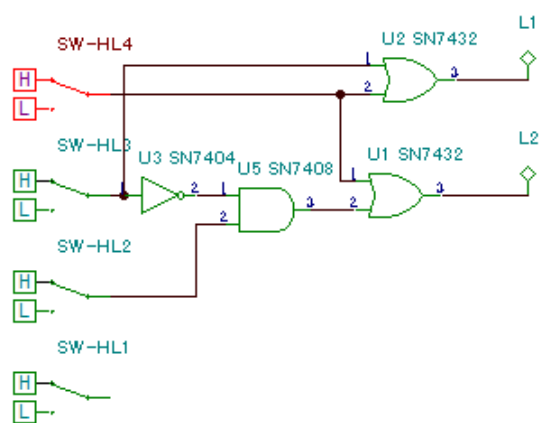


図 3: プライオリティ・エンコーダ

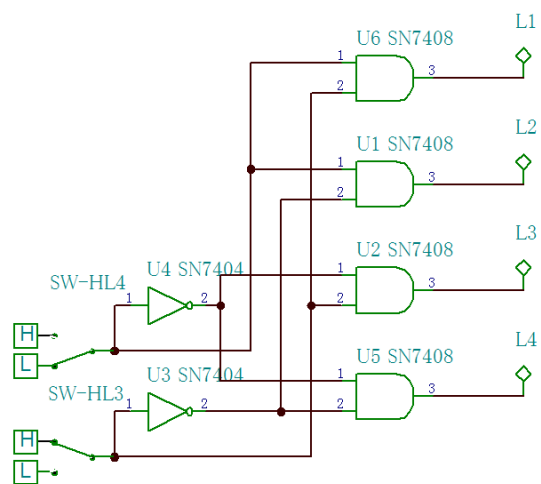


図 4: 2 入力デコーダ

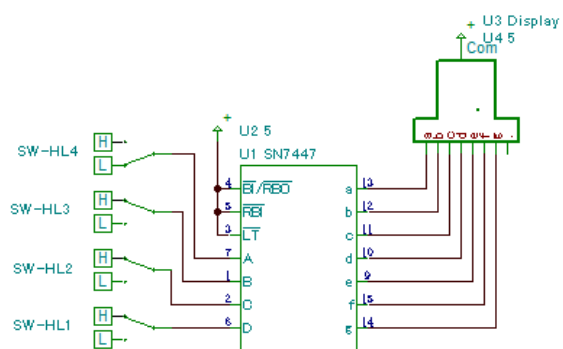


図 5: BCD-7 セグメント・デコーダ

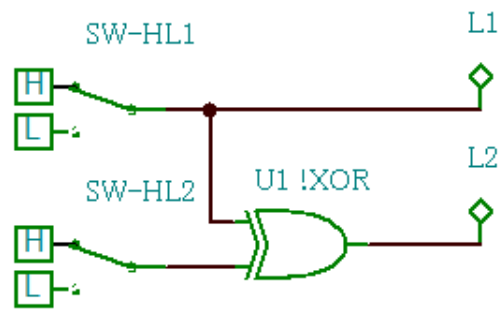


図 6: 2 進-グレイ変換

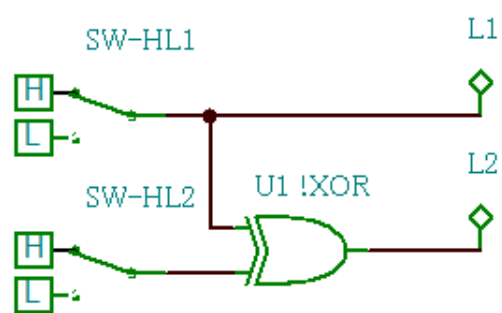


図 7: グレイ-2 進変換

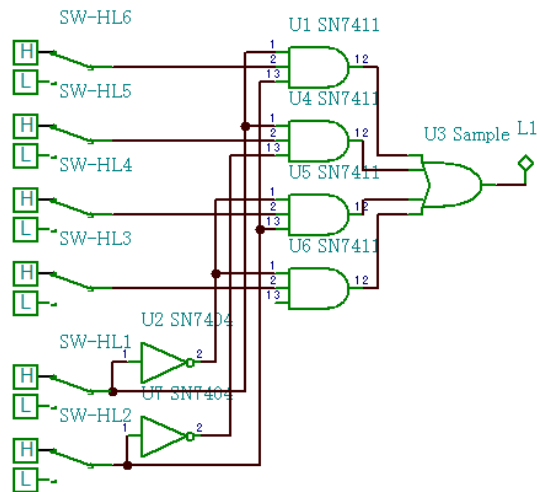


図 8: マルチプレクサ

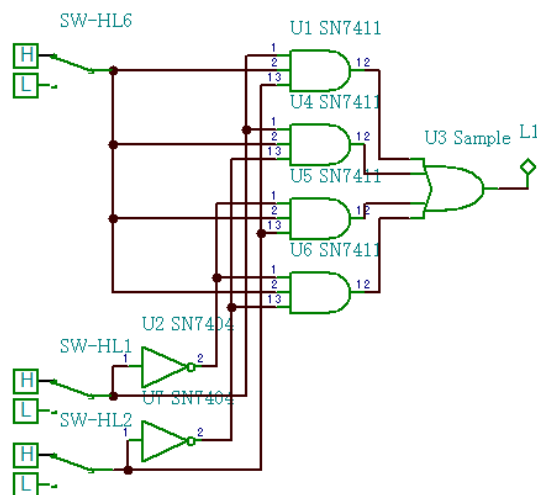


図 9: デマルチプレクサ

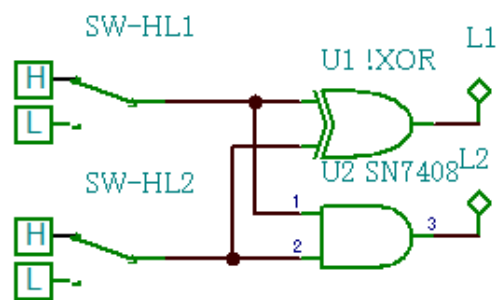


图 10: 半加算器

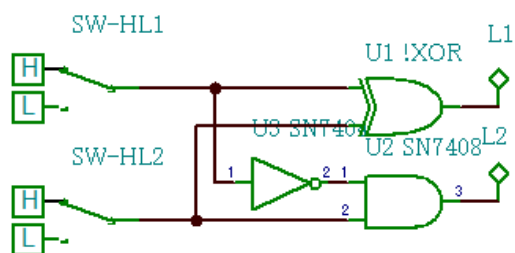


图 11: 半减算器

2.2 演習

1. 10 進数から BCD 符号を得るための 10 進-BCD エンコーダについて, 真理値表と回路を作成し, 動作確認した.

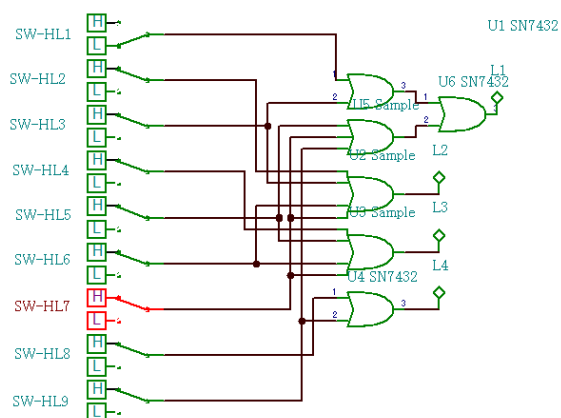


図 12: 10 進-BCD エンコーダ

10 進数	F0	F1	F2	F3
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

2. BCD 符号から 10 進数出力を得るための BCD-10 進エンコーダについて, 真理値表と回路を作成し, 動作確認した.

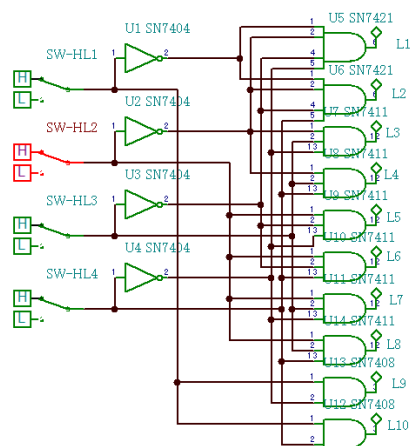


図 13: BCD-10 進エンコーダ

A	B	C	D	F0	F1	F2	F3	F4	F5	F6	F7	F8	F9
0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1

3. BCD-7 セグメントデコーダを基本論理素子で作成せよ.

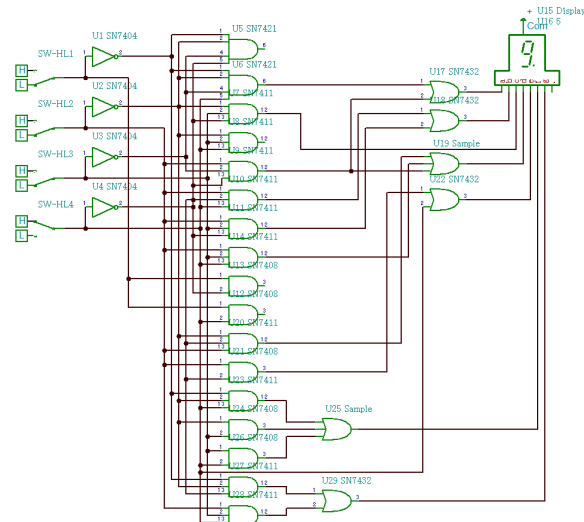


図 14: BCD-7 セグメントデコーダ

A	B	C	D	Fg	Ff	Fe	Fd	Fc	Fb	Fa
0	0	0	0	1	0	0	0	0	0	0
0	0	0	1	1	1	1	1	0	0	1
0	0	1	0	0	1	0	0	1	0	0
0	0	1	1	0	1	1	0	0	0	0
0	1	0	0	0	0	1	1	0	0	1
0	1	0	1	0	0	1	0	0	1	0
0	1	1	0	0	0	0	0	0	1	0
0	1	1	1	1	1	1	1	0	0	0
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	1	1	0	0	0

4. 4 ビットの 2 進-グレイ変換, グレイ-2 進変換回路について, 真理値表と回路を作成し, 動作確認せよ.

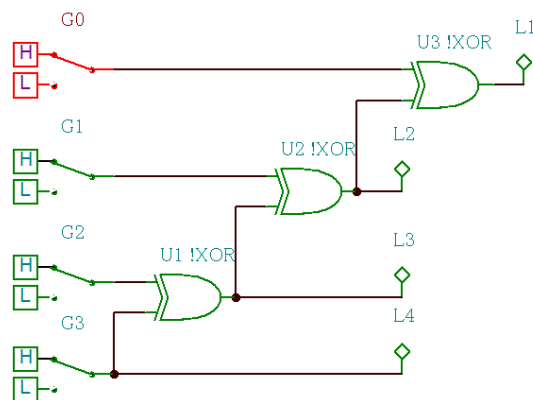


図 15: 2 進-グレイ変換回路

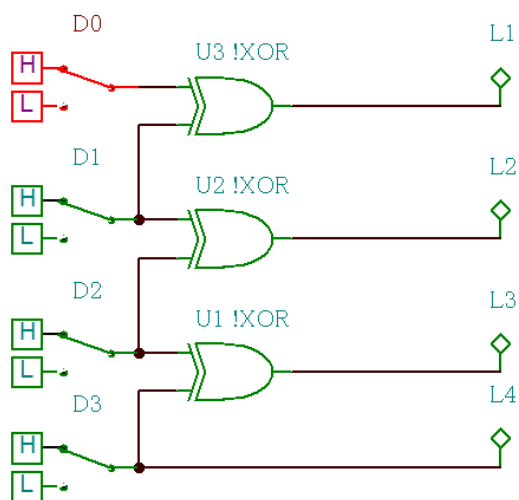


図 16: グレイ-2 進変換回路

G3	G2	G1	G0	D4	D3	D2	D1	10 進数
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0	2
0	0	1	0	0	0	1	1	3
0	1	1	0	0	1	0	0	4
0	1	1	1	0	1	0	1	5
0	1	0	1	0	1	1	0	6
0	1	0	0	0	1	1	1	7
1	0	0	0	1	1	1	1	15
1	0	0	1	1	1	1	0	14
1	0	1	1	1	1	0	1	13
1	0	1	0	1	1	0	0	12
1	1	1	0	1	0	1	1	11
1	1	1	1	1	0	1	0	10
1	1	0	1	1	0	0	1	9
1	1	0	0	1	0	0	0	8

5. 1 ビットの 2 進数 A,B と下位からの桁上がり C の加算 $A+B+C$ を行い, その和 S と上位ビットへの桁上がり Cf を表示する回路を全加算器 (full adder) という. 真理値表と回路を作成し動作を確認せよ.

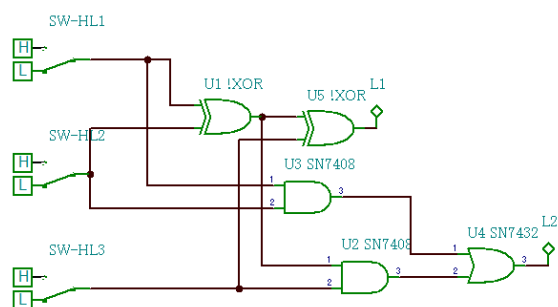


図 17: 全加算器

A	B	C	S	Cf
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

3 検討課題

1. プライオリティ・エンコーダが次の式となることを導出せよ.

$$F_0 = D_1 \overline{D_2} + D_3$$

$$F_1 = D_2 + D_3$$

図 3 より, 出力 L_1, L_2 , 入力 HL_1, HL_2, HL_3, HL_4 とすると

$$L_1 = Hl_3 + HL_4$$

$$L_2 = HL_2 \overline{HL_3} + HL_4$$

2. 全加算器を半加算器 2 個と OR1 個で回路を構成せよ.

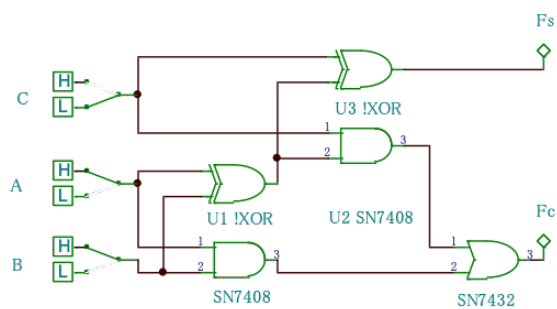


図 18: 全加算器

1. 4 ビットの加算 (A1, A2, A3, A4 と B1, B2, B3, B4 の加算) 回路を, 全加算器 3 個と半加算器 1 個で構成せよ.

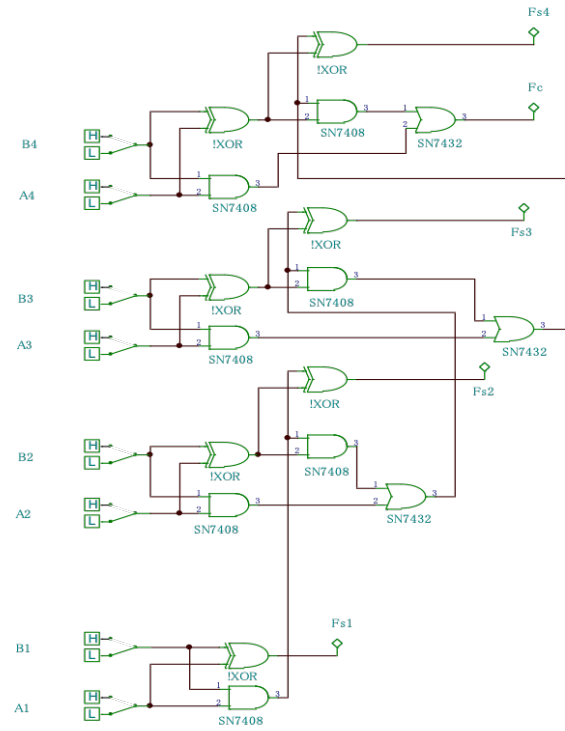


図 19: 4 ビット加算器