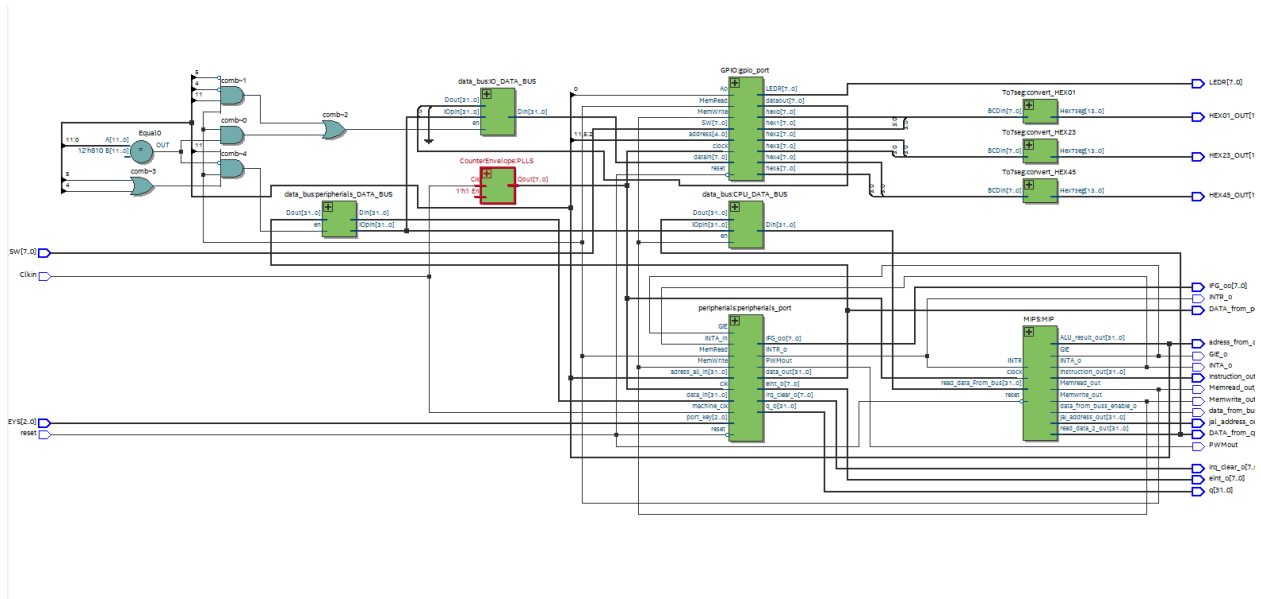




דוח מסכם פרויקט - מעבדת ארכי

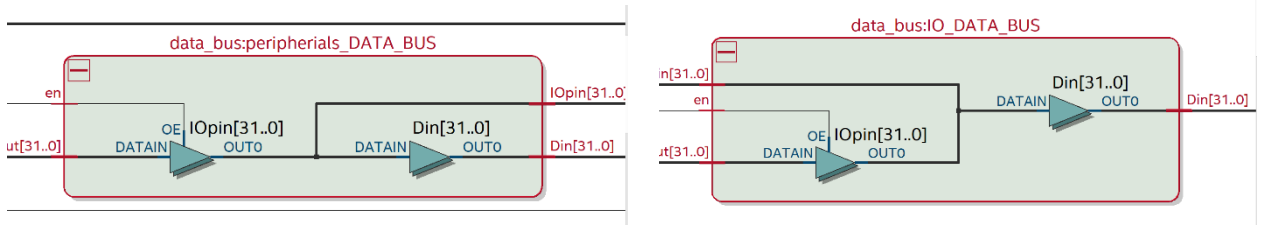
מגישים: אור יעקובי 206827164 יעקב קוזמינסקי 206511966

נתחיל מתצוגה כוללת של RTL של המערכת שלנו:



כעת נראה כל מודול בנפרד:

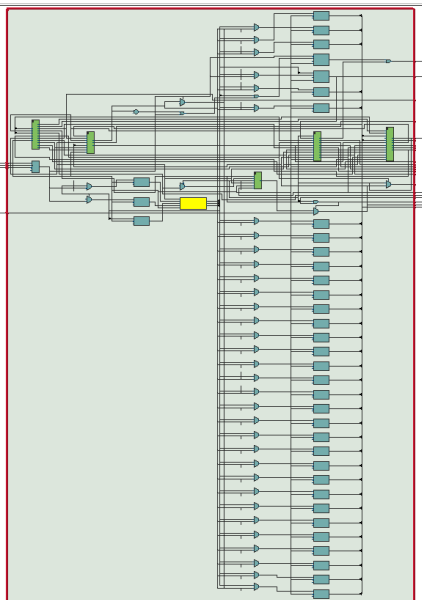
ראשית נסתכל על הבאסים הראשיים של הדאטה והכתובת אשר ממומשים לפי BidrPinn המקורי ממעבדה 3:



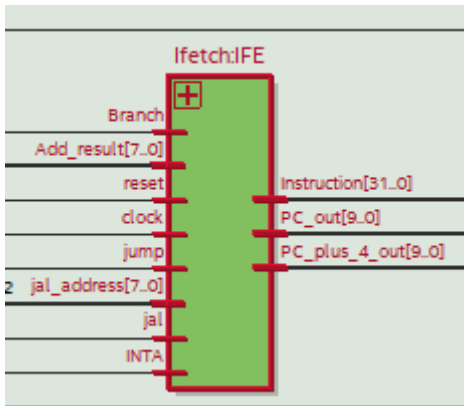
באסים אלו בראש ובראשונה מתחברים למIPS שנראה במאקרו כך:

בתוך ארכיטקטורה ה mips הוספנו 2 mux אחד לכתיבה ואחד לקריאה. הבוררים את כיוון כניסת/ יציאת הדאטה לפי הביט ה11 של הכתובת המייצג את הספרה 8 ב hex. כלומר עבור ביט זה קריאה וכתיבה תתבצע לרכיבים הפרפריאלים של המערכת, ועבור ביט זה כבוי קריאה וכתיבה תתבצע לDMEMORY.

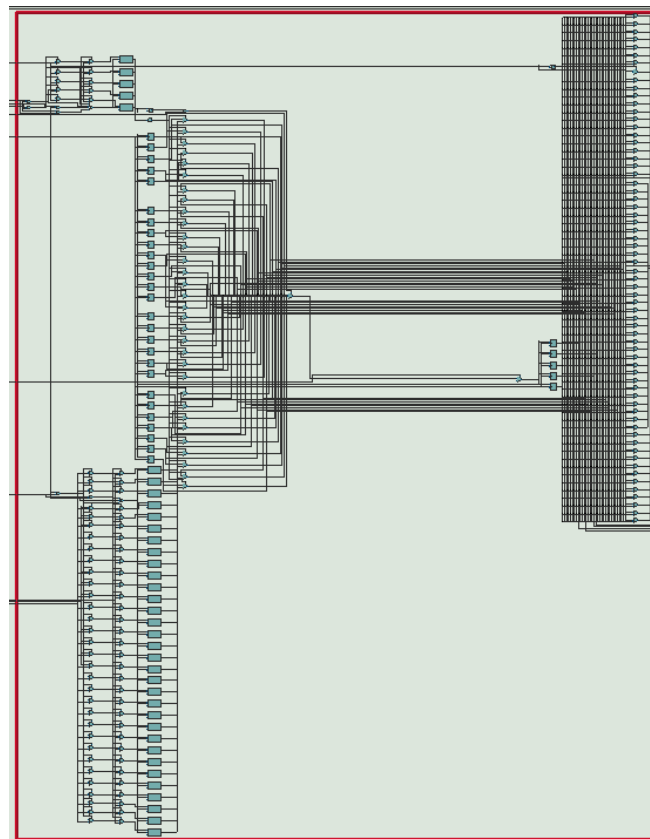
בשכבה העליונה top יש 2 באסים חוץ מהבאס הראשי של המערכת אחד לרכיבי IO ללא אינטראפט והשני לרכיבים הפרפריאלים שמוציאים אינטראפט. כניסת המידע לרכיבים אלה מתבצעת ע"י enable של הבאס המובדל לפי ערכי הכתובות המתאימים.

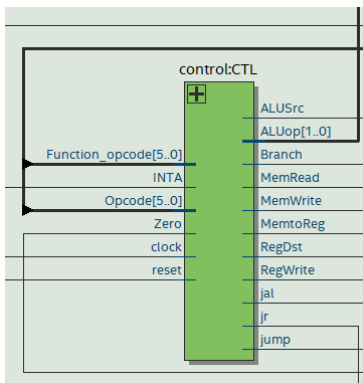


בתוך MIPS נמצאים מספר מודולים, הראשון הוא מודול
הFETCH, האחראי על קריאת הפקודה הבאה:

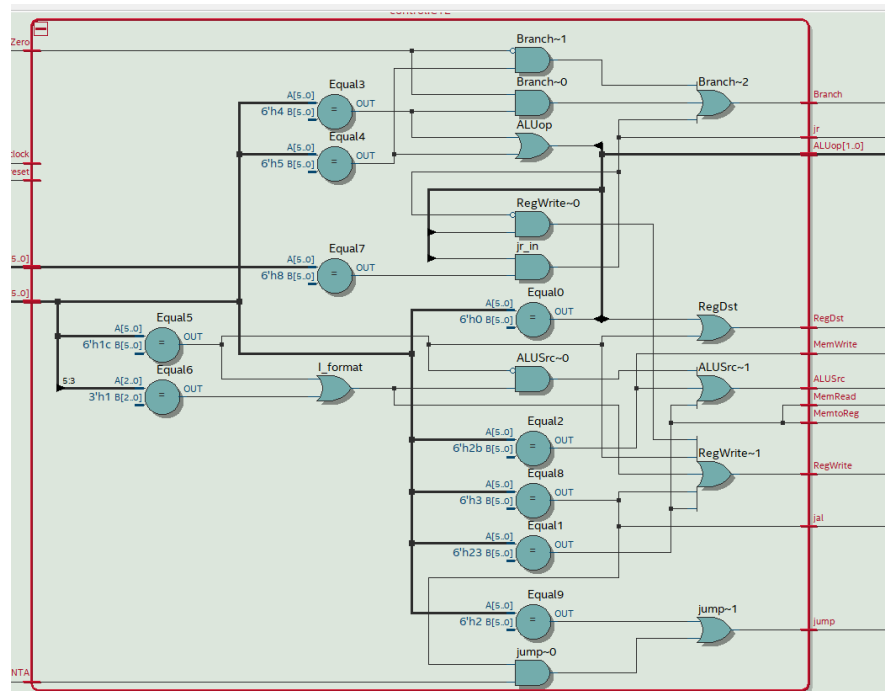


לאחר מכן המידע עובר לשלב הDECODE, בו הפקודה מתחלקת לסוג הפקודה לאופרנדים:

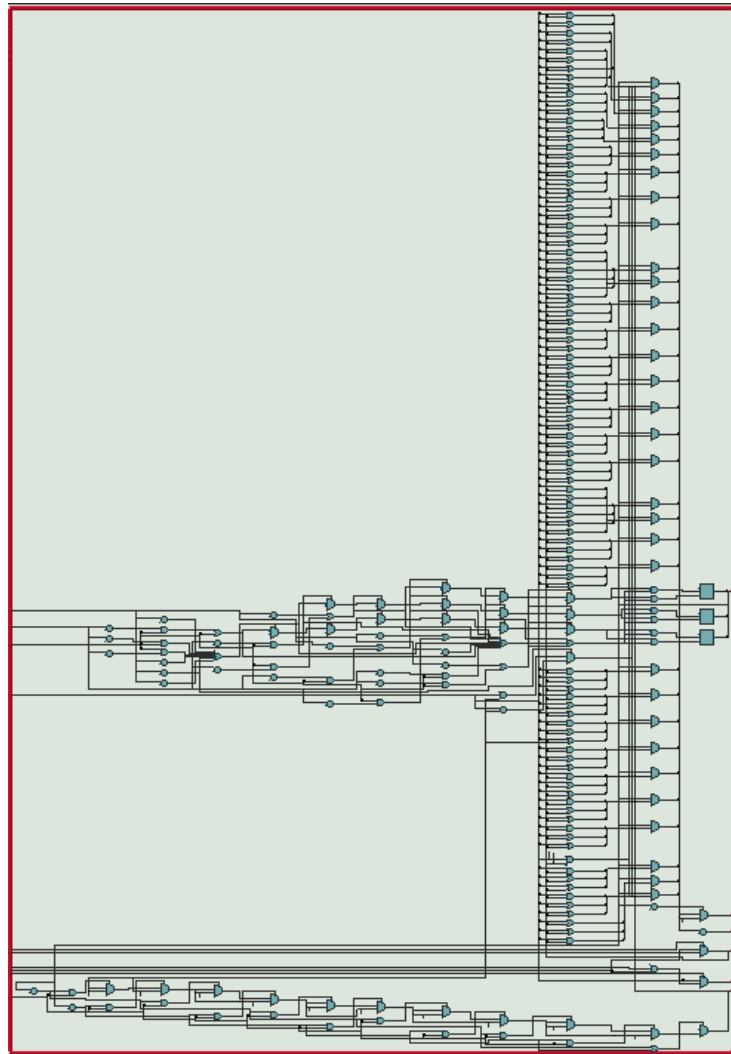
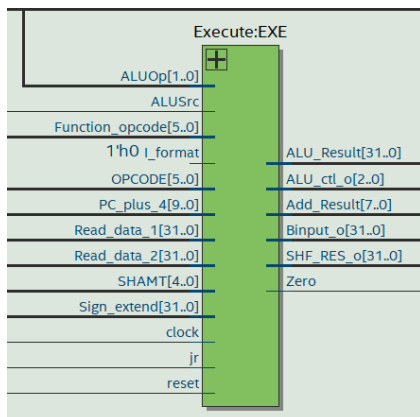




לאחר מכן האופקוד נשלח לCONTROL שבתורו שולח אותות במקרה לשאר רכיבי המוקס לפי הפקודה שעליו לבצע:

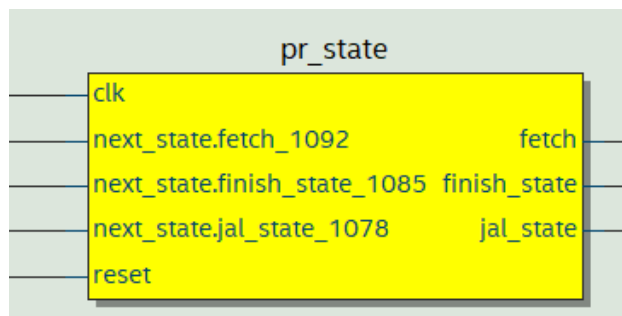


משם הפוקודת עוברת לחלק הביצוע העיקרי בEXECUTE:



ניתן לראות שהרכיב הוא מסובך כי בו קורה כל החלק החישובי- האריתמטי והלוגי של mips. כאשר בתחתית המודול ניתן לראות את השיפטר

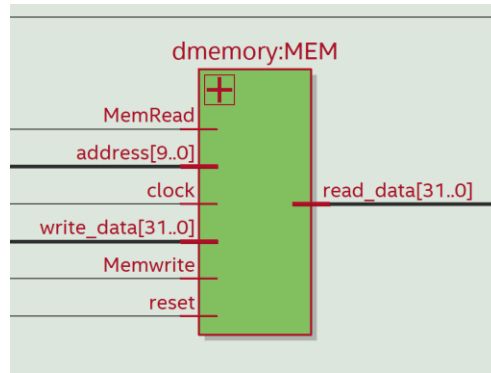
עוד חלק משמעותי שהוספנו בMIPS הוא מכונת מצבים שתומכת בשלבי ביצוע של פסיקות:



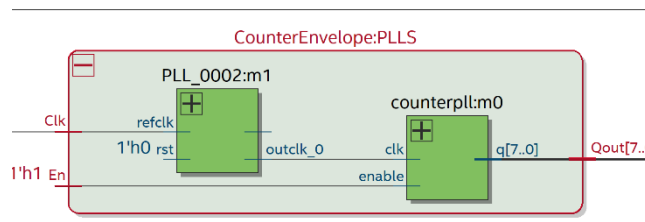
כאשר כל עוד אנחנו לא קיבלנו פסיקה, נבצע FETCH רגיל, במידה וקיבלנו פסיקה- נבצע פקודת LOAD לטייפ שהוציא הבקר פסיקות. הוא שומר את הכתובת הנוכחית של הPC ברגיסטר היעודי ומבצע את שגרת הפסיקה,

לאחר מכן הוא עובר לשלב הסיום- בו הוא מעלה ל1 את INTA- המסמן שסיימנו לטפל בפסיקה וחוזר למצב הFETCH הרגיל. במצב זה הוא יבצע את שגרת הפסיקה ואז כאשר יקבל פקודת JR הוא יאפשר פסיקות ע"י העלאת GIE ויחזיר את הPC ששמרנו ברגיסטר היעודי.

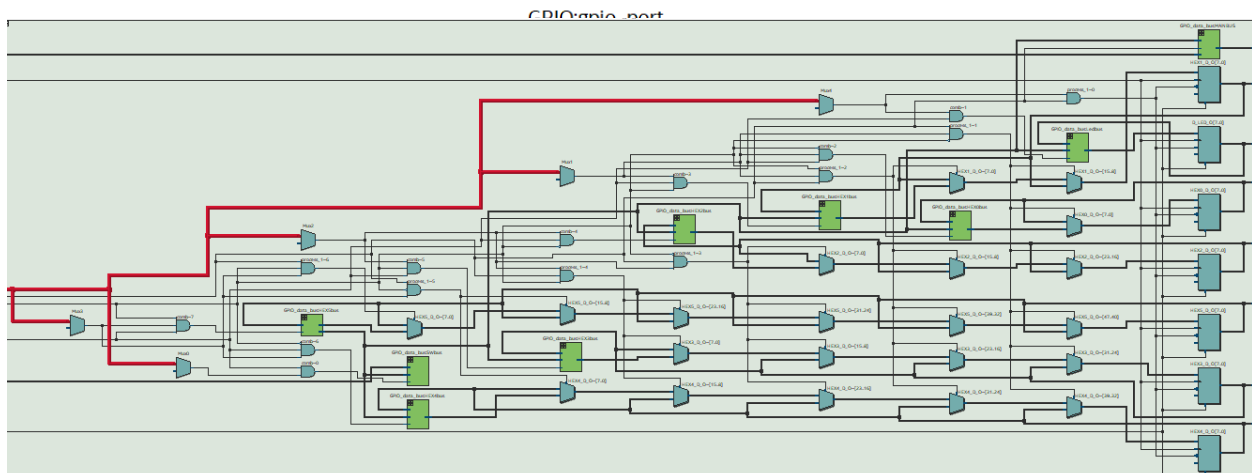
בנוסף לאלו, קיים לנו גם רכיב הDMEMORY האחראי על הגישה לזכרון המידע:



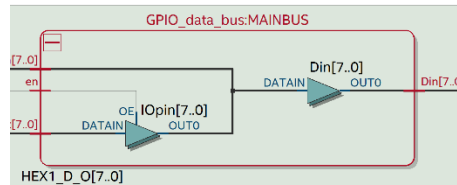
את שעון הכניסה למערכת הכנסנו לPLL כדי להקטינו, כך נוכל לראות דברים שקוראים על החומרה ומוצגים על הצג. את שעון זה הכנסו לכל הרכיבים חוץ מהTIMER בפריפריה והמחלק- כך המחלק יעבוד טוב יותר כמאיץ חומרה- ואילו על השעון היה תנאי של תדר כניסה התחלתי של 50M . להלן הPLL:



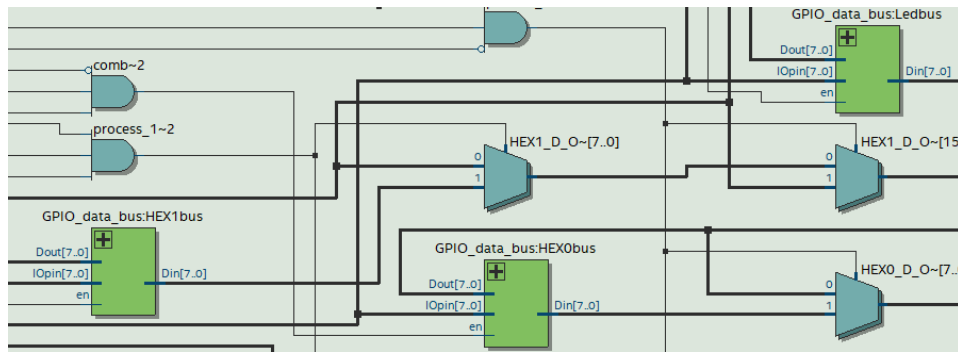
הרכיב הבא עליו נפרט יהיה רכיב הGPIO:



נראה כי גם ברכיב זה קיים באס דאטה פנימי מתצורת טרי-סטטיס:

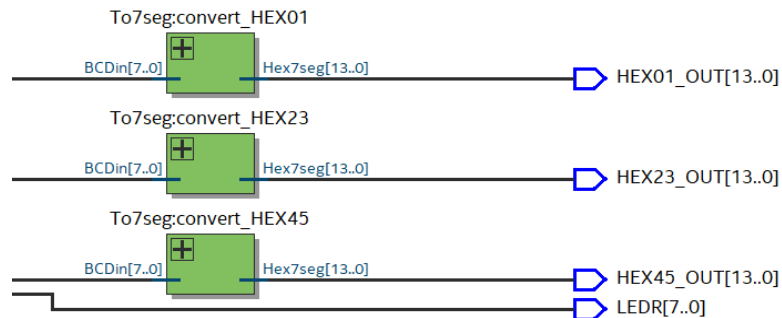


אך לכל רכיב כניסה\מוצא- שהם הלדים והצגים יהיה בס משל עצמו, אותם ניתן לראות לדוגמא פה:

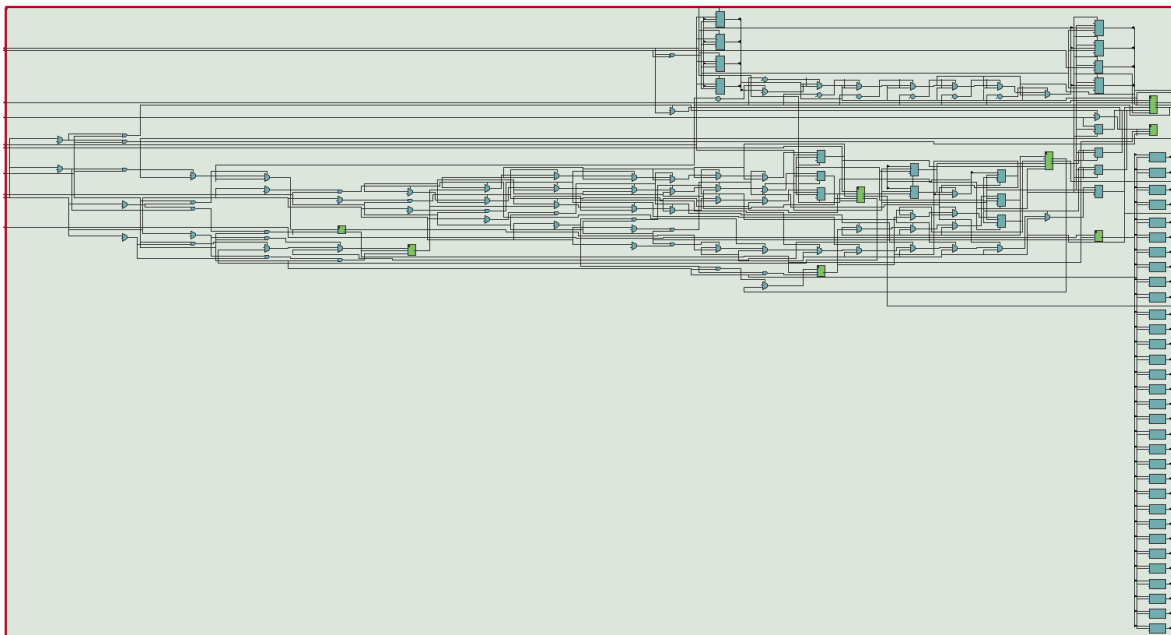
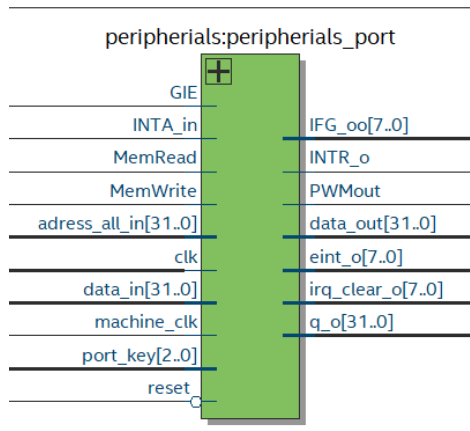


זאת מכיון שיש מין פידבק של המוצא לעצמו(בצגים) כאשר אין כתיבה חדשה לכתובת הנכונה. את הכתובת אליה המידע אמור להגיע מימשו ע"י address decoder- אותו ניתן לראות באדום בתמונה העליונה.

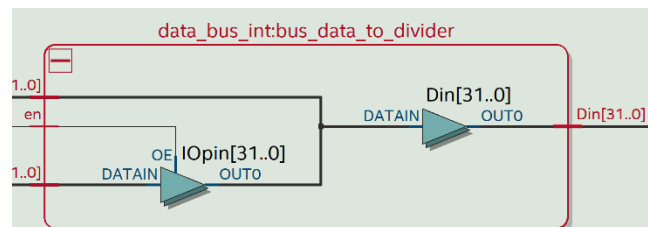
לבסוף נראה את המוצאים ואת הרכיבים שעושים המרה מסינגלים למוצאי של הצגי מספרים:



החלק האחרון במימוש שלנו הוא רכיבי הפריפריה:

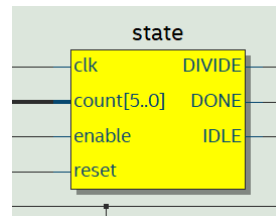


כאשר גם פה נראה באסי טריי-סטייט פנימיים, לדוגמא:

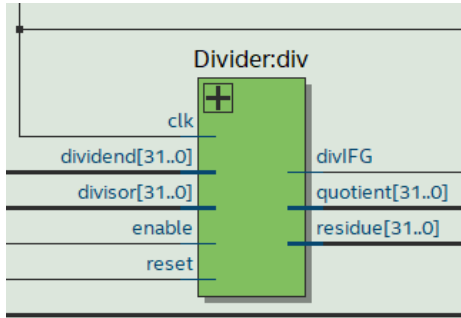


ביחידה זו נראה את המחלק :

אשר עיקר עבודה היא חילוק בינארי ארוך והוא עובד בעזרת מכונת מצבים זו :

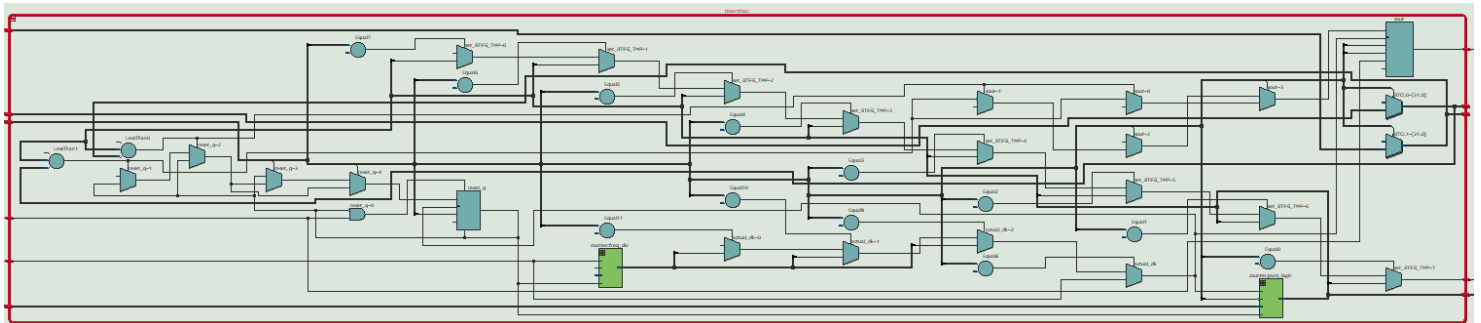
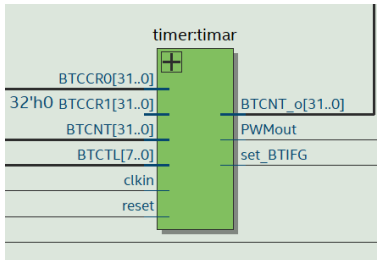


כאשר דרך פעולתה היא שהוא במצב "שינה" עד אשר מתקבל ENABLE. ואז הוא נכנס למצב חילוק ומבצע את החילוק לאורך 32 מחזורי שעון- כפי שלמדנו בקורס הקדם. לאחר מכן הוא מוציא את תוצאות החילוק וחוזר למצב "שינה"

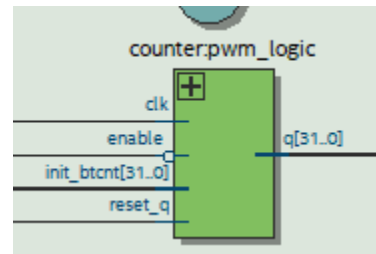
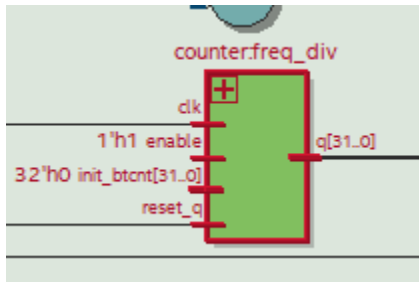


הרכיב הבא הוא רכיב השעון:

הרכיב מקדם ביטי בקרה וערכים לפיהם הוא קובע את האות הריבועי שהוא יוציא.

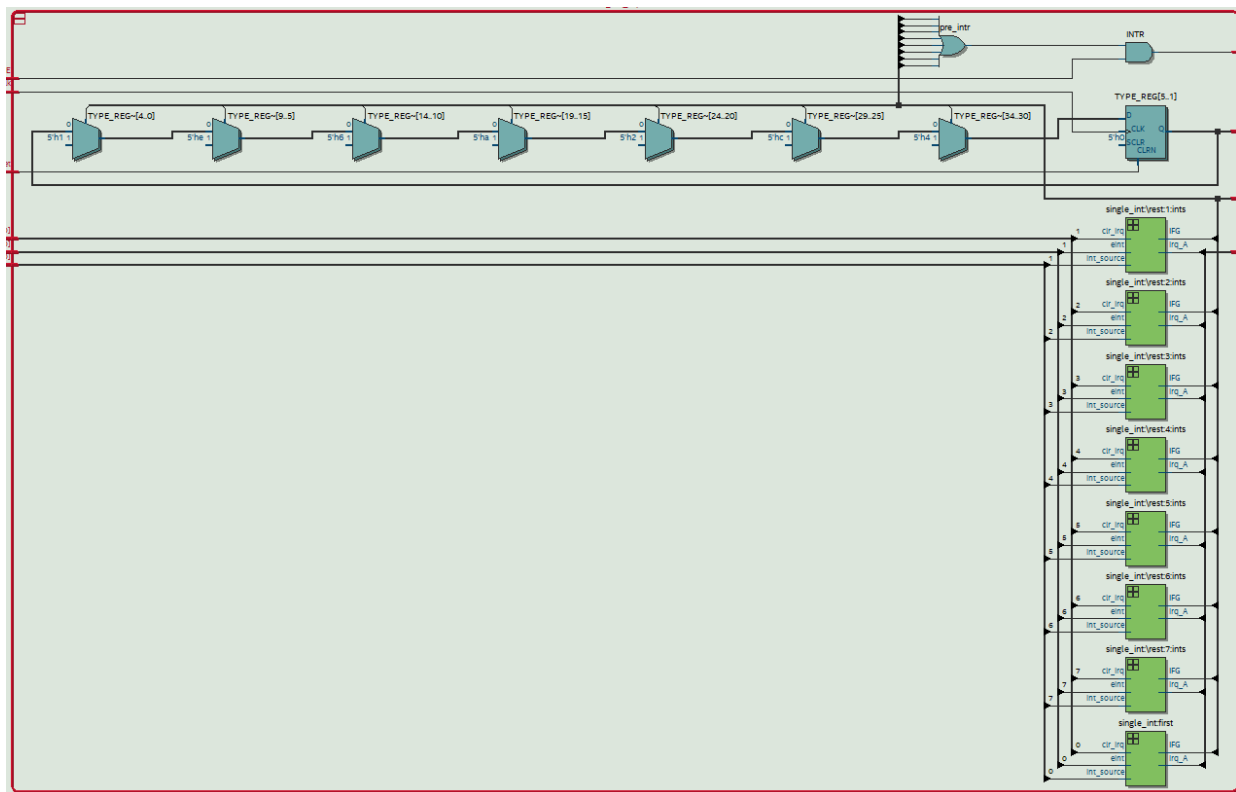
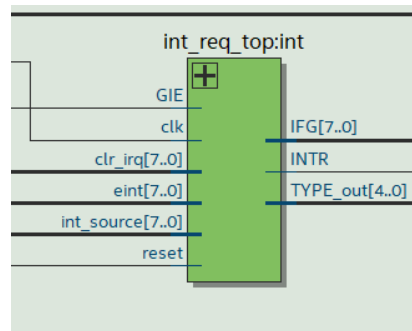


בשעון ניתן לראות את מחלק התדר המושפע מBTSSSEL, את הרכיב האחראי על הוצאת הPWM, ושאר הרכיבים אחראיים על הספירה.

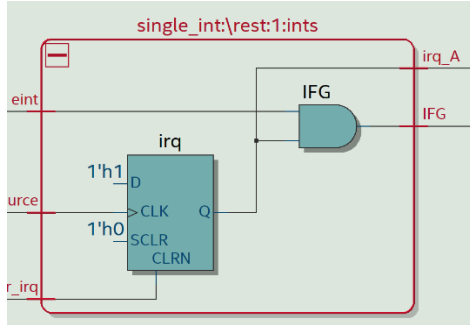


החלק האחרון והחשוב ביותר ברכיב הפריפריות הוא בקר הפסיקות:

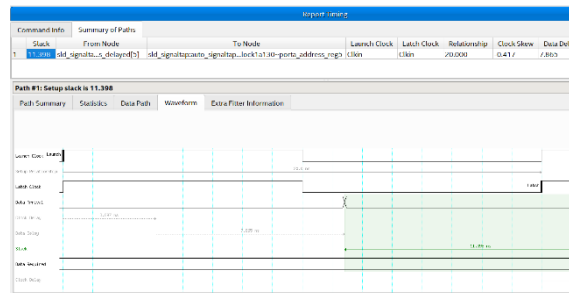
רכיב זה מורכב מ7 אינטרפטים יחידים שנובעים מהפריפריות האחרות והלחצנים:



כאשר רכיב פסיקה בודד נראה כך:



נריץ time analyzer:

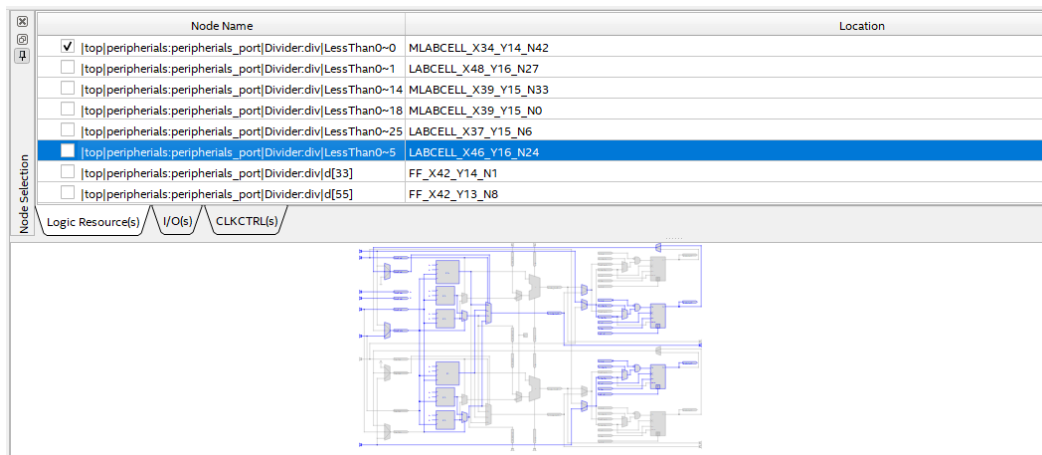


ונמצא תדר מקסימלי:

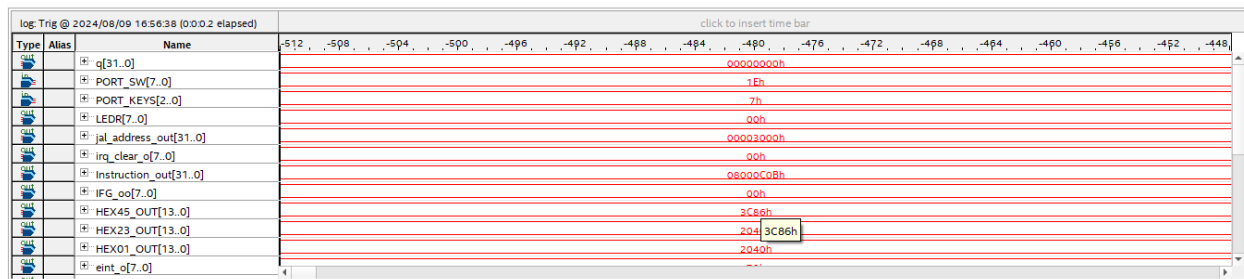
Slow 1100mV 85C Model				
	Fmax	Restricted Fmax	Clock Name	Note
1	66.93 MHz	66.93 MHz	altera_reserved_tck	
2	101.19 MHz	101.19 MHz	Clkin	
3	348.68 MHz	348.68 MHz	PLLS[m1]altera_pll_i[general[0].gp11~PLL_OUTPUT_COUNTER]divclk	

ונראה שהתדר הוא לערך 100MHz.

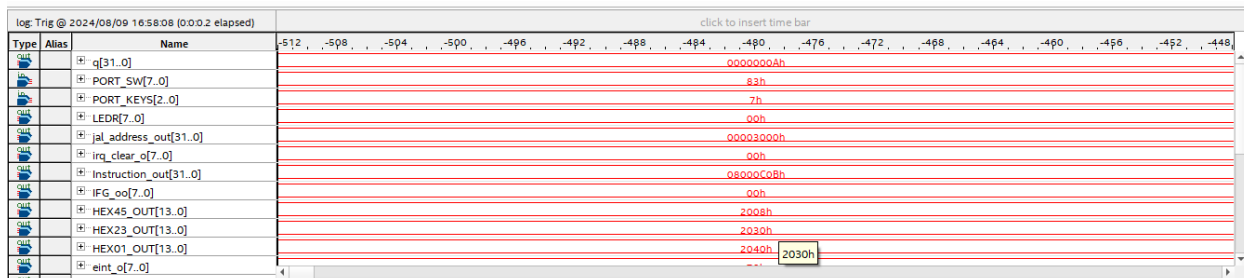
המסלול הקריטי הוא המסלול שעובר דרך המחלק, זאת עבור סטט 3 של המחלק. זה הגיוני שכן, המידע עושה את השרך הכי ארוכה מהמיפס אל המחלק ובחזרה ממנו.



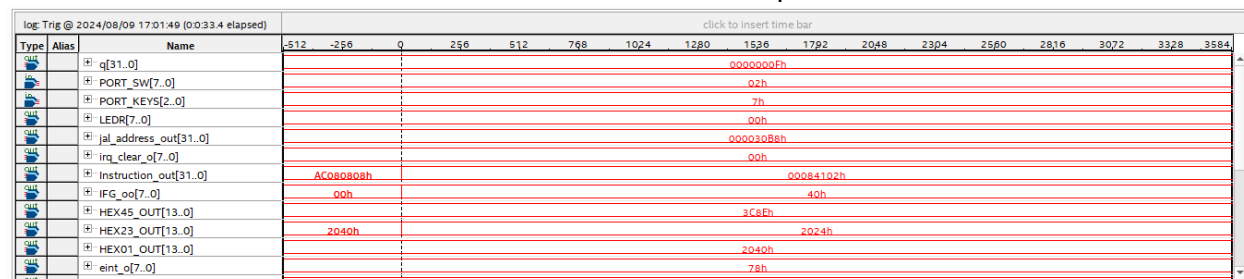
כעת נראה עבודה עם סיגנל טאפ- נטען 1E לדיבידנד- שזה 30 בדצימל



כעת נטען לדיוויזור 03 ונראה שלאחר תוצאת החילוק התוצאה השתנה ל 0A שזה 10 .
ואכן הלדים 0 כי אין לנו שארית בחלוקה זו.



נציג דוגמא נוספת בה נראה את IFG דולק:



פה רואים חלוקה של 1F ב 2 ניתן לשים לב לדגל IFG המתאים עולה למעלה וגם נראה כי הלד0 נדלק שכן יש לנו שארית 1 – החילוק הוא 31 ב2 ולכן HEX4 מראה F=15.