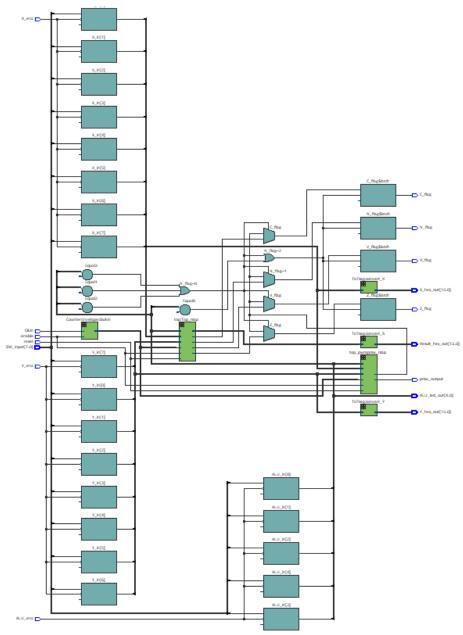


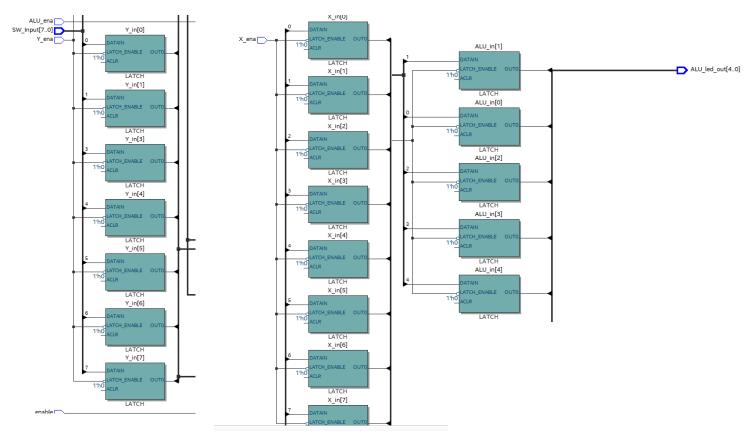
מגיש: יעקב קוזמינסקי 206511966

נתחיל מלהציג את הetlist שלנו לאחר הרצת הקומפילציה הראשונית,האיור הנ"ל ניתן לראות את כל המערך שלנו במאקרו:



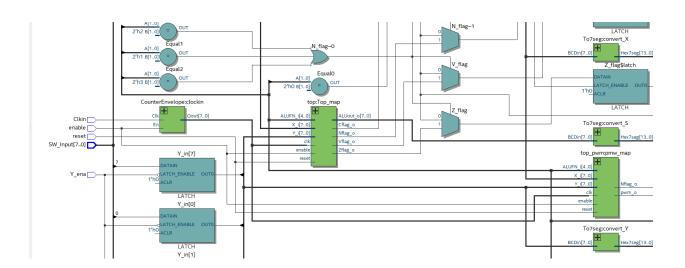
נעשה זום אין כדי להבין איך הוא בנוי:

ים מתאימית: Pnableו ולכידתן ע"י רגיסטרים Y X ו Y X ו את הכניסות של

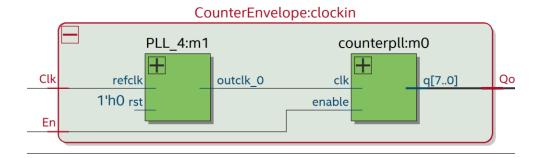


ובתמונה זו נתרכז בכניסות למערכת, ונראה שהשעון נכנס למעטפת השעון. שממנה השעון יוצא ל2 המודולים שלנו: ה PMW והרכיב הלוגי.

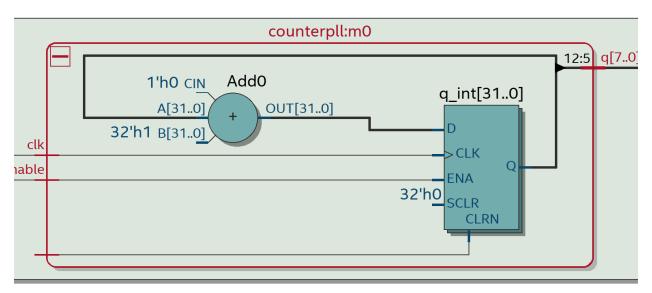
בנוסף נראה גם את ההמרות של התוצאות להקסה.



נכנס בזום אין למעטפת השעון:



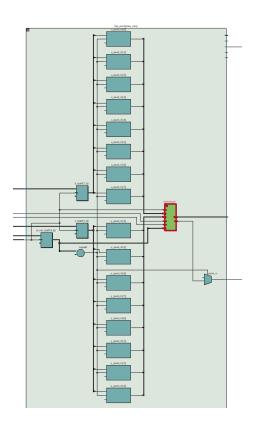
: counter ו ספי שרצינו. וזהו מימוש ה PLL נראה שהוא מורכבת מ



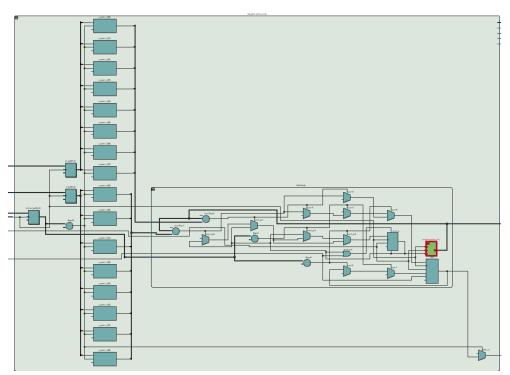
בתמונה הקודמת ניתן לראות את, האזור הלוגי- top_map האזור הסינכרוני שיוציא את הגל הריבועי – pwm_map ואת שלושת הרכיבים הממירים את הכניסות להאקסה כדי להציג על הלדים.

נביט פנימה לכל מודול:

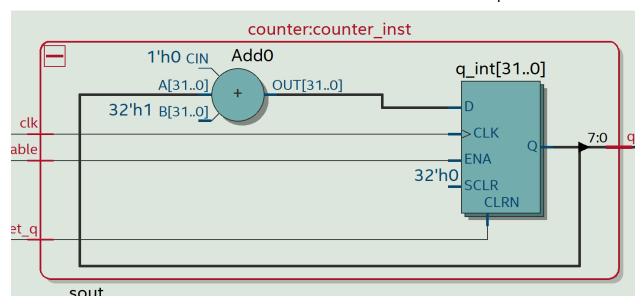
זהו רכיב האות הריבועי:



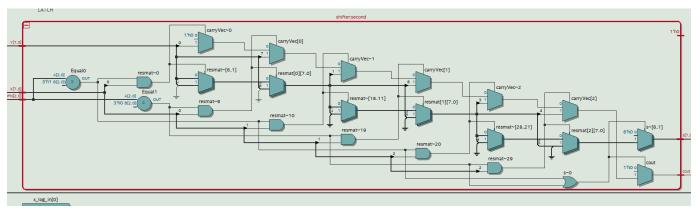
:PWM המלבן הירוק משמאל הוא המודול שמוציא את ה



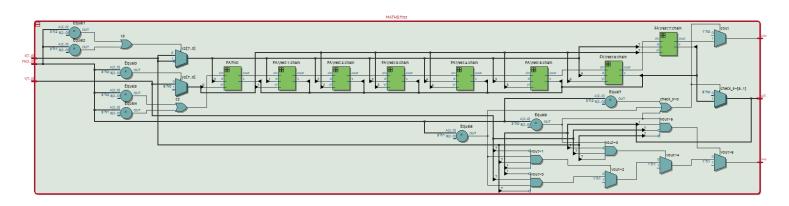
ובתוכו יש counter נוסף:



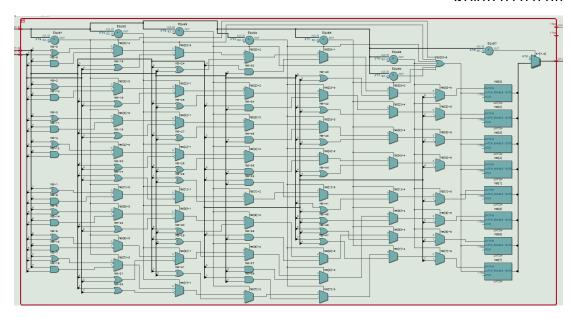
ברכיב הלוגי נראה את הרכיבים מלמטה למעלה, זהו השיפטר:



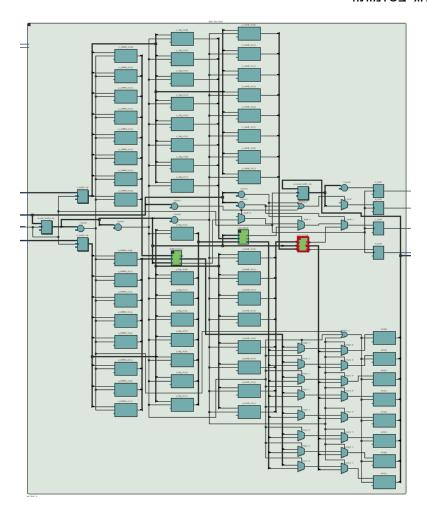
זו הרכיב המתמטי:



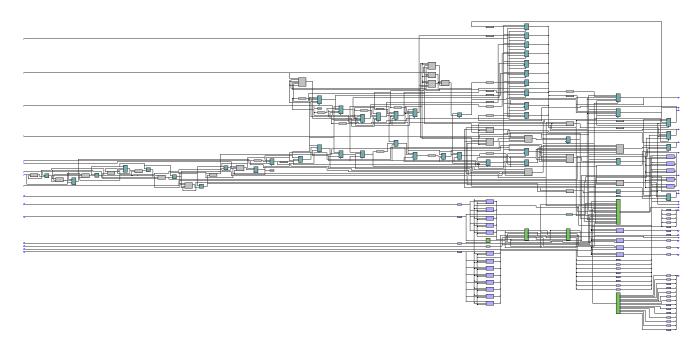
וזה היחידה הלוגית:



זהו הרכיב הלוגי בשלמותו:



:Post-Fitting: נציג את המערכת גם



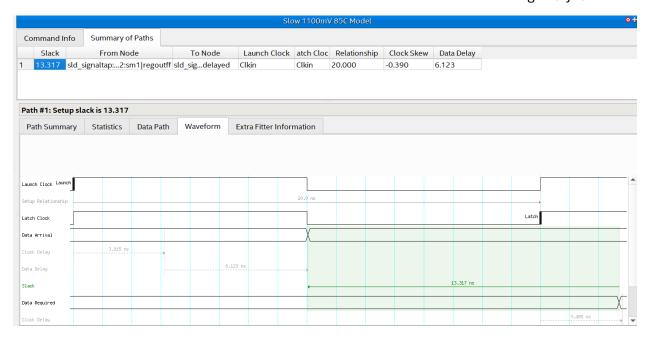
כעת נרצה לראות את התדר המקסימלי של המערכת:

Fmax	Restricted Fmax	Clock Name	Note
77.36 MHz	77.36 MHz	altera_reserved_tck	
149.63 MHz	149.63 MHz	Clkin	
368.05 MHz	368.05 MHz	clockin m1 pUNTER divclk	
	77.36 MHz 149.63 MHz		77.36 MHz 77.36 MHz altera_reserved_tck 149.63 MHz 149.63 MHz Clkin

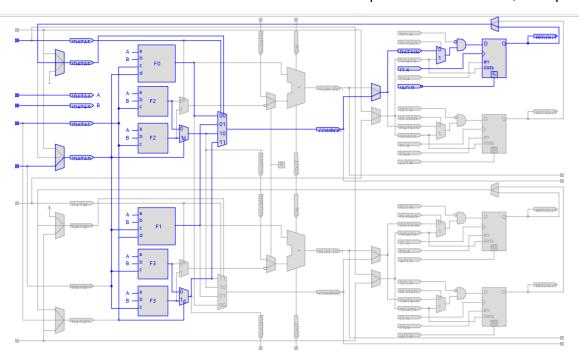
נוכל לראות שעבור השעון שאנו מכניסים למערת Clkin, התדר המינימלי הוא של לערך 150 מגה. זאת כאשר התדר כניסה שלו הוא בהתאמה 50 מגה:

Clo	cks						
•	< <filter>></filter>						
	Clock Name	Туре	Period	Frequency	Rise	Fall	Duty Cyc
1	altera_reserved_tck	Base	33.333	30.0 MHz	0.000	16.666	
2	Clkin	Base	20.000	50.0 MHz	0.000	10.000	
3	clockin m vcoph[0]	Geed	3.333	300.03 MHz	0.000	1.666	50.00
4	clockin mER divclk	Geed	500.000	2.0 MHz	0.000	250.000	50.00

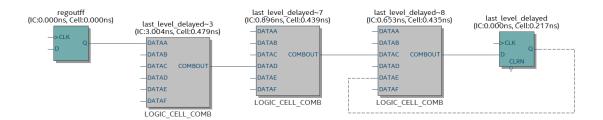
timing Analyzer: נביט ב



בנוסף לזאת, נראה גם את המסלול הקריטי- המסלול הכי איטי:



ואם נביט ברכיבים בהם הוא עובר, נראה:

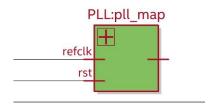


כמו שיכולנו לנפש המסלול הכי איטי שייך ליחידה הלוגית- היחידה שממורכבת מהכי הרבה רכיבים, ובניהם גם לא מעט מוקסים. נוכל לשער כי מוקס הוא רכיב איטי במיוחד שכן הוא תלוי לא רק באות המידע אלא גם באות הבורר לאיזו יציאה עליו להתקדם.

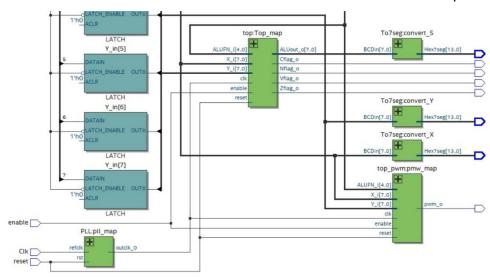
נראה את המסלול בתצוגה נוספת, כך שנראה בדיוק באיזה רכיבים הוא עובר:

אכן ניתן לראות שהוא עובר דרך מספר MUX-ים וFFו.

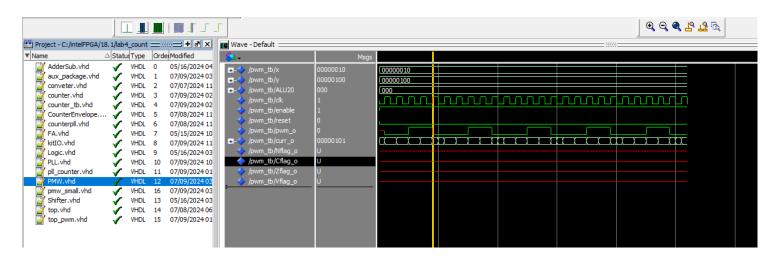
לאחר מספר נסיונות לא מוצלחים של הוצאת סיגנלים בnetlist , חזרתי לnetlist ושמתי לב לדבר הבא:



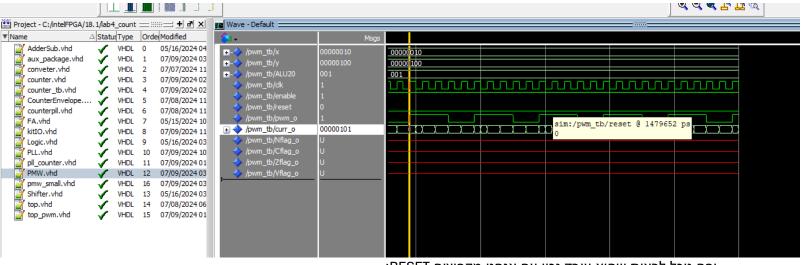
הPLL לא היה מחובר למערכת! כך דיבאג ויזואלי של הקוורטוס עזר לי למצוא בעיה בקוד. תיקנתי אותו ע"י קישור שלו למערכת כנדרש:



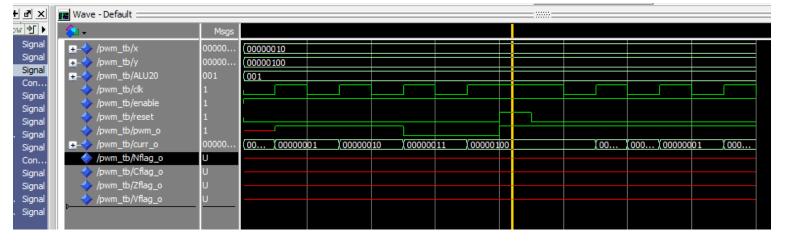
נציג גם פעולה תקינה של הגל כפי שנראית בMODELSIM:



:ועבור הALUFN השני



ופה נוכל לראות שהוא עובד נכון עם אנחנו מקפיצים RESET:



והמצב השני גם:

<u> </u>	Objects ====	_:::::: + - ×		Wave - Default =====		****	_
r N	ame	Te ■ Now →	П	4 1 ₹	Msgs	5	
	ALU20 Cflag_o Nflag_o ROWmax	000 Signal U Signal U Signal 6 Con		pwm_tb/x pwm_tb/y pwm_tb/ALU20	00000 00000 000		
	Vflag_o Vflag_o Zflag_o k clk curr_o	U Signal U Signal O Signal 0000 Signal		<pre>/pwm_tb/dk /pwm_tb/enable /pwm_tb/reset /pwm_tb/pwm_o</pre>	1 1 1 0		
	enable n pwm_o reset	1 Signal 8 Con 0 Signal 0 Signal		/pwm_tb/curr_o /pwm_tb/Nflag_o /pwm_tb/Cflag_o /pwm_tb/Zflag_o	00000 U U	(00 X0000001 X00000010 X00000011 X00000100 X00 X000 X00000001 X00	0
# #	X	0000 Signal 0000 Signal		/pwm_tb/Vflag_o	u u		

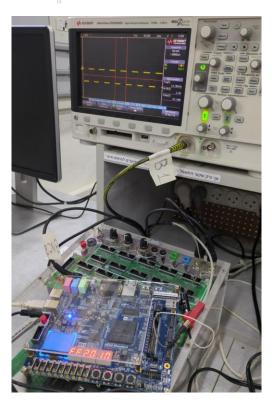
:Singal Taba כעת נציג את התוצאות על

מסיבה מסוימת לא הצלחתי להגיע לתמונות יפות של התוצאות בתוכנה, אבל הFPGA עובד נכון ולכן אצרף בנוסף לתמונות מהquartus צילומים של הסקופ:

■ auto	o_signaltap_0 Not running	V	862 cells	5120 bits	0 blocks	1 blocks	0 blocks			Device		BA6(. ES)/5CSE v	
log: Trig	@ 2024/07/10 14:31:21 (0:0						click to insert t	ime bar					
ypdAlias	Name 0.		8 1,6		32 40		.56		8, , , , , , , , , , ,	88	104	112	120 12
•	reset												
	enable												
							00h						
2	■ SW Input[70]						00h						
•	⊕ X in[70]						10h						
•	Y in[70]						20h						
•	CounterEnvelope:clocki												
•	CounterEnvelope:clocki												
•	CounterEnvelope:Clocki												
	CounterEnvelope:clocki												
	CounterEnvelope:clocki												
•	CounterEnvelope:clocki												
•	CounterEnvelope:clocki												
	CounterEnvelope:clocki												
•	pmw output												

ניתן לראות שלראות שהערך של X קטן פי שתים מהערך בY. ובALU_IN המצב עבודה הוא 00000. לכן נצפה לPWM עם DS של 50% ואכן:

ניתן לראות כי גם ה FPGA מראה שהערכים תואמים לערכים שמציג הסיגנל טאב.



נראה את פעולת מצב הPWM השני, בו PWM:

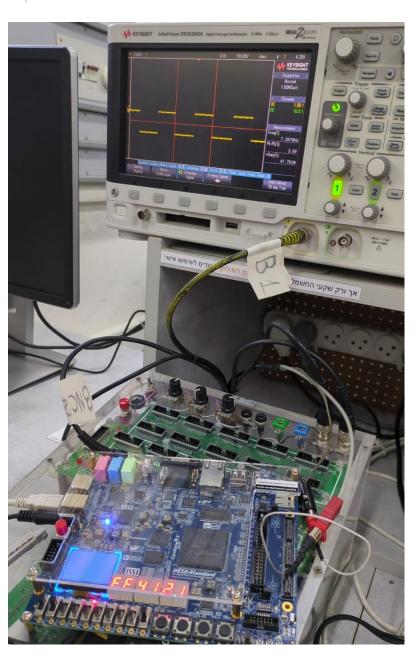
log: Tri	g @ 2024/07/10 14:38:37 (0:0							click to ins	ert time bar							
FypeAlia	s Name	8 0	 16	.A	324	ρ	48	5,6	64	72	3ρ	88	96	104 1	12	120 128
*	reset															
*	enable															
\&	■-ALU in[40]							0.	1h							
-	■ SW Input[70]							0.	1h							
-	■ X in[70]							2	1h							
•	■ Y in[70]							4	1h							
*	CounterEnvelope:clocki															
*	CounterEnvelope:clocki															
*	CounterEnvelope:clocki															
*	CounterEnvelope:clocki															
4	CounterEnvelope:clocki															
*	CounterEnvelope:clocki															
***************************************	CounterEnvelope:clocki															
4	CounterEnvelope:clocki															
*	pmw output															

ולהלן הסקופ:

נראה כי ערכי X ו Y השתנו בהתאם. הגל נראה שונה של עכשיו הוא במצב פעולה אחר.

התדר השתנה גם כי שינינו את ערך Y.

בנוסף, נוכל לראות שככל שהערכים שניתן לX ו Y קטנים יותר, הם יותר יהיהו מדויקים על הDS.



נראה פעולות פשוטות יותר של הרכיב הלוגי:

:למשל פעולת חיבור

a					Ω	3h				
-	■ SW Input[70]				Ω)h				
-					Ω4	1h				
&	⊕ Y in[70]				Ω:	lh.				
a	top:Top map ALUout				0.5	ih				
-	® top:Top map ans[70]				Ω'	ih				
*	V flag									
*	C flag									
4	N flag									
*	Z flag									

8 היא פעולת חיבור וניתן לראות שאנחנו מחברים 4 ו 1 ומקבלים 5. ואין דגלים דולקים.

להלן פעולת NOT:

	■ ALU in[40]				18	3h				4
-	■ SW Input[70]				00)h				1
a	■ X in[70]				04	1h				
a	■ Y in[70]				0.	lh				1
a	■ top:Top map ALUout				FI	h				1
a	■ top:Top map ans[70]				FF	h				
4	V flag									
*	C flag									
*	N flag									
*	Z flag									
*	N flag									

כאשר אנחנו עושים NOTל X שווה ל4 ולכן נקבל FE, מה שהגיוני שמדליק לנו דגל N- והשאר כבויים.

ופעולה של השיפטר, נבחר שיפט שמאלה פעם אחת:

_										
a					10)h				
-	■ SW Input[70]				10)h				
a	■ X in[70]				0.	lh				
a	⊕-Y in[70]				0.4	lh				
a					0.0	3h				
-	* top:Top maplans[70]				0.0	3h				
*	V flag									
*	C flag									
*	N flag									
*	Z flag									

ניתן לראות שה4 שנמצא בY זז שמאלה פעם אחת שזה הערך של X . וכן אנחנו מקבלים 8 במוצא.