

מבוא לתוכנית ISLV

מטלה 3

זוג 22

מגישיים: יעקב קוזמיןסקי 206511966, זהר שורק 205888035

.1

א) נגדיר את גודלי הטרנזיסטורים בצורה הבאה:

$$\underline{NMOS}: \quad \left\{ M_1 = M_2 = \frac{(540 + 5x)nm}{(180 + 5y)nm} \right\}, \quad \left\{ M_3 = M_4 = \frac{(360 + 5x)nm}{(180 + 5y)nm} \right\}$$

$$\underline{PMOS}: \quad \left\{ M_5 = M_6 = \frac{(360 + 5x)nm}{(270 + 5y)nm} \right\}$$

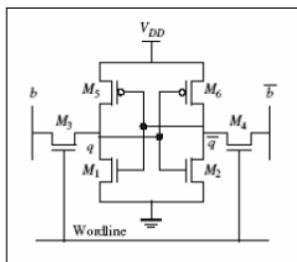
יחס הגודלים נקבע כך כדי לאפשר עבודה תקינה של הרכיב. כיוון שיש מלחמה על צמתה ה Q ו QBARI בין טרנזיסטורי המעבר וטרנזיסטורי PNPN/PDN. נגדיר את היחס בין הטרנזיסטורים האלה כ $\frac{M_4}{M_5} = CR$ ונדרש שבמצב קרייה הטרנזיסטור המוריד יהיה "חזר" יותר מטרנז' הגישה, וכן שבמצב כתיבה הגישה יהיה חזק יותר מטרנז' החען, זאת נגדיר ע"י $\frac{M_6}{M_5} = PR$. אם כן, אנו דורשים בעצם 2 אי-שוויונים:

$$K_{PDN} > K_{access}, K_{PUN} < K_{access}, \Leftrightarrow K_{PUN} < K_{access} < K_{PDN}$$

נציב את המספרים ונקבל כי $m_5=m_6=1.32$, $m_3=m_4=1.9$, $m_1=m_2=2.78$.

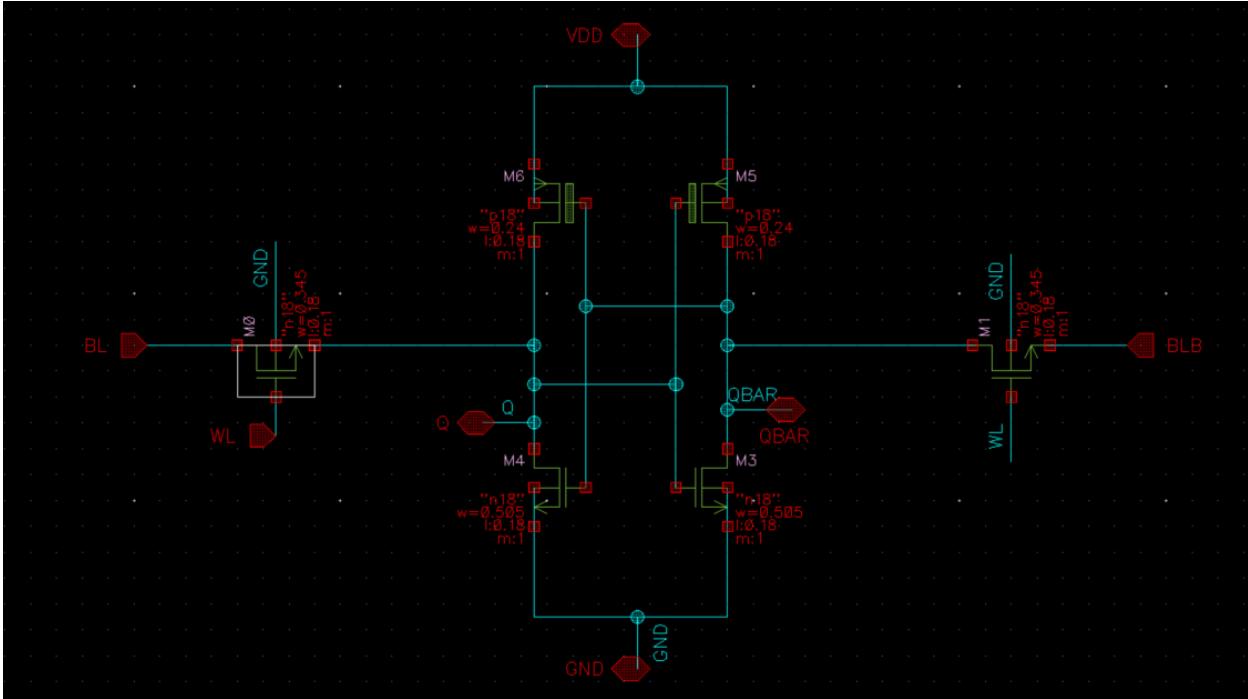
וקל לראות כי אתם קיבלנו את התנאי שידרוש פועלה תקינה של המعال בכתיבה וקריה מהבחןת יחס הכוחות של הטרן' השונים.

(ב)



אייר 1 - מבנה של תא 6T SRAM.

בנייה את התא לפני השרטוט ונשנה את הרוחב של הטרן' לפני ה Wים שיחסבנו למעלה, כאשר M זה היחס של הרוחב באורך. החלטנו לשנות את הרוחב ולא את האורך שכן כאשר חילקו M מספיק גדול את הרוחב קיבלנו חריגה מאורך מינימלי. וכך בכוון השני - נקבע בחלק מן הטרן' רוחב גדול יותר - מה שיתאפשר יותר סיליקון.



cut the task to create a trapezoidal approximation of the waveform in the figure above:

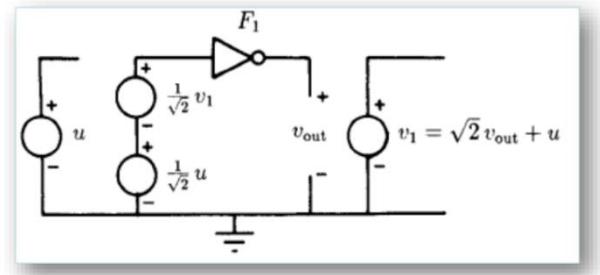
(only if you can answer the question about the trapezoidal approximation, it is necessary to show that the output is a D or S test)

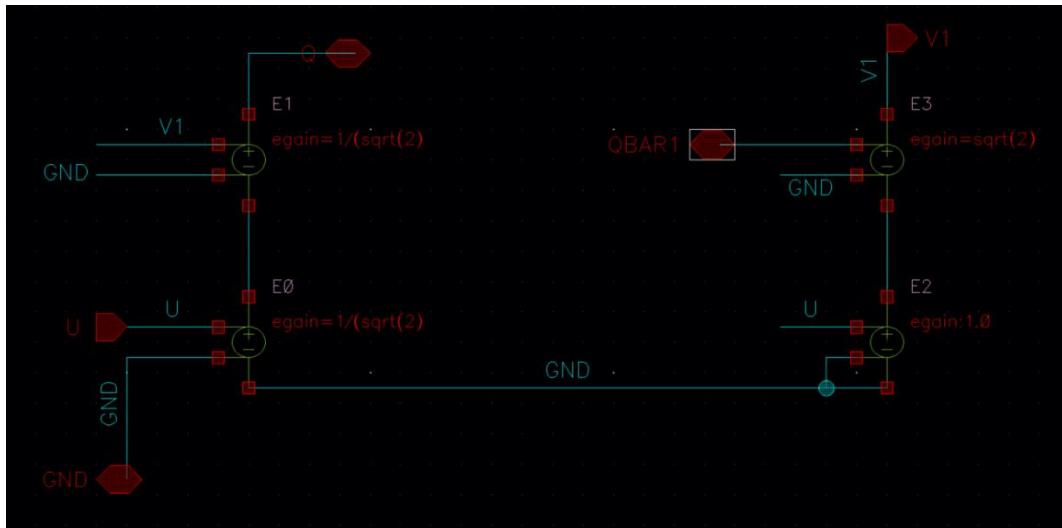
Transistor-level implementation of the first stage:

$$y = F_1(x)$$

$$v = u + \sqrt{2} \cdot F_1 \left(\frac{1}{\sqrt{2}} u + \frac{1}{\sqrt{2}} v \right)$$

The function is to implement a trapezoidal approximation of the F_1 function.

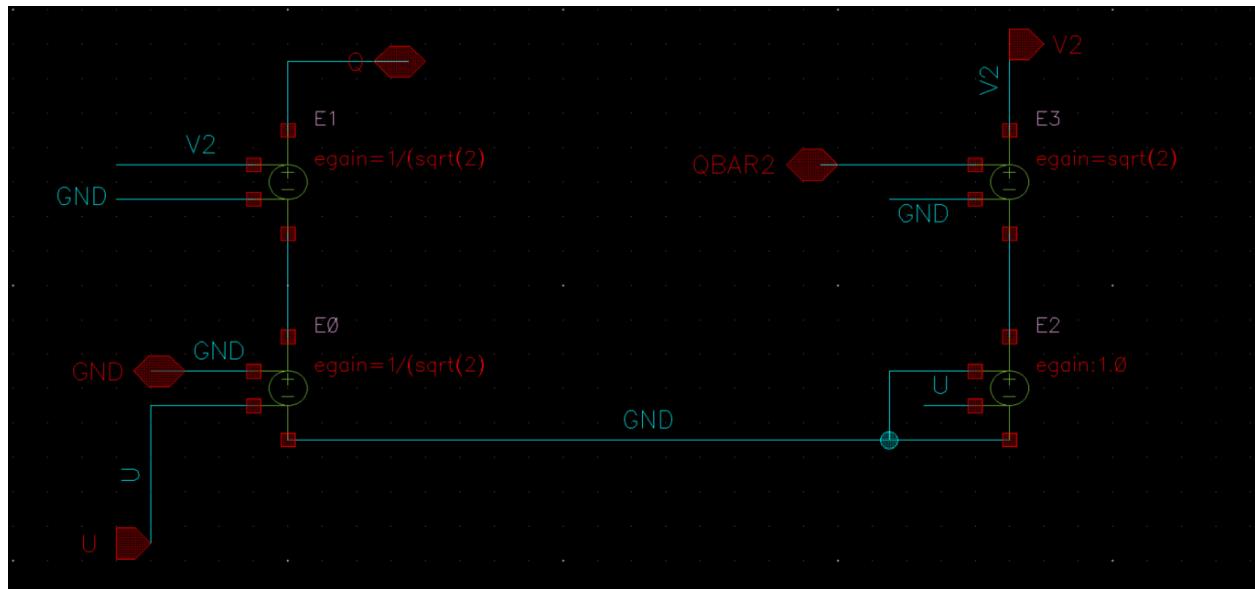
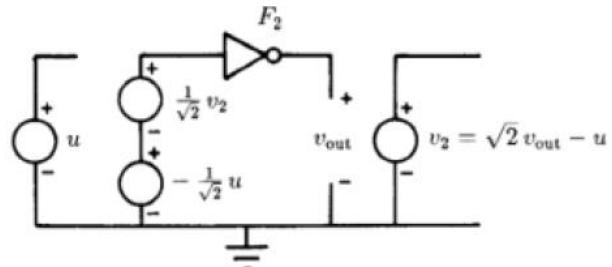




טרנספורמציה שנייה:

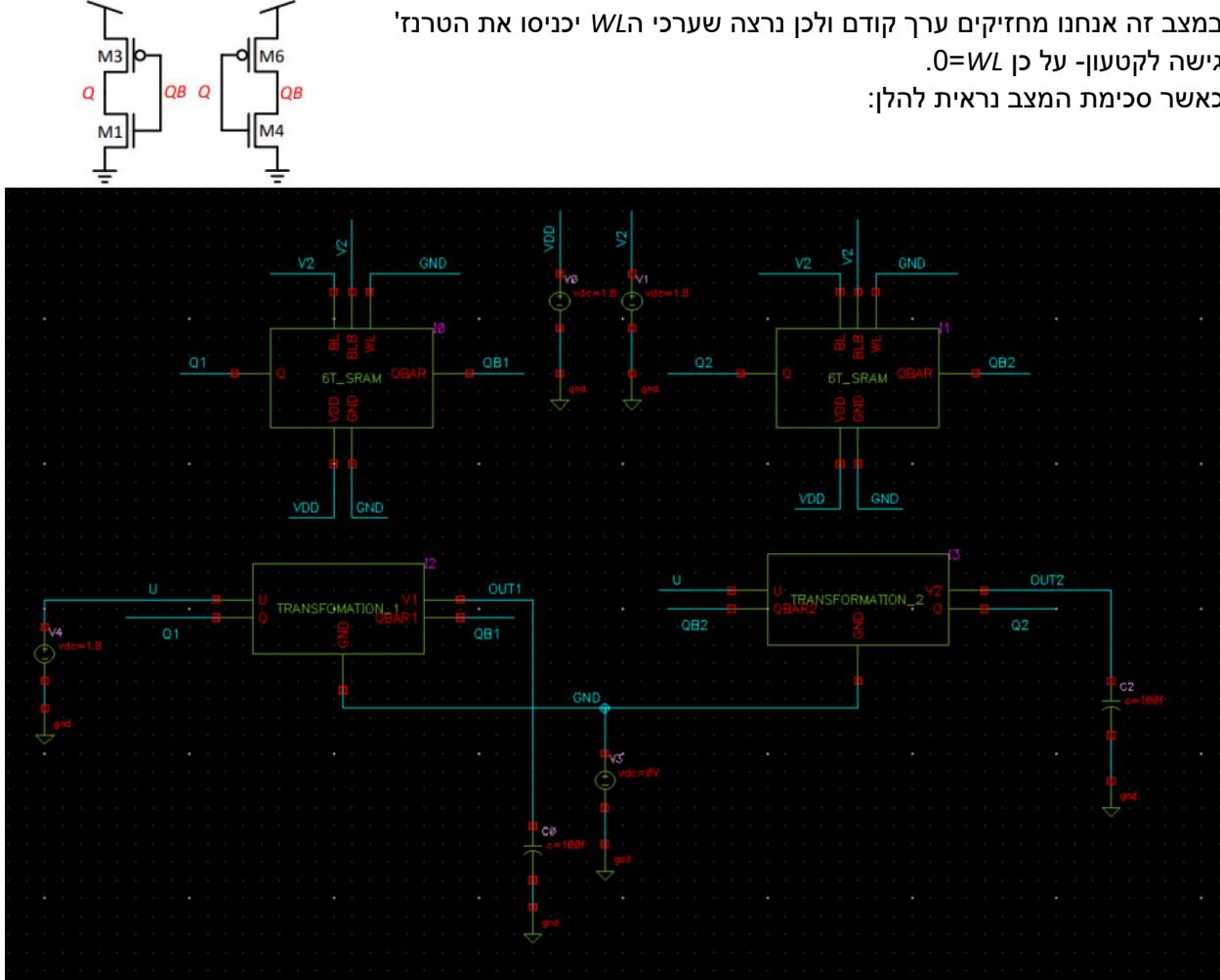
$$v = -u + \sqrt{2} \cdot F_2 \left(\frac{1}{\sqrt{2}} u - \frac{1}{\sqrt{2}} v \right)$$

תפקידה הוא לבצע שיקוף ל VTC של התא.



ג) נבנה TB ונמוקם בו את הרכיבים שבנו עד כה, נתאים אותו כך שנוכל למדוד את HOLD SNM.

במצב זה אנחנו מחזיקים ערך קודם ולקן גרצה שערכי ה/TW יכניסו את הטרנזיסטור לקייטון על CN TW=0. כאשר סכימת המצב נראהיה להלן:

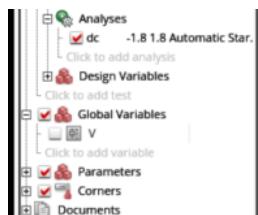


נחשב את ה-SNM:

ראשית, נציג את הגрафים של Q ו- $QBAR$ לאחר הטרנספורמציה, נחסר בין הגראפים כך שנוכל לעבור מחישוב אלכסון לחישוב צילע מקסימלית. השתמש בפונקציית $CLIP$ ע"מ לחלק את הגרף לחלק חיובי ושלילי. ובכל אחד מבם נמצא את הערך המקסימלי בערך מוחלט! מבין 2 ערכי המקיים מקבל את הערך המינימלי וחולק באחד חלקים שורש 2. זאת בהתאם לנוסחה:

$$SNR = \frac{1}{\sqrt{2}} \cdot \min \left\{ \max(|V_1 - V_2|) \Big|_{-\frac{V_{DD}}{\sqrt{2}} < u < 0}, \max(|V_1 - V_2|) \Big|_{0 < u < +\frac{V_{DD}}{\sqrt{2}}} \right\}$$

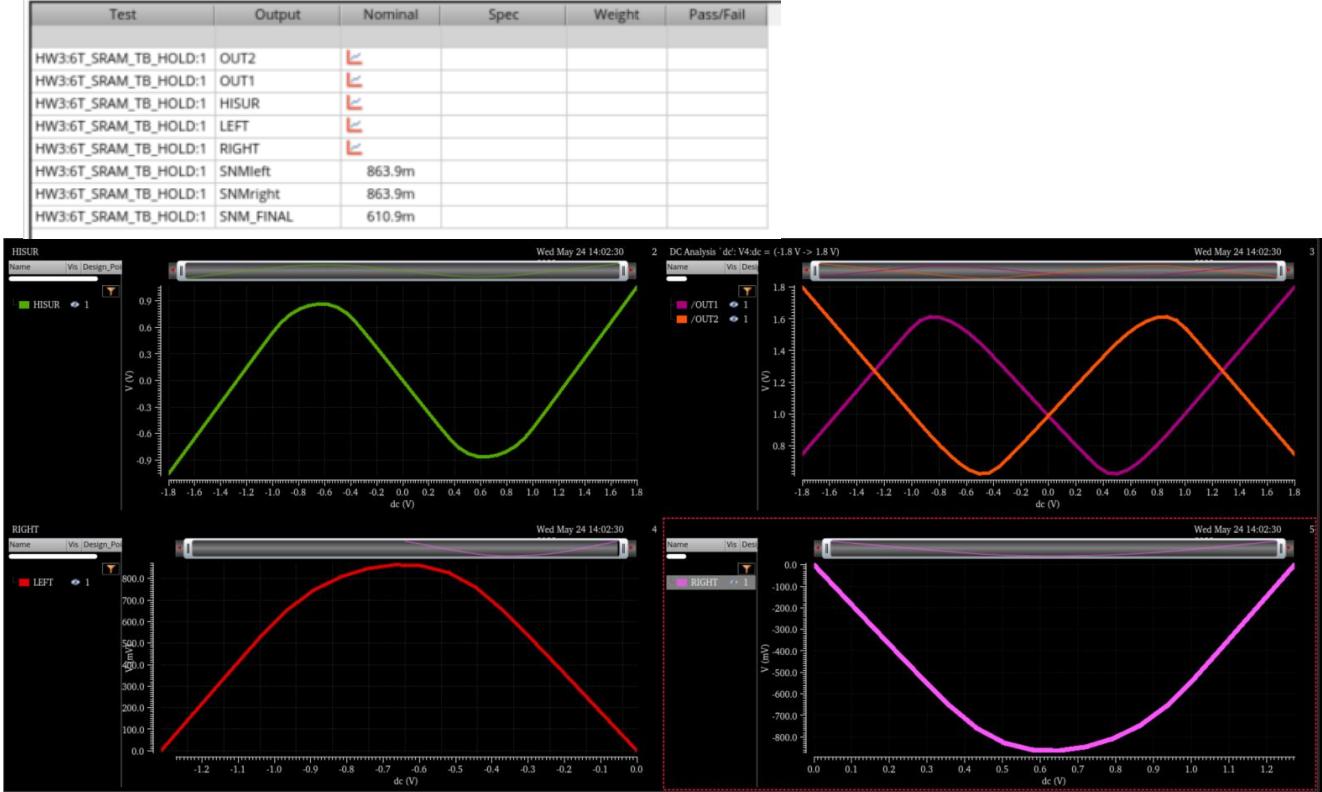
כדי לחשב את כל התהיליך נקדמים את המאוחר ונבצע את סעיף ה':



נדיר את הפונקציות הבאות:

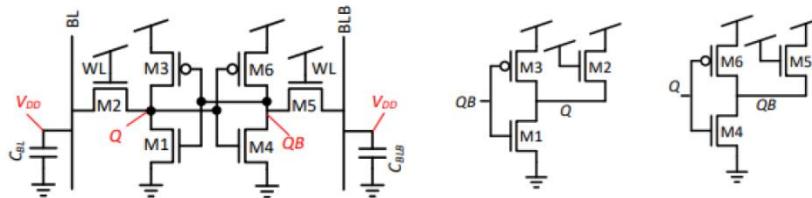
נשים לב שאנו רצים גם על טווח מתחים שליליים של ה- VDD .
 (בגדול היה צריך להריץ על ערך קטן יותר של VDD חלקי שורש, 2, שמתו לב להה רק בסוף אז לא הרצתי את כל הסימולציות שוב).

נחשב, וניקבל:

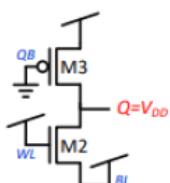


(ת)

עבור מצב $READ$, אנו צריכים לקבוע את BL ו- BLB ל-1 לוגי כדי שהייה "מטען" שיוכל להכנס לרכיב זכרון. וכמוון שגם WA צריך לעלות ל-1 לוגי וזהת כדי לאפשר הולכה בט rubble הגישה. כך נקבל במצב Q ב- $QBAR$ 1 לוגי ו- Q ב-0 לוגי בהתאם. כדי לדעת מאייה צד ברוח מטען עליו לחבר את BL ו- BLB אל מכבר הפרש הנקריא *Sense Amplifier*.



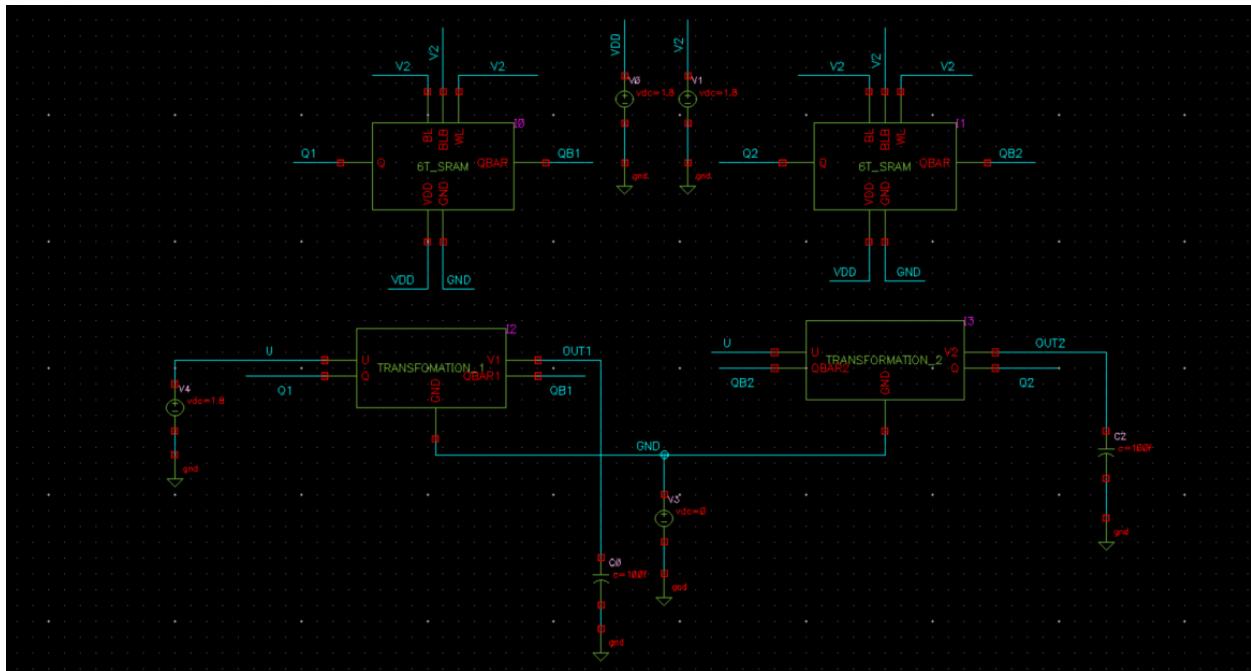
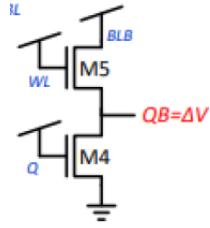
נתיחוס למצב בו היה לנו בזומת Q 1 לוגי.



לכן נוכל להגיד כי צד שמאל אינו משתנה שכן אנו דוחפים אליו 1 לוגי
 וכבר יש לו 1 לוגי בזומת Q .

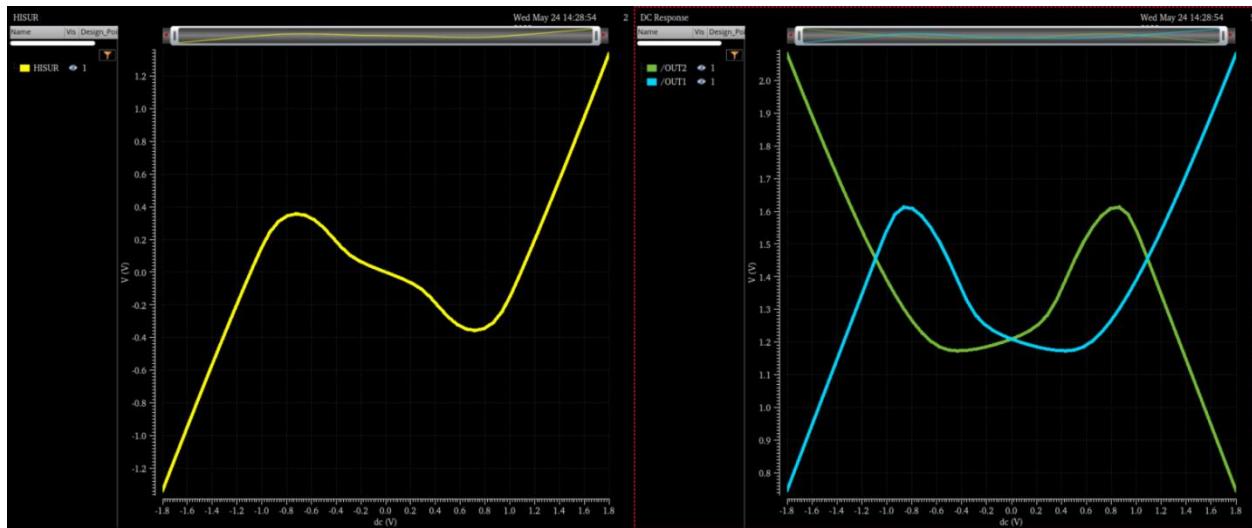
לעומתו, QB היה לנו 0 לוגי, لكن נראה שם שינוי של המתח.

בנוסף, כמובן שנבחן במלחתה בין NUN ל-PDN שכך כל אחד רוצה לטען או לפרוק. לכן, לא יוכל להגיע ל-0 לוגי חד משמעי - ונכפה לקבל בצומת זו VOLMIN.



(ה) עניינו תוא"כ סעיף ג.

ו) נציג את הגрафים של המוצאים ושל החישור ביניהם עבור מצב קריאה:



Test	Output	Nominal	Spec	Weight	Pass/Fail
HW3:6T_SRAM_TB_HOLD:1	OUT2				
HW3:6T_SRAM_TB_HOLD:1	OUT1				
HW3:6T_SRAM_TB_HOLD:1	HISUR				
HW3:6T_SRAM_TB_HOLD:1	SNMleft	356.5m			
HW3:6T_SRAM_TB_HOLD:1	SNMright	356.5m			
HW3:6T_SRAM_TB_HOLD:1	SNM_FINAL	252.1m			

תוצאות המדידה יהיו:

התוצאה אכן הגיונית, שכן ציפינו לקבל NMN קטן יותר הנובע מכך שצומת QBAR אינה מתאפשר עד הסוף, זאת לעומת מצב HOLD בו אנו נמצאים במשוב חיובי הנוועל את האות ובו QBAR שווה למתח אפסי לגמרא!

ז) בהינתן אורק קבוע, היינו רוצים להגדיל את רוחב PDN שכן במצב קריאה יש לנו מלחמה בין טרנ' הגישה לבני טרנ' הפריקה. אם ידעים כי $\frac{W}{L} \approx I$, ו כדי להגדיל את NMN נרצה להגיע לזרם גדול יותר שזורם בPDN שכן כך הNOMINOV שלנו יקטן- כי יותר מתח יפרק לאדמה. כך המתח הנאגר בצומת QB יקטן וכותזהה מכך המערכת תהיה יותר יציבה = NMN גדול יותר!

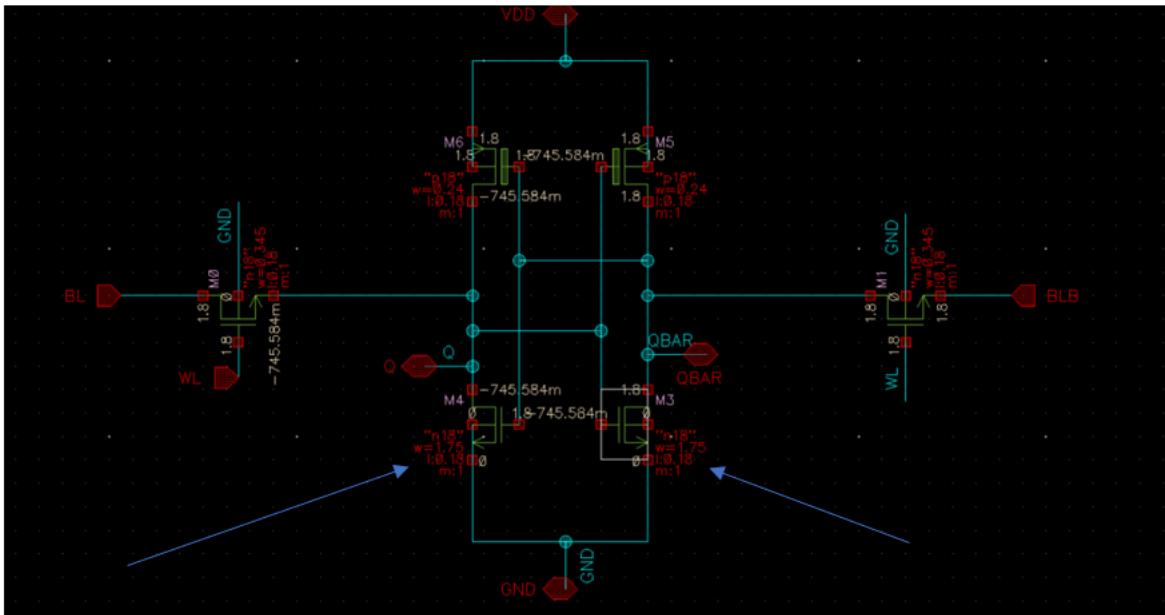
ח) בהתאם לשובה סעיף קודם, נתחיל להגדיל את NMN ב 150m. ז"א נרצה להגיע ל 402m. לשם כך, נתחל בלהעלות את רוחב PDN שהם טרנזיסטורים 2m.

נתחל להגדיל את הרוחב להלן טבלה המרכזת את הרוחב שקבענו וה NMN שקיבלו, לידי המדידה הסופית.

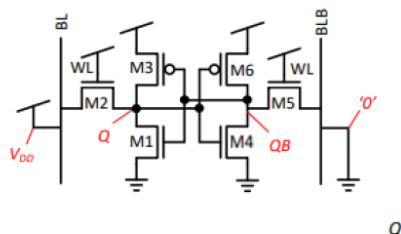
Test	Output	Nominal	Spec	Weight	Pass/Fail
HW3:6T_SRAM_TB_HOLD:1	OUT2				
HW3:6T_SRAM_TB_HOLD:1	OUT1				
HW3:6T_SRAM_TB_HOLD:1	HISUR				
HW3:6T_SRAM_TB_HOLD:1	SNMleft	568.5m			
HW3:6T_SRAM_TB_HOLD:1	SNMright	568.5m			
HW3:6T_SRAM_TB_HOLD:1	SNM_FINAL	402m			

מספר הרצה	W(nm)	SNM(m)
0	0.505	252.1
1	0.6	260
2	1	352.8
3	1.2	373.5
4	1.45	389.4
5	1.75	402

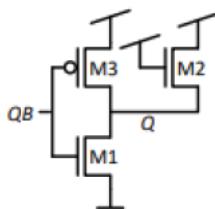
וכן הסכמה שבה ניתן לראות את רוחב הטר' PDN החדש בהתאם:



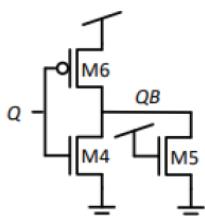
ט) עברו מצב WRITE, ראיית ברור שלילינו לפתור את טרני הגישה- لكن $LW=VDD$. בנוסף לשיטים ב BL אדמה ואילו בBLB נשים VDD . נזכיר שאנו חנכו מבצעים כתיביה מהצד שבו אנחנו דוחפים 0 לוגי. לכן אם נתבונן במצב בו $Q=QB=0$ בהתאם, נקבל כי הסכמה היא



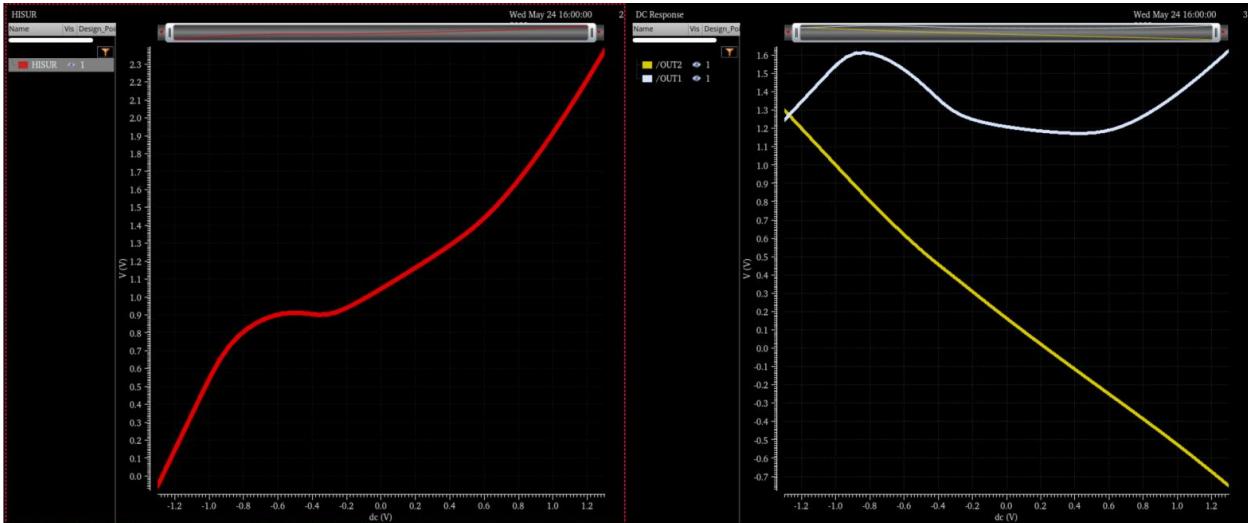
מצד שמאל נבחים שאנו מתנהגים דומה מאד למצב קרייה.



לעומתו, מצד ימין קורה משחו טיפה יותר מורכב. נשים לב ששם צומת Q הינו במתה גובה, M6 יהיה מנוטק ונתקבל 2 טרני שפורקים את המתח לאדמה, ALSO NMOSים ולכן הם יהיו 0 חזק ונתקבל בצומת QB 0 מתח! אך אם Q יהיה ב 0 M6 כן יוליך ולכן תהיה מלחמה בין הרשות טעינה ופריקה. הפונקציות יהיו זהות עברו סעיף זה.



נזכיר לקצר את כניסה SRAM בהתחمة למצב קרייה, וגם כמובן נדרש להחזיר את רוחב הטר' למה שהיה לפני ששליחקנו בו בסעיף הקודם.
נשרטט את הגрафים שהתבקשו:



נחשב את ה MN3 הקיים:

Test	Output	Nominal	Spec	Weight	Pass/Fail
HW3:6T_SRAM_TB_HOLD:1	OUT2				
HW3:6T_SRAM_TB_HOLD:1	OUT1				
HW3:6T_SRAM_TB_HOLD:1	HISUR				
HW3:6T_SRAM_TB_HOLD:1	SNMleft	1.046			
HW3:6T_SRAM_TB_HOLD:1	SNMright	1.046			
HW3:6T_SRAM_TB_HOLD:1	SNM_FINAL	739.4m			

נאמת תוצאה זו שכן ה MN3 גדול יותר מה HOLD, UZT.SNM_HOLD, וゾאת בהתאם לדרישת כי

$$K_{access} > K_{PUN}$$

כעת נרצה להגדיל את ה SNM ב 150nm, כך להגיע ל 890m. לשם קרינצטר להגדיל את רוחב טרן' הגישה, כך נשאף חזק יותר לערך גובה בצומת המידע. נעבדו שוב עם אותה טבלה:

Test	Output	Nominal	Spec	Weight	Pass/Fail
HW3:6T_SRAM_TB_HOLD:1	OUT2				
HW3:6T_SRAM_TB_HOLD:1	OUT1				
HW3:6T_SRAM_TB_HOLD:1	HISUR				
HW3:6T_SRAM_TB_HOLD:1	SNMleft	1.26			
HW3:6T_SRAM_TB_HOLD:1	SNMright	1.26			
HW3:6T_SRAM_TB_HOLD:1	SNM_FINAL	890.7m			

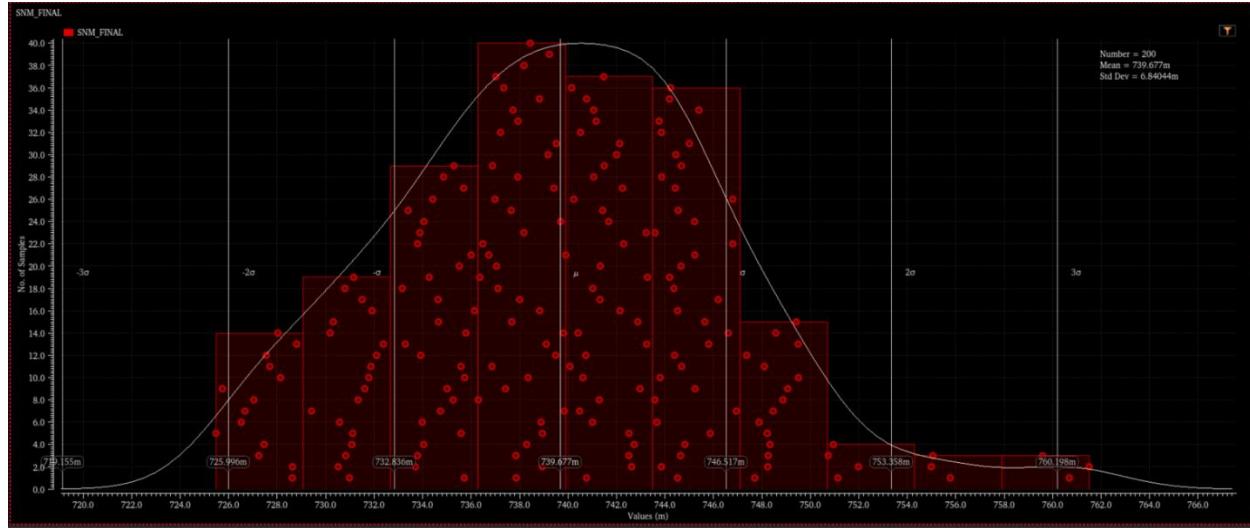
מספר הרצה	SNM(m)	W(nm)	הרצה
0	739.4	0.345	
1	882.8	1	
2	893.9	1.1	
3	888.5	1.05	
4	890.7	1.07	

.)

נ裏ץ סימולציות מונטה קרלו עם 200 דוגמאות ונציג את ההיסטוגרמה ופונקציית הצפיפות עבור קרייה וכתיבה:

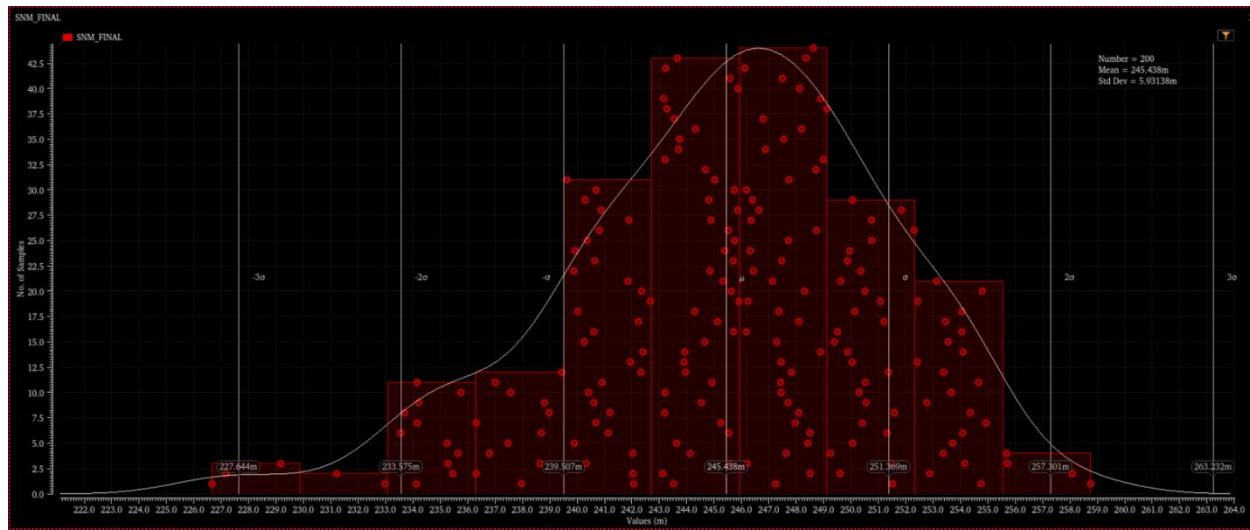
:WRITE

Test	Name	Yield	Min	Target	Max	Mean	Std Dev	Cpk	Errors
Yield Estimate: 100 % (200 passed/200 pts) Confidence Level: <not set> Filter: <not set>									
- HW3:6T_SRAM_TB_HOLD:1	- SNMleft(summary)	100% (200/200)	1.026		1.077	1.046	9.674m	0	
	SNMleft	100% (200/200)	1.026	info	1.077	1.046	9.674m	0	
- HW3:6T_SRAM_TB_HOLD:1	- SNMright(summary)	100% (200/200)	1.026		1.077	1.046	9.674m	0	
	SNMright	100% (200/200)	1.026	info	1.077	1.046	9.674m	0	
- HW3:6T_SRAM_TB_HOLD:1	- SNM_FINAL(summary)	100% (200/200)	725.5m		761.5m	739.7m	6.84m	0	
	SNM_FINAL	100% (200/200)	725.5m	info	761.5m	739.7m	6.84m	0	



:READ

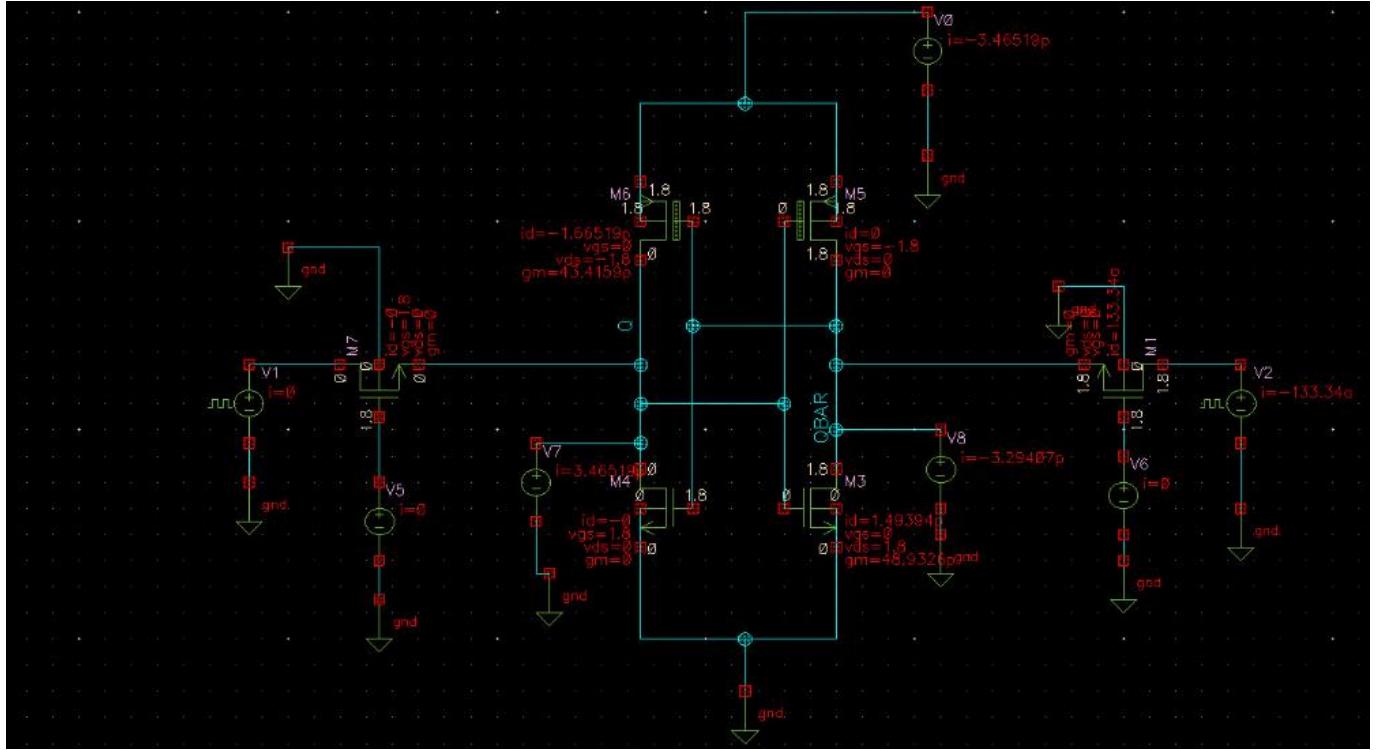
Test	Name	Yield	Min	Target	Max	Mean	Std Dev	Cpk	Errors
Yield Estimate: 100 %(200 passed/200 pts) Confidence Level: <not set> Filter: <not set>									
HW3:6T_SRAM_TB_HOLD:1	- SNMleft(summary)	100% (200/200)	327m		388m	355.7m	11.63m	0	
	SNMleft	100% (200/200)	327m	info	388m	355.7m	11.63m	0	
	- SNMright(summary)	100% (200/200)	320.5m		393.2m	355.5m	12.65m	0	
	SNMright	100% (200/200)	320.5m	info	393.2m	355.5m	12.65m	0	
	- SNM_FINAL(summary)	100% (200/200)	226.7m		258.8m	245.4m	5.931m	0	
	SNM_FINAL	100% (200/200)	226.7m	info	258.8m	245.4m	5.931m	0	



(2) מדידת הספקים של התא:

א) זרמי זליגה:

נעביר את התא במצב HOLD ומדוד את זרמי הזליגה, נקבע את Q ו-QBAR להיות 1 או 0 בהתאם שלהם. כמו כן ננצהפה שבגלאל שהתא סימטרי, בכתיבת 0 או 1 נקבל אותו תפקוד וכן אותם זרמי זליגה.



נראה שכאן יש מסלול של זרם זליגה בין המקור לאדמה והוא סדר גודל של 1.5 pA .

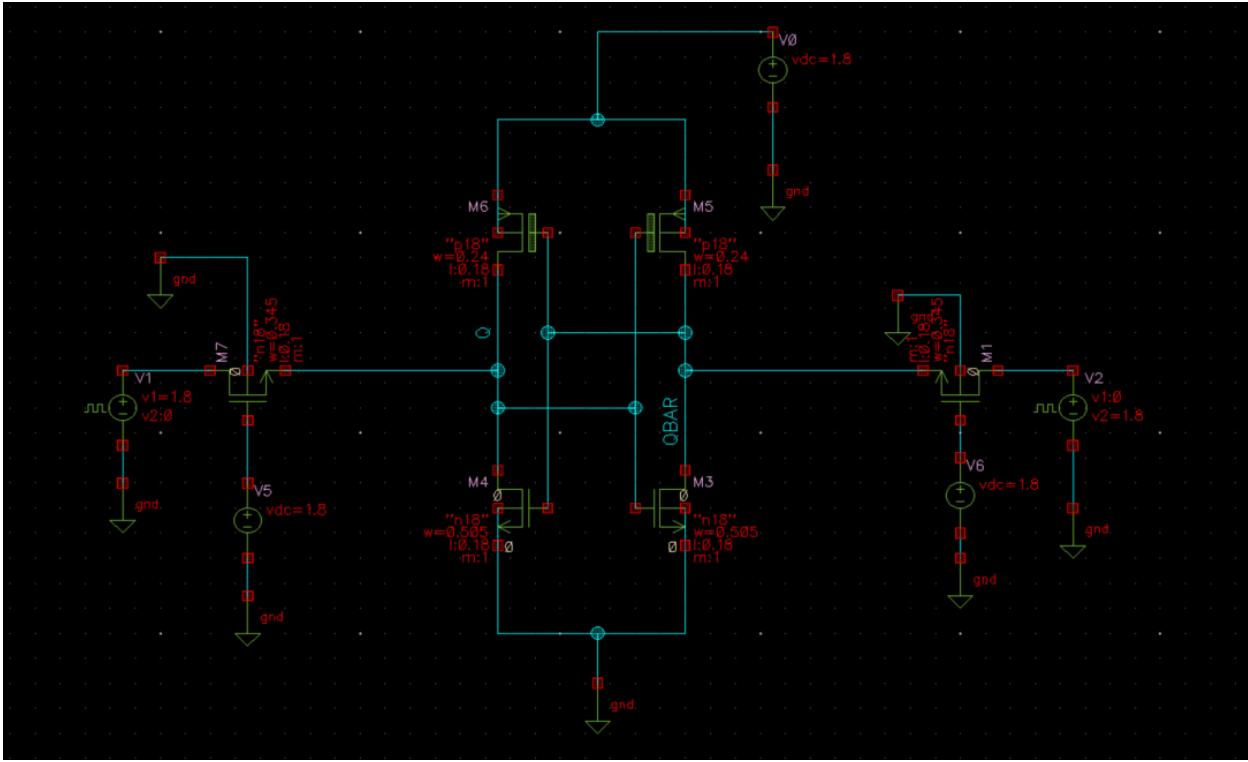
במידה והיינו רוצים למשם cache memory בגודל 2^{23} MB (שהם 2^{23} תא זכרון) ההספק הסטטי של המערכת יחשב בדרך הבאה:

$$P_{stat} = V * I_{DC} * 2^{23} = 1.8 * 2^{23} * 1.5p = 22uW$$

ב) נמדד את זמן הכתיבה לתא של 0 ושל 1:

ראשית, נעביר למצב כתיבה, נגדיר אנהליזת זמן ונכתב את הפונקציות הבאות:

Test	Name	Type	Details	EvalType	Plot	Save
HW3:6T_SRAM_TB_TRANS:2		signal	/Q	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2		signal	/QBAR	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	high01	expr	cross(VT("/Q") 1.62 1 "rising")	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	low01	expr	cross(VT("/Q") 0.18 1 "rising")	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	time01	expr	(high01 - low01)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	high10	expr	cross(VT("/Q") 1.62 1 "falling")	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	low10	expr	cross(VT("/Q") 0.18 1 "falling")	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	time10	expr	(low10 - high10)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>



הגדרתי 2 מקורות פולס הפעדים עם תדר 1 מיקרו.

נפעיל את הטנליה וنمדוד את הערכים המתקבלים:

עבור כתיבה מ 0 ל 1 נקבל:

Test	Output	Nominal
HW3:6T_SRAM_TB_TRANS:2	/Q	✓
HW3:6T_SRAM_TB_TRANS:2	/QBAR	✓
HW3:6T_SRAM_TB_TRANS:2	high01	505.7n
HW3:6T_SRAM_TB_TRANS:2	low01	502.9n
HW3:6T_SRAM_TB_TRANS:2	time01	2.842n

כעת נהפוך את סדר המתחים במקורות כך שנקבל כתיבה לצד השני.

עבור כתיבה מ 1 ל 0 נקבל:

HW3:6T_SRAM_TB_TRANS:2	high10	504.6n
HW3:6T_SRAM_TB_TRANS:2	low10	507.1n
HW3:6T_SRAM_TB_TRANS:2	time10	2.532n

ג) כדי לחשב הספק דינامي נבצע סימולציה זמן נוספת ונחשב את זמן השינוי של Q מ-0.02 ל-0.98 של VDD . באמצעות פועלות CLIP נחלק את הגרף לאינטרוולים לפי הזמן, נמצא זרם ממוצע ולבסוף נכפיל אותו ב VDD .

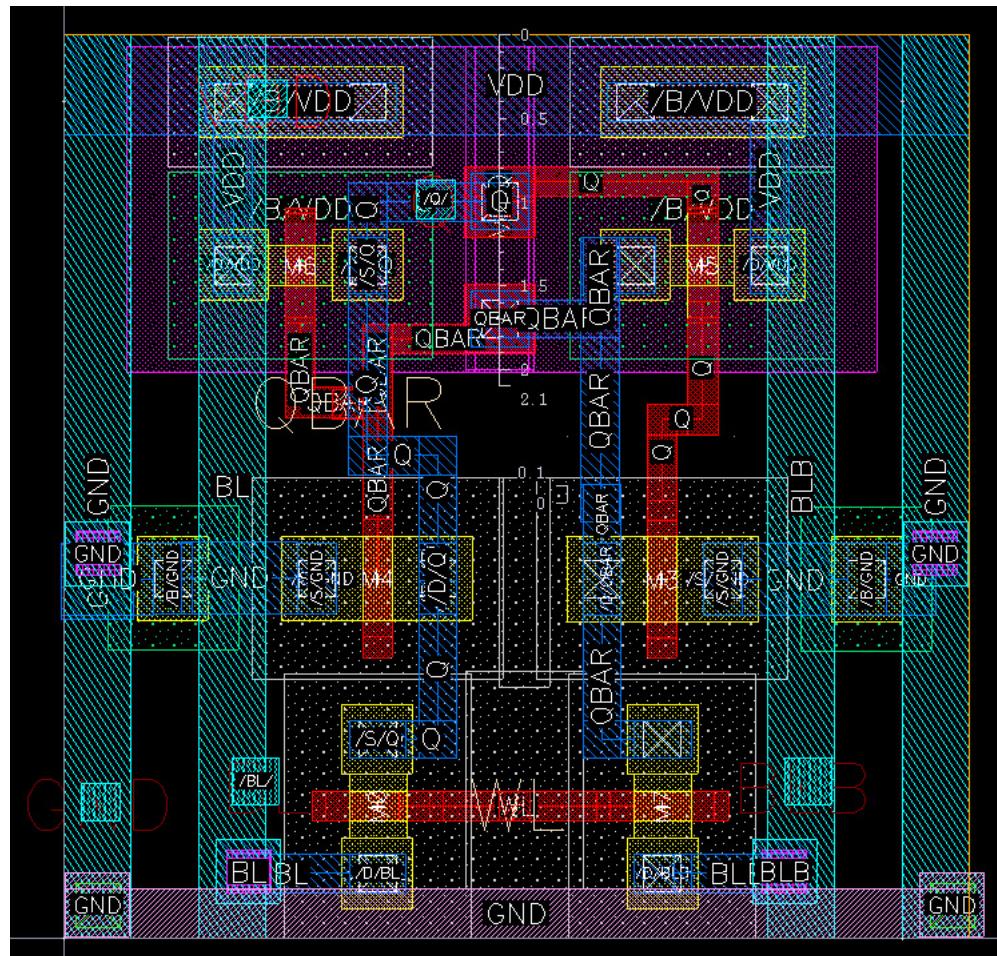
HW3:6T_SRAM_TB_TRANS:2		signal	/V0/PLUS	point	<input type="checkbox"/>	<input checked="" type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	IT	expr	IT("/V0/PLUS")	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	interval1	expr	cross(VT("Q") 0.036 1 "rising")	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	interval2	expr	cross(VT("Q") 1.764 1 "rising")	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	crop	expr	clip(IT interval1 interval2)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	I_avg	expr	abs(average(crop))	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>
HW3:6T_SRAM_TB_TRANS:2	P_dyn	expr	(I_avg * 1.8)	point	<input checked="" type="checkbox"/>	<input type="checkbox"/>

ולאחר הרצה וחישוב קיבלנו:

Test	Output	Nominal
HW3:6T_SRAM_TB_TRANS:2	/V0/PLUS	
HW3:6T_SRAM_TB_TRANS:2	IT	
HW3:6T_SRAM_TB_TRANS:2	interval1	490.3p
HW3:6T_SRAM_TB_TRANS:2	interval2	6.222n
HW3:6T_SRAM_TB_TRANS:2	crop	
HW3:6T_SRAM_TB_TRANS:2	I_avg	6.346u
HW3:6T_SRAM_TB_TRANS:2	P_dyn	11.42u

(3)

מבנה ליאאאות בעל גודל של 5.4 על 5.4 כי שהתקבשנו



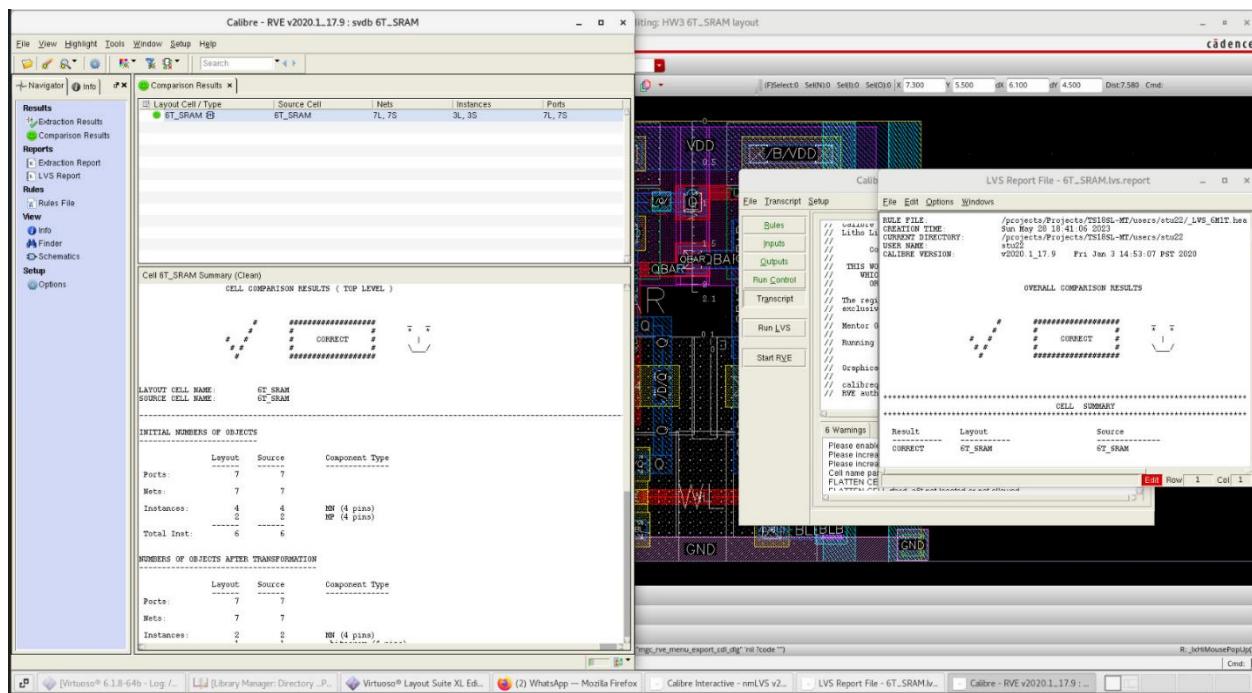
לאחר הרצת DRC נתקבל:

תקי עד כדי שגיאות COVERAGE

Check / Cell		Results
☒ ✗ Check GC.C.1		1
☒ ✗ Check M3.C.1		1
✓ Check DENSITY_PRINT_FILES		0

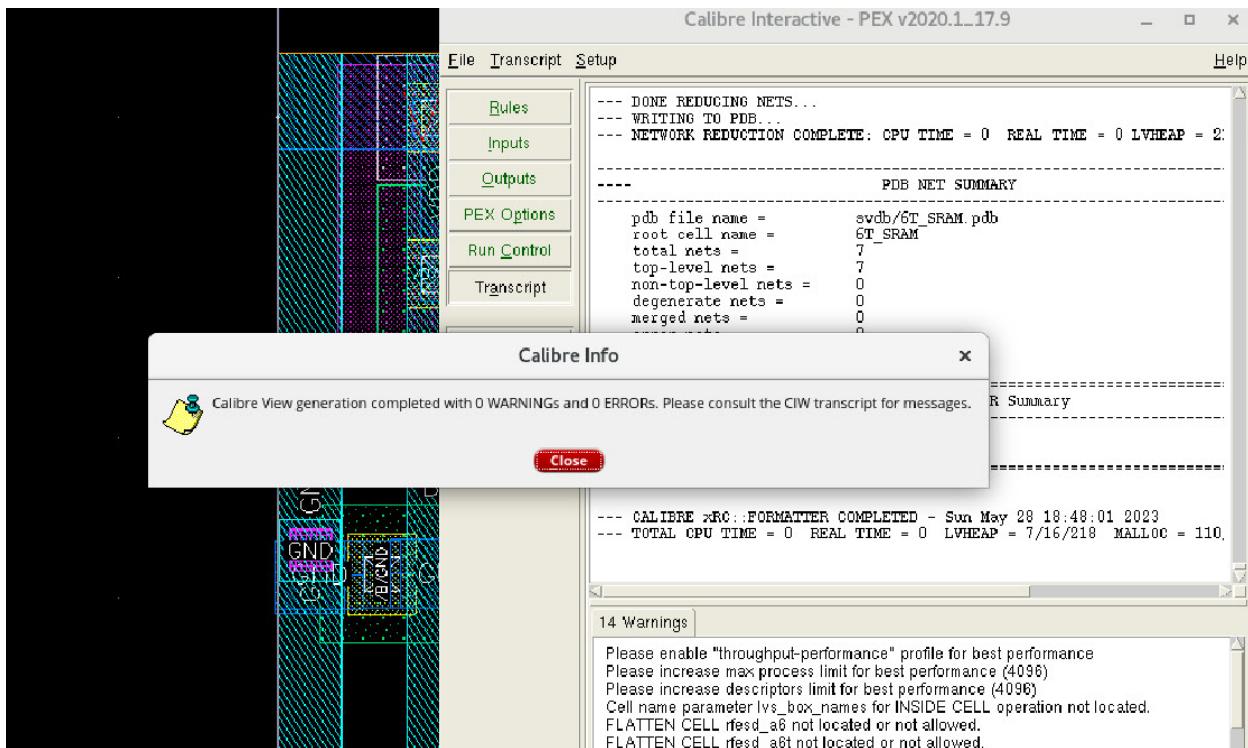
Rule File Pathname: /projects/Projects/TS10SL-MT/users/stu22/_DRC_6M1T.header
 GC.C.1: GC Coverage less than 0.14 (GC.C.1).

ואנו עברנו LVS על הפעם הראשונה:



ג) גבולות ה-P&R שלמו הם 5.4 על 5.4

ד) נרץ PEX:



מציג את הערכים הפרזיטים:

No.	Layout Net	Source Net	R Count	C Total (F)	CC Total (F)	C+CC Total (F)
1	GND	GND	15	9.96824E-16	1.38361E-15	2.38044E-15
2	VDD	VDD	9	4.28529E-16	6.22334E-16	1.05086E-15
3	Q	Q	20	4.39462E-16	8.06942E-16	1.24640E-15
4	QBAR	QBAR	19	4.35519E-16	6.49657E-16	1.08536E-15
5	BL	BL	5	2.13619E-16	8.38344E-16	1.05196E-15
6	BLB	BLB	5	2.01159E-16	8.26718E-16	1.02786E-15
7	WL	WL	2	4.62828E-16	1.66005E-16	6.28633E-16

ה) עבור חישוב BL ו WL למערך של 8^*8 , נשים לב כי עבור WL נקבל חיבור של 8 תאים במקביל ואילו עבור BL נקבל שאלו קבילים המחברים בטור ולכן:

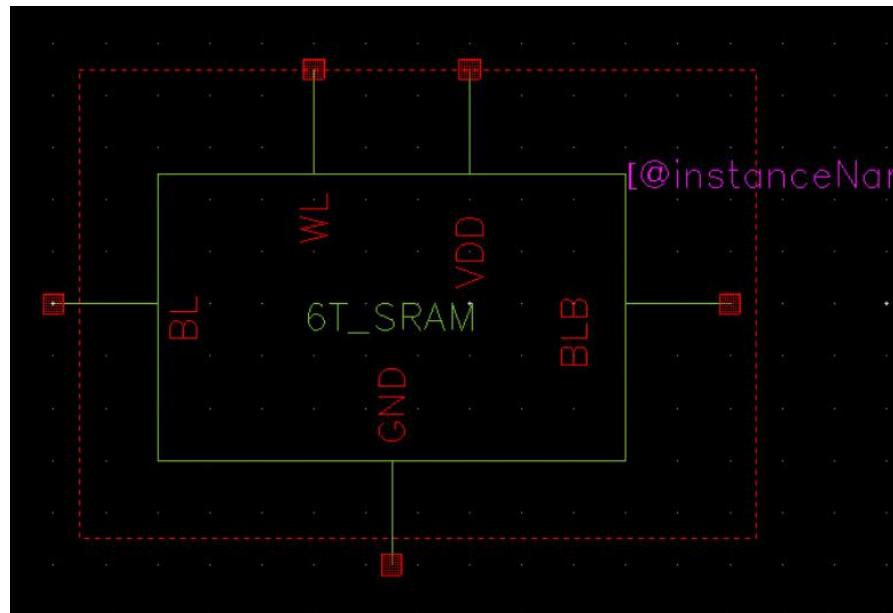
$$C_{BL} = (8 * (2.13 * 10^{-16})^{-1})^{-1} = 2.66 * 10^{-17}$$

$$C_{WL} = 8 * 4.62 * 10^{-16} = 3.7 * 10^{-15}$$

ו) ניתן את קובת הפרזיטיקות ונרץ את אותן סימולציות עבור שלושת המיצבים ונשווה ללא הפרזיטיקות:

WITHOUT [m]	WITH PARASITICS			STATE
	Test	Output	Nominal	
610.9	HW3:6T_SRAM_TB_HOLD:1	SNMleft	866m	HOLD
	HW3:6T_SRAM_TB_HOLD:1	SNMright	866m	
	HW3:6T_SRAM_TB_HOLD:1	SNM_FINAL	612.4m	
252.1	HW3:6T_SRAM_TB_HOLD:1	SNMleft	356.6m	WRITE
	HW3:6T_SRAM_TB_HOLD:1	SNMright	356.6m	
	HW3:6T_SRAM_TB_HOLD:1	SNM_FINAL	252.2m	
739.4	HW3:6T_SRAM_TB_HOLD:1	SNMleft	1.045	READ
	HW3:6T_SRAM_TB_HOLD:1	SNMright	1.045	
	HW3:6T_SRAM_TB_HOLD:1	SNM_FINAL	739.3m	

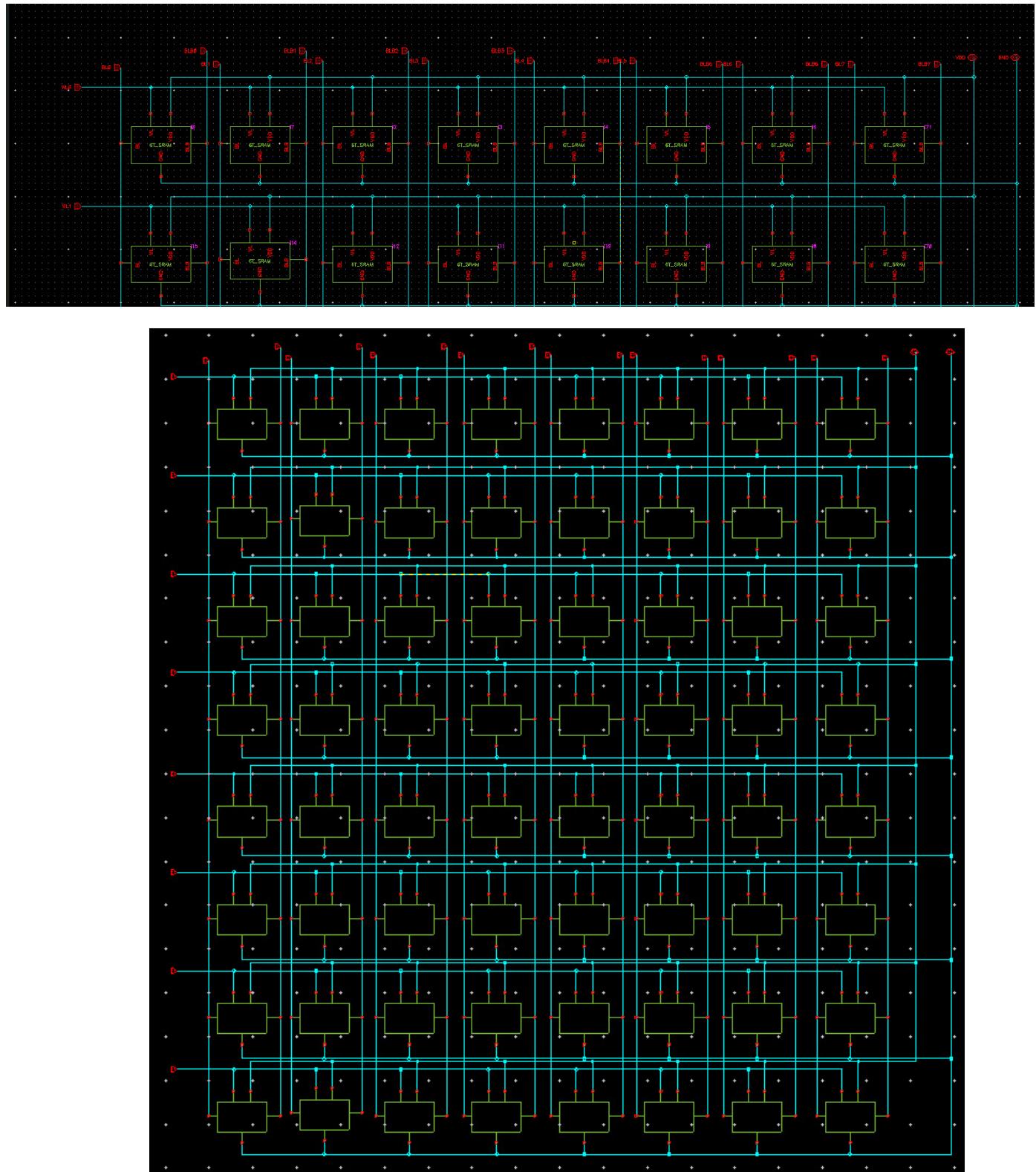
4) נתחל מלקבוע סימבול חדש עבור התא הבסיסי:



הordanו את טרמינלי Q ו $QBAR$ שcn לא נצטרך אותם במערך הדיו- מימדי שתפקידם נשרטטו. הרעיון מאחרויו שרטוט התא יהיה להעביר רשת שתי וערב כאשר אנו "מגשים" לכל תא שורה VDD ו GND אותן בסמן COA .

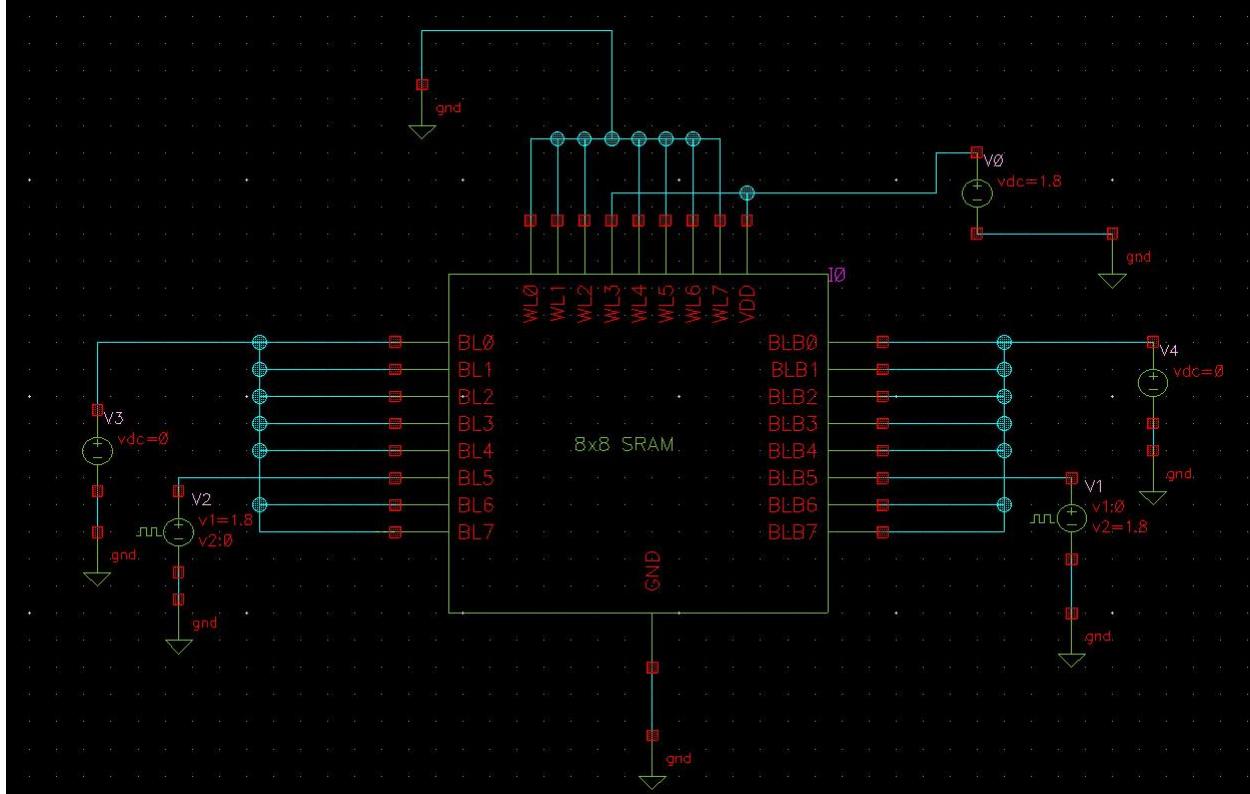
בנוסף לכך, ניתן טרמינל WA נפרד לכל שורה כך שיירוץ מ- 0 ל- 7. ואילו טרמינלי הכניסה של ה BL ו BLB יגשו לכל טור ב"מטריצה" שלנו כאשר כל אחד מהן גם תירוץ מ- 0 עד 7.

מציג את חלק מהשורה העליונה של הסכמה ואת הסכמה כולה בזום אליו:

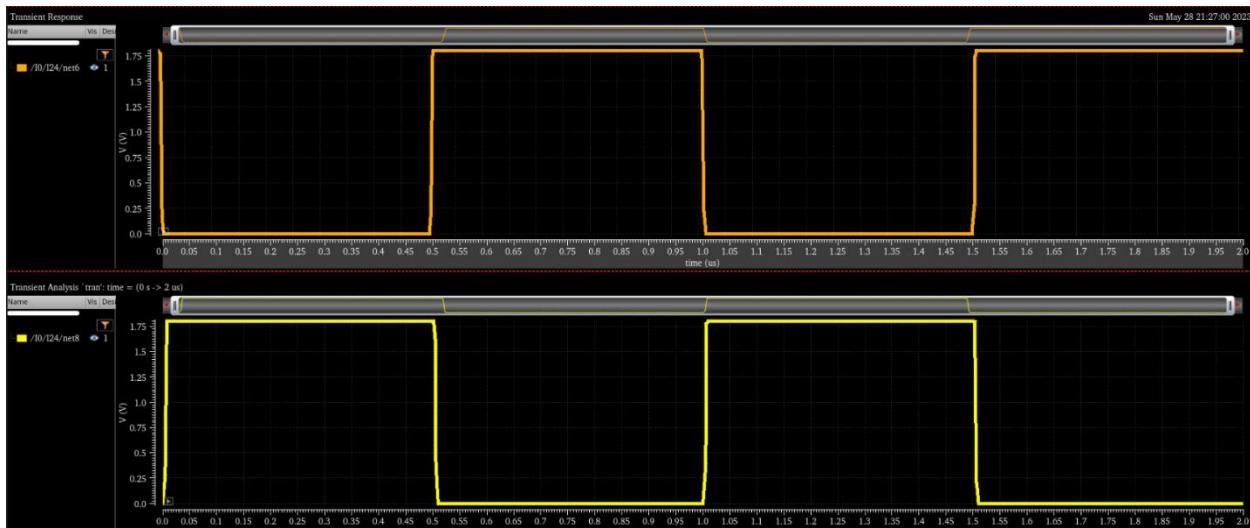


ב) בנייתו לרכיב זה סימבול, נכניס אותו לTB ונרבעה עליו סימולציה.

כדי לגשת לתא 6 בשורה 4, נרצה לשים את שאר הרכיבים ב-*HOLD*. נזכיר כי מה שקובע לנו את השורות הוא *LW*, והטורים הם *BLB*. לכן כל ה-*LW* חוץ מ-*LW3* יהיה 0 (שכן אנחנו סופרים מ-0). וכל *BLB&BL* יהיה 0 גם כן, חוץ *b15* ו-*BLB5*-שאותם נקבעו ל-1 ו-0 בהתחלפים. נבצע זאת ע"י הגדרת מקור פולטי כמו שעשינו כבר בסעיפים קודמים.

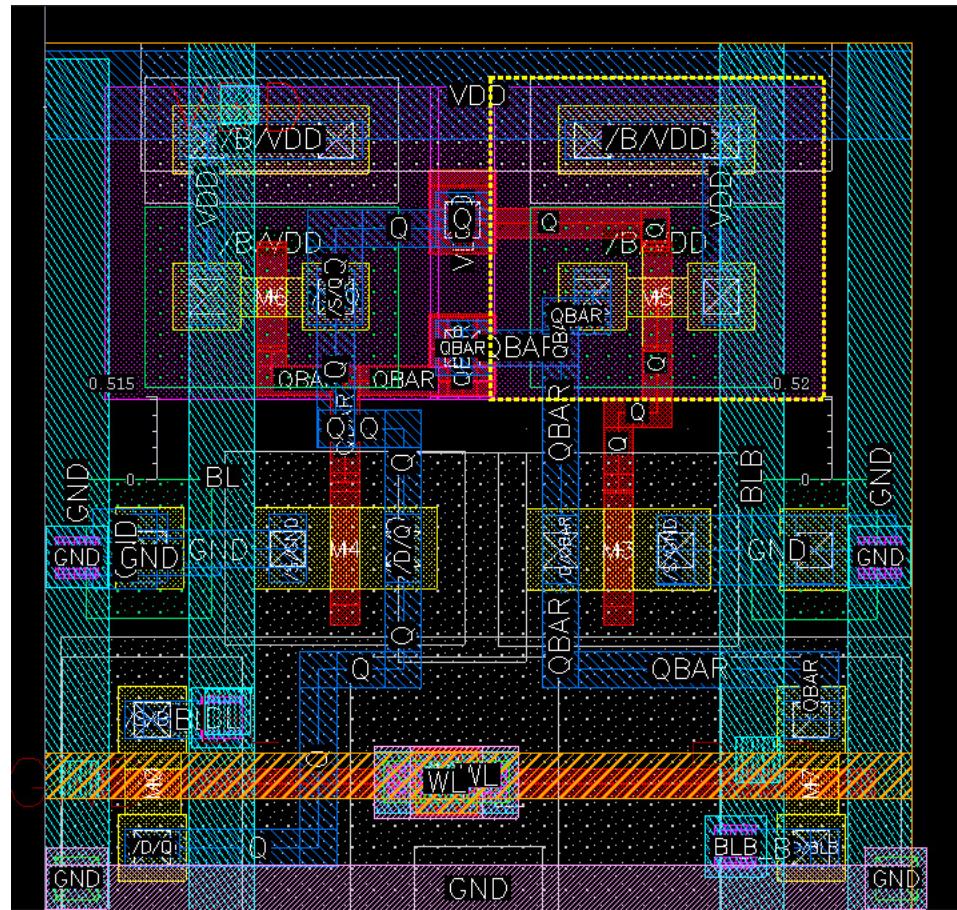


זמן מחזור הפולס הוא 1ミクרו, נראה שакן התא כתוב כאשר בחרנו ספציפית את ערכי המתחים ב-*Q* ו-*QBAR* של התא הספציפי אליו רצינו לכתוב:

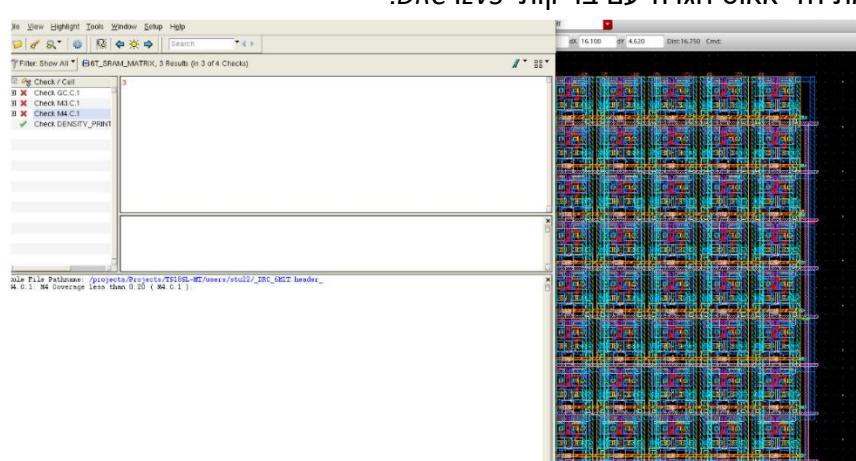


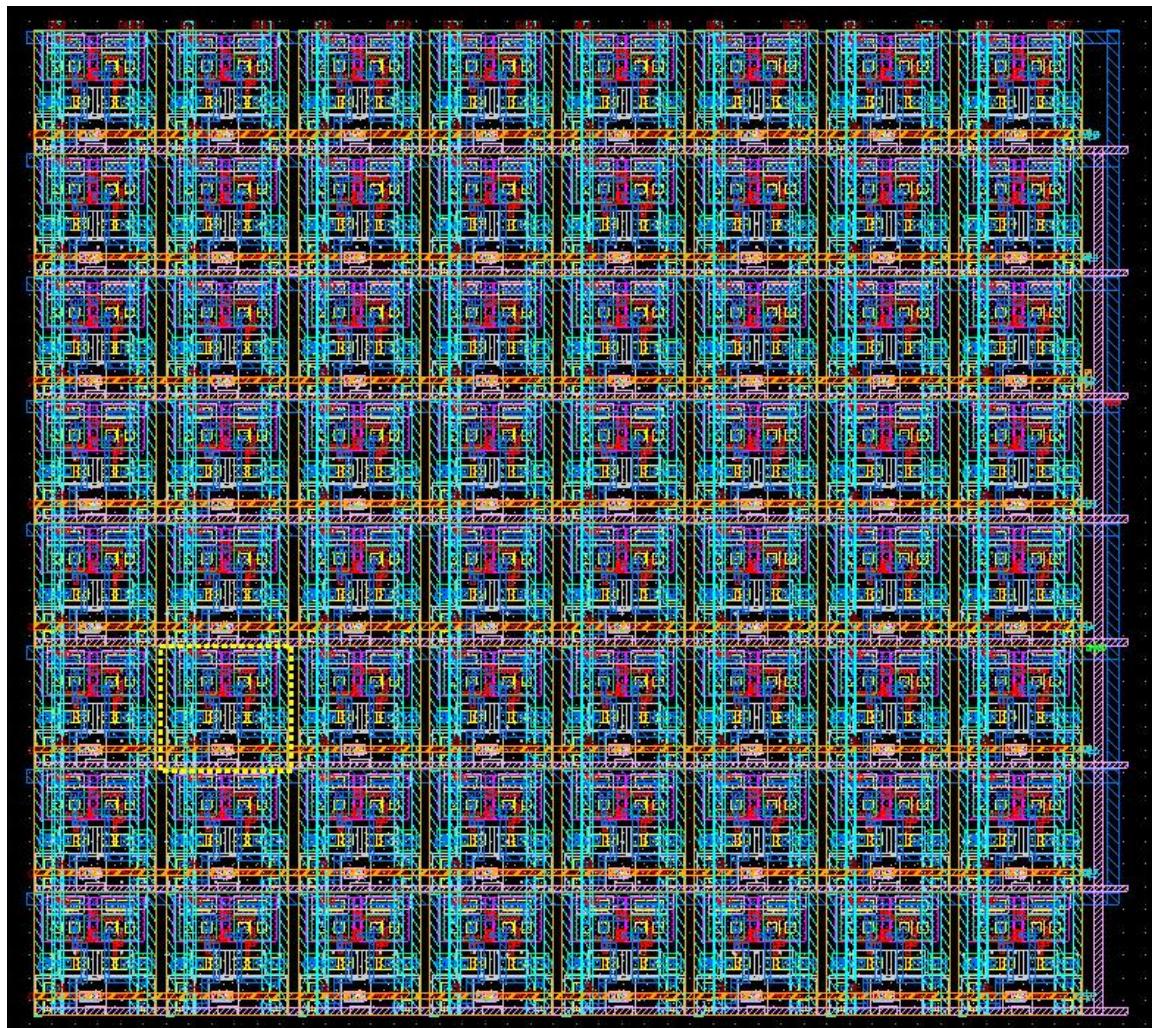
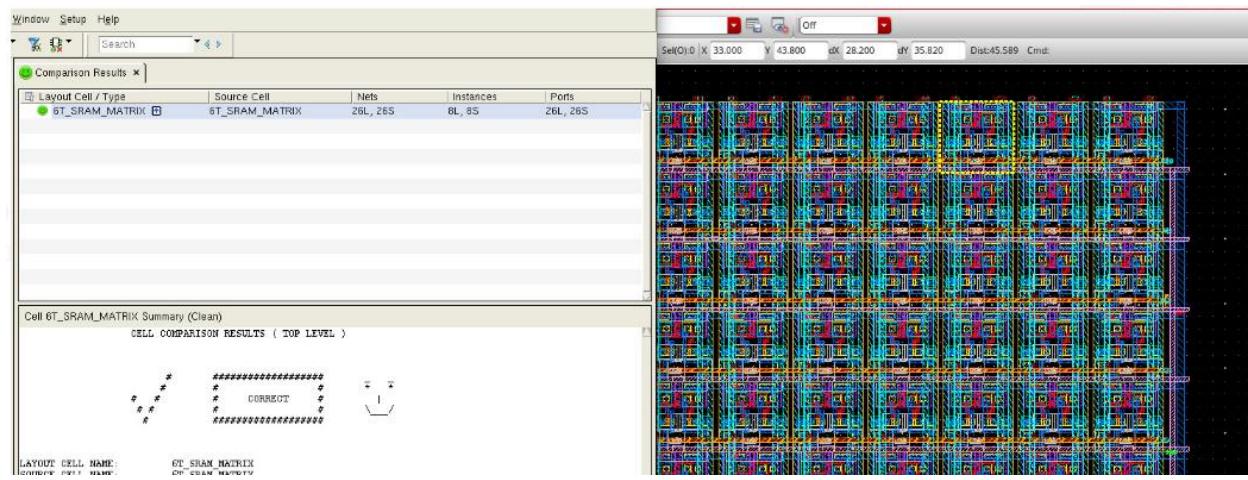
נראה שהשינוי אכן קורה בתדר השעון וכי הכניסות הפקות אחת לשניה כפי שהיא מוצפין.

ג) כעת נשאר לנו רק לעשות *LAYOUT* לרכיב המלא, נתחל מלשנות טיפה את התא הבודד: נמחק את הפורטים של *Q* ו *QBAR* את שורת *WL* כדי שתהיה גישה נוחה יותר לכל תא בשורה. בנוסף, נוסיף שורת מטאל 4 עם ויה יישורות *GC* אלו, כך בתא הגדול יוכל לגשת ביוטר נוחות ומהירות אל *WL*.

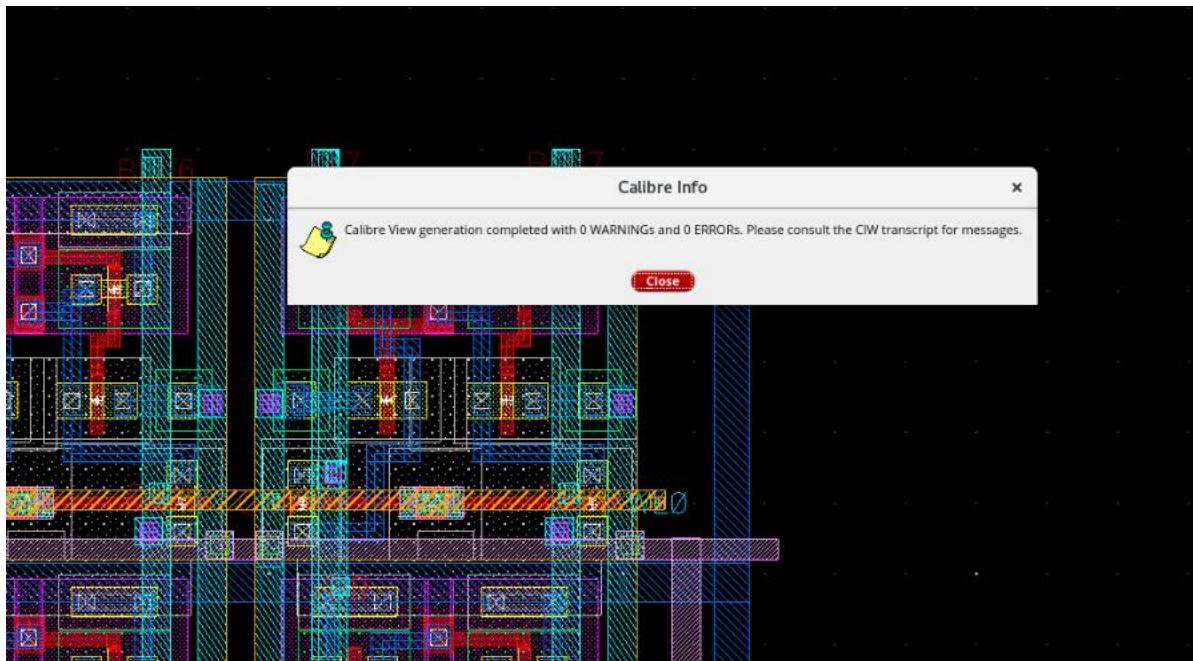


כדי לחבר את כל התא נעבד בדרך בדרכ הבאה: נקצר את כל *hdd* על שכבת המטאל 1. את כל האדומות נקצר על שכבת המטאל 3- כאשר שתי שכבות אלו רצויות משמאלי לימיין על כל שורה ובסוף התא נעביר קו מתח בשכבה מתאימה שיקשר בין כלן. שכבות ה *BL* ו *BLB* ירוצו מלמעלה למטהה על שכבת המטאל 2 כאשר לכל אחת יהיה הפין המתאים לה. נראה למטה את הלוייאוט הגדול עם בדיקות *DRC LVS*:





נייבא קובץ XPEX



ולא נעשה איתו כלום .