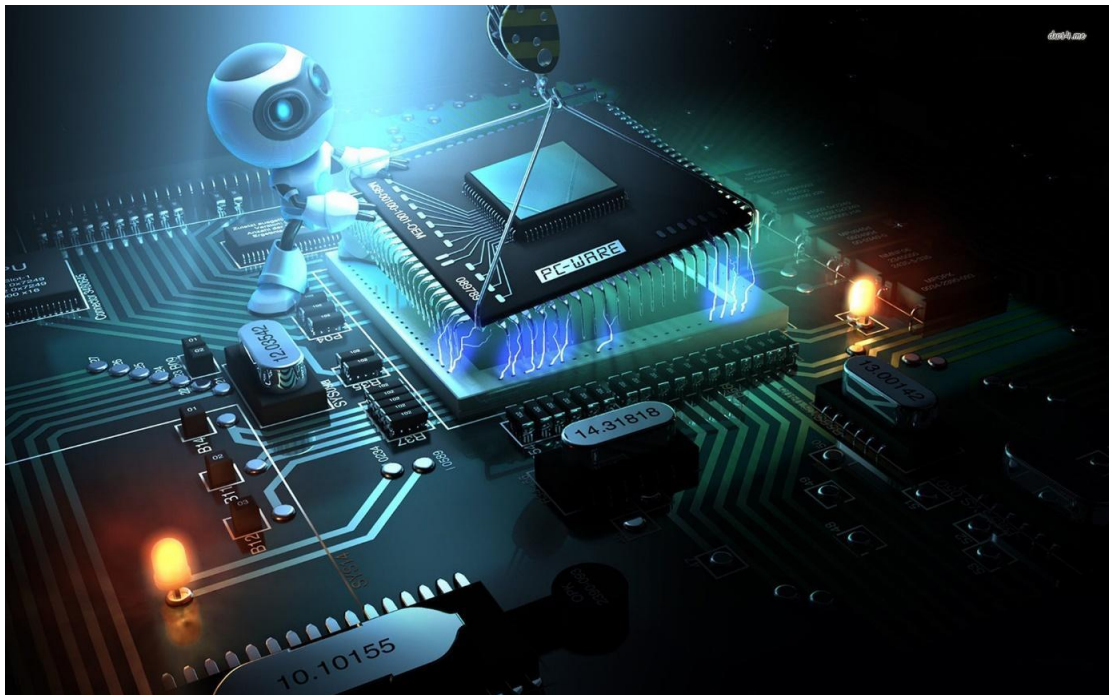


Homework No. 1



*Created By
Eliran Abdu*

מבוא ל-VLSI ומעגלים משולבים (361-1-3701)

עבודה מספר 1

סימולציות בסיסיות, היכרות עם הכלים ובניית מהפך

פרמטרים לביצוע תרגילים:

על מנת שניתן יהיה לוודא שכל זוג ביצע את התרגילים בעצמו ובזמן, יעשה שימוש במספר הקבוצה שלכם לקבוע פרמטר. מעטה, נקרא למספר הקבוצה G. נא לציין את מספר הקבוצה בגדול בראש העבודה.

מספר הערות להגשת העבודות בקורס:

- יש לצרף שרטוטים וסכמות של המעגלים + Testbench.
- יש לצרף סימולציות וגרפים כולל הסבר קצר והגיוני עבור כל גרף. על הגרפים להיות קריאים וברורים.

איור כהה/לא ברור/מועתק וכו' ייחשב כ-0 עבור השאלה!

- יש לשנות את עובי וצבע העקומות בגרפים כדי שיבלטו בתמונות.
- במידה ונעשו סימולציות באמצעות שימוש במחשבון (expression) יש לעשות צילום מסך של ה-ADEXL עם התוצאות ולא רק לכתוב את התוצאה בוורד, כלומר יש להראות את הפונקציה (ראו סעיף 4.5.1 בקובץ הדרכה מס' 1).
 - במידה וצריך לעשות LAYOUT, יש לצרף תמונה של כל תא, להראות שעברתם DRC, LVS, PEX, לכל תא.
 - יש להציג תוצאות של סימולציות לאחר פרייטיקה והשוואה לפני ואחרי (ריכוז התוצאות בטבלה מסודרת).
 - יש לכתוב באופן מפורש חישובים ונוסחאות במידה ויש חישובים מתמטיים.
 - יש להסביר כל תוצאה שקיבלתם בצורה מדויקת ככל הניתן ע"י פיתוחים מתמטיים שנלמדו בקורס זה או בקורסים קודמים.

יש לתעד כל שלב שאתם עושים במהלך העבודה, וזאת על מנת להציג את העבודה בצורה האיכותית ביותר עם רמת הבנה נדרשת.

הדוח לא צריך להיות סתם אוסף של תמונות, אלא עליו להיות נקי, מאורגן ומסודר היטב לפי שלבים בעבודה ומלווה בהסברים מתאימים על מנת להראות שיישמתם ולמדתם מהעבודה.

כמו כן, הדף הראשון בדוח יהיה נקי ויכלול רק את שם ומספר המטלה, שמות בני הזוג + מס ת"ז, מספר קבוצה ותאריך ההגשה.

בהצלחה!

חלק א' - הכרת ההתקנים

בסעיפים הבאים, עליכם להשתמש בהתקנים עם אורך מינימלי (ערך ה-Default שלהם הוא הערך המינימלי) ועם רוחב המחושב על פי הנוסחה הבאה: $W[nm] = 420 + (G \times 10)$.

1. בסעיף זה נלמד להפיק את ה-IV Curves של התקנים בסיסיים. ב-PDK ישנם מספר סוגי טרנזיסטורים המובדלים ביניהם בעיקר בערך מתח הסף שלהם. בנוסף לכך, ישנם טרנזיסטורים המיועדים למתחים גבוהים (טרנזיסטורי I/O) וטרנזיסטורי NMOS מסוג מחסור (Native VT).
! אם עבור טרנזיסטורים מסוימים ה-DC Sweeps מציג גרף לא אינפורמטיבי ויש לכם רעיון יותר טוב, אתם מתבקשים להוסיף את הגרף "הנכון" יותר ולהסביר מדוע יש צורך בסריקה של טווח מתחים שונה. רמז: אם זה כתוב, זה לא במקרה.

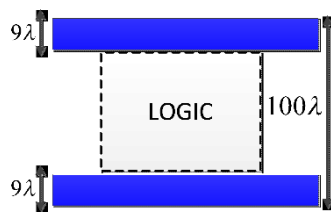
- צרו סכמה פשוטה, הכוללת טרנזיסטורי NMOS ו-PMOS מהסוגים הבאים:
pmos_33, nmos_33, pmos_18, nmos_18, nmos_native
- חברו מקורות מתח נפרדים להדקי G ו-D של הטרנזיסטורים וחברו את B ו-S ל-GND עבור NMOS ול-VDD עבור PMOS.
- הערה: Native NMOS מיועד למתחים של 1.8v, טרנזיסטורי xMOS_18 מיועדים למתח 1.8v וטרנזיסטורי xMOS_33 מיועדים למתח 3.3v.
- הריצו סימולציית DC Sweep על VDS בין 0 ל-VDD עם $|VGS|=VDD$ והציגו את זרם IDS של הטרנזיסטורים. יש להציג את הזרמים על שני גרפים – אחד של טרנזיסטורי NMOS ואחד של טרנזיסטורי PMOS (יש להשתמש בפונקציית Append של הגרפים).
- הריצו סימולציית DC Sweep על VGS בין 0 ל-VDD עם $|VDS|=VDD$ והציגו את זרם IDS של הטרנזיסטורים. יש להציג את הזרמים על שני גרפים – אחד של טרנזיסטורי NMOS ואחד של טרנזיסטורי PMOS.
- הסבירו את התוצאות. האם הן תואמות למה שציפיתם?
- חשבו את מתח הסף V_T של כל טרנזיסטור, הסבירו את שיקוליכם ורכזו את התוצאות בטבלה. אין להשתמש ב-OP או ב-Annotate לסעיף זה.

2. בסעיף זה, תמדדו את זרמי הזליגה העיקריים של הטרנזיסטורים.

- הריצו סימולציית DC Operating Point על ההתקנים של סעיף א' עם $V_{DS} = V_{DD}$ ועם מתח V_{GS} מתאים. הסבירו את שיקוליכם (העזרו במדריך המצורף במודל Analog Layout Notes סעיף 2).
- הדפיסו את זרמי הזליגה של הטרנזיסטורים בנקודת העבודה. ניתן לעשות זאת באמצעות המחשבון עם פקודות OP, או על ידי שימוש ב-Back Annotation (Test Editor) <- Results (Annotate) של נקודת העבודה לתוך הסכימה.
- מהם סדרי הגודל של זרמי הזליגה? מהו יחס ה- I_{on}/I_{off} של הטרנזיסטורים (בהסתמך על התוצאות שמצאתם בסעיף א')?
- מצאו את ה-Subthreshold Slope עבור כל אחד מההתקנים. הסבירו שיקוליכם.
- כעת הריצו DC Sweep על אותם התקנים, אך הפעם הריצו את VDS מ-0 עד VDD עם $VGS=0$. האם אתם מבחינים בתופעת ה-DIBL? הסבירו בקצרה.

חלק ב' – בניית מהפך**1. תכנון סכמתי של מהפך ובדיקתו:**

- 1.1 תכנון סכמה של מהפך ובצעו סימולציות על מנת לקבל מהפך אופטימלי כך ש: $V_m = \frac{V_{DD}}{2}$. מהי ה- β שהתקבלה?
- 1.2 הראו סימולציה בזמן שמראה את גל הכניסה מול גל המוצא בתדר 1MHz וקיבול מוצא של 100fF.
- 1.3 מדדו את ה- $T_{p_{LH}}$, $T_{p_{HL}}$. מהו ה- T_{pd} הכולל של המהפך? יש להכניס לדו"ח תיעוד של הדרך שבה מדדתם את כל הערכים. בין אם זה באמצעות סיגנל עליו מדדתם או באמצעות המחשבון.
- 1.4 שנו את קבל המוצא כך שתבחינו שה- T_{pd} גדל בצורה משמעותית (10%). מהו גודל הקבל שבו ראיתם את השינוי?
- 1.5 שנו את רוחב התעלה של ה-NMOS ל- $W[nm] = 420 + (G \times 10)$, ותדאגו לשמור על β זהה לביתוחים של סעיף 1.1 (יש לשמור על אורך תעלה L מינימלי). האם ההשגיה מסעיף 1.4 קטנה או לא? הסבירו בפירוט רב מאוד!

2. תכנון LAYOUT של מהפך ובדיקתו:**דגשים:**

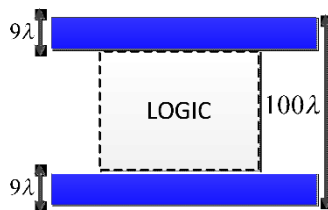
- עמידה ב-LVS, DRC ודרישות מהתכנון.
- שיתוף דיפוזיות ו-Well ככל הניתן על מנת לקבל Layout מינימלי.
- קווי אספקה ב-Metal 1 בעלי עובי של 9λ , כאשר $\lambda = 0.09\mu m$.
- גובה כול התא יהיה בדיוק 100λ , כולל קווי האספקה.
- יש להשתמש רק ב-M1.
- יישור קווי Metal ושאיפה לסימטריות ככל הניתן.

הקפידו להיעזר במדריכי העזר כדי להימנע מעבודה כפולה בסעיפים הבאים!

- 2.1 הסבירו מדוע יש לתכנן את התא בהתאם לאיור הנ"ל (ניתן לצרף איורים).
- 2.2 צרו סימבול עבור המהפך משאלה 1.1.
- 2.3 שרטטו Layout עבור התא.
- 2.4 וודאו שאין בעיות DRC למעט בעיות Coverage/Density.
- 2.5 בצעו LVS והכניסו לדוח את הפלט של הבדיקה אשר מאשר התאמה (סמיילי ירוק).
- 2.6 בצעו בדיקת PEX, וצרו קובץ Config. וודאו שהתא תקין ובצעו סימולציה לא משנה איזו על מנת לוודא שהוא פעול כהלכה.
- 2.7 בצעו את הסימולציות אשר ביצעתם בשאלה 1 עבור התא עם תוספת הפרזיטיקה, ערכו טבלה המשווה בין ערכי המהפך לפני ואחרי PEX. הסבירו את ההבדלים.
- 2.8 שנו את קבל המוצא כך שתבחינו שה- T_{pd} גדל בצורה משמעותית. מהו גודל הקבל שבו ראיתם את השינוי? האם זה הגיוני? הסבירו.
- 2.9 איזה קבל מוצא גדול יותר? זה של התא הסכמתי, או של התא שקיבלתם לאחר ה-PEX? הסבירו.

חלק ג' – בניית Buffer**1. תכנון סכמתי של התא וביקתו:**

- 1.1 תכנון 2 סכמות של התא, כאשר סכמה אחת ממומשת ע"י טרנזיסטורים בלבד והסכמה השנייה ממומשת באמצעות המהפכים שיצרתם בסעיף הקודם (השתמשו ב- β המתאימה לרוחב שער של $W[nm] = 420$).
- 1.2 צרו סימבולים ברי הבדלה לכל אחד מהתאים הנ"ל.
- 1.3 הראו סימולציה בזמן שמראה את גל הכניסה מול גל המוצא בתדר 1MHz וקיבול מוצא של 100fF.
- 1.4 העריכו מה יהיה ה- T_{pd} של התאים מבלי להריץ סימולציות. הסבירו שיקולים.
- 1.5 חשבו T_{pd} של התאים. האם צדקתם בהערכתם? (זה בסדר אם לא) הסבירו. יש להכניס לדו"ח תיעוד של הדרך שבה מדדתם את כל הערכים. בין אם זה באמצעות סיגנל עליו מדדתם או באמצעות המחשבון.

2. תכנון LAYOUT של התא וביקתו:**דגשים:**

- עמידה ב-LVS, DRC ודרישות מהתכנון.
- שיתוף דיפוזיות ו-Well ככל הניתן על מנת לקבל Layout מינימלי.
- קווי אספקה ב-Metal 1 בעלי עובי של 9λ, כאשר $\lambda = 0.09\mu m$.
- גובה כול התא יהיה בדיוק 100λ, כולל קווי האספקה.
- יישור קווי Metal ושאיפה לסימטריות ככל הניתן.

הקפידו להיעזר במדריכי העזר כדי להימנע מעבודה כפולה בסעיפים הבאים!

- 2.1 שרטטו Layout עבור התאים.
- 2.2 וודאו שאין בעיות DRC למעט בעיות Coverage/Density.
- 2.3 בצעו LVS והכניסו לדוח את הפלט של הבדיקה אשר מאשר התאמה (סמיילי ירוק).
- 2.4 בצעו בדיקת PEX, וצרו קובץ config. וודאו שהתאים תקינים ובצעו סימולציה לא משנה איזו על מנת לוודא שהם פועלים כהלכה.
- 2.5 בצעו את הסימולציות אשר ביצעתם בשאלה 1 עבור התאים עם תוספת הפרזיטיקה, ערכו טבלה המשווה בין ערכי התאים לפני ואחרי PEX. הסבירו את ההבדלים.
- 2.6 מה הם המינוחים המדויקים לשיטות מימוש ה-LAYOUT השונות שביצעתם ב-2 התאים הללו? הסבירו בקצרה את ה-Trade-Offs השונים בין התאים שיצרתם לאור שיטות המימוש.