מבוא לתכנון VLSI

<u>מטלה 1</u>

<u>זוג 22</u>

מגישים: יעקב קוזמינסקי 205888036 , זהר שורק 205888035

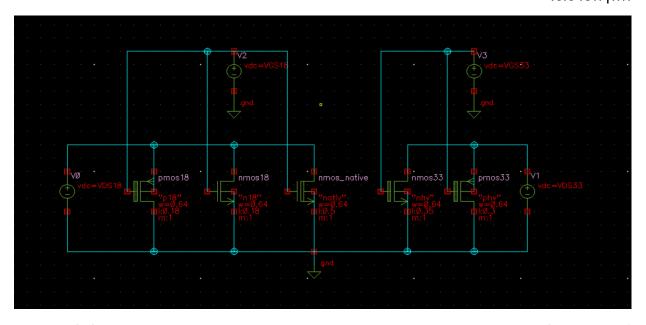
<u>תאריך הגשה : 23.4.23</u>

(דיברנו על הארכה שאושרה בלל שעות קבלה אבל בסוף הסתדרנו)

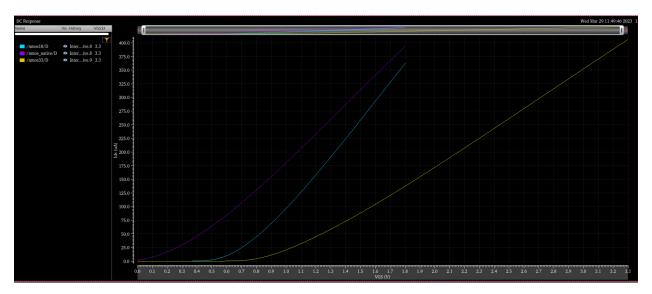
חלק א' – הכרת ההתקנים

הנחיה. לפי ההנחיה לפי ההנחיה, לפי ההנחיה להיות הטרנזיסטור הטרנזיסטור לפי ההנחיה.

שרטטנו על סכמה אחת את כל הרכיבים כאשר בכל מדידה קבענו מקור מתח אחר שישתנה לפי הנדרש. להלן השרטוט:



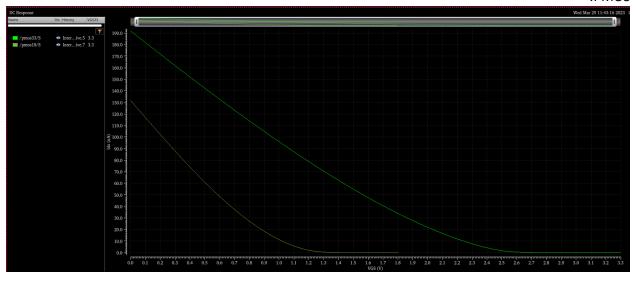
1. הרצנו סימולציית DC SWEEP כך שמדדנו את מתח ה VGS עבור ה NMOS וה - PMOS בנפרד, להלן הגרפים: NMOS:



ראשית, נשים לב שהטרנז' "הסגול" הוא מסוג מחסור ולכן הוא תמיד פחות וזורם בו זרם. ראשית, נשים לב שהטרנז' "מסגול" באזור V_T המקובל.

VGS < VDS = VDD והתנהגות הזרם תהיה במצב רוויה שכן

:PMOS

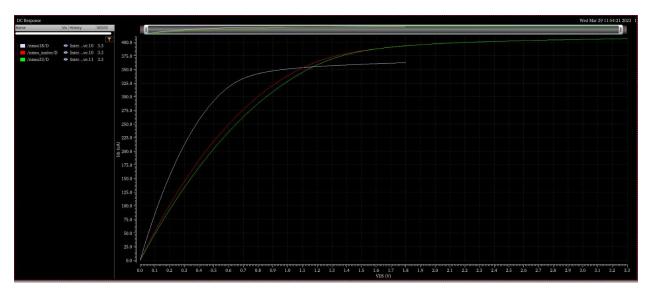


התוצאות שקיבלנו עבור 2 הגרפים אכן הגיוניות, קיבלנו זרם בסד"ג הגיוני.

בנוסף לשים לב פה בPMOS שהזרם ירד ככל שנעלה את מתח הG , מה שמתסדר עם מה שלמדנו כי הטרנ' נסגר.

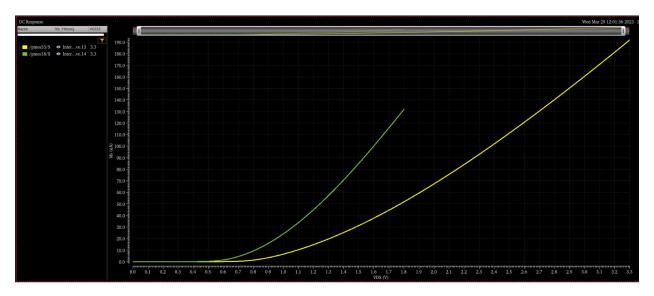
VDS כעת נריץ סימולציות DC כאשר קיבענו את גריץ סימולציות סימולציות

:NMOS



פה ניתן לראות את ההתנהגות של הטרנ' במעבר בין מצבים של לינארי ורוויה וכן רואים שהטר' תמיד מוליך כי קיבענו V_T שהוא גדול מ V_T .

:PMOS



זהו הגרף שבו היינו צריכים לשנות את הנתונים כמו שנכתב ברמז של העבודה!

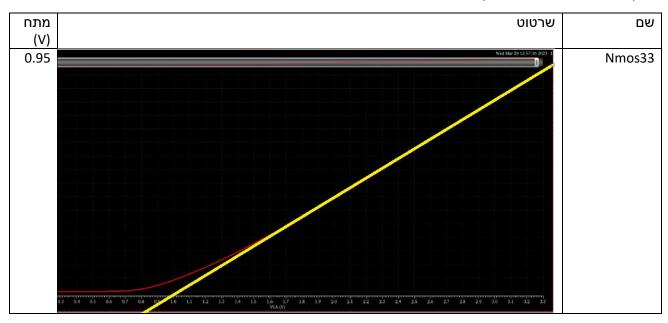
כאשר מה בהתחלה היה זרם בסד"ג של פיקו PMOS - כאשר VGS = VDD מה שקורה הוא שה PMOS - מה שקורה הוא שה אמפרים!

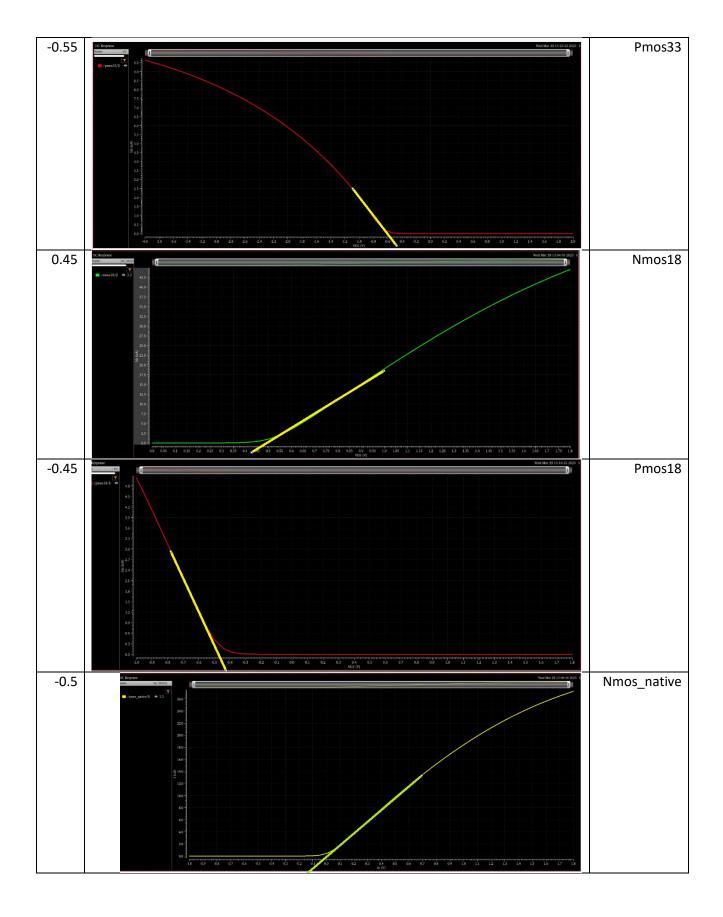
לכן, נשנה את ה VGS להיות V0, כך הטרנ' פתוח ולכן נקבל התנהגות של זרם בסד"ג הגיוני.

<u>חישוב VT:</u>

$$I_d = k \left[(V_{gs} - V_t) V_{ds} - 0.5 V_{ds}^2 \right] \propto V_{gs} - V_t$$

כדי לחשב את V_T נשים מתח VDS מאד קטן (50mV), כך נוכל לקבל קירוב טוב עבור הזרם, ע"י קירוב לינארי:





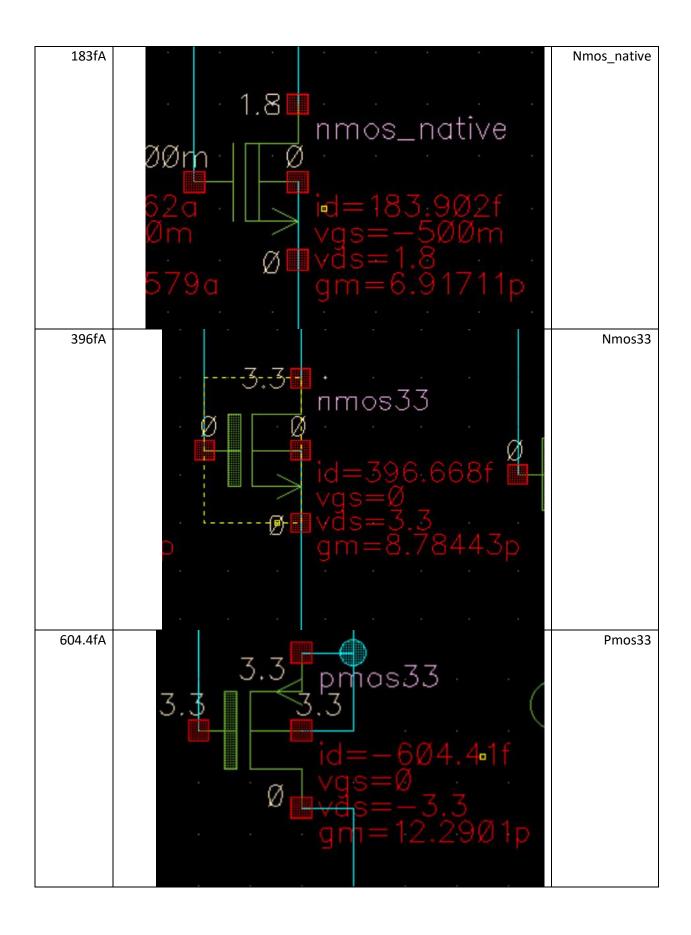
נבחר את VGS כך שהטרנ' יהיה בקטעון. כך נוכל למדוד זרמי זליגה

. 0 ועבור הPMOSים נשים מתח VDD ועבור הPMOSים נשים 0

נוסיף פה את התמונות של כל טרנזיסטור בנפרד עבור המתח המתאים עבורו הוא יהיה בקטעון.

נקודה חשובה היא שהיינו יכולים להסתפק במתח VT עבור NMOSים ו vdd-vt עבור PMOSים, את ערכיהם חישבנו בסעיף הקודם. אך גם לשים ערכים גדולים מהם בער מוחלט אמור לעבוד. המ שכן, עבור הטרנ' מחסור שמנו בדיוק את הVT המחושב מסעיף קודם. נצפה שהזרמים יהיו בסד"ג משמעותית קטנים יותר מהזרמים הפעילים(אשר היו במיקרואים) , ולכן זה שקיבלנו זרמי זליגה בפיקואים או פמטואים זה הגיוני(היחס הוא 6-8 סדרי גודל), להלן תוצאות המדידה:

Ids	תמונה	שם
2.8pA	1.8 pmos18 1.8 1.8 1.8 1.8 1.8 1.8 1.8 1.8 1.8 1.8	Pmos18
1.8pA	1.8 nmos 18 Ø Ø id=1.81333p vgs=Ø vds=1.8 gm=58.8542p	Nmos18



עבור PMOS. במדידה או איין את ההגדרה בחוברת בה רשום שזרם הקטעון נמדד ב -VT או VT- אציין את ההגדרה בחוברת בה רשום שזרם הקטעון נמדד ב עבור μA בודדים וזה גם הגיוני שכן יש רציפות זרם ב"סגירת" הטרנזיסטור להולכה.

$$I_{off}[nA] = 100 rac{W}{L} 10^{-rac{V_T}{S}}$$
י ניקבל :

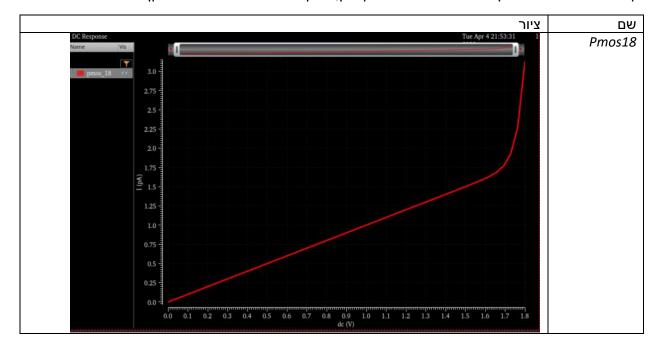
$$S = \frac{-V_T}{ln_{10}(\frac{L}{W*100}I_{off})}$$

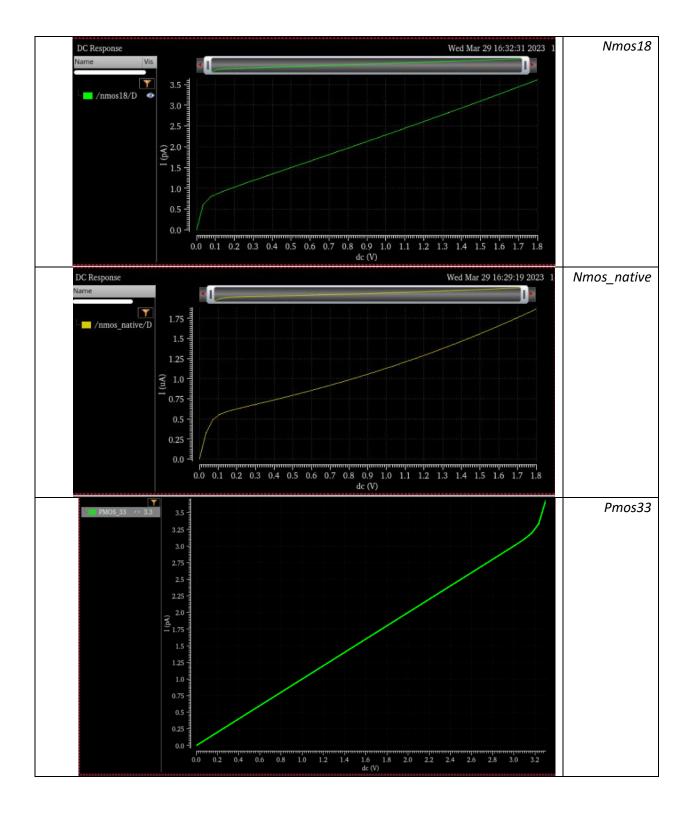
את גדלי הטרז' אנו יודעים ולכן נוכל לחשב את ה S עבור כל רכיב:

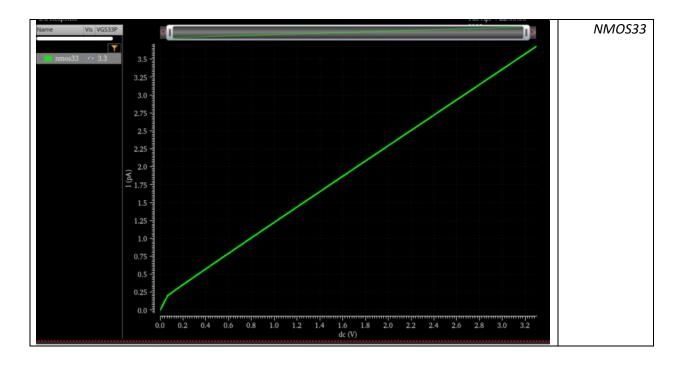
S	IOFF	L	W	VT	שם
-0.013m	2.8pA	0.18n	0.64n	-0.45V	Pmos18
0.0135m	1.8pA	0.18n	0.64n	0.45V	Nmos18
0.0146m	183fA	0.5n	0.64n	-0.5V	Nmos_native
-0.028m	396fA	.35n	0.64n	0.95V	Nmos33
0.0164m	604.4fA	0.3n	0.64n	-0.55V	Pmos33

נריץ DC SWEEP על ההתקנים ונרצה לזהות את תופעת ה

.VDS נקבע את מתח ה - VGS כך שהטרנזיסטור יהיה בקטעון, ונרוץ מ0 עד VDD עבור כל התקן בהתאמה על ה



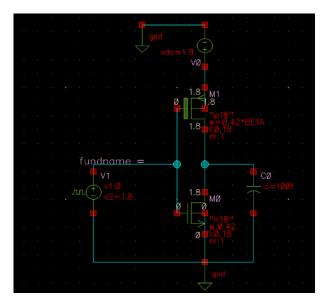


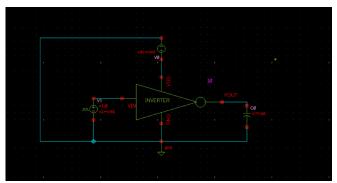


נראה שאכן ניתן לשים לב לתופעת הDIBL שכן ככל שמתח ה VDS עולה כך עולה הזרם. שכן במתח 0 זרם הזליגה אפסי, וככל שהמתח עלה, כך גם זרם הזליגה.

חלק ב' – בניית מהפך

יצרנו מהפך וחיברנו אליו קבלים, מקורות ואדמה ולארח מכן גם הפכו אותו לסימבול עם אותם מקורות:

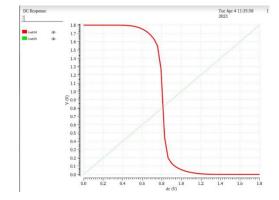


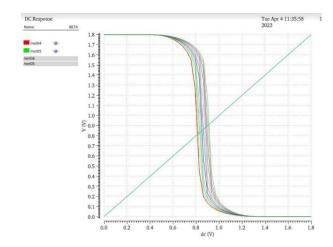


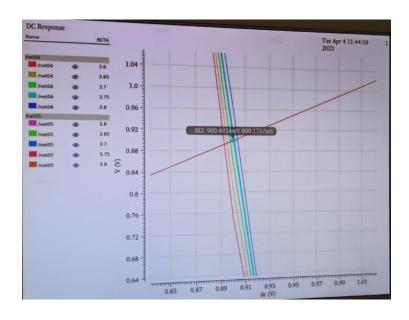
הרצנו סימולציה DC SWEEP על מתח הכניסה וצפינו על מתח הרצנו סימולציה המוצא:

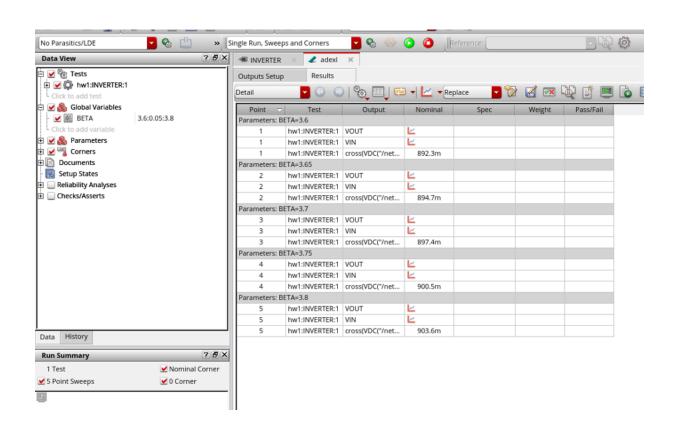
לאחר מכן, רצינו להגיע ל - β כזו שתאפשר א $^{\prime\prime}$, $V_M=\frac{VDD}{2}$ כמו מהפך אידיאלי. כמו מהפך אידיאלי.

סרקנו על ערכי בטא וקיבלנו עבור 3.75 eta מוצא כפי שהתבקשנו:

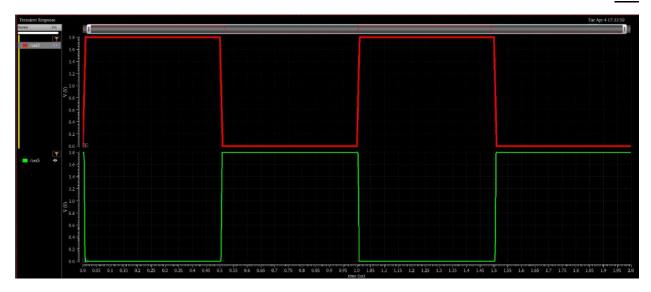






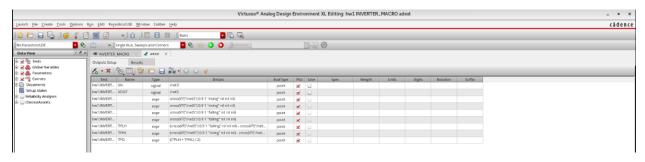


:1.2



<u>:1.3</u>

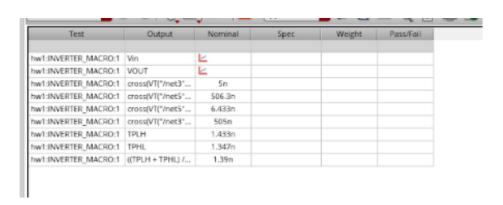
נראה את הדרך בה מדדנו את זמן הפעפוע:



בעזרת שימוש במחשבון של התוכנה חישבנו הפרש זמנים בין עלייה לירידה במוצא ובכניסה בהתאמה עבור מתח של 50%.

מכאן קיבלנו את ה TPLH ו TPD , ואת TPD חישבנו ממיצוע הערכים.

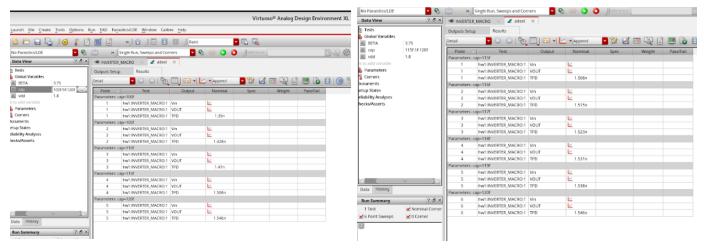
להלן החישוב:



:1.4

.TPD - ב 10% איז לראות גידול של 10fF - הרצנו סריקה על קבל המוצא בטווח הערכים - $120\,fF$

לאחר מכן סרקנו בתחום מצומצם יותר בכדי למצוא נקודות יותר מדויקות:



118fF וכן מצאנו כי גודלו של הקבל הוא

<u>:1.5</u>

כאן שינינו את רוחב התעלה של הNMOS , כמו כן הגדלנו את רוחב תעלת הPMOS כדי לשמור על β זהה לניתוחים הקודמים!

(שמרנו את אותו גודל קבל כדי להשוות עם אותו עומס שהרכיב "דוחף")

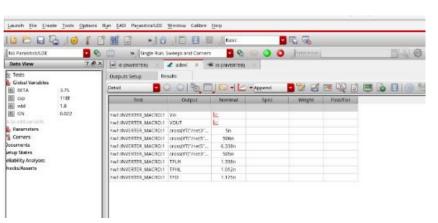
ביצענו מדידת TPD באותה דרך וקיבלנו תוצאה טובה יותר מאשר הסעיף הקודם.

וזאת מכיוון שככל שרוחב הטרנז' גדול

יותר- כך ההתנגדות קטנה יותר- ולכן הזרם גדל משמעותית!

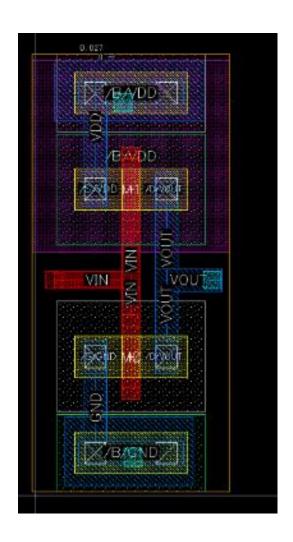
<u>:2.1</u>

נתכנן בהתאם לציור, כיון שזו התבנית שלפיה הFAB יודע לייצר. ועלינו לשמור על החוקים שלו כדי שהחיבור המערכת ללוגיקות נוספות תשמר פעילות תקינה. הרעיון הוא לשמור על גובה זהה לכל התאים וכך נוכל לחבר תא על תא כמין "לגו", כאשר חוסר קוהרנטיות בגובה יפגע לנו בחיבוריות ותפקוד המעגל.



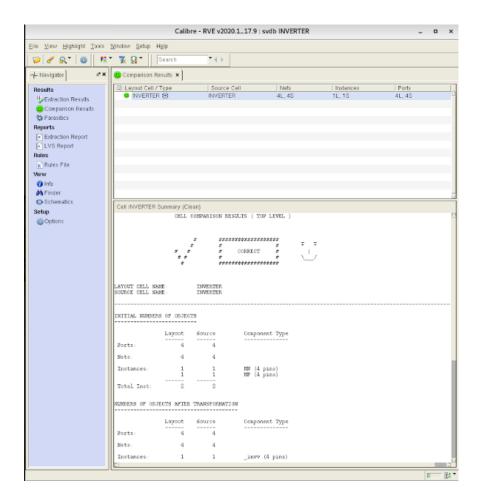
את הסימבול כבר הצגנו בסעיף 1.2





 $\frac{2.4}{\text{COVRAGE}}$ שעברה תקינה עד כדי DRC, שעברה להלן צילום בדיקת

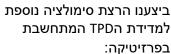




:2.5

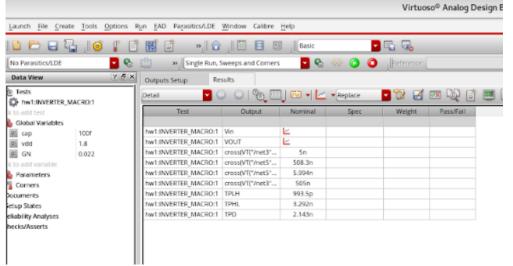
פמיילי ירוק 🥴 LVS, עם סמיילי ירוק

בצענו בדיקת PEX וטענו את קובץ ה CONFIG שלו לתוך התא של התוכנית.



קיבלנו TPD גדול יותר מאשר בהרצה ללא הפרזיטיקות.

הדבר הגיוני, משום שיש קיבולים נוספים במעגל אותם אנו פורקים וטוענים. ועל כל זמן הפעפוע עולה



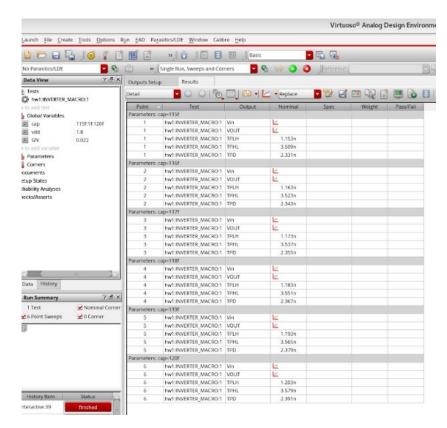
:2.8

כאן סרקנו את קבל המוצא כדי למצוא ערך TPD הגדול ב10% מזה של הסעיף הקודם.

מהסריקה עולה שגודל הקבל הוא נראה שינוי הוא 118f.

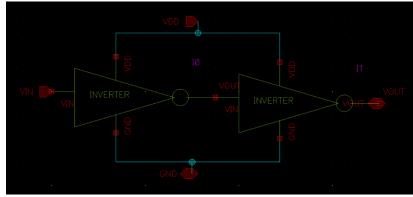
:2.9

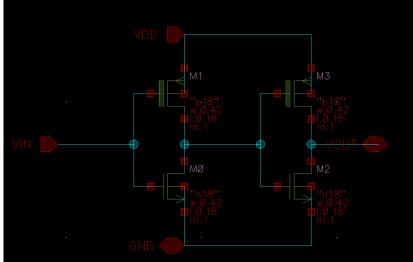
נראה שגודל הקבל זהה להרצה ללא הפרזיטיקות. ניתן להניח שזאת מכיוון שהקבלים הפרזיטים קטנים משמעותית מקבל העומס ולכן אמנם משפיעים על זמן הפעפוע, אבל לא משפיעים מספיק כדי לשנות את גודל העומס.

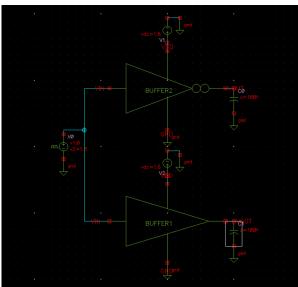


<u>חלק ג' – בניית באפר</u>

נתכנן 2 סכמות של באפרים כאשר אחת מבוססת טרנזיסטורים בלבד והשנייה מבוססת על המהפך מהסעיף אחרון. נייצר סימבולים מתאימים (ושונים בנראות) עבור כל אחד מהם, ונשים אותם על TB יחיד כדי להריץ סימולציות לסעיפים הבאים:







1.3: נריץ סימולציה עבור הערכים הנתונים ונציג את היציאות של כל אחד מהבאפרים כתלות בכניסה:



תוצאה הגיונית, שכן נראה שהבאפר "מתקן" את אות הכניסה שנע בין 0 ל VDD, ומייצר גל ריבועי יותר מושלם.

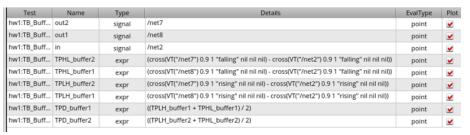
:1.4

ננחש ניחוש טריוויאלי- שכן בהשוואה עם סעיף 1.2 בחלק העבודה הקודם בו הTPD חושב עבור קבל זהה של ננחש ניחוש טריוויאלי- שכן בהשוואה עם סעיף 1.2 בחלק בחלק יש לנו 2 רכיבים משורשרים- ונסכום את הTPD-ים שלהם. 100 fF

:1.5

טעינו בהערכתנו, דווקא קיבלנו שהTPD קטן פי בערך 2 מהניסוי הקודם. כעת ה tpd יצא TPD לעומת 1.39n שיצא עבור מהפך יחיד.

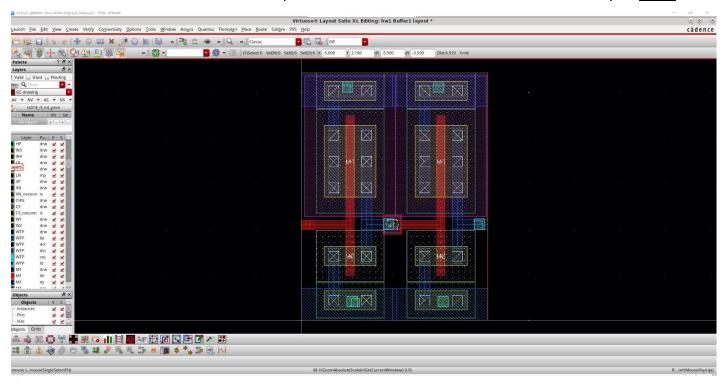
נוכל להסביר זאת ע"י אופטימיזציה של דחיפת עומסים – שכן לפעמים עדיף להוסיף רכיב וכך הזמן יקטן. נוכל להבין זאת בכך שהמהפך השני בבאפר דוחף אותו עומס כמו המהפך היחיד, אך כעת- קיבול הכניסה שלו גדול יותר! שכן מחובר לו בכניסה לא Cin אלא הוא "מרגיש" קיבול של מהפך מלא! ולכן יחס הקיבולים ישתנה ויגרום להורדת זמן הפעפוע. להלן החישוב של הTPD, עבורו השתמשנו במחשבון:



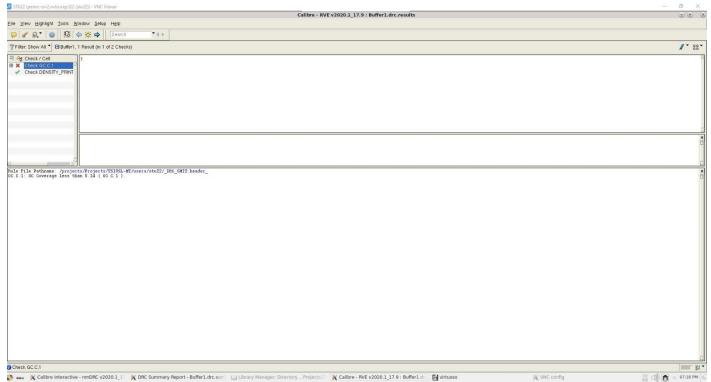
Test	Output	Nominal	Spec	Weight	Pass/Fail
hw1:TB_Buffers:1	out2	<u>~</u>			
hw1:TB_Buffers:1	out1	<u>L</u>			
hw1:TB_Buffers:1	in	<u>L</u>			
hw1:TB_Buffers:1	TPHL_buffer2	763.1p			
hw1:TB_Buffers:1	TPHL_buffer1	763.1p			
hw1:TB_Buffers:1	TPLH_buffer2	677.6p			
hw1:TB_Buffers:1	TPLH_buffer1	677.7p			
hw1:TB_Buffers:1	TPD_buffer1	720.4p			
hw1:TB_Buffers:1	TPD_buffer2	720.4p			

2. תכנון LAYOUT של התא ובדיקתו:

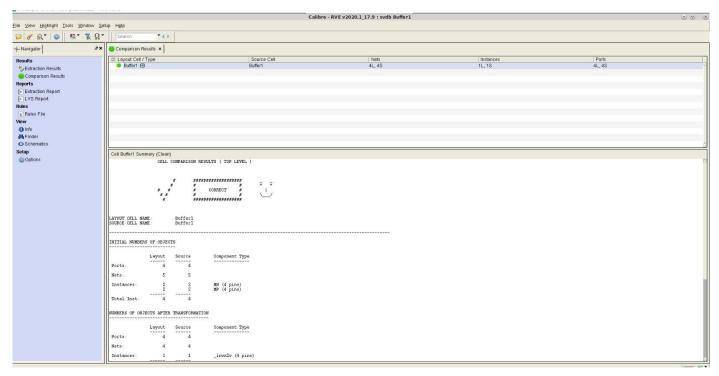
:BUFFER1 של ה= LAYOUT של ה= BUFFER המבוסס שני מהפכים, לו קראנו BUFFER1:



: COVRAGE שעברה תקינה עד כדי DRC, שעברה בדיקת 2.2.1



2.3.<u>1:</u> להלן LVS, עם סמיילי ירוק

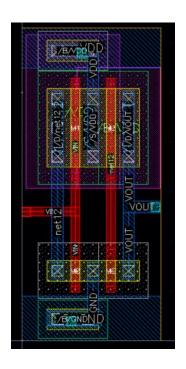


ביצענו בדיקת PEX וטענו את קובץ ה CONFIG שלו לתוך התא של התוכנית.



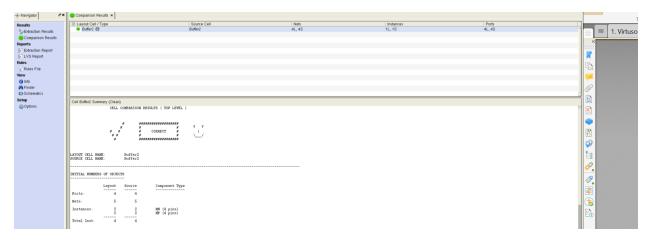
הרצנו סימולציה וראינו שהיא עובדת.

:BUFFER2 של ה= LAYOUT – מבוסס טרנזיסטורים בלבד, לו קראנו BUFFER2 ב... להלן

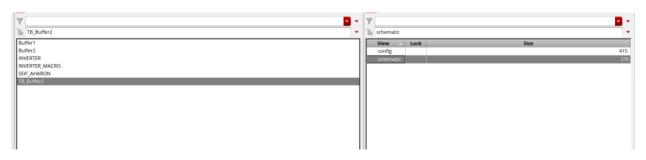




2.3.2: להלן LVS, עם סמיילי ירוק 😊



2.4.2: ביצענו בדיקת PEX וטענו את קובץ ה CONFIG שלו לתוך התא של התוכנית.נוצר לנו קובץ הקונפיג והרצנו סימולציה שרירותית לראות שהכל עובד.



2<u>.5</u> חישוב זמני הTPD של הבאפרים עם הפרזיטיקות: חישבנו אותן באותה דרך בעזרת המחשבון כמו בסעיף ללא הפרזיטיקות וקיבלנו:

באפר2- הממומש ע"י 4 טרנזיסטורים עם פרזיטיקות:

Test	Output	Nominal	Spec	Weight	Pass/Fail
hw1:TB_Buffer2:1	TPLH	715.7p			
hw1:TB_Buffer2:1	TPHL	799.4p			
hw1:TB_Buffer2:1	TPD	757.5p			

כאשר ללא פרזיטיקות קיבלנו:

763.1p	TPHL
677.7 p	TPLH
720.4p	TPD

באפר 1- הממושי ע"י 2 מהפכים, עם פרזיטיקות:

Test	Output	Nominal	Spec
hw1:TB_Buffer1:1	TPHL	791.2p	
hw1:TB_Buffer1:1	TPLH	707.3p	
hw1:TB_Buffer1:1	TPD	749.3p	

כאשר ללא פרזיטיקות קיבלנו:

763.1p	TPHL
677.7 p	TPLH
720.4p	TPD

אם כן, בהתאם לציפייה קיבלנו שהפרזיטיקות מאטות בקצת את זמן העבודה של המערכת . כיון שיש עוד קיבולים פרזיטים הנפרקים או נטענים.

:2.6

בחלק זה של העבודה השתמשנו ב2 שיטות: האחת- בה בנינו את הבאפר ע"י הטרנזיסטורים היא Pull Custom בחלק זה של העבודה השתמשנו ב2 שיטות: האחת- בה בנינו את הבאפר השני בנינו בשיטה הנקראת Design.

הטריידאופים של שיטות אלו הן כי בשיטה בה בנינו ע"י טרנזיסטורים- מכייון שירדנו יורד לרמת המיקרו- קיבלו חסכון של מקום וככה נוכל עבור רכיבים מסובכים יותר לדחוס יותר לוגיקה על DIE יחיד, אך נשקיע יותר זמן עבודה אנושי בחיווט ועבודה על התוכנה.

ע"י השיטה השניה נוכל לחסוך את זמן העבודה- שכן התוכנה מיבאת עצמה את הרכיבים כמעט לגמרי "מחווטים" אך כמובן שעל הדרך נאבד אופטימליות של מקום ואפילו זמן ריצה.