

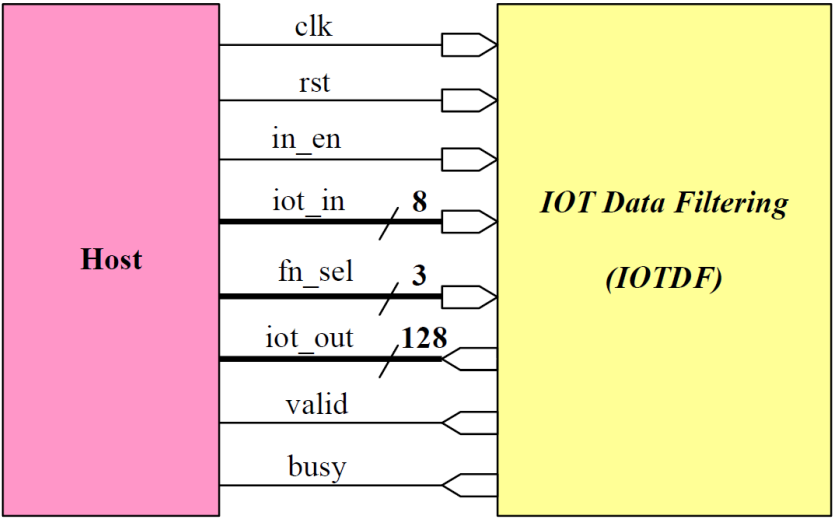
2024 ICD HW4 - APR

IoT Data Filtering

問題描述

經過 HW3 - Synthesis 的練習後，我們已經以 verilog 做出 IoT Data Filtering 的 Gate Level 版本，接著在 HW4 的作業中，我們將會把 Gate Level 經由 Innovus 來將 Gate Level 轉至 Transistor Level，此過程稱為 APR(automatic place & route)。

系統方塊圖

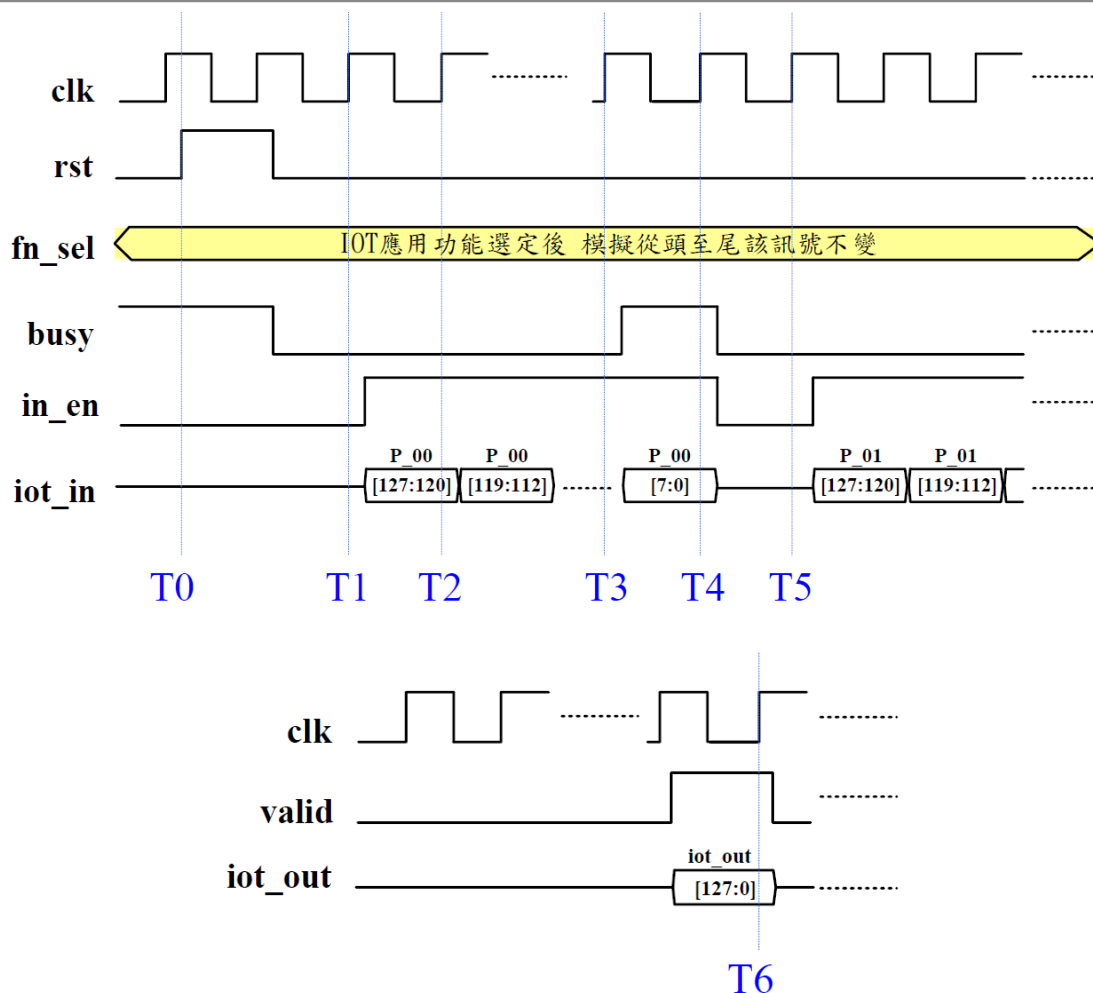


輸入/輸出介面

信號名稱	輸入/出	位元寬度	說明
clk	I	1	時脈信號，本系統為同步於時脈正緣設計。
rst	I	1	高位準非同步(active high asynchronous)之系統重製訊號。
in_en	I	1	當busy訊號為low, in_en訊號會被置為high以獲取新數據。反之，當busy訊號為high, in_en訊號會被置為low。當所有資料輸入完畢後，該訊號到模擬結束前將永遠被維持在low。
iot_in	I	8	Host端會透過此匯流排將每筆128bits資料，每次以8bits作輸入，共計16個Cycles後即可送完一筆資料。本次作業共有60筆資料。

fn_sel	I	3	本次作業有二種應用功能，透過此訊號可做為二種功能的切換，每次模擬只會固定選擇某一種功能，模擬過程中不會任意切換另一種功能。
iot_out	O	128	IOTDF電路會透過此匯流排將運算結果輸出至Host端，每次以128bits直接輸出(僅需花1個Cycle時間)。
busy	O	1	其動作已描述於in_en說明處。
valid	O	1	當valid訊號為high時，表示目前輸出的iot_out資料為有效的輸出。反之，則輸出low。

系統功能描述



1. T0 ~ T1 時間點, IOTDF 電路初始化。
2. T1時間點, Host端判斷busy訊號為low, 隨即in_en拉為high, 同時輸入IoT Data P_00[127:120] 這區間的資料。

3. T2 時間點, Host 端判斷 busy 訊號為 low, in_en 繼續維持 high, 繼續輸入 IoT Data 下一個區間 P_00[119:112]的資料, T1~T2 這區間即為連續資料輸入的範例。
4. T3 時間點, Host 端判斷 busy 訊號依舊為 low, in_en 繼續維持 high, 繼續輸入 IoT Data 最後一個區間 P_00[7:0]的資料。
5. T4 時間點, Host 端判斷 busy 訊號為 high, 隨即 in_en 為 low, IoT Data 此時輸入為 0, 表示 暫停資料輸入。
6. T1~T4 這區間為輸入完整 1 筆 IoT Data 的範例, 共計花費 16 個 Cycles, 這過程中若有需要暫停輸入, 可以自行將 busy 訊號拉為 high。
7. T5時間點以後, 請自行重覆T1 ~ T4動作之行為, 即可讓Host端繼續輸入下一筆IoT Data P_01 的資料。
8. T6 時間點, 當 IOTDF 電路運算過程需要作輸出時, 請自行將 valid 訊號拉為 high, 同時將欲輸出值透過 iot_out[127:0]直接輸出即可。

本電路之兩個Functions是透過fn_sel訊號作選擇, 其對照如下表:

	fn_sel	功能	說明
F1	3'b001	Gray2Bin(N)	將每筆資料Gray code轉換為Binary code
F2	3'b010	FIR(N)	將每筆資料分別以FIR濾波器做處理

檔案說明

資料夾	檔案	說明
00_TESTBED	tb_apr.v	測試樣本檔
00_TESTBED/pattern1_data	pattern1.dat	模擬時輸入的60筆IoT Data, 2種functions皆使用同一組測試樣本
00_TESTBED/pattern1_data	f1.dat~f2.dat	作為模擬時, 2種functions的輸出值與標準解答作比對
01_RTL	IOTDF.v	請同學沿用HW2/HW3的檔案。如有需要, 可以自行修改
03_APR/syn	IOTDF_syn.v	請同學沿用HW3的檔案。如有需要, 可以自行修改
03_APR/syn	IOTDF_syn.sdf	請同學沿用HW3的檔案。如有需要, 可以自行修改
03_APR/syn	tsmc13_neg.enc	Transistor level simulation 所使用的 process file(已加密)

03_APR/syn	apr_03.f	本作業會使用的各種檔案路徑, 若有新增.v檔的話, 必須將路徑加入此檔案
03_APR/layout	*	APR 用的檔案, 請勿更改(IOTDF_apr.sdc除外, 詳見Appendix)
03_APR/library	*	APR 用的檔案, 請勿更改
.	report.docx	report template, 記錄 APR過程用 完成後請轉成 pdf 並將檔名取為 bxx901xxx_report.pdf
.	innovus.cshrc	設定innovus所需的環境變數
	design.spec	填寫各個階段的資訊, 會依據填寫 cycle time 來執行 testbench 。單位請和檔案一致。

APR指令

➤ 資料準備

```
unzip ICD_HW4.zip
cd ICD_HW4/03_APR/syn
openssl enc -d -aes-256-cbc -in tsmc13_neg.enc -out tsmc13_neg.v -pass pass:[HW4
password]
cd ../..
```

最後, 將作業三的IOTDF_syn.v和IOTDF_syn.sdf放在ICD_HW4/03_APR/syn此子目錄下。

➤ 使用 innovus 指令如下:

```
source /usr/cad/innovus/CIC/license.cshrc
source innovus.cshrc
innovus
```

其餘步驟請參考 Week5 的講義 20240319_Innovus.pdf

➤ 使用 vcs 模擬指令範例如下:

```
vcs -f apr_03.f -full64 -R +neg_tchk +maxdelays -debug_access+all +v2k
+define+p1+F1+APR
```

註: 本次作業有2組測試樣本及2種functions, 請自行使用+define+p1+F1、
+define+p1+F2、+define+p2+F1、+define+p2+F2參數作切換

模擬結果

若模擬結果都正確的話，應該可以看到如下圖的結果。

- 模擬結果正確

```
-----  
Congratulations! All data have been generated successfully!  
Total cost time: 12030.00 ns  
-----PASS-----
```

- 有錯誤時，則會出現

```
-----  
Final Simulation Result as below:  
-----  
Pass: 0  
Error: 60  
-----
```

- 模擬時間超過End_CYCLE

```
-----  
Error!!! There is something wrong with your code ...!  
-----The test result is .....FAIL -----  
-----
```

作業要求

1. 通過全部的testbench的Transistor Level 模擬。
2. 繳交檔案如下: HW3_b**901***.zip
請將檔案打包進 HW3_b**901*** 資料夾再進行zip壓縮
參考指令如下:

```
zip -r HW3_b**901***.zip HW3_b**901***/
```
3. 請檢查交上來的壓縮檔內 HW3_b**901*** 資料夾中含以下檔案，檔案格式、資料夾階層或命名方式與規定不同將本次作業成績扣10分。
 - 檔案和路徑

```

HW4_b**901***.zip
└─>HW4_b**901***
    └─>IOTDF.v
        └─>IOTDF_syn.v
            └─>IOTDF_apr.v
                └─>IOTDF_apr.sdf
                    └─>summaryReport.rpt
                        └─>bxx901xxx_report.pdf
                            └─>design.spec

```

➤ 繳交檔案說明

分類	檔案名稱
RTL	IOTDF.v
SYN	IOTDF_syn.v
APR	IOTDF_apr.v
APR	IOTDF_apr.sdf
APR	summaryReport.rpt
report	bxx901xxx_report.pdf
spec	design.spec

繳交期限

[HW4] 5/07 14:20 以前上傳至 NTU cool,不接受遲交

同學如果有任何問題,請先盡量在討論區發問。如果要寄 email,請同時寄給兩位助教,記得在信件前加 [積體電路設計] 避免漏信。

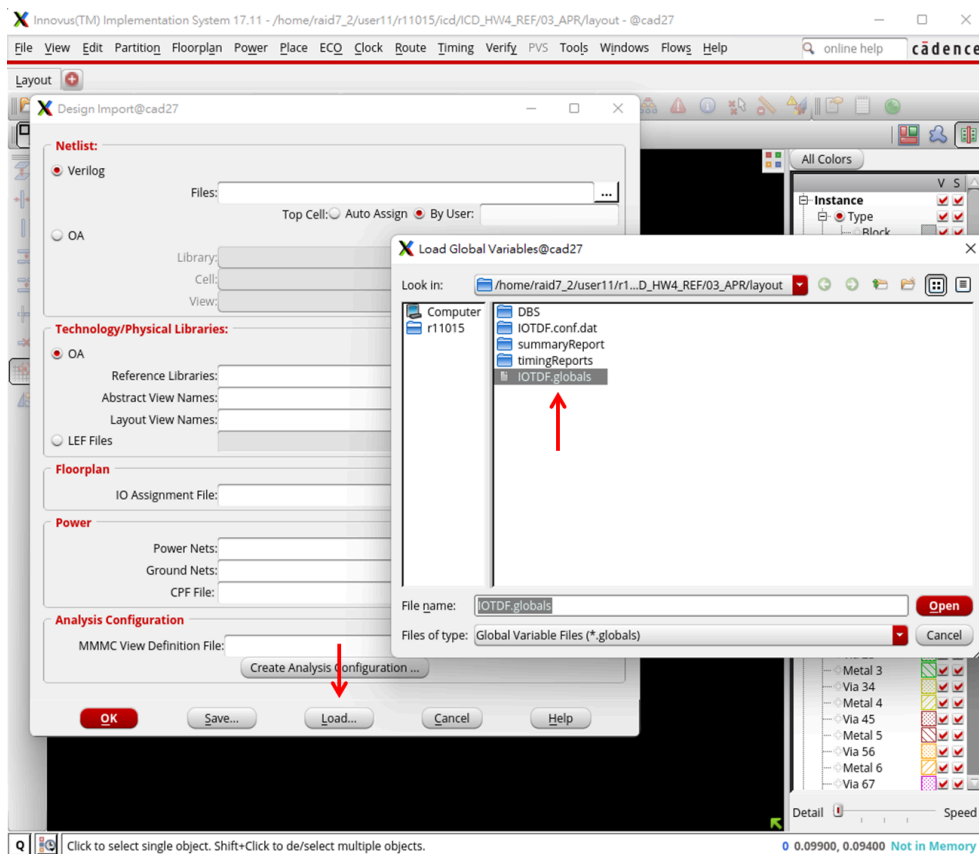
助教 林克帆 r11943131@ntu.edu.tw

助教 謝承恩 r11943015@ntu.edu.tw

Appendix:

- 使用./03_APR/layout/IOTDF.globals的方法(innovus講義第六頁)

File → Import Design → Load



➤ IOTDF_apr.sdc: cycle可改，其餘勿動。

```
ICD_HW4 > 03_APR > layout > IOTDF_apr.sdc
1  # You can only modify clock period
2  set cycle 10
```

如有更動，tb_apr.v中的CYCLE需要同步更動

```
ICD_HW4 > 00_TESTBED > tb_apr.v
1  `timescale 1ns/10ps
2  `define CYCLE      10.0           //Modify your CYCLE
3  `define DEL        1.0           //Input latency (do not modify)
4  `define PAT_NUM     60
5  `define End_CYCLE  1000000
6
```