

Rapport mini projet en électronique numérique

Réalisation d'une calculette en VHDL



*Réalisé par : Mohamet Cherif FAYE , Dimitris KOKKONIS , Kristian HARGE
et Ayoub SABRI*

Encadré par :Monsieur Andrea PINNA et Monsieur DUBOIS

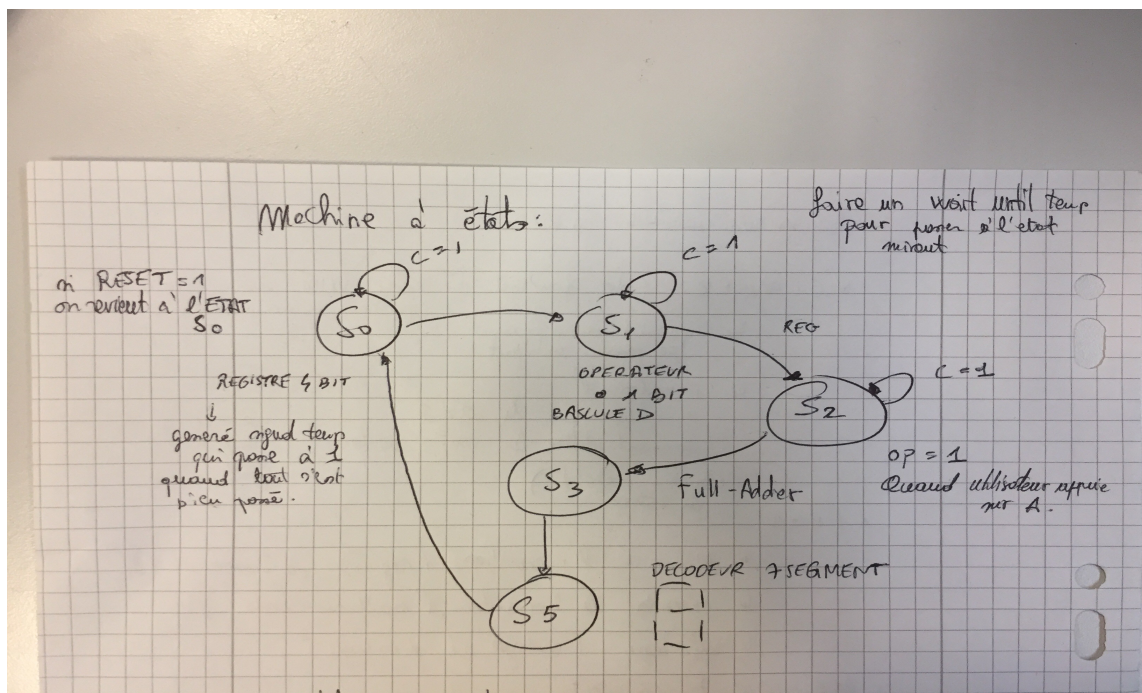
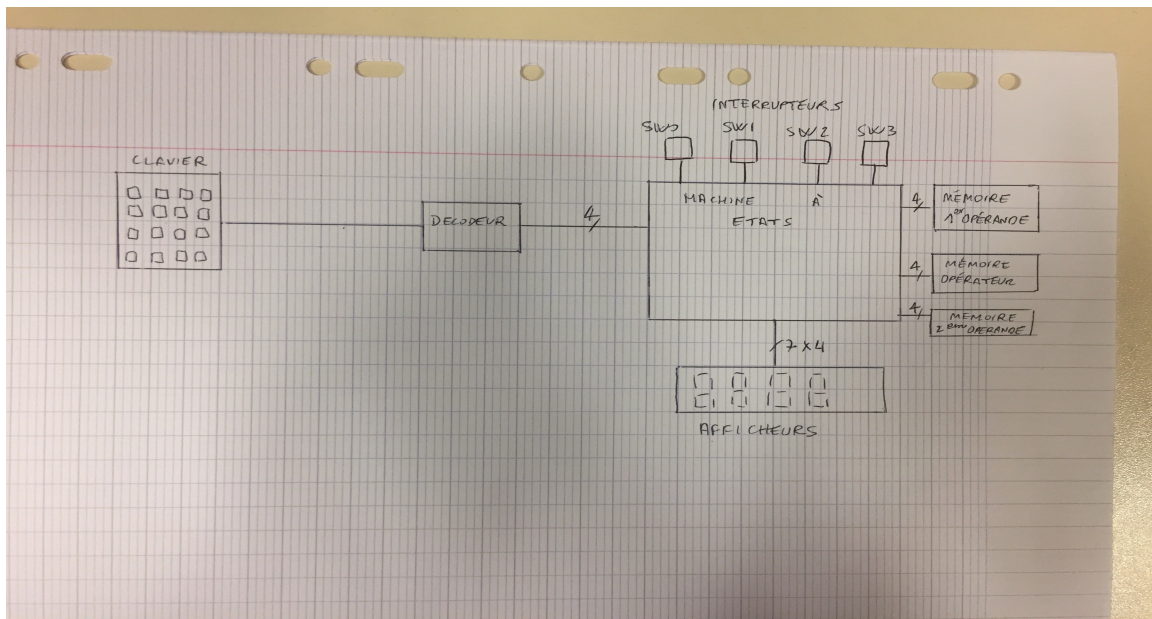
Année 2017-2018

Introduction

Dans le cadre de notre apprentissage en électronique , notamment en électronique numérique , on devait réaliser un projet consistant à mettre en place une calculatrice en VHDL, afin d'avoir une meilleure appréhension du langage VHDL ainsi que de ses multiples fonctions.

ARCHITECTURE DE DEPART :

Pour la réalisation de la calculatrice, on s'est appuyé sur une architecture basée sur une machine à états (5 états en tout) décrite à travers le schéma (photo) ci dessous :



Tout d'abord, quand on est dans l'état 0, l'utilisateur rentre un chiffre à l'aide du clavier qui est stocké en mémoire dans un registre dédié. Ensuite on répète cette opération pour le choix de l'opérateur et pour le deuxième opérande en effectuant le décalage successif des informations sur les afficheurs de la carte.

Une fois les deux opérandes et l'opérateur rentrés on effectue l'opération arithmétique choisie et on affiche le résultat.

Un signal de reset a été prévu pour pouvoir revenir à l'état 0.

OBJECTIF :

Réalisation d'une calculatrice capable d'effectuer l'addition, la soustraction, la multiplication sur des entiers positifs et de l'affichage du résultat.

FONCTIONS REALISEES:

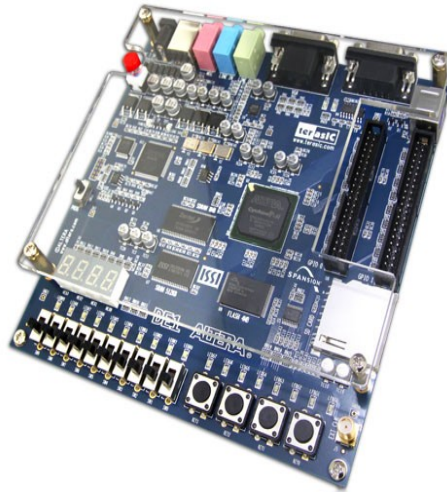
On a eu à faire appel à plusieurs types de fonction pour parvenir à nos fins, et à travers une bonne organisation et une bonne répartition des tâches au niveau du groupe pour la réalisation de chacune de ces fonctions. Ainsi nous avons procédé comme suit :

NOMS	FONCTIONS
Ayoub SABRI	Réalisation et implémentation des registres/mémoires + Bascule
Dimitris KOKKONIS	Réalisation et implémentation de la machine à états
Kristian HARGE	Réalisation et implémentation du Full adder, Soustracteur, Multiplicateur
Mohamet Cherif FAYE	Réalisation et implémentation du décodeur BCD + rapport

MATERIELS UTILISES :

Toujours dans la poursuite de la réalisation de notre calculatrice, on a utilisé plusieurs outils indispensables pour assurer toutes les fonctionnalités de la calculatrice, et parmi ceux-ci on peut citer :

- **Clavier** : qui nous a été fourni, accompagné d'un document décrivant son mode de fonctionnement ainsi qu'un code VHDL incomplet qu'on devait compléter au fur et à mesure de la réalisation de la calculatrice.
- **Carte FPGA (Altera DE1 Board)** : avec cette carte on pourra visualiser nos calculs à travers ses quatre afficheurs 7 segments, mémoriser les informations à travers les registres mémoires ainsi qu'exécuter les différentes opérations choisies pour notre calculatrice.



MODE D'EMPLOI

- 1 – Tout d'abord on choisit le premier opérande à l'aide du clavier et ensuite on bascule le switch SW0 pour passer à l'étape 2
- 2 – Ensuite on choisit l'opérateur en utilisant les lettres présentes sur le clavier, sachant que A correspond à l'addition et D pour la soustraction, puis on bascule le switch SW1
- 3- Puis on rentre le deuxième opérande et on bascule le switch SW2
- 4 – Enfin on active le switch SW3 pour afficher le résultat

- **Afficheurs 7 segments:** dont les leds qu'ils contiennent nous permettront d'afficher les unités et dizaines, éventuellement les centaines avec le troisième afficheur. Mais aussi on prendra le soin d'afficher le signe – avec les nombres négatifs qui seront susceptibles d'être obtenus.

Conclusion

A la fin de ce projet, on a réussi à réaliser la calculatrice avec les fonctionnalités suivantes l'addition et la soustraction, ainsi il nous a permis d'appréhender davantage le langage VHDL et toutes ses nombreuses fonctions, en plus de ça, nous avons pu améliorer notre capacité de travailler en groupe et d'achever un projet à durée limitée,