

9.1

CPU 内有这些部件：PC、IR、MAR、MDR、AC、CU

- (1) 写出取指周期的全部微操作。
- (2) 写出减法指令 “SUB X”、取数指令 “LDA X”、存数指令 “STA X ” (X 均为主存地址) 在执行阶段所需的全部微操作。
- (3) 当上述指令为间接寻址时，写出执行这些指令所需的全部微操作。
- (4) 写出无条件转移指令 “JMP Y” 和结果溢出则转指令 “BAO Y” 在执行阶段所需全部微操作。

(1) PC->MAR->地址总线

1->R

M(MAR)->MDR

MDR->IR

OP(IR)->CU

(PC)+1->PC

(2)

① SUB X	② LDA X	③ STA X
AD(IR)->MAR	AD(IR)->MAR	AD(IR)->MAR
1->R	1->R	1->W
M(MAR)->MDR	M(MAR)->MDR	ACC->MDR
(AC) - (MDR)->AC	MDR->AC	MDR->M(MAR)

(3)

指令	① SUB X	② LDA X	③ STA X
间址阶段	Ad(IR)->MAR  1->R  M(MAR)->MDR		
执行阶段	MDR->MAR		
	1->R  M(MAR)->MDR	1->R  M(MAR)->MDR	1->W  ACC->MDR
	(AC) - (MDR)->AC	MDR->AC	MDR->M(MAR)

(4)

指令	① JMP Y	② BAO Y
执行阶段	Ad(IR)->PC	$Z \cdot \text{Ad(IR)} + \bar{Z} \cdot \text{PC} \rightarrow \text{PC}$  (发生溢出时, Z 为 1; 否则为 0)

## 9.3

什么是指令周期、机器周期和时钟周期？三者有何关系？

指令周期：CPU 取出并执行一条指令所需的全部时间，即完成一条指令的时间。

机器周期：所有指令执行过程中的一个基准时间，通常以存取周期作为机器周期。

时钟周期：机器主频的倒数，也可称为节拍，是控制计算机操作的最小单位时间。

三者关系：一个指令周期包含若干个机器周期，一个机器周期又包括若干个时钟周期，每个

指令周期内的机器周期数可以不等，每个机器周期内的时钟周期数也可以不等。

## 9.6

设某计算机的 CPU 主频为 8MHz，每个机器周期平均含 2 个时钟周期，每条指令平均有 4 个机器周期，试问该计算机的平均指令执行速度为多少 MIPS？

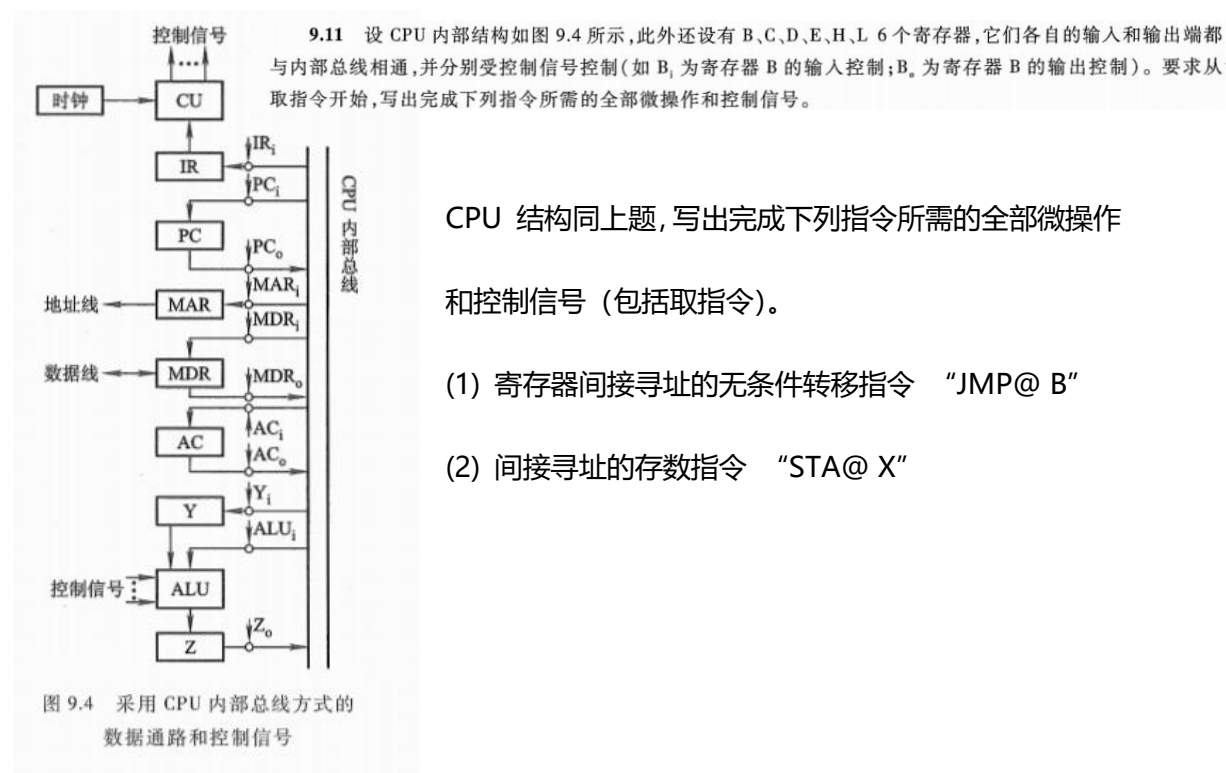
若 CPU 主频不变，但每个机器周期平均含 4 个时钟周期，每条指令平均有 4 个机器周期，则该机的平均指令执行速度又是多少 MIPS？由此可得出什么结论？

$$(1) \text{ MIPS} = F \div 2 \div 4 \div 1000000 = 1 \text{ MIPS}$$

$$(2) \text{ MIPS} = F \div 4 \div 4 \div 1000000 = 0.5 \text{ MIPS}$$

(3) 结论：机器的速度不仅与主频有关，还与机器周期中所含的时钟周期以及指令周期中所含的机器周期数有关。

## 9.12



CPU 结构同上题，写出完成下列指令所需的全部微操作和控制信号（包括取指令）。

- (1) 寄存器间接寻址的无条件转移指令 “ $\text{JMP@ B}$ ”
- (2) 间接寻址的存数指令 “ $\text{STA@ X}$ ”

(1)

指令	JMP @ B	控制信号
取指阶段	PC->MAR->地址线  1->R  M(MAR)->数据线->MDR  MDR->IR  OP(IR)->CU  (PC)+1->PC	PCo, MARi    MDRo, IRi
间址&执行阶段	(B)->PC	Bo, PCi

(2)

指令	STA @ X	控制信号
取指阶段	PC->MAR->地址线  1->R  M(MAR)->数据线->MDR  MDR->IR  OP(IR)->CU  (PC)+1->PC	PCo, MARi    MDRo, IRi
间址阶段	1->R  X->MAR  M(MAR)->数据线->MDR  MDR->MAR  M(MDR)->数据线->MDR	MARi   MDRo, MARi

执行阶段	MDR->MAR	MDRo, MARi
	1->W	
	(AC)->MDR	ACo,MDRi
	MDR->数据线->M(MAR)	

9.14

**9.14** 设单总线计算机结构如图 9.5 所示,其中 M 为主存,XR 为变址寄存器,EAR 为有效地址寄存器,LATCH 为锁存器。假设指令地址已存于 PC 中,画出“LDA \* D”和“SUB X,D”指令周期信息流程图,并列出相应的控制信号序列。

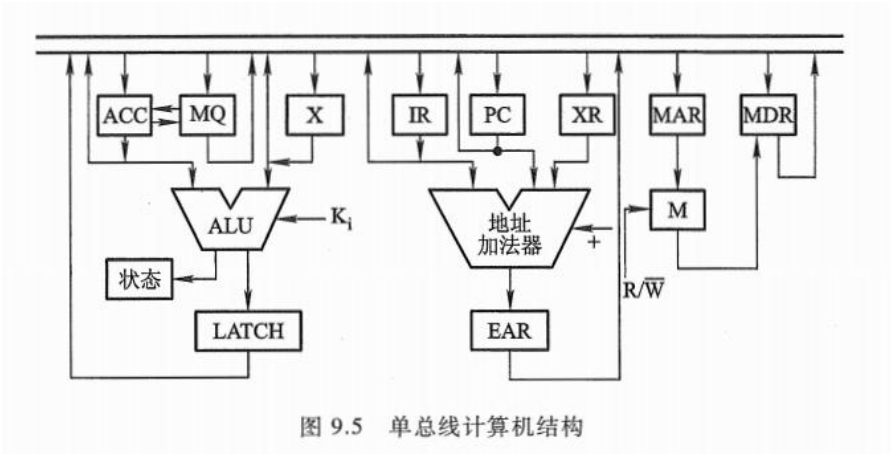
说明:

(1) “LDA \* D”指令字中 \* 表示相对寻址,D 为相对位移量。

(2) “SUB X,D”指令字中 X 为变址寄存器 XR,D 为形式地址。

(3) 寄存器的输入和输出均受控制信号控制,例如,PC<sub>i</sub> 表示 PC 的输入控制信号,MDR<sub>o</sub> 表示 MDR 的输出控制信号。

(4) 凡是需要经过总线实现寄存器之间的传送,需在流程图中注明,如 PC→Bus→MAR,相应的控制信号为 PC<sub>o</sub> 和 MAR<sub>i</sub>。



指令	LDA * D	控制信号
取指阶段	PC->Bus->MAR	PCo, MARi
	1->R/ $\bar{W}$	
	M(MAR)->MDR	MDRi

	MDR->Bus->IR  (PC)+1->PC	MDRo, IRi
执行阶段	1->R/ $\bar{W}$  (PC)+Ad(IR)->EAR  EAR->Bus->MAR  M(MAR)->MDR  MDR->Bus->ACC	PCo, IRo, EARi  EARo, MARi  MARo, MDRI  MDRo, ACCi

指令	SUB X D	控制信号
取指阶段	PC->Bus->MAR  1->R/ $\bar{W}$  M(MAR)->MDR  MDR->Bus->IR  (PC)+1->PC	PCo, MARi    MDRi  MDRo, IRi
执行阶段	1->R/ $\bar{W}$  (XR)+Ad(IR)->EAR  EAR->Bus->MAR  M(MAR)->MDR  MDR->Bus->X  (ACC)-(X)>LATCH  LATCH->Bus->ACC	XRo, IRo, EARi  EARo, MARi  MARo, MDRI  MDRo, Xi  ACCo, Xo, Ki, LATCHi  LATCHo, ACCi

