**8.1 CPU 的结构**

**一、CPU 的功能**

1. 控制器的功能：取指令

分析指令

执行指令，发出操作控制信号序列

控制程序输入及结果的输出

总线管理

处理异常情况和特殊请求

2. 运算器的功能：实现算术运算和逻辑运算

异常（Exception）和中断（Interrupt）

内部“异常”：在（或导致）CPU内部发生的意外事件或特殊事件

硬故障中断：电源掉电、硬件线路故障等

程序性中断：指向某条指令时发生的“例外”，如算术溢出、缺页、越界、越权、

非法指令、除数为0，堆栈溢出、访问超时、断点设置、单步、系统调用等

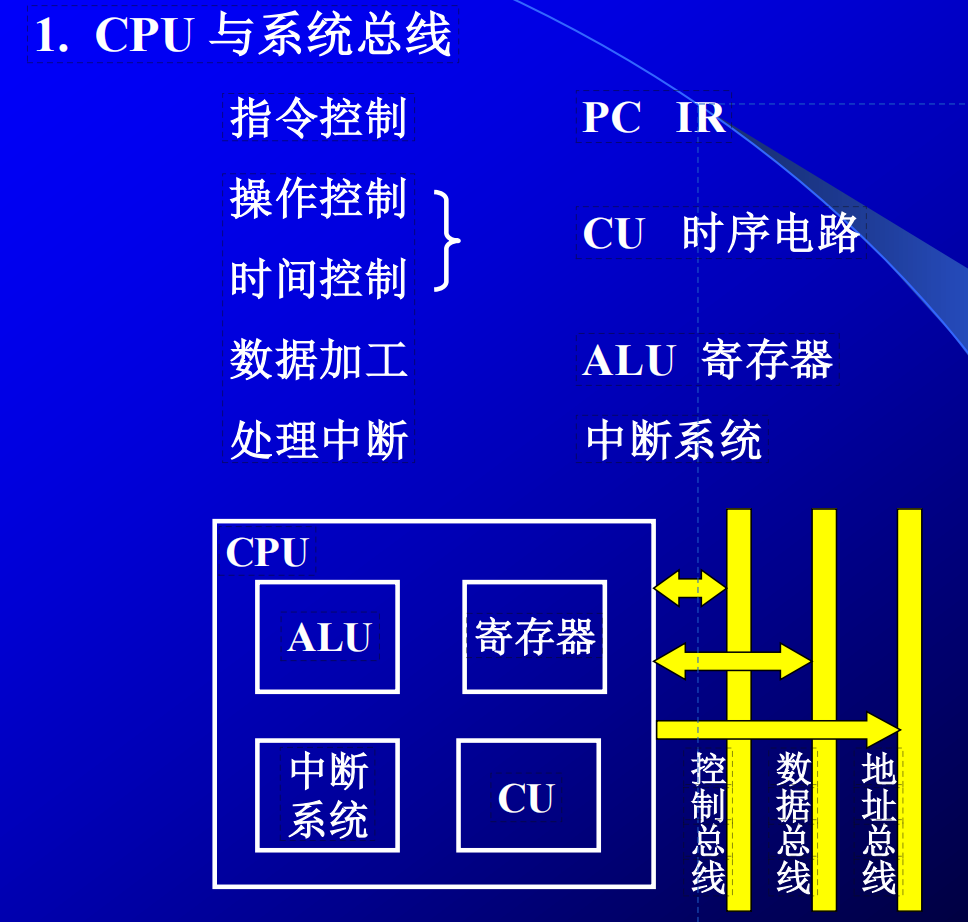
外部“中断”：在CPU外部发生的特殊事件，通过“中断请求”信号向CPU请求处理。

如实时钟、控制台、打印机缺纸、外设准备好、采样计时到、DMA传输结束等

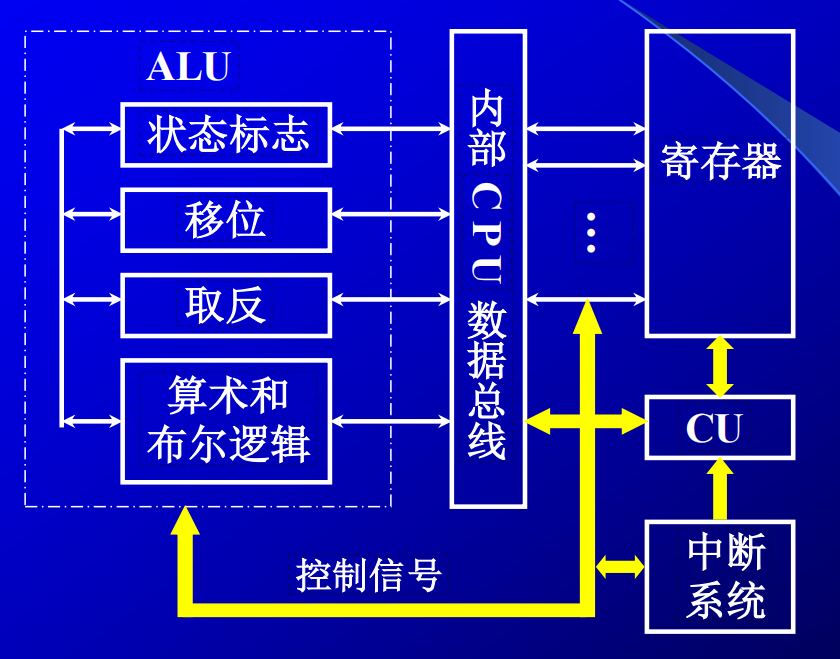
中断处理(Interrupt handling)：**用于处理异常和中断**

**二、CPU 结构框图**

1. CPU 与系统总线



2. CPU 的内部结构



**三、CPU 的寄存器**

1. 用户可见寄存器（CPU执行机器语言访问的寄存器）

(1) 通用寄存器：存放操作数；可作某种寻址方式所需的专用寄存器：X、B

(2) 数据寄存器：存放操作数（满足各种数据类型）；两个寄存器拼接存放双倍字长数据

(3) 地址寄存器：存放地址，其位数应满足最大的地址范围；用于特殊的寻址方式、段基值、栈指针

(4) 条件码寄存器 存放条件码，可作程序分支的依据；如正、负、零、溢出、进位等

2. 控制和状态寄存器

(1) 控制寄存器： PC->MAR->M->MDR->IR

其中MAR、MDR、IR都是用户不可见的，PC是用户可见的

(2) 状态寄存器：状态寄存器存放条件码；PSW寄存器存放程序状态字

**四、 控制单元 CU 和中断系统**

1. CU产生全部指令的微操作命令序列

两种实现： 组合逻辑设计：硬连线逻辑

微程序设计：存储逻辑

2. 中断系统（见8.4）

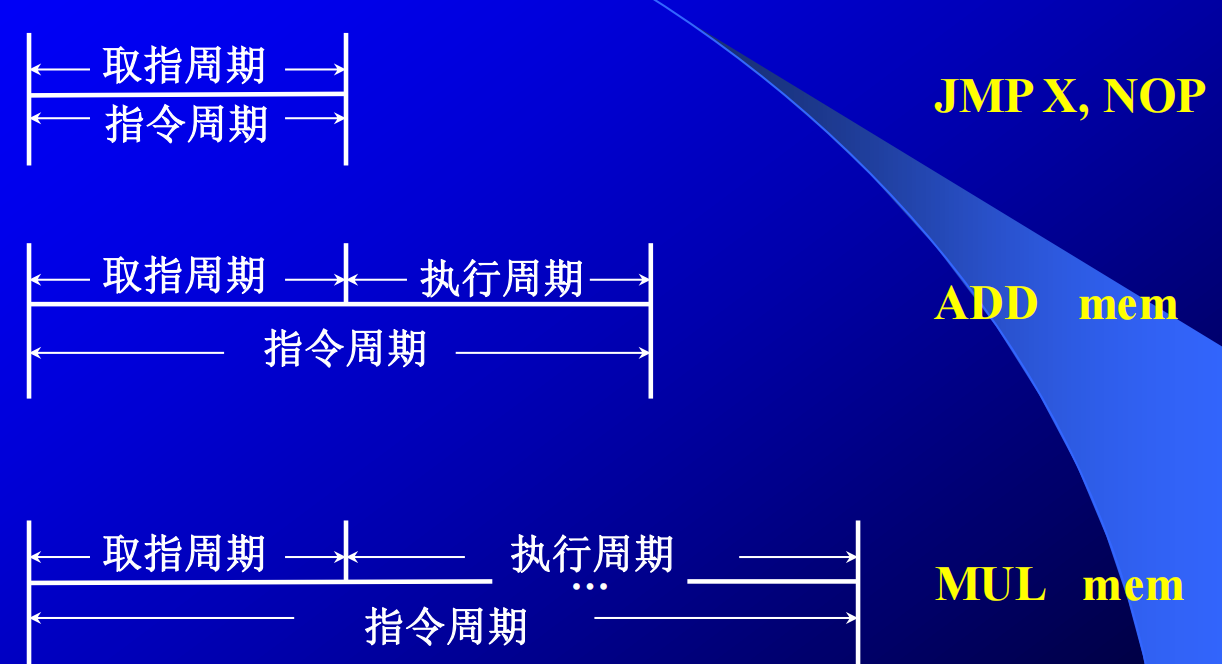
**五、ALU**

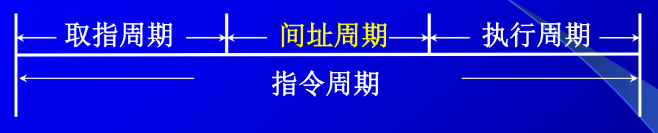
**8.2 指令周期**

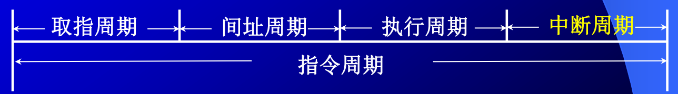
**一、 指令周期的基本概念**

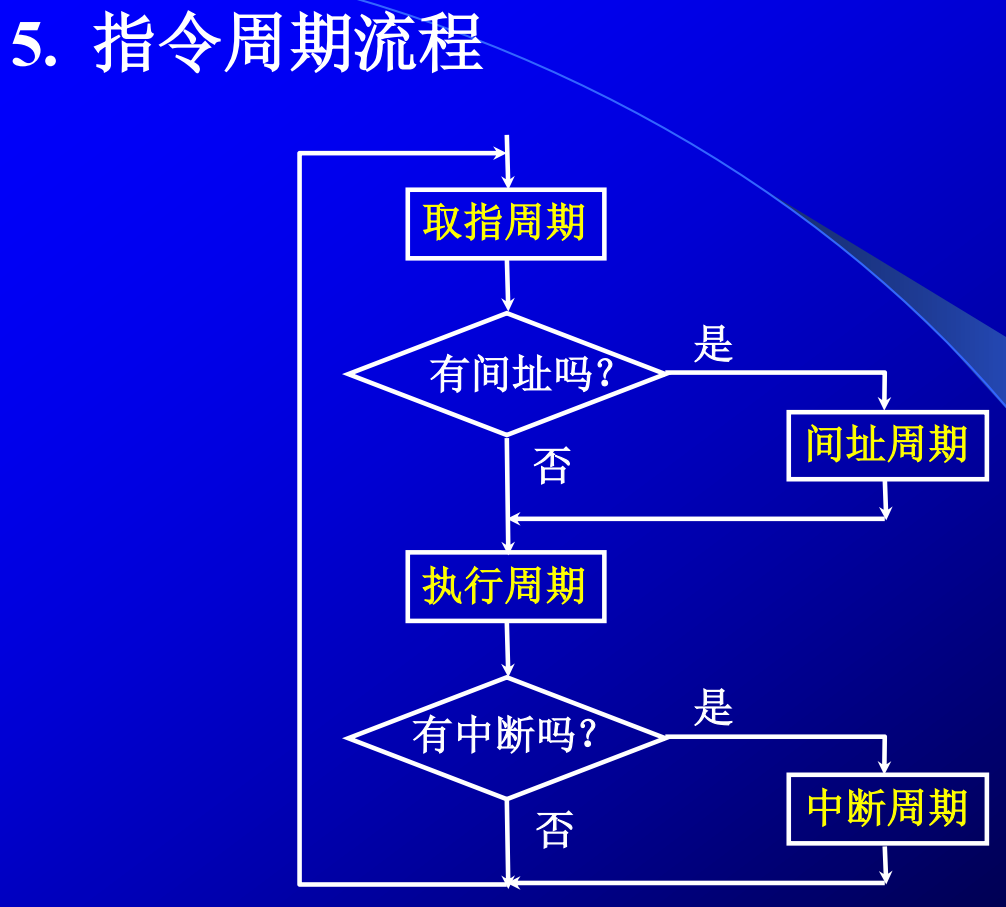
指令周期：**取出并执行**一条指令所需的全部时间

可分为不同的阶段，如取指周期和执行周期等，不同的指令有**不同的指令周期**



具有间接寻址的指令周期

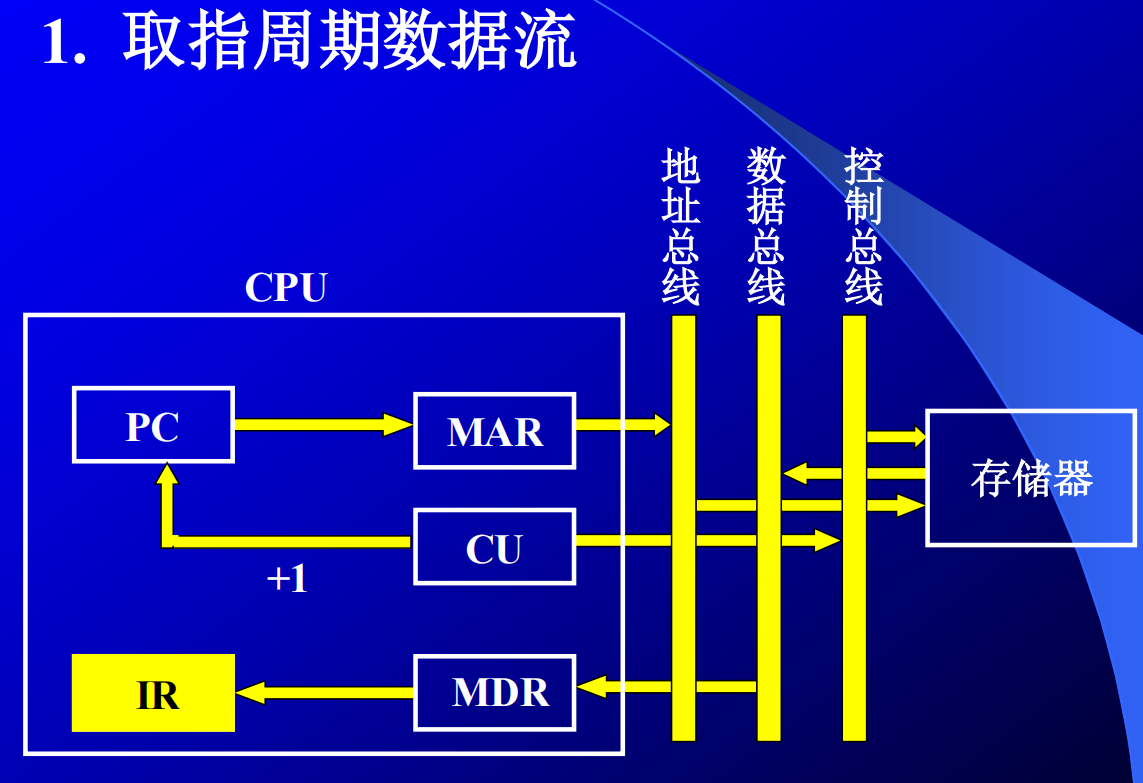
带有中断周期的指令周期

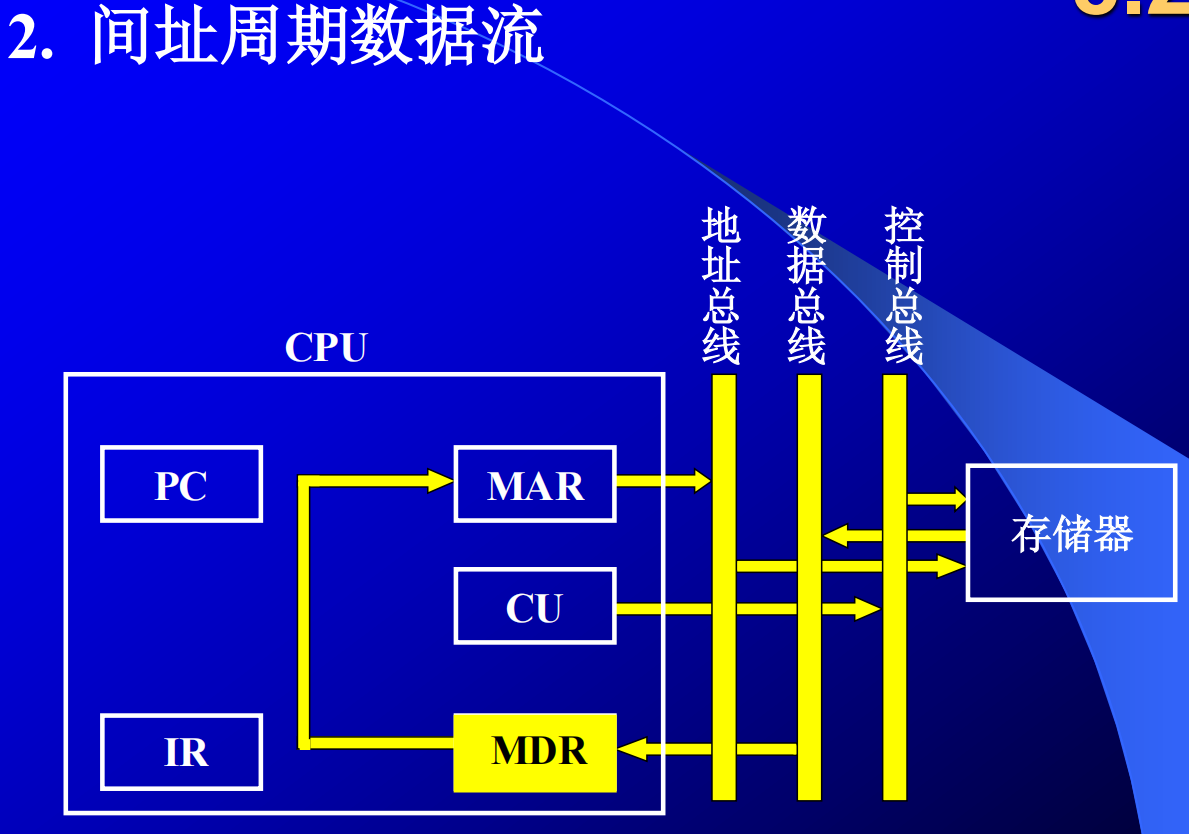


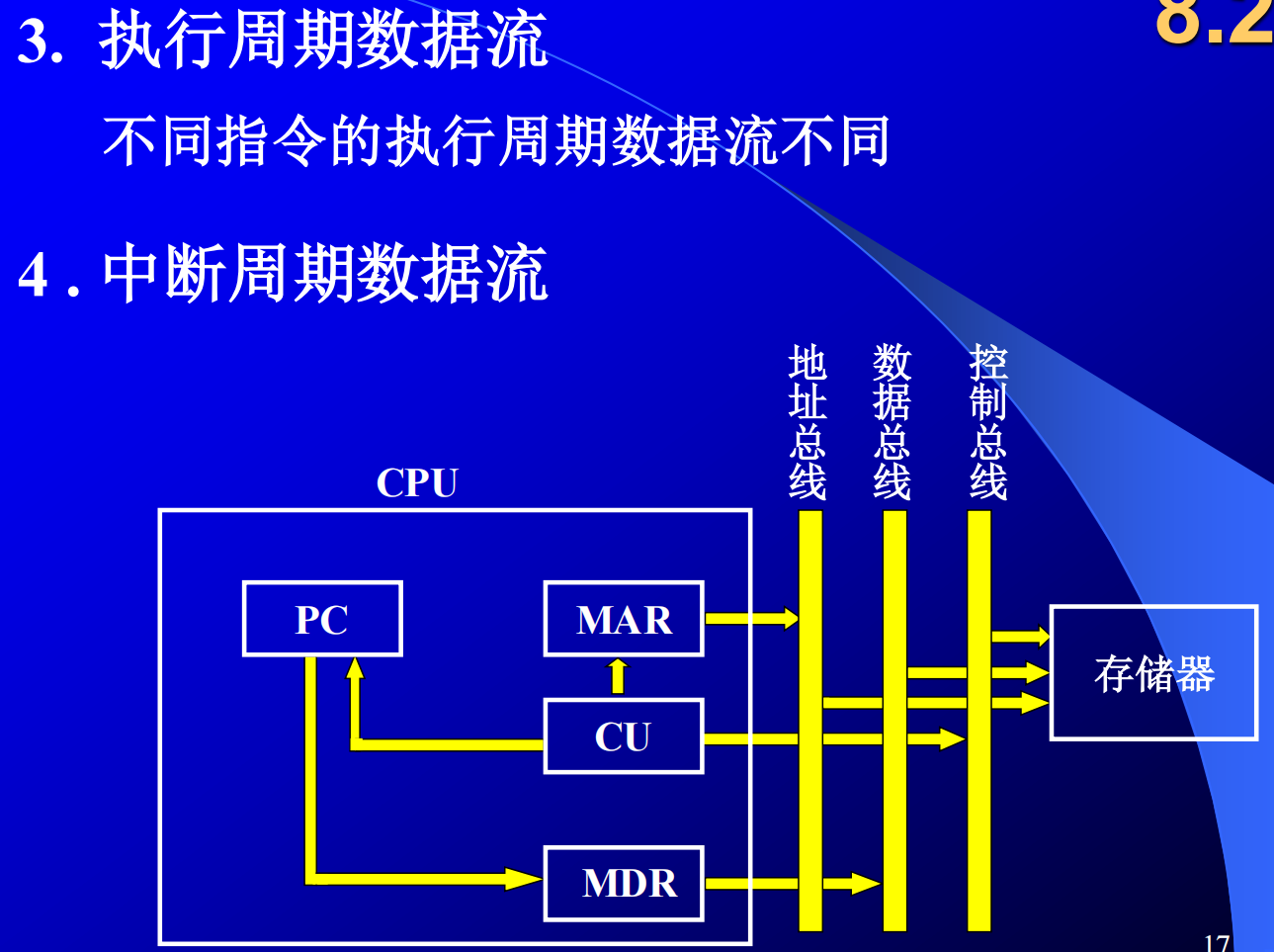
**CPU 工作周期的标志**

四个工作周期：取指周期FE、间址周期IND、执行周期EX、中断周期INT

**二、指令周期的数据流**

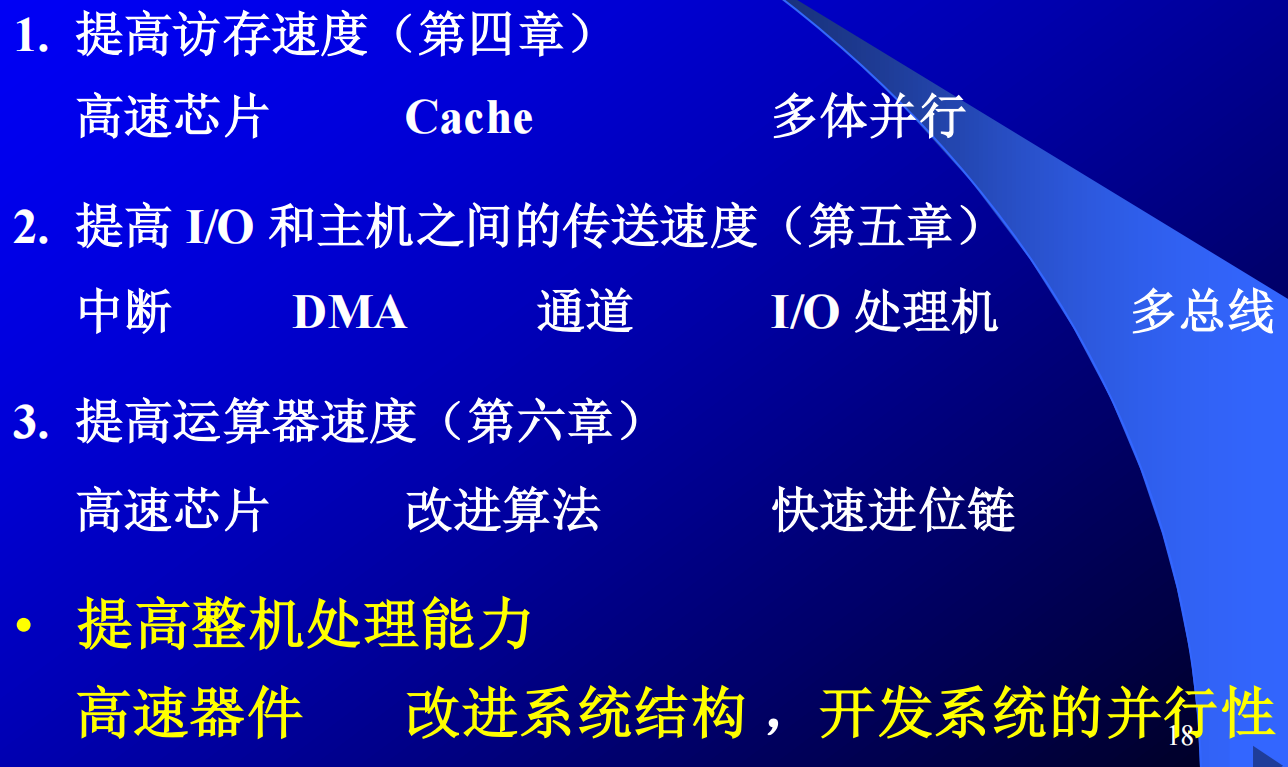




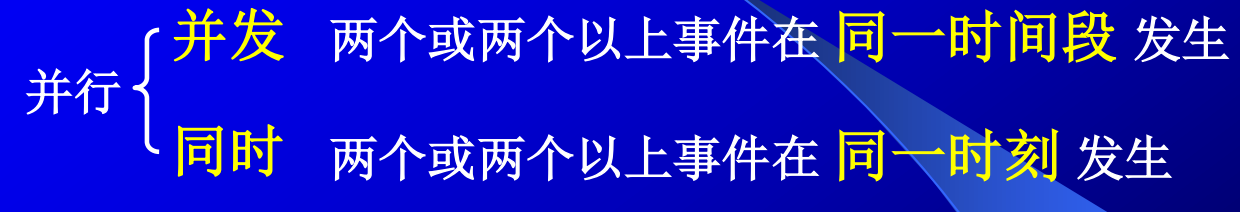


**8.3 指令流水**

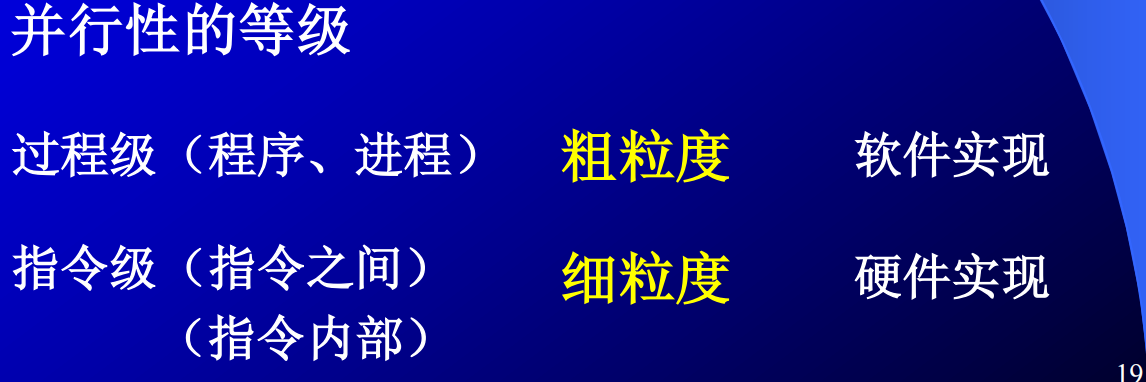
**一、如何提高机器速度 ！**



**二、系统的并行性**



并行是一个比较粗略的概念，不要求时间完全重叠。



**三、指令流水原理**

注：FI取指、DI译指、CO计算操作数地址、FO取操作数、EI执行指令、WO写操作数

**影响指令流水线性能的因素**

1. 结构相关：不同指令争用同一功能部件产生资源冲突

解决办法：停顿、指令存储器和数据存储器分开、指令预取技术（适用于访存周期短情况）

2. 数据相关(Data Dependency)：不同指令因重叠操作，可能改变操作数的读/写访问顺序

写后读相关（RAW，Read After Write）：后面指令需要读的是前面将要写入的内容

读后写相关（WAR, Write After Read）：后面写入的内容会覆盖前面需要读的内容

写后写相关（WAW, Write After Write）：前后写入同一个地方，发生冲突

3. 控制相关

由转移指令引起：必须等待条件结果，才能判断出是转移还是顺序执行

从而造成转移损失

（设指令3 是转移指令）

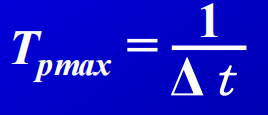
**五、流水线性能**

**1. 吞吐率(Throughput)**

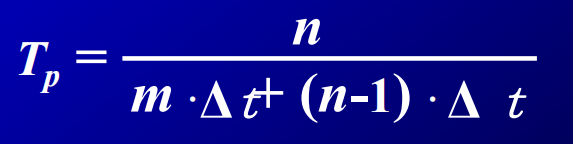
单位时间内 流水线所完成指令或输出结果的数量

设流水线为m级流水线。

**最大吞吐率**（无限条指令）：



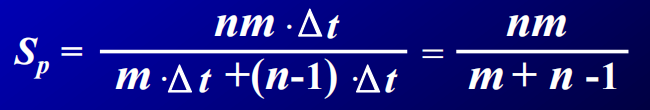
**实际吞吐率**（连续处理 n 条指令）：指令数/总时间



**2. 加速比(Speedup Ratio) Sp**

m段的流水线的**速度** 与 **等功能的非流水线**的**速度** 之比

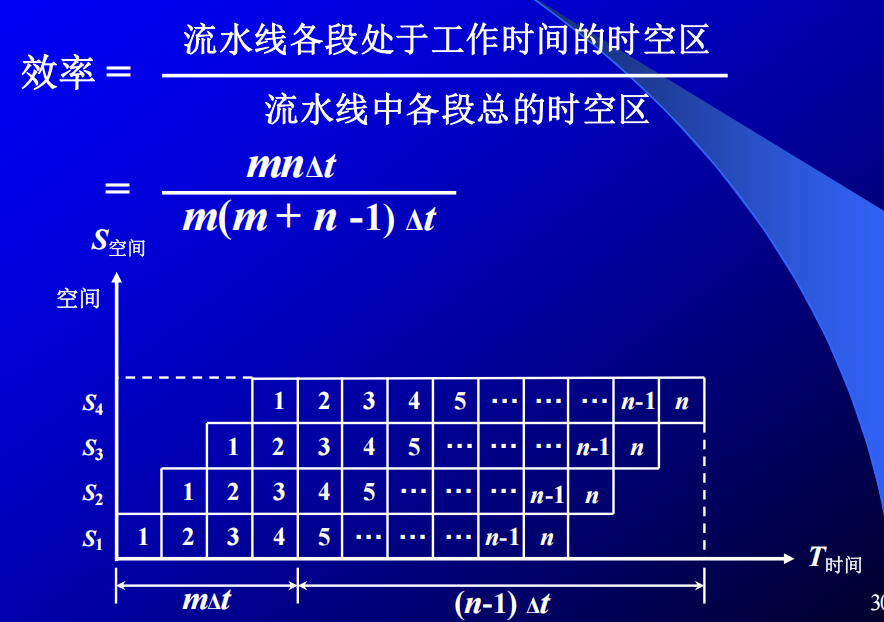
= 非流水线/流水线 **时间之比**



**3. 效率(Efficiency)**

流水线中各功能段的利用率

流水线有 建立时间 和 排空时间



**WR**

**EX**

**ID**

**IF**

即工作面积/总面积

**六、流水线的多发(Multi Issue)技术**

**1. 超标量(Superscalar)技术**

每个时钟周期内可并发多条独立指令。

配置多个功能部件。但硬件不能调整指令的执行顺序。通过软件编译优化技术，把可并行执行的指令搭配起来。

**2.** **超流水线（Super Pipeline)技术**

在一个时钟周期内再分段，在一个时钟周期内一个功能部件使用多次。

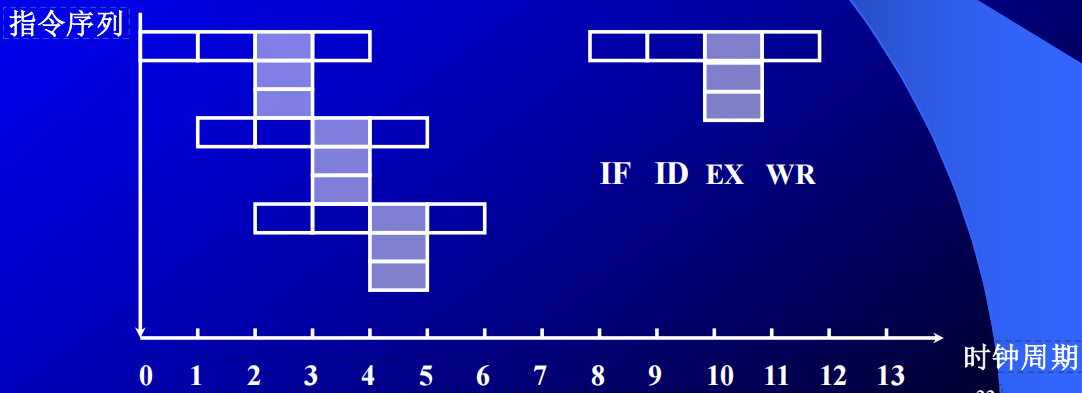
硬件不能调整指令的执行顺序，靠编译程序解决优化问题。

分为k段，则流水线速度变为原来速度的k倍。

**3.** **超长指令字（VLIW）技术**

由编译程序挖掘出指令间潜在的并行性，将多条能并行操作的指令组合成一条具有多个操作码字段的超长指令字（Very Large Instruction Word)，可达几百位。

采用多个处理部件。



**七、流水线结构**

