2018年7月23日(月)13:00~16:00 項目4定例会議@小林NEDOプロ

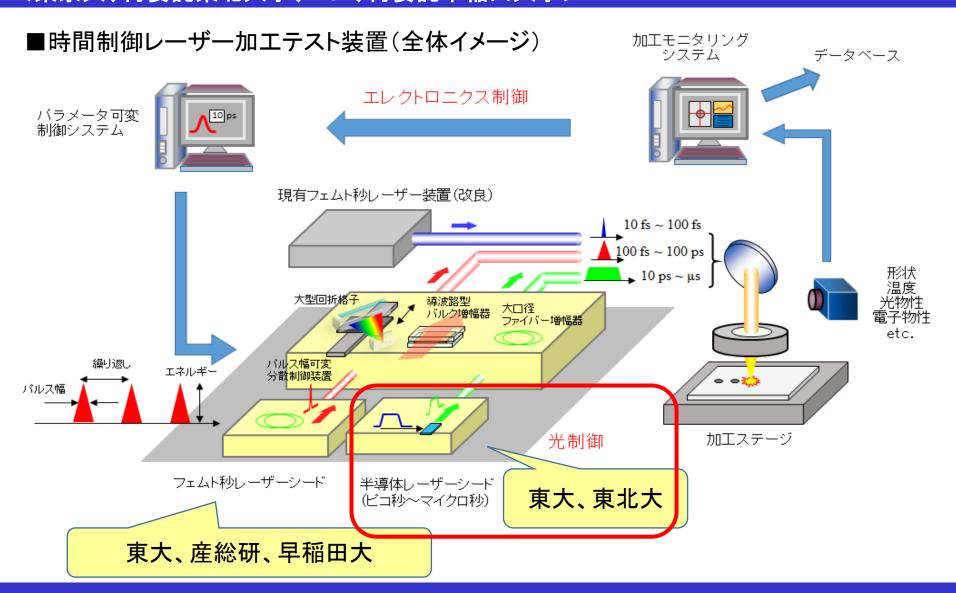
本資料は「高輝度・高効率次世代レーザー技術開発プロジェクト/次世代レーザー及び加工共通基盤技術開発」知財合意書に基づく秘密情報とする

効率的紫外レーザー加工に向けた サブpsー1usパルス幅1um帯 利得スイッチ半導体レーザー素子開発

東大·物性研 秋山英文 with 東北大·NICHe 横山弘之

- ▶ 利得スイッチング法で、<u>高速化・パルス幅制御</u>や後段増幅器に負担をかけない<u>高強度化</u>を実現するためには、心臓部・エンジンである半導体レーザー(LD)素子開発生産が必要。
- シミュレーション、設計、生産(アウトソーシング)、中間−選別−素子評価、詳細計測解析まで、一連の研究開発生産体制を構築。
- ▶ 1umLD試作は、初回ウエハ試作が完了(2018年3月末)。素子加工・評価が進行中(2018年4月-)
- ▶ 基礎実験(光励起法・800nm帯)で、単セクションおよび多セクションレーザーから1psレベルの短パルスを発生。シミュレーションと比較を行い、その機構を調査中。

研究開発項目④-1 レーザー加工プラットフォームの構築研究開発項目④-1-(1) 時間制御型レーザー加工テスト装置 く東京大、再委託東北大学、AIST、再委託早稲田大学>



■4-1-(1) 実施計画

■ (1) ≯	こりじゅ																	
	20	16		20	17			20	18			20	19			20	20	
	3 Q	4 Q	1 Q	2 Q	3 Q	4 Q	1 Q	2 Q	3 Q	4 Q	1 Q	2 Q	3 Q	4 Q	1 Q	2 Q	3 Q	4 Q
固体レーザー				装置 装置 開発					メータ 00 W				高輝	度∙高	島出力	力化		
加工試験					集光試影		٤	条件と	出しカ	四工語	式験		そ	の場	;計測	加工	試験	
LDチップ	L	.D設言 :	計•試 LOps-		評価				_D試 [.] s制御			良型ι ps制				原加工幾能調	工応月 評価	Ħ
LDベース 光源		10ps- c	1μs馬 中間t		支術 				器製を 対出力		光》	原プロ プ討		1			(トで 用試順	<u> </u>

増幅後に非線形光学でパルス制御できるのも事実だが、 シード光レベルで直接パルス制御するのが理想

心臓部・エンジンとなるのは、半導体レーザー(LD)

大学(+企業)をファブレス拠点とする研究開発生産体制構築



- 設計
- 生産(アウトソーシング)
- 選別-評価
- 詳細計測•解析

A社経由 ~25百万円

- ▶ レーザー基板結晶成長
- フォトマスク作製
- DFB用回折格子形成
- オーバークラッド再成長
- 導波路•電極加工
- レーザーバー・チップ加工
- (モジュール化)

1um波長帯InGaAsMQW-LD試作(第1回2016.11-2018.7)

- 高利得化 3QW 10QW ••••
- 短共振器 100um、200um、300um~1mm
 (これらが成功したら、高速化できるハズ。)

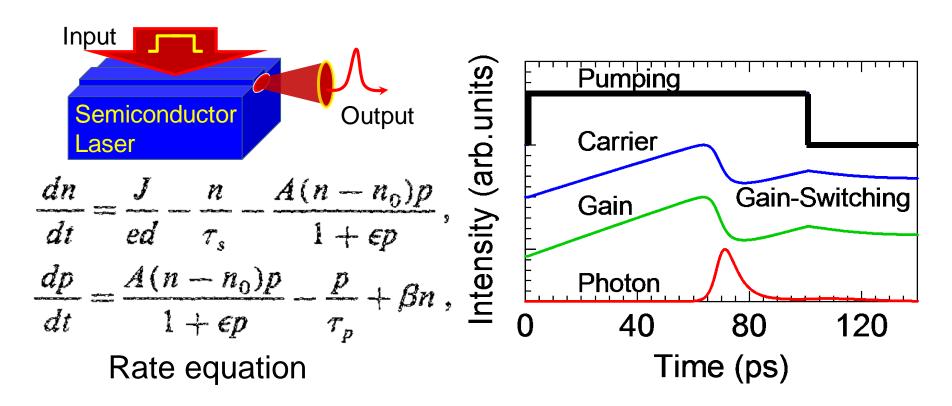
2018年度試作第2回目で再挑戦

• DFB FP

(既存技術。外注可能。ただし高価) (エピ、加工、再成長、加工=分離発注製作の道を拓きたい)

- 高速化・配線~モジュール化
- **多セクション、光励起など。 新機構の探索と試行。** 技術探索: 端面コート(光子寿命、DFB、・・・)、FIB(電流狭窄、へき開、AR)

Short-pulse generation in semiconductor lasers via gain switching



Rate equation is very useful in dynamically simulate gain switching in semiconductor lasers.

D.J.Channin, J.Appl.Phys.50(6),3858(1979). Lau, K. Y. Appl. Phys. Lett. 52, 257 (1988).

2準位系レート方程式

(分極を断熱近似)

キャリア密度の時間変化

化 -

(arb.unit

Intensity

ポンピング

誘導放出 自然放出

$$\frac{dn}{dt} = \eta \frac{P}{hv} \frac{1}{mwL} - \frac{1}{m} v_g \Gamma g(n) s - \frac{n}{\tau}$$

光子密度の時間変化

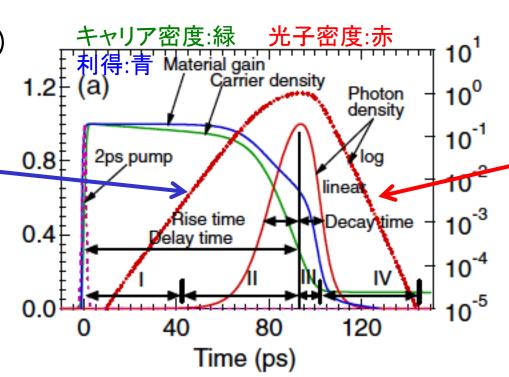
$$\frac{ds}{dt} = v_g \Gamma g(n) s - \frac{s}{\tau_p} + m \beta_{sp} \frac{n}{\tau_r}$$

共振器寿命

利得スイッチング(GS)

光パルスの立上りは 初期利得で決まる 立ち下がりは 共振器寿命で決まる

S.Chen et. al. JJAP(2012)



1um波長帯InGaAsMQW-LD試作(第1回2016.11-2018.7)

- 高利得化 3QW 10QW ••••
- 短共振器 100um、200um、300um~1mm
 (これらが成功したら、高速化できるハズ。)

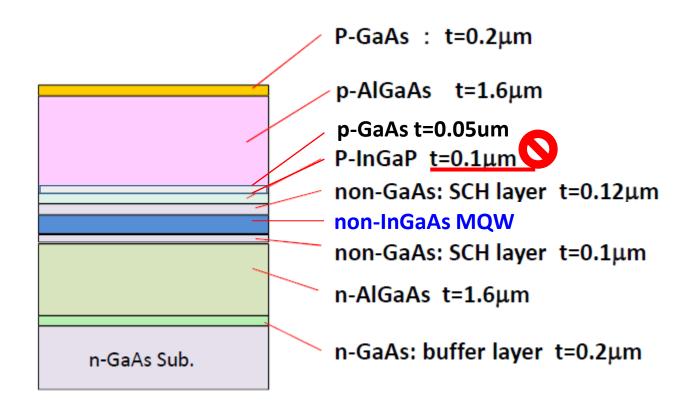
2018年度試作第2回目で再挑戦

• DFB FP

(既存技術。外注可能。ただし高価) (エピ、加工、再成長、加工=分離発注製作の道を拓きたい)

- 高速化・配線~モジュール化
- **多セクション、光励起など。 新機構の探索と試行。** 技術探索: 端面コート(光子寿命、DFB、・・・)、FIB(電流狭窄、へき開、AR)

1umLDウエハの元エピ構造

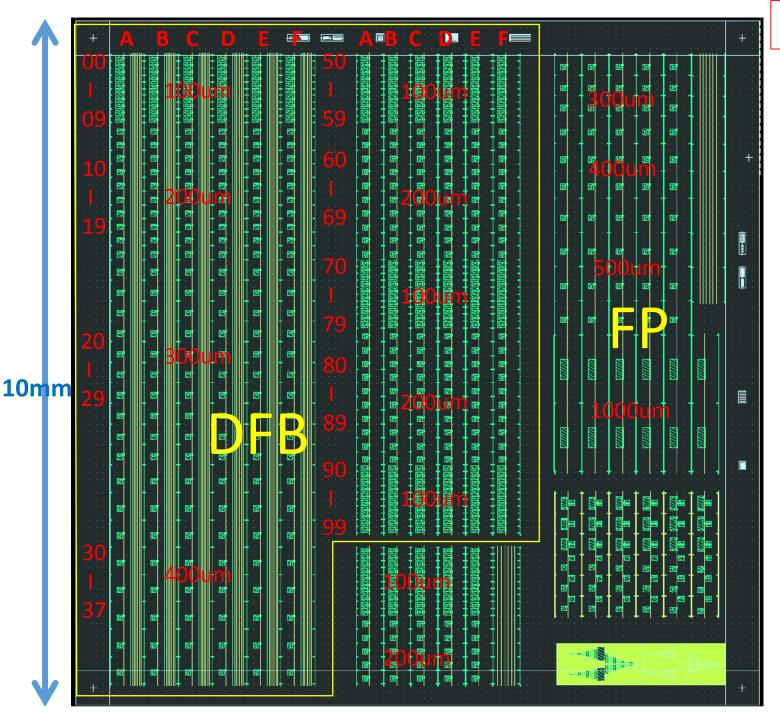


InGaAs MQW → SQW DQW 3QW 10QW DH



A・C・E 1.5um幅 リッジ

B•D•F 2.5um 幅リッジ



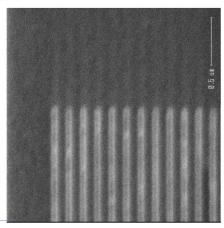
EBリソ・ドライ&ウエット加工による回折格子形成

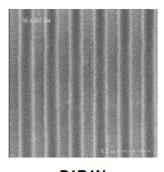
			neq=3.3	1周期(DL&S 比率	L(nm):S(nm)				
		L&Sの 1周期	(nm) λ	АВ	C D	E F				
Xx0	λ/4なし	152	1003.6nm	50:102	76:76	102:50				
Xx1	λ/4あり	102	1003.01111	30.102	70.70	102.50				
Xx2	λ/4なし	455	1022	F0:400	77.70	50 400				
Xx3	λ/4あり	155	1023nm	52:103	77:78	52:103				
Xx4	λ/4なし	450	1012 0	50.405	70.70	405 50				
Xx5	λ/4あり	158	1042.8nm	53:105	79:79	105:53				
Xx6	λ/4なし	4.4	4060.6							
Xx7	λ/4あり	161	1062.6nm	54:107	81:80	107:54				
Xx8	λ/4なし		4000.4							
Xx9	λ/4あり	164	1082.4nm	55:109	82:82	109:55				

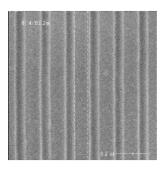
GaAs層に転写形成した回折格子のSEM観察結果

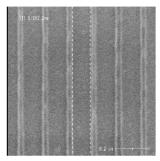
加工工程

- 1. EBレジストをマスクにSiO2層 50nm をRIE加工
- 2. SiO2層をマスクにInGaP層を wet etching 加工
- 3. InGaP層をマスクにGaAs層を wet etching.。 段差評価:50nm
- 4. 最表層のInGaP層を除去。







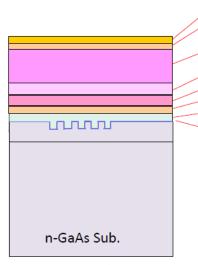


P1R1N

P1R2N

P1R3N

MOCVDによる上部クラッド層再成長



Cross sectional

P-GaAs : $t=0.2\mu m$ p-Alo.55Gao.45As \rightarrow Alo.2Gao.8As: graded layer $t=0.2\mu m$ p-Alo.55Gao.45As: clad layer $t=1.0\mu m$ p-Alo.55Gao.45As: clad layer $t=0.4\mu m$ p-Alo.2Gao.8As \rightarrow Alo.55Gao.45As: graded layer $t=0.2\mu m$ - P-GaAs : $t=0.05\mu m$ P-InGaP : lattice matched to GaAs $t=0.1\mu m$ non-GaAs : about $t=0.1\mu m$ about $t=0.1\mu m$ p-Alo.2Gao.8As $t=0.1\mu m$ p-InGaP : lattice matched $t=0.1\mu m$ p-InGaP : lattice mat

P/G No. : TN-0271

Part No. : GaAs Wafer Custom Real Re-Growth on 3t wafer

Ouantity : 2 ea

Date : 01/22/2018

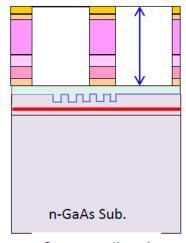
Product Information

Defect		
GaAs Wafer Custom Real Re-Growth on 3" wafer	VE1801-C0951 #1	<100
GoAs Wafer Custom Real Ro-Growth on 3" wafer	VE1801-C0851#2	<100

► Epi Structure

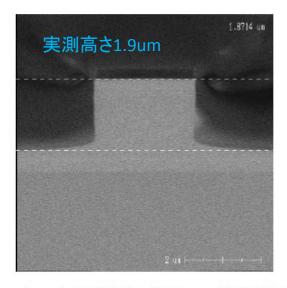
			irowth	Real Re-G				
	D	sity (cm ⁻³)	Doping Dens	ss (A)	Thicknes	Composition	11-6-11	
Commer	Dopant	Actual	Specified	Actual	Specified	(x)	Material	Layer
	C		>1E+19		2000		GaAs	8
Graded lay	С	41	1E-18		2000	0.55 → 0.20	Al(x)GaAs	7
C ad laye	С	4	4E-17		10000	0.56	Al(x)GaAs	6
C ad laye	С	(6)	2E-17		4000	0.55	Al(x)GuAs	5
Graded lay	С	4	2F-17		2000	0.20 → 0.55	Al(x)GaAs	4
	С	(6)	2E-17	100	500		GaAs	3
	Zn		2E-17	•	1000	0.49	In(x)GaP	2
	U/D				30		GaAs	1
Patterned 9							GuAs	0

RIE加工による導波路形成とコンタクト開口



★ 導波路高さ=エッチング量:2.0µm±0.1um

Cross sectional



加工した導波路の断面SEM観察結果

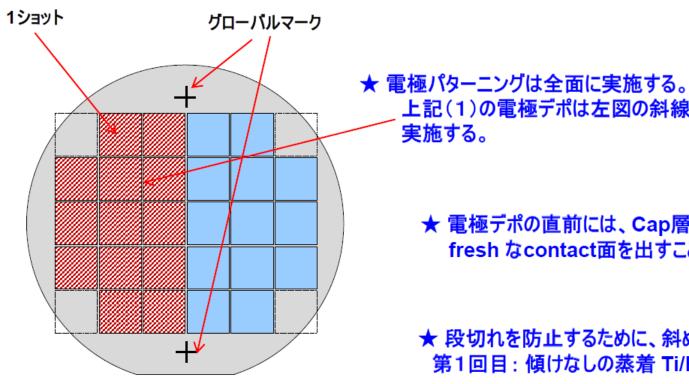
Contact開口

- 3-1. SiO2膜のデポ:400nm厚とする。
- 3-2. Contactパターンで開口を形成する。
 - ・パターニング: レジスト。
 - SiO2膜のRIE加工:開口部にSiO2膜が残らないように。
- 3-3. レジスト除去
- 3-4. 開口部のSEM観察:本番Waferのみ5箇所

リフトオフ加工による表面P電極形成(先発)

- ★ C-dope contact
 - •GaAs-P+ 上に Ti:10nm/Pt:15nm/Au:1000nm~ 、380°C (360°C~420°C), N2 gas, 5min.

実施する。



★ 電極デポの直前には、Cap層GaAsを軽くエッチングして

上記(1)の電極デポは左図の斜線ハッチングショットについてのみ

fresh なcontact面を出すこと。

★1ショットのサイズ: 10000um × 10000um

★ショット/ショットの間隔:500um

★ 段切れを防止するために、斜め蒸着を行う。 第1回目: 傾けなしの蒸着 Ti/Pt/Au: 400nm

第2回目: +20度の傾け蒸着 Ti/Au: 300nm

第3回目: -20度の傾け蒸着 Ti/Au: 300nm

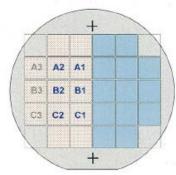
後発は、BCB埋め込み1回蒸着。ともにOK。

先発: 3QW (B級 Wafer)

Confidential

★ショット/ショ

リッジ高1.8um



·A1, A2: 60µm厚

·B1, B2: 120µm厚

·C1, C2: 80µm厚

★ P電極は AuZnNi/Au depo後にalloy、padとしてTi/Au 斜蒸着3回 ★ N電極は AuGeNi/Au depo後にalloy、 padとしてTi/Au

オリフラ側がよい DFB良 後発先行: 10QW (?級 Wafer) 後発先行: 3QW (A級 Wafer) 10QW-1 10 OW-2 3QW-3 3QW-4 リッジ高

1.9-2.0um

裏面研磨および

裏面n電極形成

DFB良 後発後行: 3QW (A級 Wafer) 後発後行: 10QW (?級 Wafer) 0QW-1 10QW-2 3QW-3 3QW-4 リッジ高 1.9-2.0um -3QW-4: 120µm厚 ·10QW-2: 120µm厚

BCB埋め。斜蒸着なし。

·10QW-1: 120µm厚

★ P電極は AuZnNi/Au depo後にalloy、 padとしてTi/Au ★ N電極は AuGeNi/Au depo後にalloy、PadとしてTi/Au

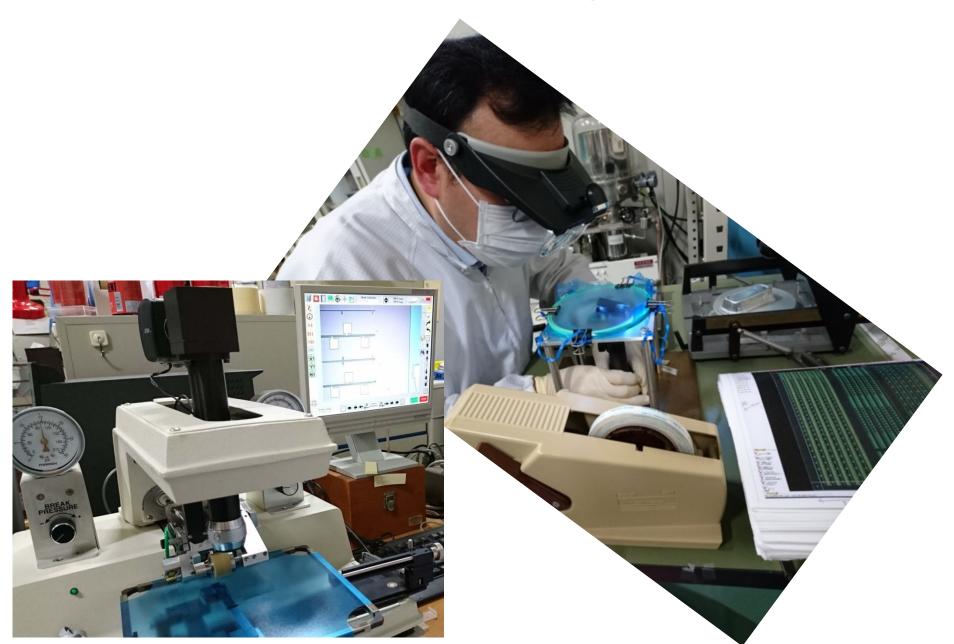
BCB埋め。斜蒸着なし。

★ N電極は Ti/Au depo後に熱処理 380°C, 20sec

★ P電極は AuZnNi/Au depo後にalloy、 padとしてTi/Au

-3QW-3: 120µm厚

レーザーバーおよびチップへき開



Confidential

共晶片を使った単一LD素子のTO-CANへの実装 1

バーおよびチップの ダイボンディング・ ワイヤボンディング

京セラTO-CANへは共晶材でOK

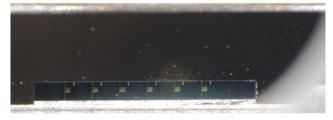
元々エポキシ材でダイボンディングする予定で あったが、忘れていて共晶材でダイボンディン グを行った。きれいにプロセス出来たので結果 的に良かった。

3QW後発後行 300um x2, 400um x2

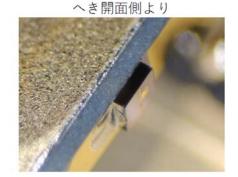


ダイボンディングの様子

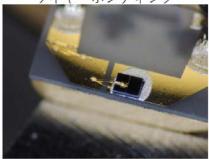
ダイボンディングの様子



ワイヤーボンディングの様子

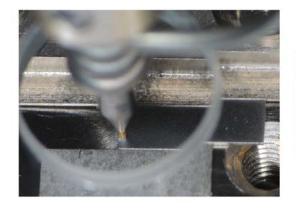


ワイヤーボンディング



3QW後発後行 DFB 300um x10, 400um x8 すべてワイヤボンディングまで完了

単一LD素子 ヒートシンクへのエピダウンダイボンディング



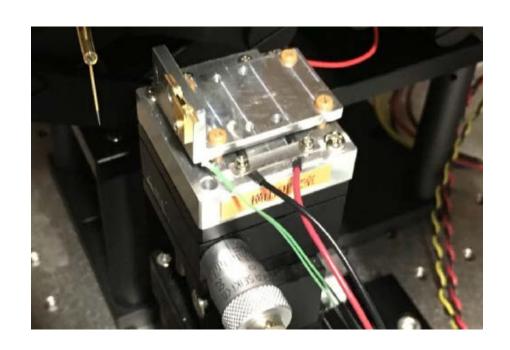


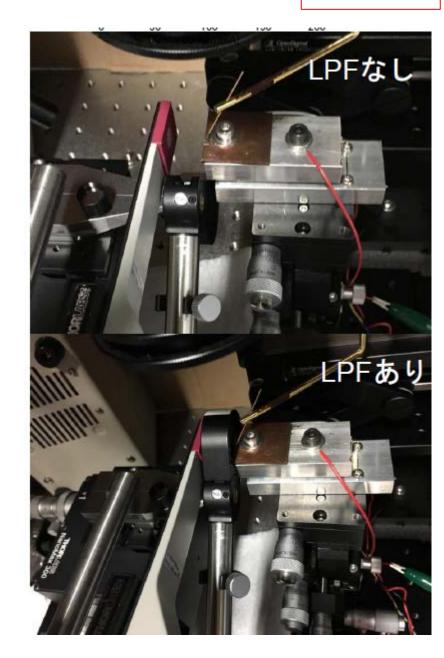
3QW 後発後行 300um x1, 400um x1, 1000um x2



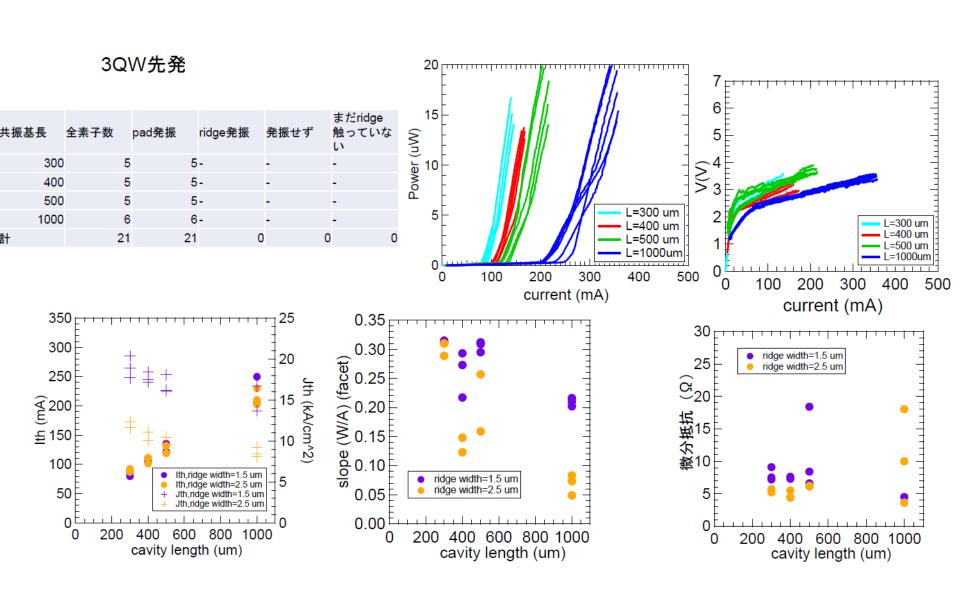
Confidential

I-L特性 • I-V特性 • スペクトルなどの評価



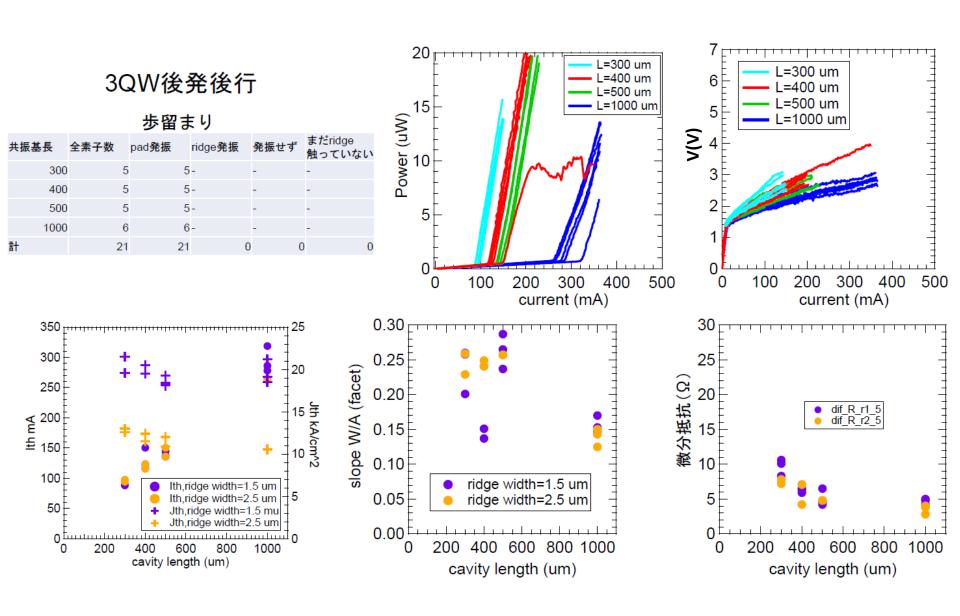


3QW-InGaAs LD 2usパルス/2ms周期 駆動 duty1/1000

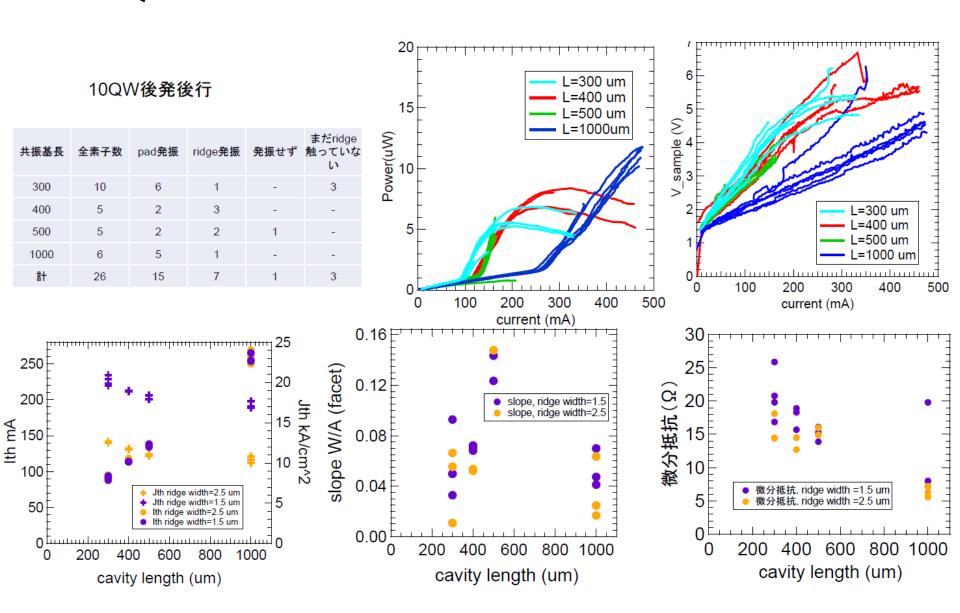


3QW-InGaAs LD

2usパルス/2ms周期 駆動 duty1/1000



10QW-InGaAs LD 2usパルス/2ms周期 駆動 duty1/1000



3QW-InGaAs LD 2usパルス/2ms周期 駆動 duty1/1000

エピダウンした試料に大電流を流してみたところとてもよく光った

試料:3QW 後発後行 FP領域の以下の4つ

bar 12 (L=1000) 素子01 (L=400)素子01 (L=400)素子01 (L=400)素子01 (L=400)素子01 (L=400)素子01 (L=1000)素子01 (L=1000)素子02 (L=1000)素子02 (L=1000)素子02 (L=1000)素子03 (L=400)素子04 (L=1000)素子04 (L=1000)素子05 (L=400)素子05 (L=400) (L=4

- ✓ 2us,2ms周期,Duty比1:1000
- ✓ 温調かけ忘れた
- ✓ パワーメータの設定波長: 1030nm

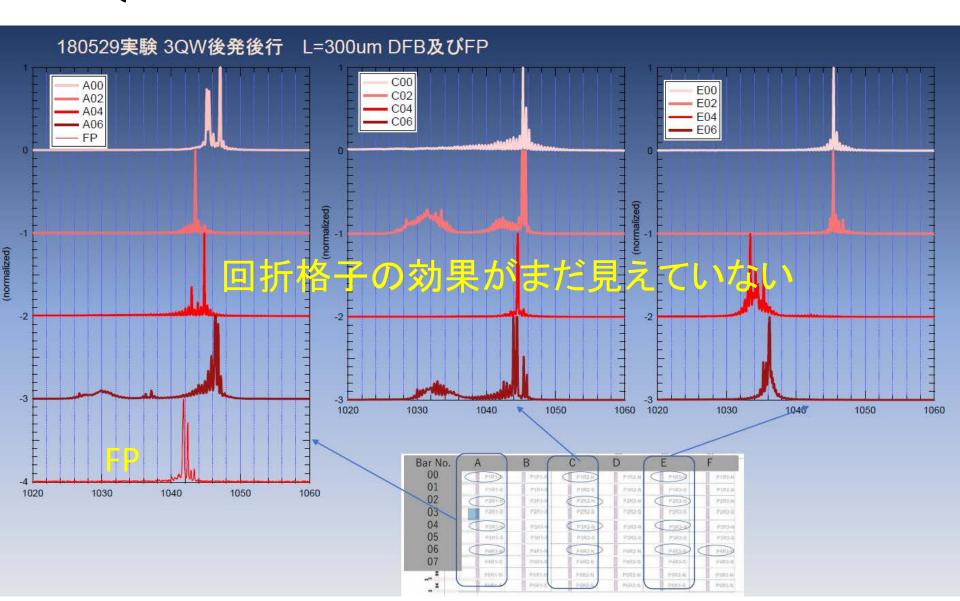
L=1000um ない試料 L=1000umそのに L=400um L=300um L=500um ower(uW) 60 200 400 600 800 1000 I (mA) エピダウンではないほうの プロット 数字は測定の回数 を表し,重ねるごとに発光量

が落ちていった

180523実験

DFB構造 w/o ARコート (端面:アズ·クリーブ)

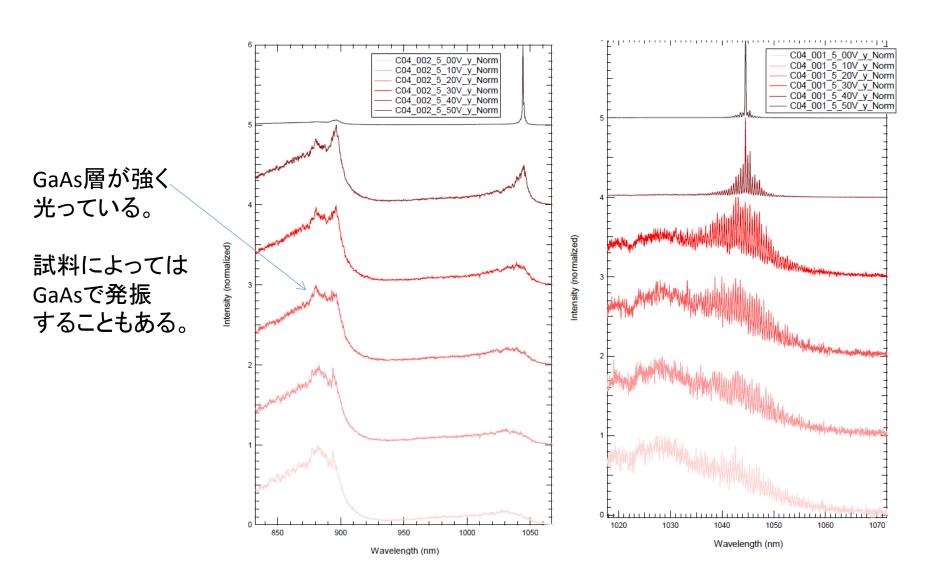
3QW-InGaAs LD 2usパルス/2ms周期 駆動 duty1/1000



Confidential

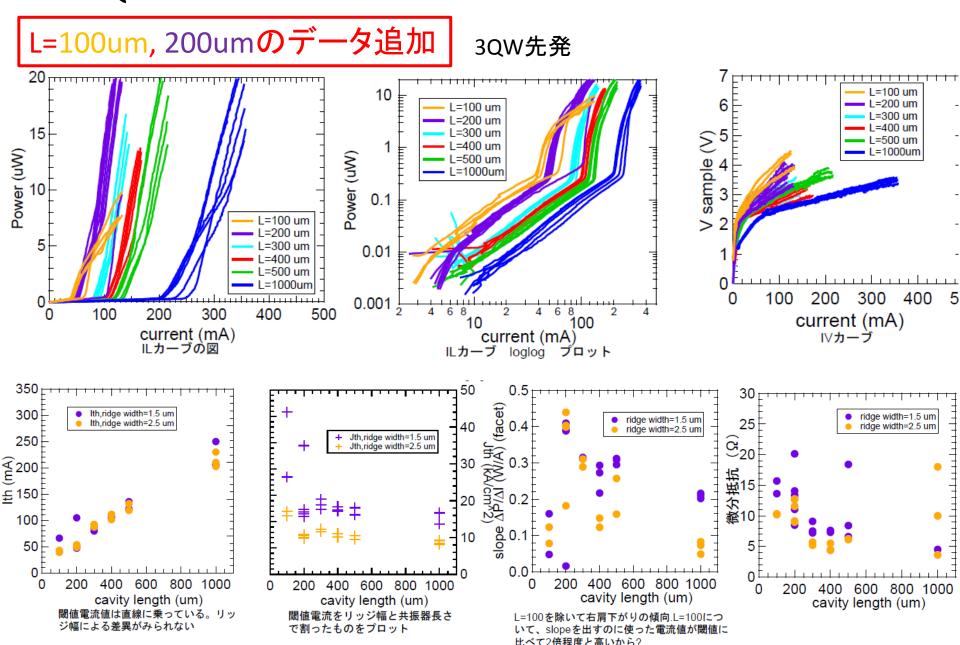
DFB構造 w/o ARコート 回折格子の効果がまだ見えていない

3QW-InGaAs LD 2usパルス/2ms周期 駆動 duty1/1000



3QW-InGaAs LD

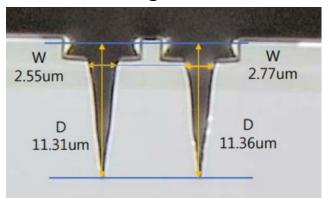
2usパルス/2ms周期 駆動 duty1/1000



3QW-InGaAs LD

2usパルス/2ms周期 駆動 duty1/1000

FIB加工 (ridge01)

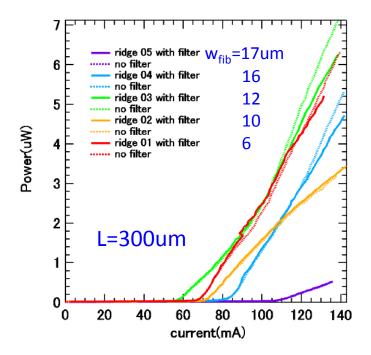


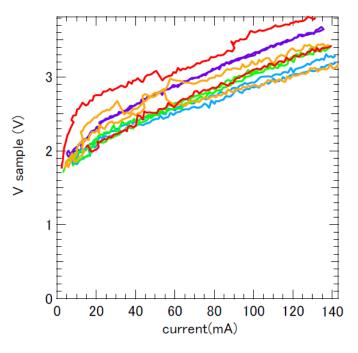
FIB加工でしきい値電流が下がった。

→

注入電流が横方向に広がって

しまっているようだ

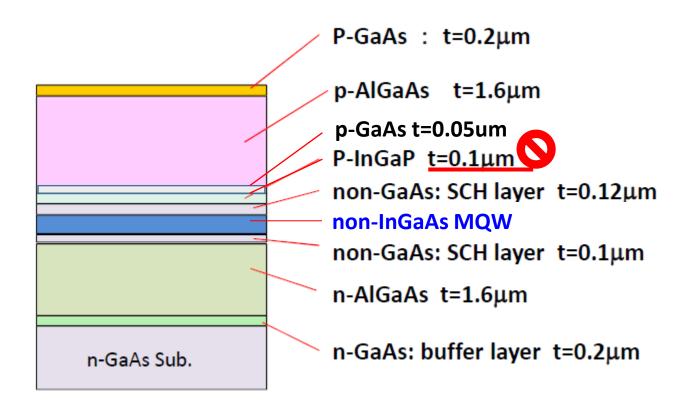




サンプル: 3QW先発先行 120um厚 FP領域 バーNo.02 (上から数えて) L=300um

測定条件: Agilent8114A 1~7V設定 2us パルス 2ms周期 Duty比1:1000, ADCMT 8230 1030nm 20uWレンジ固定

1umLDウエハの元エピ構造



InGaAs MQW → SQW DQW 3QW 10QW DH

今後の進め方

2018/7/20秋山記

- △ 高しきい値の理由、エピ構造の問題点解明と対策
- O 100um短共振器化成功 → 技術確立
- O 多層(≥10)MQW化成功 → 詳細評価と次の設計
- 第2回試作
 エピはエピファブで。加工(FP-LDにしぼる)は自前で。
 DFB、DBRによる単一周波数化について再検討。
 (必要な線幅、やり方、ファブの使い方)
- 第1回試作DFB-LD部分の加工と評価
- 高速駆動技術、 利得スイッチ評価
- 光励起実験 多セクションLD実験など 基礎研究実験

LD試作の前に(と並行して) 既存(市販)LDを用いたパルス発生制御の実験

- 1)利得スイッチパルス(緩和振動の一発目を取り出す) 50-200psは、市販1umLD素子でできた。 LD素子の自家開発で、制御範囲を広げたい。
- 2)LD直接変調で、1ns前後のパルスには、緩和振動が乗ってしまい、 きれいなパルス発生が難しい。DCバイアスや2段階パルス駆動を 試したが、成功しなかった。
- 3)LD直接変調で、10ns以上のパルスでも、緩和振動が乗った。 電気パルスの立ち上がりをあえて遅くしたら、緩和振動をほぼ消せた。
- 4) LD直接変調パルスに緩和振動が乗ると、ファイバーアンプで増幅したときに、振動成分が増長してしまった。