

MIPS CPU控制器设计

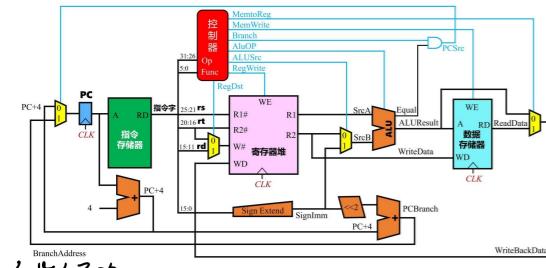
单周期：定长指令周期 | 所有指令在一个时钟周期内完成，CPI=1
性能取决于最慢指令，时钟周期过长

多周期：复杂指令周期 | 缩短时钟周期，复用器件/数据通路
可支持流水操作 提高性能

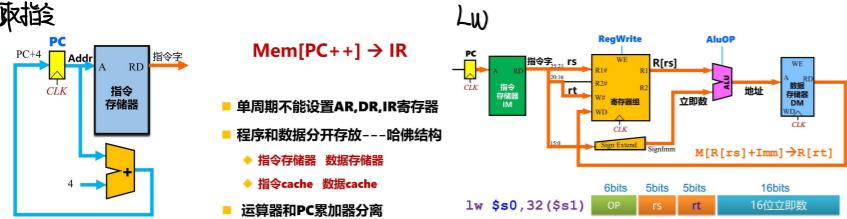
MIPS 指令



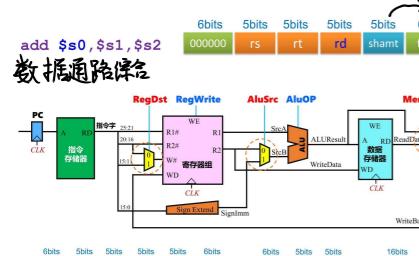
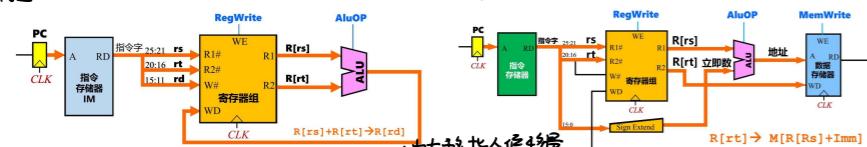
单周期MIPS数据通路



取指令

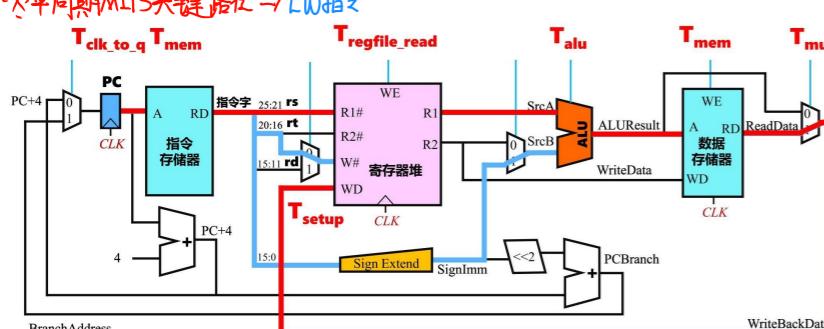


R型



凡是多个输入来源的，增加MUX，引入控点

* 单周期MIPS关键路径 \Rightarrow LW指令

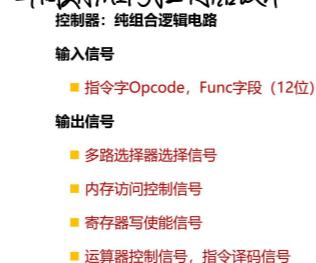


性能取决于最慢的指令，时钟周期过长

$$T_{min} = T_{clk_to_q} + T_{mem} + T_{RF_read} + T_{alu} + T_{mux} + T_{setup}$$

$$T_{min} = T_{clk_to_q} + \max\{T_{alu}, T_{mem}\} + T_{setup}$$

单周期MIPS控制器设计



单周期数据通路小结 (单周期指令集计算机实现技术)

单周期处理器 CPI=1 越小，性能越好

单周期处理器性能

计算机性能除 CPI 之外，还取决于时钟周期宽度

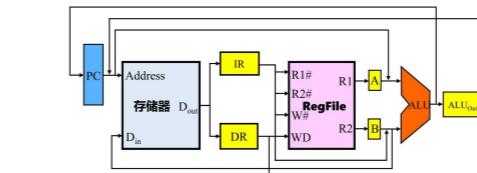
单周期处理器时钟宽度为最短来指令的执行时间

很多指令可以在更短的时间内完成

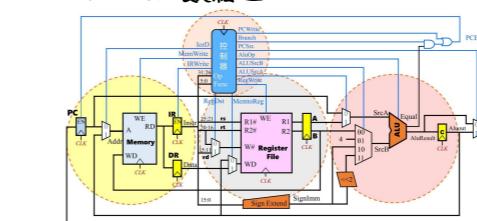
现代计算机采用多周期方式

多周期MIPS数据通路特点

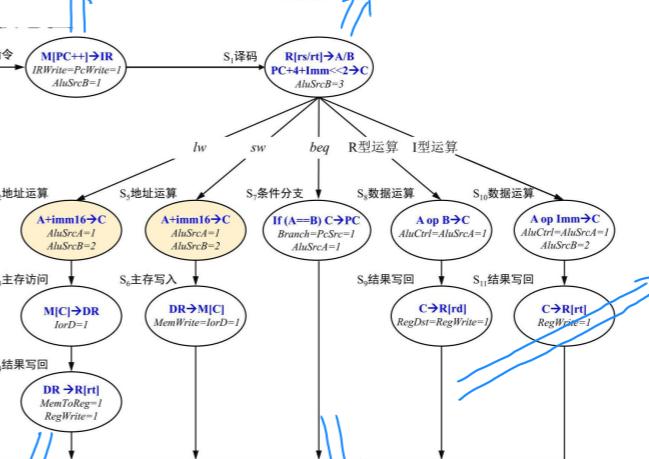
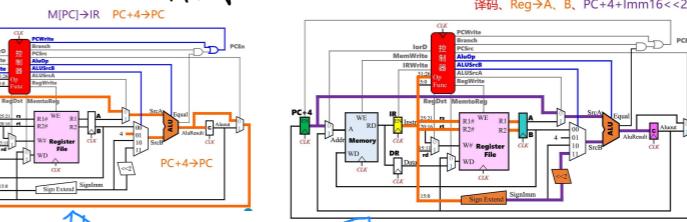
主要功能单元输出端 增加寄存器锁存数据
可以区分 指令/数据存储器 分时使用部分功能部件(减小面积)
传输通路延时变小，时钟周期变短



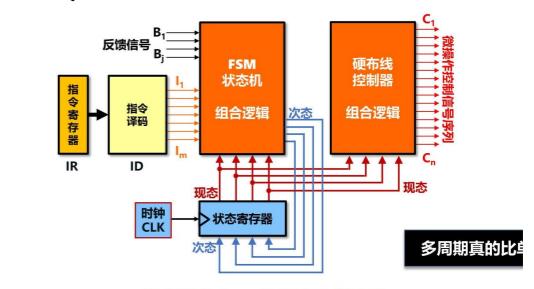
多周期MIPS CPU数据通路



多周期MIPS时序图



多周期MIPS控制器设计



机器指令字 \rightarrow 控制器信号序列

现代处理器将指令周期划分为多个时钟周期，以流水线方式并行工作

* 多周期MIPS关键路径 \Rightarrow LW指令 M[CI] \rightarrow DR / PC+4 \rightarrow PC

$$T_{min} = T_{clk_to_q} + \max\{T_{alu}, T_{mem}\} + T_{mux}$$

+ T setup

* 多周期MIPS关键路径 \Rightarrow LW指令 M[CI] \rightarrow DR / PC+4 \rightarrow PC

$$T_{min} = T_{clk_to_q} + \max\{T_{alu}, T_{mem}\} + T_{mux}$$

+ T setup