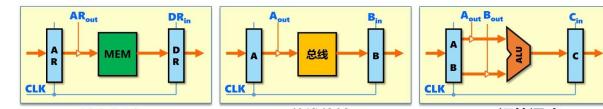
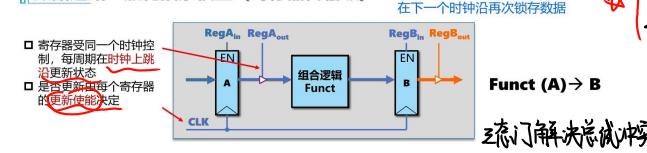
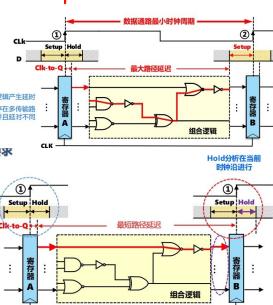


分类: 共享通路(总线) | 专用通路 | 时序安排不同且影响流程/效率

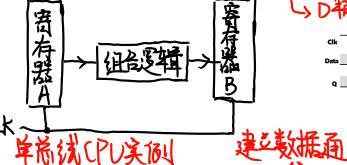
■ 数据通路一般化抽象模型 (寄存器传输级)



setup+hold \Rightarrow 稳定时间

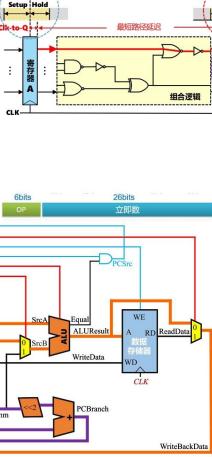


setup
hold 要求



建立数据通路

单总线 MIPS CPU 实例



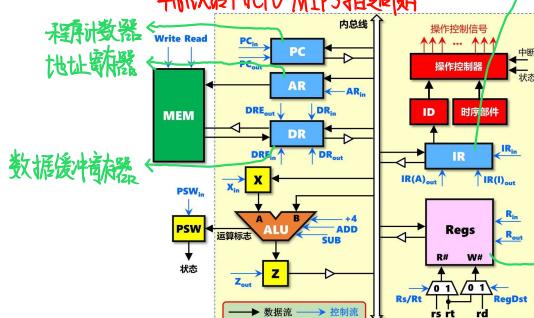
指令周期与时序

指令执行一般流程

取指令 PC++ \rightarrow 指令译码 \rightarrow 操作数地址译码 \rightarrow 取操作数 \rightarrow 数据操作/控制执行 \rightarrow 操作数地址计算

\rightarrow 有操作数 \rightarrow 中断响应周期

单总线结构CPU MIPS 指令周期



取指及数据通路与控制信号 $M[PC+I] \rightarrow IR$

数据通路 控制信号

T ₁	PC \rightarrow AR, PC \rightarrow X	PCout, ARin, Xin
T ₂	X+4 \rightarrow Z	+4
T ₃	Z \rightarrow PC, M[AR] \rightarrow DR	Zout, PCin, DREin, Read
T ₄	DR \rightarrow IR	DRout, IRin

不同指令数据通路与控制信号

① lw, rt, imm (rs) M[PC+I+imm] \rightarrow R[rt] ② sw, rt, imm (rs) R[rt] \rightarrow M[R[rt]+imm]

基址址

6bit	1bit	5bit	1bit imm
OP=35	数据通路	控制信号	
T ₅	R[rs] \rightarrow X	Rout, Xin	
T ₆	X+imm \rightarrow Z	IR(I)out, ADD	
T ₇	Z \rightarrow AR	Zout, ARin	
T ₈	M[AR] \rightarrow DR	DREin, Read	
T ₉	DR \rightarrow R[rt]	DRout, R[rt]	

OP=43 数据通路 控制信号

6bit	1bit	5bit	1bit imm
OP=43	数据通路	控制信号	
T ₅	R[rs] \rightarrow X	Rout, Xin	
T ₆	X+imm \rightarrow Z	IR(I)out, ADD	
T ₇	Z \rightarrow AR	Zout, ARin	
T ₈	R[rt] \rightarrow DR	Rout, R[rt], DRin	
T ₉	DR \rightarrow M[AR]	DREout, Write	

③ beq rs, rt, imm if (R[rs] == R[rt]) P[4+imm] \rightarrow Z

6bit	1bit	5bit	1bit imm
OP=4	数据通路	控制信号	
T ₅	R[rs] \rightarrow X	Rout, Xin	
T ₆	X-R[rt] \rightarrow PSW	Rout, RD, RT, SUB, PSWin	
T ₇	PC \rightarrow X	PCout, Xin	
T ₈	IR(A) \rightarrow Y	IR(A)out, ADD	
T ₉	If (PSW.equal) Z \rightarrow PC	Zout, PCin = PSW.equal	

⑤ addi rd, rs, rt R[rs]+R[rt] \rightarrow R[rd]

6bit	1bit	5bit	5bit	1bit
OP=0	FS	rt	rd	shamt funct
数据通路	控制信号			
T ₅	R[rs] \rightarrow X	Rout, Xin		
T ₆	X+R[rt] \rightarrow Z	R[rt].Rout, ADD		
T ₇	Z \rightarrow R[rd]	Zout, R[rd], RegDst		

* 单总线结构性能关键路径 \Rightarrow 访存通路 M[AR] \rightarrow DR \rightarrow 运算通路 ALU \rightarrow Z

$$T_{min_clk} = T_{clk_to_q} + \max\{T_{alu}, T_{mem}\} + T_{setup}$$

④

addi rt, rs, imm R[rs]+imm \rightarrow R[rt]

6bit	1bit	5bit	1bit imm
OP=8	数据通路	控制信号	
T ₅	R[rs] \rightarrow X	Rout, Xin	
T ₆	X+imm \rightarrow Z	IR(I)out, ADD	
T ₇	Z \rightarrow R[rt]	Zout, R[rt]	

