



ユーザーズ・マニュアル

V850ES/JG2

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

μPD70F3715

μPD70F3716

μPD70F3717

μPD70F3718

μPD70F3719

資料番号 U17715JJ2V0UD00 (第2版)

発行年月 September 2006 N CP(K)

© NEC Electronics Corporation 2005

(メモ)

目次要約

第1章 イントロダクション	... 19
第2章 端子機能	... 31
第3章 CPU機能	... 47
第4章 ポート機能	... 89
第5章 バス制御機能	... 173
第6章 クロック発生機能	... 199
第7章 16ビット・タイマ/イベント・カウンタP (TMP)	... 213
第8章 16ビット・タイマ/イベント・カウンタQ (TMQ)	... 301
第9章 16ビット・インターバル・タイマM (TMM)	... 401
第10章 時計タイマ機能	... 410
第11章 ウオッチドッグ・タイマ2機能	... 420
第12章 リアルタイム出力機能 (RTO)	... 425
第13章 A/Dコンバータ	... 432
第14章 D/Aコンバータ	... 468
第15章 アシンクロナス・シリアル・インターフェースA (UARTA)	... 473
第16章 3線式可変長シリアルI/O (CSIB)	... 510
第17章 I ² Cバス	... 560
第18章 DMA機能 (DMAコントローラ)	... 642
第19章 割り込み/例外処理機能	... 665
第20章 キー割り込み機能	... 702
第21章 スタンバイ機能	... 704
第22章 リセット機能	... 724
第23章 クロック・モニタ	... 735
第24章 低電圧検出回路 (LVI)	... 741
第25章 レギュレータ	... 748
第26章 フラッシュ・メモリ	... 750
第27章 オンチップ・デバッグ機能	... 776
第28章 電気的特性	... 798
第29章 外形図	... 833
第30章 半田付け推奨条件	... 835
付録A 開発ツール	... 837
付録B レジスタ索引	... 848
付録C 命令セット一覧	... 858
付録D 注意事項一覧	... 867
付録E 改版履歴	... 897

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して， V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとまるような場合は，誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん， V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については，CMOSデバイスの入力に何も接続しない状態で動作させるのではなく，プルアップかプルダウンによって入力レベルを固定してください。また，未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると，個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については，その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には，当社が出荷梱包に使用している導電性のトレイやマガジン・ケース，または導電性の緩衝材，金属ケースなどを利用し，組み立て工程にはアースを施してください。プラスチック板上に放置したり，端子を触ったりしないでください。

また，MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時，MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定，レジスタ内容などは保証しておりません。ただし，リセット動作やモード設定で定義している項目については，これらの動作のうちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は，まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インターフェースで異なる電源を使用するデバイスの場合，原則として内部電源を投入した後に外部電源を投入してください。切断の際には，原則として外部電源を切断した後に内部電源を切斷してください。逆の電源投入切断順により，内部素子に過電圧が印加され，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については，その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に，入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により，誤動作を引き起こしたり，異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については，その内容を守ってください。

EEPROM, IECUBE, MINICUBE, AppliletはNECエレクトロニクス株式会社の登録商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONはThe Realtime Operating System Nucleusの略称です。

ITRONはIndustrial TRONの略称です。

- 本資料に記載されている内容は2006年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

対象者 このマニュアルは、V850ES/JG2の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目的 このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。

構成 V850ES/JG2のユーザーズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザーズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

読み方 このマニュアルの読者には、電気、論理回路、およびマイクロコンピュータに関する一般知識を必要とします。

一通りV850ES/JG2の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

付録B レジスタ索引を利用してください。

レジスタ・フォーマットの見方

ビット番号を¹で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき

別冊のV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

V850ES/JG2の電気的特性を知りたいとき

第28章 電気的特性を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラーは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

凡　　例 データ表記の重み：左が上位桁、右が下位桁

アクティブ・ロウの表記： \overline{xxx} （端子、信号名称に上線）

メモリ・マップのアドレス：上部 - 上位、下部 - 下位

注　：本文中に付けた注の説明

注意：気を付けて読んでいただきたい内容

備考：本文の補足説明

数の表記：2進数 … xxxxまたはxxxxB

10進数 … xxxx

16進数 … xxxxH

2のべき数を示す接頭語（アドレス空間、メモリ容量）：

K（キロ）： $2^{10} = 1024$

M（メガ）： $2^{20} = 1024^2$

G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/JG2に関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/JG2 ユーザーズ・マニュアル ハードウエア編	このマニュアル

開発ツールに関する資料（ユーザーズ・マニュアル）

資料名	資料番号
QB-V850ESSX2 インサーキット・エミュレータ	U17091J
QB-V850MINI オンチップ・デバック・エミュレータ	U17638J
QB-MINI2 フラッシュ・プログラミング機能付きオンチップ・デバック・エミュレータ	作成予定
CA850 Ver.3.00 Cコンパイラ・パッケージ	操作編
	C言語編
	アセンブリー言語編
	リンク・ディレクトリブ編
PM+ Ver.6.20 プロジェクト・マネージャ	U17990J
ID850QB Ver.3.20 統合デバッガ	操作編
SM850 Ver.2.50 システム・シミュレータ	操作編
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インターフェース仕様編
SM+ システム・シミュレータ	操作編
	ユーザ・オープン・インターフェース編
RX850 Ver.3.20 リアルタイムOS	基礎編
	インストレーション編
	テクニカル編
	タスク・デバッガ編
RX850 Pro Ver.3.20 リアルタイムOS	基礎編
	インストレーション編
	テクニカル編
	タスク・デバッガ編
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J

目 次

第1章 イントロダクション ... 19

- 1.1 概 説 ... 19
- 1.2 特 徴 ... 22
- 1.3 応用分野 ... 23
- 1.4 オーダ情報 ... 23
- 1.5 端子接続図 (Top View) ... 24
- 1.6 機能ブロック構成 ... 27
 - 1.6.1 内部ブロック図 ... 27
 - 1.6.2 内部ユニット ... 28

第2章 端子機能 ... 31

- 2.1 端子機能一覧 ... 31
- 2.2 端子状態 ... 41
- 2.3 端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理 ... 42
- 2.4 注意事項 ... 46

第3章 CPU機能 ... 47

- 3.1 特 徴 ... 47
- 3.2 CPUレジスタ・セット ... 48
 - 3.2.1 プログラム・レジスタ・セット ... 49
 - 3.2.2 システム・レジスタ・セット ... 50
- 3.3 動作モード ... 56
 - 3.3.1 動作モード指定 ... 56
- 3.4 アドレス空間 ... 57
 - 3.4.1 CPUアドレス空間 ... 57
 - 3.4.2 CPUアドレス空間のラップ・アラウンド ... 58
 - 3.4.3 メモリ・マップ ... 59
 - 3.4.4 領 域 ... 61
 - 3.4.5 アドレス空間の推奨使用方法 ... 68
 - 3.4.6 周辺I/Oレジスタ ... 71
 - 3.4.7 特定レジスタ ... 81
 - 3.4.8 注意事項 ... 85

第4章 ポート機能 ... 89

- 4.1 特 徴 ... 89
- 4.2 ポートの基本構成 ... 89
- 4.3 ポートの構成 ... 90
 - 4.3.1 ポート0 ... 95
 - 4.3.2 ポート1 ... 98
 - 4.3.3 ポート3 ... 99

4. 3. 4 ポート4	...	105
4. 3. 5 ポート5	...	108
4. 3. 6 ポート7	...	113
4. 3. 7 ポート9	...	115
4. 3. 8 ポートCM	...	123
4. 3. 9 ポートCT	...	125
4. 3. 10 ポートDH	...	127
4. 3. 11 ポートDL	...	129
4. 4 ブロック図	...	132
4. 5 兼用機能使用時のポートのレジスタ設定	...	160
4. 6 注意事項	...	168
4. 6. 1 ポート端子設定上の注意事項	...	168
4. 6. 2 ポートnレジスタ(Pn)に対するビット操作命令に関する注意事項	...	171
4. 6. 3 オンチップ・デバッグ用端子に関する注意事項	...	172
4. 6. 4 P05/INTP2/DRST端子に関する注意事項	...	172
4. 6. 5 P10, P11, P53端子に関する電源投入時の注意事項	...	172
4. 6. 6 ヒステリシス特性について	...	172

第5章 バス制御機能 ... 173

5. 1 特 徴	...	173
5. 2 バス制御端子	...	174
5. 2. 1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	174
5. 2. 2 各動作モードの端子状態	...	174
5. 3 メモリ・ブロック機能	...	175
5. 4 外部バス・インターフェース・モード制御機能	...	176
5. 5 バス・アクセス	...	177
5. 5. 1 アクセス・クロック数	...	177
5. 5. 2 バス・サイズ設定機能	...	177
5. 5. 3 バス・サイズによるアクセス	...	178
5. 6 ウエイト機能	...	185
5. 6. 1 プログラマブル・ウエイト機能	...	185
5. 6. 2 外部ウエイト機能	...	186
5. 6. 3 プログラマブル・ウエイトと外部ウエイトの関係	...	187
5. 6. 4 プログラマブル・アドレス・ウエイト機能	...	188
5. 7 アイドル・ステート挿入機能	...	189
5. 8 バス・ホールド機能	...	190
5. 8. 1 機能概要	...	190
5. 8. 2 バス・ホールド手順	...	191
5. 8. 3 パワー・セーブ・モード時の動作	...	191
5. 9 バスの優先順位	...	192
5. 10 バス・タイミング	...	193

第6章 クロック発生機能 ... 199

6. 1 概 要	...	199
6. 2 構 成	...	200
6. 3 レジスタ	...	202
6. 4 動 作	...	207

6.4.1	各クロックの動作	207
6.4.2	クロック出力機能	207
6.5	PLL機能	208
6.5.1	概要	208
6.5.2	レジスタ	208
6.5.3	使用方法	212
第7章 16ビット・タイマ/イベント・カウンタP (TMP)		213
7.1	概要	213
7.2	機能	213
7.3	構成	214
7.4	レジスタ	216
7.5	動作	228
7.5.1	インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)	229
7.5.2	外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)	239
7.5.3	外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)	247
7.5.4	ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)	259
7.5.5	PWM出力モード (TPnMD2-TPnMD0ビット = 100)	266
7.5.6	フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)	275
7.5.7	パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)	292
7.5.8	タイマ出力動作説明	298
7.6	セレクタ機能	299
7.7	注意事項	300
第8章 16ビット・タイマ/イベント・カウンタQ (TMQ)		301
8.1	概要	301
8.2	機能	301
8.3	構成	302
8.4	レジスタ	305
8.5	動作	321
8.5.1	インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000)	322
8.5.2	外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)	331
8.5.3	外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)	340
8.5.4	ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)	353
8.5.5	PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)	362
8.5.6	フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101)	373
8.5.7	パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)	393
8.5.8	タイマ出力動作説明	399
8.6	注意事項	400
第9章 16ビット・インターバル・タイマM (TMM)		401
9.1	概要	401
9.2	構成	402
9.3	レジスタ	404
9.4	動作	405
9.4.1	インターバル・タイマ・モード	405
9.4.2	注意事項	409

第10章 時計タイマ機能 ... 410

10. 1 機能 ... 410
10. 2 構成 ... 411
10. 3 レジスタ ... 413
10. 4 動作 ... 417
10. 4. 1 時計タイマとしての動作 ... 417
10. 4. 2 インターバル・タイマとしての動作 ... 418
10. 4. 3 注意事項 ... 419

第11章 ウオッヂドッグ・タイマ2機能 ... 420

11. 1 機能 ... 420
11. 2 構成 ... 421
11. 3 レジスタ ... 422
11. 4 動作 ... 424

第12章 リアルタイム出力機能 (RTO) ... 425

12. 1 機能 ... 425
12. 2 構成 ... 426
12. 3 レジスタ ... 428
12. 4 動作 ... 430
12. 5 使用方法 ... 431
12. 6 注意事項 ... 431

第13章 A/Dコンバータ ... 432

13. 1 概要 ... 432
13. 2 機能 ... 432
13. 3 構成 ... 433
13. 4 レジスタ ... 436
13. 5 動作 ... 447
13. 5. 1 基本動作 ... 447
13. 5. 2 変換動作タイミング ... 448
13. 5. 3 トリガ・モード ... 449
13. 5. 4 動作モード ... 451
13. 5. 5 パワー・フェイル比較モード ... 455
13. 6 注意事項 ... 460
13. 7 A/Dコンバータ特性表の読み方 ... 464

第14章 D/Aコンバータ ... 468

14. 1 機能 ... 468
14. 2 構成 ... 468
14. 3 レジスタ ... 469
14. 4 動作 ... 471
14. 4. 1 通常モード時の動作 ... 471

14.4.2	リアルタイム出力モード時の動作	... 471
14.4.3	使用上の注意点	... 472

第15章 アシンクロナス・シリアル・インターフェースA (UARTA) ... 473

15.1	UARTAとほかのシリアル・インターフェースのモード切り替え	... 473
15.1.1	CSIB4とUARTA0のモード切り替え	... 473
15.1.2	UARTA2と ^I C00のモード切り替え	... 474
15.1.3	UARTA1と ^I C02のモード切り替え	... 475
15.2	特 徴	... 476
15.3	構 成	... 477
15.4	レジスタ	... 479
15.5	割り込み要求信号	... 485
15.6	動 作	... 486
15.6.1	データ・フォーマット	... 486
15.6.2	SBF送信 / 受信フォーマット	... 488
15.6.3	SBF送信	... 490
15.6.4	SBF受信	... 491
15.6.5	UART送信	... 492
15.6.6	連続送信の手順説明	... 493
15.6.7	UART受信	... 495
15.6.8	受信エラー	... 497
15.6.9	パリティの種類と動作	... 499
15.6.10	受信データのノイズ・フィルタ	... 500
15.7	専用ポート・レート・ジェネレータ	... 501
15.8	注意事項	... 509

第16章 3線式可変長シリアルI/O (CSIB) ... 510

16.1	CSIBとほかのシリアル・インターフェースのモード切り替え	... 510
16.1.1	CSIB4とUARTA0のモード切り替え	... 510
16.1.2	CSIB0と ^I C01のモード切り替え	... 511
16.2	特 徴	... 512
16.3	構 成	... 513
16.4	レジスタ	... 515
16.5	割り込み要求信号	... 522
16.6	動 作	... 523
16.6.1	シングル転送モード (マスター・モード, 送信モード)	... 523
16.6.2	シングル転送モード (マスター・モード, 受信モード)	... 525
16.6.3	シングル転送モード (マスター・モード, 送受信モード)	... 527
16.6.4	シングル転送モード (スレーブ・モード, 送信モード)	... 529
16.6.5	シングル転送モード (スレーブ・モード, 受信モード)	... 531
16.6.6	シングル転送モード (スレーブ・モード, 送受信モード)	... 533
16.6.7	連続転送モード (マスター・モード, 送信モード)	... 535
16.6.8	連続転送モード (マスター・モード, 受信モード)	... 537
16.6.9	連続転送モード (マスター・モード, 送受信モード)	... 540
16.6.10	連続転送モード (スレーブ・モード, 送信モード)	... 544
16.6.11	連続転送モード (スレーブ・モード, 受信モード)	... 546
16.6.12	連続転送モード (スレーブ・モード, 送受信モード)	... 549

16. 6. 13	受信エラー	... 553
16. 6. 14	クロック・タイミング	... 554
16. 7	出力端子	... 556
16. 8	ポート・レート・ジェネレータ	... 557
16. 8. 1	ポート・レートの生成	... 558
16. 9	注意事項	... 559

第17章 I²Cバス ... 560

17. 1	I ² Cバスとほかのシリアル・インターフェースのモード切り替え	... 560
17. 1. 1	UARTA2とI ² C00のモード切り替え	... 560
17. 1. 2	CSIB0とI ² C01のモード切り替え	... 561
17. 1. 3	UARTA1とI ² C02のモード切り替え	... 562
17. 2	特徴	... 563
17. 3	構成	... 564
17. 4	レジスタ	... 568
17. 5	I ² Cバス・モードの機能	... 584
17. 5. 1	端子構成	... 584
17. 6	I ² Cバスの定義および制御方法	... 585
17. 6. 1	スタート・コンディション	... 586
17. 6. 2	アドレス	... 587
17. 6. 3	転送方向指定	... 588
17. 6. 4	アクノリッジ(ACK)	... 589
17. 6. 5	ストップ・コンディション	... 590
17. 6. 6	ウェイト	... 591
17. 6. 7	ウェイト解除方法	... 593
17. 7	I ² C割り込み要求信号(INTIICn)	... 594
17. 7. 1	マスタ動作	... 594
17. 7. 2	スレーブ動作(スレーブ・アドレス・データ受信時(アドレス一致))	... 597
17. 7. 3	スレーブ動作(拡張コード受信時)	... 601
17. 7. 4	通信不参加の動作	... 605
17. 7. 5	アビトリレーション負けの動作(アビトリレーション負けのあと,スレーブとして動作)	... 606
17. 7. 6	アビトリレーション負けの動作(アビトリレーション負けのあと,不参加)	... 608
17. 8	割り込み要求信号(INTIICn)発生タイミングおよびウェイト制御	... 615
17. 9	アドレスの一致検出方法	... 617
17. 10	エラーの検出	... 617
17. 11	拡張コード	... 617
17. 12	アビトリレーション	... 618
17. 13	ウェイク・アップ機能	... 619
17. 14	通信予約	... 620
17. 14. 1	通信予約機能許可の場合(IICFn.IICRSVnビット = 0)	... 620
17. 14. 2	通信予約機能禁止の場合(IICFn.IICRSVnビット = 1)	... 624
17. 15	注意事項	... 625
17. 16	通信動作	... 626
17. 16. 1	シングルマスタ・システムでのマスタ動作	... 627
17. 16. 2	マルチマスタ・システムでのマスタ動作	... 628
17. 16. 3	スレーブ動作	... 631
17. 17	データ通信のタイミング	... 635

第18章 DMA機能 (DMAコントローラ) ... 642

18. 1 特 徴 ... 642
18. 2 構 成 ... 643
18. 3 レジスタ ... 644
18. 4 転送対象 ... 651
18. 5 転送モード ... 651
18. 6 転送タイプ ... 652
18. 7 DMAチャネルの優先順位 ... 653
18. 8 DMA転送に関する各種時間 ... 653
18. 9 DMA転送起動要因 ... 654
18. 10 DMAの中止要因 ... 655
18. 11 DMA転送の終了 ... 655
18. 12 動作タイミング ... 655
18. 13 注意事項 ... 660

第19章 割り込み / 例外処理機能 ... 665

19. 1 特 徴 ... 665
19. 2 ノンマスカブル割り込み ... 669
19. 2. 1 動 作 ... 672
19. 2. 2 復 帰 ... 673
19. 2. 3 NPフラグ ... 674
19. 3 マスカブル割り込み ... 675
19. 3. 1 動 作 ... 675
19. 3. 2 復 帰 ... 677
19. 3. 3 マスカブル割り込みの優先順位 ... 678
19. 3. 4 割り込み制御レジスタ (xxICn) ... 682
19. 3. 5 割り込みマスク・レジスタ0-3 (IMR0-IMR3) ... 684
19. 3. 6 インサービス・プライオリティ・レジスタ (ISPR) ... 686
19. 3. 7 IDフラグ ... 687
19. 3. 8 ウオッヂドッグ・タイマ・モード・レジスタ2 (WDTM2) ... 687
19. 4 ソフトウェア例外 ... 688
19. 4. 1 動 作 ... 688
19. 4. 2 復 帰 ... 689
19. 4. 3 EPフラグ ... 690
19. 5 例外トラップ ... 691
19. 5. 1 不正命令コード ... 691
19. 5. 2 デバッギング・トラップ ... 693
19. 6 外部割り込み要求入力端子 (NMI, INTP0-INTP7) ... 695
19. 6. 1 ノイズ除去 ... 695
19. 6. 2 エッジ検出 ... 695
19. 7 CPUの割り込み応答時間 ... 700
19. 8 CPUが割り込みを受け付けない期間 ... 701
19. 9 注意事項 ... 701

第20章 キー割り込み機能 ... 702

20. 1 機 能 ... 702

20.2	レジスタ	...	703
20.3	注意事項	...	703

第21章 スタンバイ機能 ... 704

21.1	概要	...	704
21.2	レジスタ	...	706
21.3	HALTモード	...	709
21.3.1	設定および動作状態	...	709
21.3.2	HALTモードの解除	...	709
21.4	IDLE1モード	...	711
21.4.1	設定および動作状態	...	711
21.4.2	IDLE1モードの解除	...	711
21.5	IDLE2モード	...	713
21.5.1	設定および動作状態	...	713
21.5.2	IDLE2モードの解除	...	713
21.5.3	IDLE2モード解除時のセットアップ時間の確保	...	715
21.6	STOPモード	...	716
21.6.1	設定および動作状態	...	716
21.6.2	STOPモードの解除	...	716
21.6.3	STOPモード解除時の発振安定時間の確保	...	719
21.7	サブクロック動作モード	...	720
21.7.1	設定および動作状態	...	720
21.7.2	サブクロック動作モードの解除	...	720
21.8	サブIDLEモード	...	722
21.8.1	設定および動作状態	...	722
21.8.2	サブIDLEモードの解除	...	722

第22章 リセット機能 ... 724

22.1	概要	...	724
22.2	リセット要因を確認するレジスタ	...	725
22.3	動作	...	726
22.3.1	RESET端子によるリセット動作	...	726
22.3.2	ウォッチャドッグ・タイマ2によるリセット動作	...	728
22.3.3	低電圧検出回路によるリセット動作	...	730
22.3.4	リセット解除後の動作	...	731
22.3.5	リセット機能の動作フロー	...	734

第23章 クロック・モニタ ... 735

23.1	機能	...	735
23.2	構成	...	736
23.3	レジスタ	...	737
23.4	動作	...	738

第24章 低電圧検出回路(LVI) ... 741

24.1	機能	...	741
------	----	-----	-----

24.2	構成	...	741
24.3	レジスタ	...	742
24.4	動作	...	744
24.4.1	内部リセット信号として使用する場合	...	744
24.4.2	割り込みとして使用する場合	...	745
24.5	RAM保持電圧検出動作	...	746
24.6	エミュレーション機能	...	747

第25章 レギュレータ ... 748

25.1	概要	...	748
25.2	動作	...	749

第26章 フラッシュ・メモリ ... 750

26.1	特徴	...	750
26.2	メモリ構成	...	751
26.3	機能概要	...	752
26.4	専用フラッシュ・ライタでの書き換え	...	755
26.4.1	プログラミング環境	...	755
26.4.2	通信方式	...	756
26.4.3	フラッシュ・メモリ制御	...	764
26.4.4	通信方式の選択	...	765
26.4.5	通信コマンド	...	766
26.4.6	端子処理	...	767
26.5	セルフ・プログラミングによる書き換え	...	771
26.5.1	概要	...	771
26.5.2	特徴	...	772
26.5.3	標準セルフ・プログラミング・フロー	...	773
26.5.4	フラッシュ関数一覧	...	774
26.5.5	端子処理	...	774
26.5.6	使用する内部資源	...	775

第27章 オンチップ・デバッグ機能 ... 776

27.1	DCUを使用する方法	...	777
27.1.1	接続回路例	...	777
27.1.2	インターフェース信号	...	778
27.1.3	マスク機能	...	779
27.1.4	レジスタ	...	780
27.1.5	動作	...	782
27.1.6	注意事項	...	783
27.2	DCUを使用しない方法	...	784
27.2.1	接続回路例	...	784
27.2.2	マスク機能	...	786
27.2.3	ユーザ資源の確保	...	786
27.2.4	注意事項	...	793
27.3	ROMセキュリティ機能	...	795
27.3.1	セキュリティID	...	795

27.3.2 設定方法 ... 796

第28章 電気的特性 ... 798

第29章 外形図 ... 833

第30章 半田付け推奨条件 ... 835

付録A 開発ツール ... 837

- A. 1 ソフトウェア・パッケージ ... 839
- A. 2 言語処理用ソフトウェア ... 839
- A. 3 制御ソフトウェア ... 839
- A. 4 デバッグ用ツール(ハードウェア) ... 840
 - A. 4. 1 IECUBE QB-V850ESSX2を使用する場合 ... 840
 - A. 4. 2 MINICUBE QB-V850MINIを使用する場合 ... 843
 - A. 4. 3 MINICUBE2 QB-MINI2を使用する場合 ... 844
- A. 5 デバッグ用ツール(ソフトウェア) ... 845
- A. 6 組み込み用ソフトウェア ... 846
- A. 7 フラッシュ・メモリ書き込み用ツール ... 847

付録B レジスタ索引 ... 848

付録C 命令セット一覧 ... 858

- C. 1 凡例 ... 858
- C. 2 インストラクション・セット(アルファベット順) ... 861

付録D 注意事項一覧 ... 867

付録E 改版履歴 ... 897

- E. 1 本版で改訂された主な箇所 ... 897

第1章 イントロダクション

V850ES/JG2は、NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラV850マイコンのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850ES/JG2は、V850ES CPUコアを使用し、ROM/RAM、タイマ／カウンタ、シリアル・インターフェース、A/Dコンバータ、D/Aコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/JG2は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、ディジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、低消費電力を必要とするホーム・オーディオ、プリンタ、情報家電などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

表1-1にV850ES/JG2の製品一覧について示します。

V850ES/JG2に対して、I/O、タイマ／カウンタ、シリアル・インターフェースなどの機能を拡張したV850ES/JJ2を用意しています。表1-2にV850ES/JJ2の製品一覧について示します。

表1-1 V850ES/JG2の製品一覧

品名		μ PD70F3715	μ PD70F3716	μ PD70F3717	μ PD70F3718	μ PD70F3719					
内部メモリ	フラッシュ・メモリ	128 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト	640 Kバイト					
	RAM	12 Kバイト	24 Kバイト	32 Kバイト	40 Kバイト	48 Kバイト					
メモリ空間	論理空間	64 Mバイト									
	外部メモリ領域	16 Mバイト									
外部バス・インターフェース		アドレス・バス：22ビット データ・バス：8/16ビット マルチプレクス・バス・モード / セパレート・バス・モード									
汎用レジスタ	32ビット×32レジスタ										
メイン・クロック (発振周波数)	セラミック / クリスタル / 外部クロック (PLLモード時： $f_x = 2.5 \sim 5$ MHz (4倍) または $f_x = 2.5$ MHz (8倍), クロック・スルーモード時： $f_x = 2.5 \sim 10$ MHz)										
サブクロック (発振周波数)	クリスタル / 外部クロック ($f_{XT} = 32.768$ kHz)										
内蔵発振器	$f_R = 200$ kHz (TYP.)										
最小命令実行時間	50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)										
DSP機能	$32 \times 32 = 64$: 200-250 ns (20 MHz時) $32 \times 32 + 32 = 32$: 300 ns (20 MHz時) $16 \times 16 = 32$: 50-100 ns (20 MHz時) $16 \times 16 + 32 = 32$: 150 ns (20 MHz時)										
I/Oポート	入出力 : 84本 (5Vトレント / N-chオープン・ドレーン出力選択可能 : 40本)										
タイマ	16ビット・タイマ / イベント・カウンタP : 6チャネル 16ビット・タイマ / イベント・カウンタQ : 1チャネル 16ビット・インターバル・タイマM : 1チャネル 時計タイマ : 1チャネル ウォッチドッグ・タイマ : 1チャネル										
リアルタイム出力ポート	6ビット×1チャネル										
A/Dコンバータ	10ビット分解能×12チャネル										
D/Aコンバータ	8ビット分解能×2チャネル										
シリアル・インターフェース	UART/CSI : 1チャネル UART/I ² Cバス : 2チャネル CSI : 3チャネル CSI/I ² Cバス : 1チャネル										
DMAコントローラ	4チャネル (転送対象 : 内蔵周辺I/O, 内蔵RAM, 外部メモリ)										
割り込み要因	外部 : 9 (9) ^注 , 内部 : 48										
パワー・セーブ機能	HALT/IDLE1/IDLE2/STOP/サブクロック / サブIDLEモード										
リセット	RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), 低電圧検出回路 (LVI)										
DCU	あり (RUN / ブレーク)										
動作電源電圧	2.85 ~ 3.6 V										
動作周囲温度	- 40 ~ + 85										
パッケージ	100ピン・プラスチックLQFP (フайнピッチ) (14×14 mm) 100ピン・プラスチックQFP (14×20 mm)										

注 () 内はSTOPモード解除可能な外部割り込み本数です。

表1-2 V850ES/JJ2の製品一覧

品名		μ PD70F3720	μ PD70F3721	μ PD70F3722	μ PD70F3723	μ PD70F3724
内部 メモリ	フラッシュ・メモリ	128 Kバイト	256 Kバイト	384 Kバイト	512 Kバイト	640 Kバイト
	RAM	12 Kバイト	24 Kバイト	32 Kバイト	40 Kバイト	48 Kバイト
メモリ 空間	論理空間	64 Mバイト				
	外部メモリ領域	16 Mバイト				
外部バス・インターフェース		アドレス・バス：24ビット データ・バス：8/16ビット マルチプレクス・バス・モード／セパレート・バス・モード チップ・セレクト信号：4本				
汎用レジスタ		32ビット×32レジスタ				
メイン・クロック (発振周波数)		セラミック／クリスタル／外部クロック (PLLモード時： $f_x = 2.5 \sim 5$ MHz (4倍) または $f_x = 2.5$ MHz (8倍)，クロック・スルーモード時： $f_x = 2.5 \sim 10$ MHz)				
サブクロック (発振周波数)		クリスタル／外部クロック ($f_{XT} = 32.768$ kHz)				
内蔵発振器		$f_R = 200$ kHz (TYP.)				
最小命令実行時間		50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)				
DSP機能		$32 \times 32 = 64$: 200-250 ns (20 MHz時) $32 \times 32 + 32 = 32$: 300 ns (20 MHz時) $16 \times 16 = 32$: 50-100 ns (20 MHz時) $16 \times 16 + 32 = 32$: 150 ns (20 MHz時)				
I/Oポート		入出力：128本 (5Vトレント／N-chオープン・ドレーン出力選択可能：60本)				
タイマ		16ビット・タイマ／イベント・カウンタP : 9チャネル 16ビット・タイマ／イベント・カウンタQ : 1チャネル 16ビット・インターバル・タイマM : 1チャネル 時計タイマ : 1チャネル ウォッチドッグ・タイマ : 1チャネル				
リアルタイム出力ポート		6ビット×2チャネル				
A/Dコンバータ		10ビット分解能×16チャネル				
D/Aコンバータ		8ビット分解能×2チャネル				
シリアル・ インターフェース		UART : 1チャネル UART/CSI : 1チャネル UART/I ² Cバス : 2チャネル CSI : 4チャネル CSI/I ² Cバス : 1チャネル				
DMAコントローラ		4チャネル (転送対象：内蔵周辺I/O, 内蔵RAM, 外部メモリ)				
割り込み要因		外部 : 10 (10) ^注 , 内部 : 61				
パワー・セーブ機能		HALT/IDLE1/IDLE2/STOP/サブクロック / サブIDLEモード				
リセット		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), 低電圧検出回路 (LVI)				
DCU		あり (RUN / ブレーク)				
動作電源電圧		2.85 ~ 3.6 V				
動作周囲温度		-40 ~ +85				
パッケージ		144ピン・プラスチックLQFP (ファインピッチ) (20×20 mm)				

注 () 内はSTOPモード解除可能な外部割り込み本数です。

1.2 特 徴

最小命令実行時間 50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)

汎用レジスタ 32ビット × 32本

CPUの特徴 符号付き乗算 (16 × 16 32) : 1-2クロック)

符号付き乗算 (32 × 32 64) : 1-5クロック)

飽和演算 (オーバフロー / アンダフロー検出機能付き)

32ビット・シフト命令 : 1クロック

ビット操作命令

ロング / ショート形式を持つロード / ストア命令

メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム / データ共用)

外部拡張 : 16 Mバイトまで可能

(このうち1 Mバイトは内部ROM/RAM空間として使用)

・内蔵メモリ RAM : 12 K/24 K/32 K/40 K/48 Kバイト (表1 - 1参照)

フラッシュ・メモリ : 128 K/256 K/384 K/512 K/640 Kバイト (表1 - 1参照)

・外部バス・インターフェース

セパレート・バス / マルチプレクス・バス出力選択可能

8/16ビット・データ・バス・サイジング機能

ウエイト機能

・プログラマブル・ウエイト機能

・外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

割り込み / 例外

ノンマスカブル割り込み : 2要因

マスカブル割り込み : 55要因

ソフトウエア例外 : 32要因

例外トラップ : 2要因

I/Oライン 入出力ポート : 84

タイマ機能

16ビット・インターバル・タイマM (TMM) : 1ch

16ビット・タイマ / イベント・カウンタP (TMP) : 6ch

16ビット・タイマ / イベント・カウンタQ (TMQ) : 1ch

時計用タイマ : 1ch

ウォッチドッグ・タイマ : 1ch

リアルタイム出力ポート 6ビット × 1ch

シリアル・インターフェース

アシンクロナス・シリアル・インターフェースA (UARTA)

3線式可変長シリアル・インターフェースB (CSIB)

I²Cバス・インターフェース (I²C)

UARTA/CSIB : 1ch

UARTA/I²C : 2ch

CSIB/I²C : 1ch

CSIB : 3ch

A/Dコンバータ 10ビット分解能 : 12ch

D/Aコンバータ 8ビット分解能 : 2ch

DMAコントローラ : 4ch

DCU (デバッグ・コントロール・ユニット) : JTAGインターフェース

クロック・ジェネレータ メイン・クロック / サブクロック動作

CPUクロック7段階 (fxx, fxx/2, fxx/4, fxx/8, fxx/16, fxx/32, f_{XT})

クロック・スルーモード / PLLモード選択可

内蔵発振クロック : 200 kHz (TYP.)

パワー・セーブ機能 HALT/IDLE1/IDLE2/STOP/サブクロック / サブIDLEモード

パッケージ 100ピン・プラスチックQFP (14 × 20) (μPD70F3715, 70F3716, 70F3717のみ)

100ピン・プラスチックLQFP (フайнピッチ) (14 × 14)

1.3 応用分野

ホーム・オーディオ, プリンタ, 情報家電, その他民生機器

1.4 オーダ情報

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μPD70F3715GF-JBT-A	100ピン・プラスチックQFP (14 × 20)	128 Kバイト
μPD70F3715GC-8EA-A	100ピン・プラスチックLQFP(フайнピッチ)(14 × 14)	"
μPD70F3716GF-JBT-A	100ピン・プラスチックQFP (14 × 20)	256 Kバイト
μPD70F3716GC-8EA-A	100ピン・プラスチックLQFP(フайнピッチ)(14 × 14)	"
μPD70F3717GF-JBT-A	100ピン・プラスチックQFP (14 × 20)	384 Kバイト
μPD70F3717GC-8EA-A	100ピン・プラスチックLQFP(フайнピッチ)(14 × 14)	"
μPD70F3718GC-8EA-A	"	512 Kバイト
μPD70F3719GC-8EA-A	"	640 Kバイト

備考 オーダ名称末尾「-A」の製品は, 鉛フリー製品です。

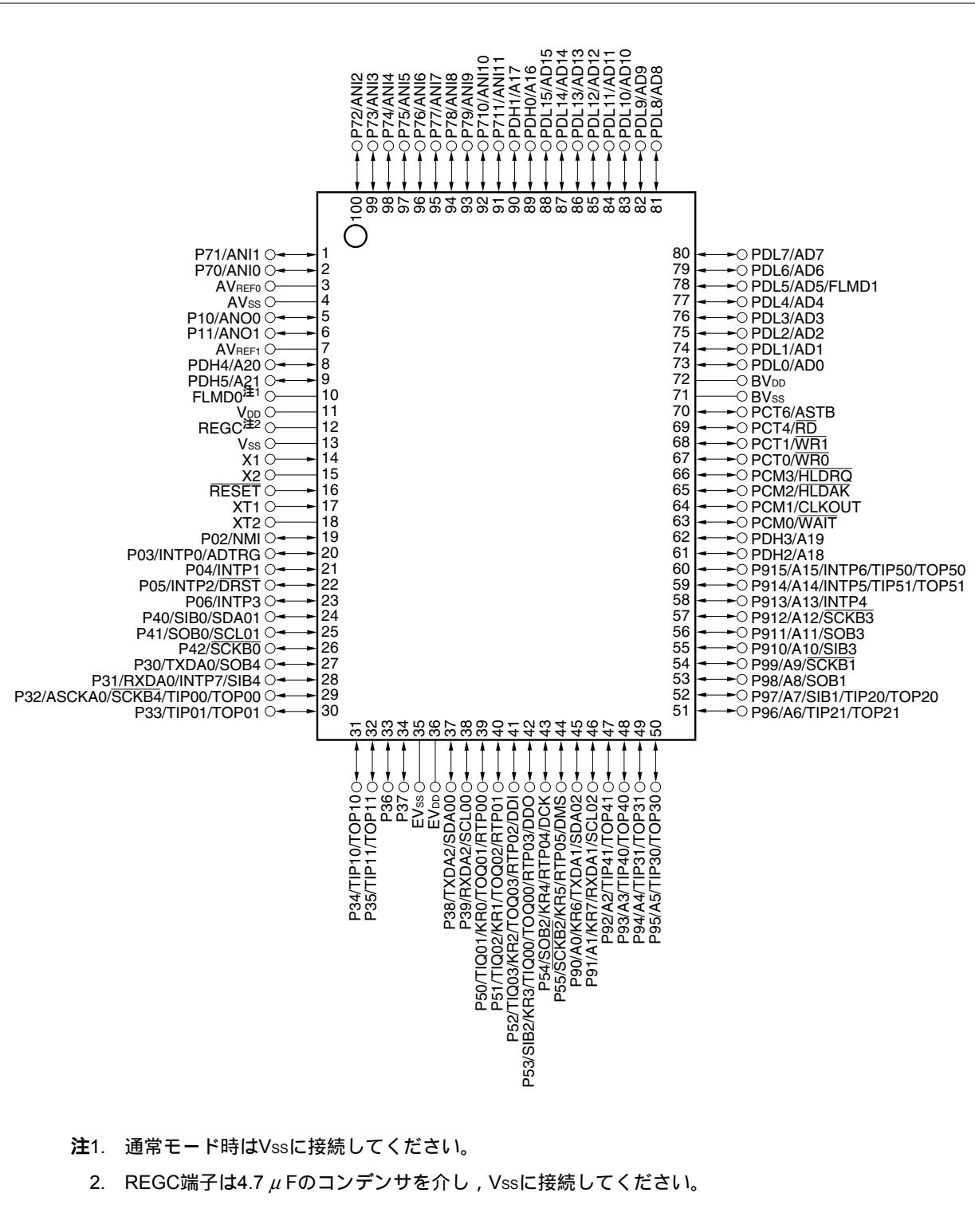
1.5 端子接続図 (Top View)

100ピン・プラスチックQFP (14×20)

μ PD70F3715GF-JBT-A

μ PD70F3716GF-JBT-A

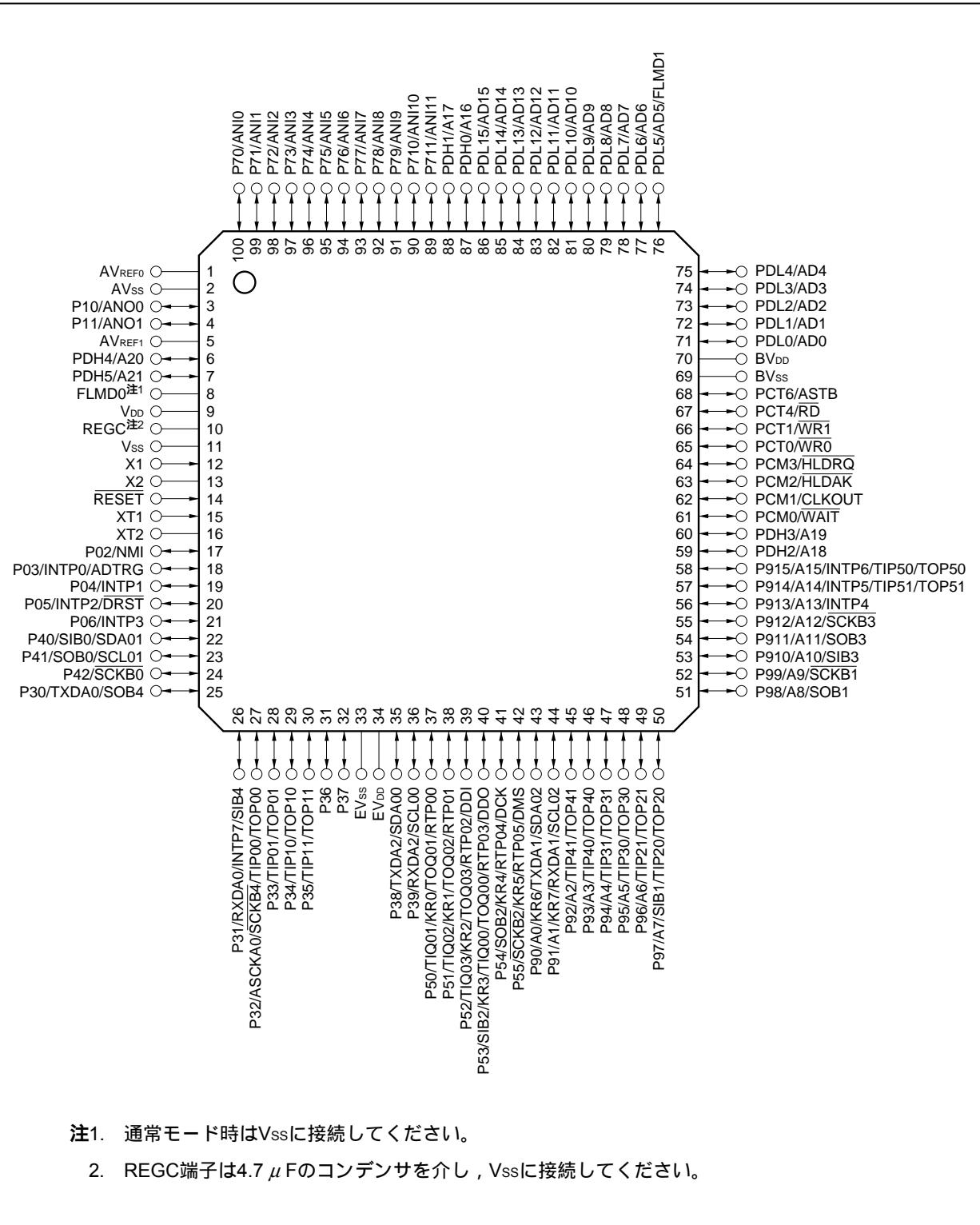
μ PD70F3717GF-JBT-A



注1. 通常モード時はV_{SS}に接続してください。

2. REGC端子は4.7 μ Fのコンデンサを介し、V_{SS}に接続してください。

100ピン・プラスチックLQFP(ファインピッチ)(14×14)

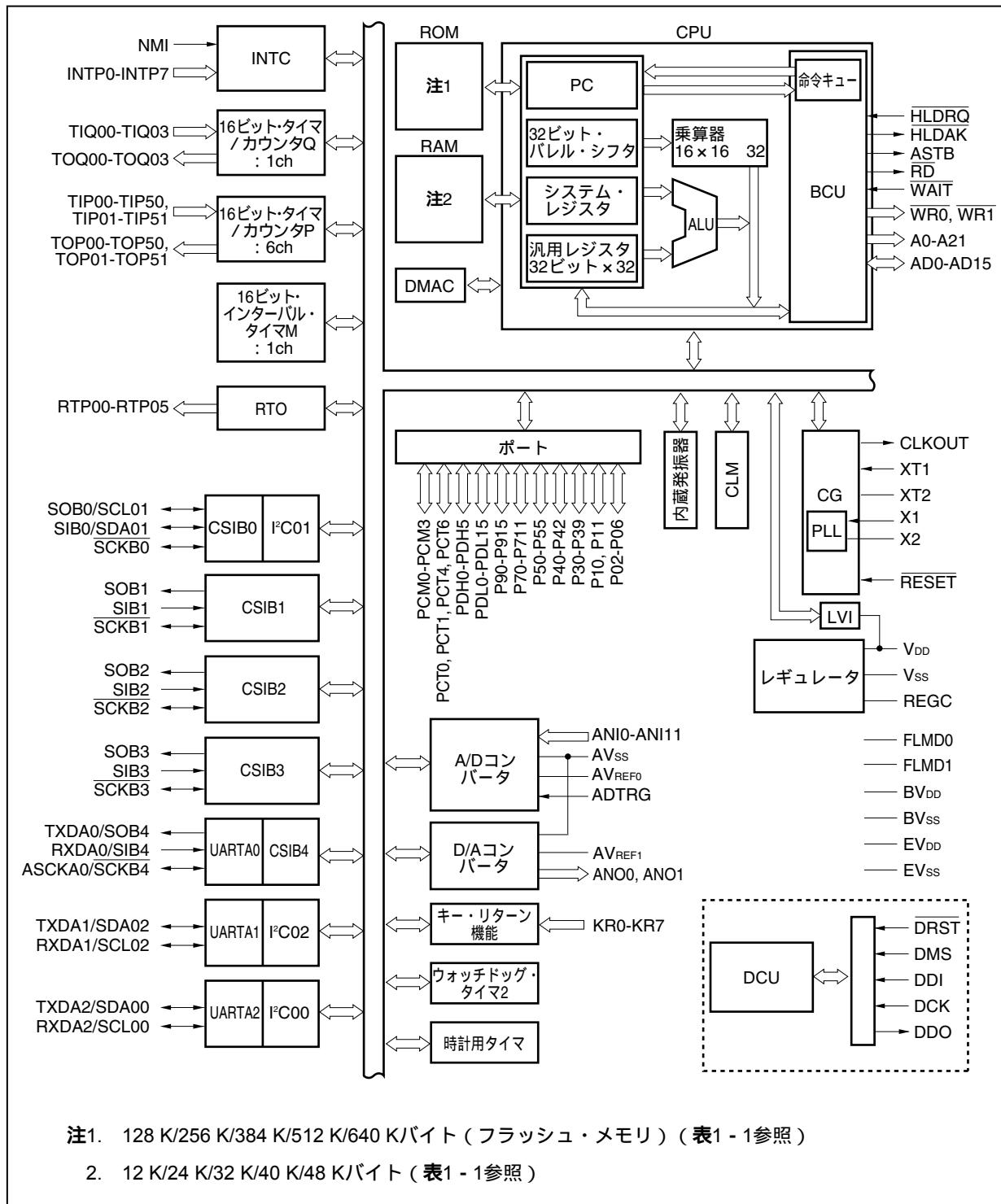
 μ PD70F3715GC-8EA-A μ PD70F3716GC-8EA-A μ PD70F3717GC-8EA-A μ PD70F3718GC-8EA-A μ PD70F3719GC-8EA-A

端子名称

A0-A21	: Address Bus	PDH0-PDH5	: Port DH
AD0-AD15	: Address/Data Bus	PDL0-PDL15	: Port DL
ADTRG	: A/D Trigger Input	<u>RD</u>	: Read Strobe
ANIO-ANI11	: Analog Input	REGC	: Regulator Control
ANO0, ANO1	: Analog Output	<u>RESET</u>	: Reset
ASCKA0	: Asynchronous Serial Clock	RTP00-RTP05	: Real-time Output Port
ASTB	: Address Strobe	RXDA0-RXDA2	: Receive Data
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	<u>SCKB0-SCKB4</u>	: Serial Clock
AV _{SS}	: Analog V _{ss}	SCL00-SCL02	: Serial Clock
BV _{DD}	: Power Supply for Bus Interface	SDA00-SDA02	: Serial Data
BV _{SS}	: Ground for Bus Interface	SIB0-SIB4	: Serial Input
CLKOUT	: Clock Output	SOB0-SOB4	: Serial Output
DCK	: Debug Clock	TIP00, TIP01,	: Timer Input
DDI	: Debug Data Input	TIP10, TIP11	
DDO	: Debug Data Output	TIP20, TIP21,	
DMS	: Debug Mode Select	TIP30, TIP31,	
<u>DRST</u>	: Debug Reset	TIP40, TIP41,	
EV _{DD}	: Power Supply for Port	TIP50, TIP51	
EV _{SS}	: Ground for Port	TIQ00-TIQ03	
FLMD0, FLMD1	: Flash Programming Mode	TOP00, TOP01,	: Timer Output
<u>HLDACK</u>	: Hold Acknowledge	TOP10, TOP11,	
<u>HLDREQ</u>	: Hold Request	TOP20, TOP21,	
INTP0-INTP7	: External Interrupt Input	TOP30, TOP31,	
KR0-KR7	: Key Return	TOP40, TOP41,	
NMI	: Non-maskable Interrupt Request	TOP50, TOP51	
P02-P06	: Port 0	TOQ00-TOQ03	
P10, P11	: Port 1	TXDA0-TXDA2	: Transmit Data
P30-P39	: Port 3	V _{DD}	: Power Supply
P40-P42	: Port 4	V _{SS}	: Ground
P50-P55	: Port 5	<u>WAIT</u>	: Wait
P70-P711	: Port 7	<u>WR0</u>	: Lower Byte Write Strobe
P90-P915	: Port 9	<u>WR1</u>	: Upper Byte Write Strobe
PCM0-PCM3	: Port CM	X1, X2	: Crystal for Main Clock
PCT0, PCT1,	: Port CT	XT1, XT2	: Crystal for Subclock
PCT4, PCT6			

1.6 機能ブロック構成

1.6.1 内部ブロック図



1.6.2 内部ユニット

(1) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を、5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット 32ビット）、パレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット（BCU）

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は、プリフェッチ・アドレスを生成し、命令コードのプリフェッチを行います。プリフェッチされた命令コードは、内部の命令キューに取り込まれます。

(3) ROM

0000000H-009FFFFH/0000000H-007FFFFH/0000000H-005FFFFH/0000000H-003FFFFH/0000000H-001FFFFH番地にマッピングされる640 K/512 K/384 K/256 K/128 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FF3000H-3FFEFFFH/3FF5000H-3FFEFFFH/3FF7000H-3FFEFFFH/3FF9000H-3FFEFFFH/3FFC000H-3FFEFFFH番地にマッピングされる48 K/40 K/32 K/24 K/12 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ（INTC）

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求（NMI, INTP0-INTP7）を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重処理制御ができます。

(6) クロック・ジェネレータ（CG）

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数（ f_x ）とサブクロック周波数（ f_{xT} ）を生成しています。メイン・クロック周波数（ f_{xx} ）として、 f_x をそのまま使用するクロック・スルー・モードと、 f_x を4倍または8倍して使用するPLLモードがあります。

CPUクロック周波数（ f_{CPU} ）としては、 f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xT} の7種類から選択できます。

(7) 内蔵発振器

内蔵発振器を搭載しています。発振周波数は200 kHz（TYP.）です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(8) タイマ/カウンタ

16ビットのタイマ/イベント・カウンタP（TMP）を6チャネル、16ビットのタイマ/イベント・カウンタQ（TMQ）を1チャネル、16ビットのインターバル・タイマM（TMM）を1チャネル内蔵しています。

(9) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケーラ3からのf_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(10) ウオッチドッグ・タイマ2

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振クロック、メイン・クロック、サブクロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号 (INTWDT2)、またはシステム・リセット信号 (WDT2RES) を発生します。

(11) シリアル・インターフェース

V850ES/JG2には、シリアル・インターフェースとしてアシンクロナス・シリアル・インターフェースA (UARTA)、3線式可変長シリアル・インターフェースB (CSIB)、I²Cバス・インターフェース (I²C) を内蔵しています。

UARTAは、TXDA0-TXDA2、RXDA0-RXDA2端子によりデータ転送を行います。

CSIBは、SOB0-SOB4、SIB0-SIB4、SCKB0-SCKB4端子によりデータ転送を行います。

I²Cは、SDA00-SDA02、SCL00-SCL02端子によりデータ転送を行います。

(12) A/Dコンバータ

12本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(13) D/Aコンバータ

8ビット分解能のD/Aコンバータを2チャネル内蔵しています。R-2Rラダー方式です。

(14) DMAコントローラ

4チャネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAM、内蔵周辺I/O、外部メモリ間でデータを転送します。

(15) キー割り込み機能

8チャネルのキー入力端子に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

(16) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データをタイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

(17) DCU (デバッグ・コントロール・ユニット)

JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは、制御端子の入力レベルとOCDMレジスタの2つで行います。

(18) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	5ビット入出力	NMI, 外部割り込み, A/Dコンバータ・トリガ, デバッグ・リセット
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P3	10ビット入出力	外部割り込み, シリアル・インターフェース, タイマ入出力
P4	3ビット入出力	シリアル・インターフェース
P5	6ビット入出力	タイマ入出力, リアルタイム出力, キー割り込み入力, シリアル・インターフェース, デバッグ入出力
P7	12ビット入出力	A/Dコンバータ・アナログ入力
P9	16ビット入出力	外部アドレス・バス, シリアル・インターフェース, キー割り込み入力, タイマ入出力, 外部割り込み
PCM	4ビット入出力	外部制御信号
PCT	4ビット入出力	外部制御信号
PDH	6ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス / データ・バス

第2章 端子機能

2.1 端子機能一覧

V850ES/JG2の端子名称と機能を次に示します。

端子の入出力バッファ電源には、AV_{REF0}, AV_{REF1}, BV_{DD}, EV_{DD}の4系統があります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
BV _{DD}	ポートCM, CT, DH (ビット0-3), DL
EV _{DD}	RESET, ポート0, 3-5, 9, DH (ビット4, 5)

(1) ポート端子

(1/3)

端子名称	ピン番号		入出力	機能	兼用端子
	GF	GC			
P02	19	17	入出力	ポート0 5ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5Vトレラント対応	NMI
P03	20	18			INTP0/ADTRG
P04	21	19			INTP1
P05 ^注	22	20			INTP2/ <u>DRST</u>
P06	23	21			INTP3
P10	5	3	入出力	ポート1 2ビット入出力ポート 1ビット単位で入力／出力の指定が可能	ANO0
P11	6	4			ANO1
P30	27	25			TXDA0/SOB4
P31	28	26	入出力	ポート3 10ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5Vトレラント対応	RXDA0/INTP7/SIB4
P32	29	27			ASCKA0/SCKB4/TIP00/TOP00
P33	30	28			TIP01/TOP01
P34	31	29			TIP10/TOP10
P35	32	30			TIP11/TOP11
P36	33	31			-
P37	34	32			-
P38	37	35			TXDA2/SDA00
P39	38	36			RXDA2/SCL00
P40	24	22	入出力	ポート4 3ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5Vトレラント対応	SIB0/SDA01
P41	25	23			SOB0/SCL01
P42	26	24			SCKB0
P50	39	37	入出力	ポート5 6ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5Vトレラント対応	TIQ01/KR0/TOQ01/RTP00
P51	40	38			TIQ02/KR1/TOQ02/RTP01
P52	41	39			TIQ03/KR2/TOQ03/RTP02/DDI
P53	42	40			SIB2/KR3/TIQ00/TOQ00/RTP03/DDO
P54	43	41			SOB2/KR4/RTP04/DCK
P55	44	42			SCKB2/KR5/RTP05/DMS

注 プルダウン抵抗を内蔵しています。OCDM.OCDM0ビットをクリア(0)することでプルダウン抵抗を切断できます。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

(2/3)

端子名称	ピン番号		入出力	機能	兼用端子
	GF	GC			
P70	2	100	入出力 ポート7 12ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能	ANIO ANI1 ANI2 ANI3 ANI4 ANI5 ANI6 ANI7 ANI8 ANI9 ANI10 ANI11	ANIO
P71	1	99			ANI1
P72	100	98			ANI2
P73	99	97			ANI3
P74	98	96			ANI4
P75	97	95			ANI5
P76	96	94			ANI6
P77	95	93			ANI7
P78	94	92			ANI8
P79	93	91			ANI9
P710	92	90			ANI10
P711	91	89			ANI11
P90	45	43	入出力 ポート9 16ビット入出力ポート 1ビット単位で入力 / 出力の指定が可能 1ビット単位でN-chオープン・ドレーン出力指定可能 5Vトレラント対応	A0/KR6/TXDA1/SDA02 A1/KR7/RXDA1/SCL02 A2/TIP41/TOP41 A3/TIP40/TOP40 A4/TIP31/TOP31 A5/TIP30/TOP30 A6/TIP21/TOP21 A7/SIB1/TIP20/TOP20 A8/SOB1 A9/SCKB1 A10/SIB3 A11/SOB3 A12/SCKB3 A13/INTP4 A14/INTP5/TIP51/TOP51 A15/INTP6/TIP50/TOP50	A0/KR6/TXDA1/SDA02
P91	46	44			A1/KR7/RXDA1/SCL02
P92	47	45			A2/TIP41/TOP41
P93	48	46			A3/TIP40/TOP40
P94	49	47			A4/TIP31/TOP31
P95	50	48			A5/TIP30/TOP30
P96	51	49			A6/TIP21/TOP21
P97	52	50			A7/SIB1/TIP20/TOP20
P98	53	51			A8/SOB1
P99	54	52			A9/SCKB1
P910	55	53			A10/SIB3
P911	56	54			A11/SOB3
P912	57	55			A12/SCKB3
P913	58	56			A13/INTP4
P914	59	57			A14/INTP5/TIP51/TOP51
P915	60	58			A15/INTP6/TIP50/TOP50

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

(3/3)

端子名称	ピン番号		入出力	機能	兼用端子
	GF	GC			
PCM0	63	61	入出力	ポートCM 4ビット入出力ポート 1ビット単位で入力／出力の指定が可能	WAIT
PCM1	64	62			CLKOUT
PCM2	65	63			HLDACK
PCM3	66	64			HLDREQ
PCT0	67	65	入出力	ポートCT 4ビット入出力ポート 1ビット単位で入力／出力の指定が可能	WR0
PCT1	68	66			WR1
PCT4	69	67			RD
PCT6	70	68			ASTB
PDH0	89	87	入出力	ポートDH 6ビット入出力ポート 1ビット単位で入力／出力の指定が可能	A16
PDH1	90	88			A17
PDH2	61	59			A18
PDH3	62	60			A19
PDH4	8	6			A20
PDH5	9	7			A21
PDL0	73	71	入出力	ポートDL 16ビット入出力ポート 1ビット単位で入力／出力の指定が可能	AD0
PDL1	74	72			AD1
PDL2	75	73			AD2
PDL3	76	74			AD3
PDL4	77	75			AD4
PDL5	78	76			AD5/FLMD1
PDL6	79	77			AD6
PDL7	80	78			AD7
PDL8	81	79			AD8
PDL9	82	80			AD9
PDL10	83	81			AD10
PDL11	84	82			AD11
PDL12	85	83			AD12
PDL13	86	84			AD13
PDL14	87	85			AD14
PDL15	88	86			AD15

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(2) ポート以外の端子

(1/6)

端子名称	ピン番号		入出力	機能	兼用端子名
	GF	GC			
A0	45	43	出力	外部メモリに対するアドレス・バス (セパレート・バス使用時)。 N-chオープン・ドレーン出力選択可能。 5Vトレラント対応。	P90/KR6/TXDA1/SDA02
A1	46	44			P91/KR7/RXDA1/SCL02
A2	47	45			P92/TIP41/TOP41
A3	48	46			P93/TIP40/TOP40
A4	49	47			P94/TIP31/TOP31
A5	50	48			P95/TIP30/TOP30
A6	51	49			P96/TIP21/TOP21
A7	52	50			P97/SIB1/TIP20/TOP20
A8	53	51			P98/SOB1
A9	54	52			P99/SCKB1
A10	55	53			P910/SIB3
A11	56	54			P911/SOB3
A12	57	55			P912/SCKB3
A13	58	56			P913/INTP4
A14	59	57			P914/INTP5/TIP51/TOP51
A15	60	58			P915/INTP6/TIP50/TOP50
A16	89	87	出力	外部メモリに対するアドレス・バス	PDH0
A17	90	88			PDH1
A18	61	59			PDH2
A19	62	60			PDH3
A20	8	6			PDH4
A21	9	7			PDH5
AD0	73	71	入出力	外部メモリに対するアドレス / データ・バス	PDL0
AD1	74	72			PDL1
AD2	75	73			PDL2
AD3	76	74			PDL3
AD4	77	75			PDL4
AD5	78	76			PDL5/FLMD1
AD6	79	77			PDL6
AD7	80	78			PDL7
AD8	81	79			PDL8
AD9	82	80			PDL9
AD10	83	81			PDL10
AD11	84	82			PDL11
AD12	85	83			PDL12
AD13	86	84			PDL13
AD14	87	85			PDL14
AD15	88	86			PDL15

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

(2/6)

端子名称	ピン番号		入出力	機能	兼用端子名
	GF	GC			
ADTRG	20	18	入力	A/Dコンバータ外部トリガ入力。5Vトレラント対応。	P03/INTP0
ANIO	2	100	入力	A/Dコンバータ用アナログ電圧入力	P70
ANI1	1	99			P71
ANI2	100	98			P72
ANI3	99	97			P73
ANI4	98	96			P74
ANI5	97	95			P75
ANI6	96	94			P76
ANI7	95	93			P77
ANI8	94	92			P78
ANI9	93	91			P79
ANI10	92	90			P710
ANI11	91	89			P711
ANO0	5	3	出力	D/Aコンバータ用アナログ電圧出力	P10
ANO1	6	4			P11
ASCKA0	29	27	入力	UARTA0のポート・レート・クロック入力。5Vトレラント対応。	P32/SCKB4/TIP00/TOP00
ASTB	70	68	出力	外部メモリに対するアドレス・ストローブ信号出力	PCT6
AV _{REF0}	3	1	-	A/Dコンバータ用基準電圧入力，兼ポート7用正電源供給	-
AV _{REF1}	7	5		D/Aコンバータ用基準電圧入力，兼ポート1用正電源供給	-
AV _{SS}	4	2	-	A/D, D/Aコンバータ用グランド電位 (V _{SS} と同電位)	-
BV _{DD}	72	70	-	バス・インターフェースおよび兼用ポート用正電源供給	-
BV _{SS}	71	69	-	バス・インターフェースおよび兼用ポート用グランド電位	-
CLKOUT	64	62	出力	内部システム・クロック出力	PCM1
DCK	43	41	入力	デバッグ・クロック入力。5Vトレラント対応。	P54/SOB2/KR4/RTP04
DDI	41	39	入力	デバッグ・データ入力。5Vトレラント対応。	P52/TIQ03/KR2/TOQ03/RTP02
DDO ^注	42	40	出力	デバッグ・データ出力 N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P53/SIB2/KR3/TIQ00/TOQ00/ RTP03
DMS	44	42	入力	デバッグ・モード・セレクト入力。5Vトレラント対応。	P55/SCKB2/KR5/RTP05
DRST	22	20	入力	デバッグ・リセット入力。5Vトレラント対応。	P05/INTP2
EV _{DD}	36	34	-	外部用正電源供給 (V _{DD} と同電位)	-
EV _{SS}	35	33	-	外部用グランド電位 (V _{SS} と同電位)	-
FLMD0	10	8	入力	フラッシュ・メモリ・プログラミング・モード引き込み用 端子	-
FLMD1	78	76			PDL5/AD5
HLD _{AK}	65	63	出力	バス・ホールド・アクノリッジ出力	PCM2
HLD _{RQ}	66	64	入力	バス・ホールド要求入力	PCM3

注 オンチップ・デバッグ・モード時，強制的にハイ・レベル出力に設定されます。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(3/6)

端子名称	ピン番号		入出力	機能	兼用端子名
	GF	GC			
INTP0	20	18	入力	外部割り込み要求入力(マスカブル,アナログ・ノイズ除去) INTP3端子は、アナログ・ノイズ除去/ディジタル・ノイズ除去選択可能。 5Vトレラント対応。	P03/ADTRG
INTP1	21	19			P04
INTP2	22	20			P05/DRST
INTP3	23	21			P06
INTP4	58	56			P913/A13
INTP5	59	57			P914/A14/TIP51/TOP51
INTP6	60	58			P915/A15/TIP50/TOP50
INTP7	28	26			P31/RXDA0/SIB4
KR0 ^{注1}	39	37	入力	キー割り込み入力(アナログ・ノイズ除去回路内蔵)。 5Vトレラント対応。	P50/TIQ01/TOQ01/RTP00
KR1 ^{注1}	40	38			P51/TIQ02/TOQ02/RTP01
KR2 ^{注1}	41	39			P52/TIQ03/TOQ03/RTP02/DDI
KR3 ^{注1}	42	40			P53/SIB2/TIQ00/TOQ00/ RTP03/DDO
KR4 ^{注1}	43	41			P54/SOB2/RTP04/DCK
KR5 ^{注1}	44	42			P55/SCKB2/RTP05/DMS
KR6 ^{注1}	45	43			P90/A0/TXDA1/SDA02
KR7 ^{注1}	46	44			P91/A1/RXDA1/SCL02
NMI ^{注2}	19	17	入力	外部割り込み入力(ノンマスカブル,アナログ・ノイズ除去) 5Vトレラント対応。	P02
RD	69	67	出力	外部メモリに対するリード・ストローブ信号出力	PCT4
REGC	12	10	-	レギュレータ出力安定容量接続(4.7μF)	-
RESET	16	14	入力	システム・リセット入力	-
RTP00	39	37	出力	リアルタイム出力ポート。 N-chオープン・ドレーン出力選択可能。 5Vトレラント対応。	P50/TIQ01/KR0/TOQ01
RTP01	40	38			P51/TIQ02/KR1/TOQ02
RTP02	41	39			P52/TIQ03/KR2/TOQ03/DDI
RTP03	42	40			P53/SIB2/KR3/TIQ00/TOQ00/ DDO
RTP04	43	41			P54/SOB2/KR4/DCK
RTP05	44	42			P55/SCKB2/KR5/DMS

注1. 外部でプルアップ処理を行ってください。

2. NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。NMI端子を有効にする場合は、PMC0.PMC02ビットをセット(1)してください。また、NMI端子の初期設定は“エッジ検出なし”になっています。INTF0、INTR0レジスタでNMI端子の有効エッジを選択してください。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

(4/6)

端子名称	ピン番号		入出力	機能	兼用端子名
	GF	GC			
RXDA0	28	26	入力	シリアル受信データ入力 (UARTA0-UARTA2)。 5 Vトレラント対応。	P31/INTP7/SIB4
RXDA1	46	44			P91/A1/KR7/SCL02
RXDA2	38	36			P39/SCL00
SCKB0	26	24	入出力	シリアル・クロック入出力 (CSIB0-CSIB4)。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P42
SCKB1	54	52			P99/A9
SCKB2	44	42			P55/KR5/RTP05/DMS
SCKB3	57	55			P912/A12
SCKB4	29	27			P32/ASCKA0/TIP00/TOP00
SCL00	38	36	入出力	シリアル・クロック入出力 (I ² C00-I ² C02)。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P39/RXDA2
SCL01	25	23			P41/SOB0
SCL02	46	44			P91/A1/KR7/RXDA1
SDA00	37	35	入出力	シリアル送受信データ入出力 (I ² C00-I ² C02)。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P38/TXDA2
SDA01	24	22			P40/SIB0
SDA02	45	43			P90/A0/KR6/TXDA1
SIB0	24	22	入力	シリアル受信データ入力 (CSIB0-CSIB4)。 5 Vトレラント対応。	P40/SDA01
SIB1	52	50			P97/A7/TIP20/TOP20
SIB2	42	40			P53/KR3/TIQ00/TOQ00/RTP03/DDO
SIB3	55	53			P910/A10
SIB4	28	26			P31/RXDA0/INTP7
SOB0	25	23	出力	シリアル送信データ出力 (CSIB0-CSIB4)。 N-chオープン・ドレーン出力選択可能。 5 Vトレラント対応。	P41/SCL01
SOB1	53	51			P98/A8
SOB2	43	41			P54/KR4/RTP04/DCK
SOB3	56	54			P911/A11
SOB4	27	25			P30/TXDA0

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(5/6)

端子名称	ピン番号		入出力	機能	兼用端子名
	GF	GC			
TIP00	29	27	入力	外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP0)。 5 Vトレラント対応。	P32/ASCKA0/SCKB4/TOP00
TIP01	30	28		キャプチャ・トリガ入力 (TMP0)。 5 Vトレラント対応。	P33/TOP01
TIP10	31	29		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP1)。 5 Vトレラント対応。	P34/TOP10
TIP11	32	30		キャプチャ・トリガ入力 (TMP1)。 5 Vトレラント対応。	P35/TOP11
TIP20	52	50		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP2)。 5 Vトレラント対応。	P97/A7/SIB1/TOP20
TIP21	51	49		キャプチャ・トリガ入力 (TMP2)。 5 Vトレラント対応。	P96/A6/TOP21
TIP30	50	48		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP3)。 5 Vトレラント対応。	P95/A5/TOP30
TIP31	49	47		キャプチャ・トリガ入力 (TMP3)。 5 Vトレラント対応。	P94/A4/TOP31
TIP40	48	46		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP4)。 5 Vトレラント対応。	P93/A3/TOP40
TIP41	47	45		キャプチャ・トリガ入力 (TMP4)。 5 Vトレラント対応。	P92/A2/TOP41
TIP50	60	58		外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMP5)。 5 Vトレラント対応。	P915/A15/INTP6/TOP50
TIP51	59	57		キャプチャ・トリガ入力 (TMP5)。 5 Vトレラント対応。	P914/A14/INTP5/TOP51
TIQ00	42	40	入力	外部イベント・カウント入力 / キャプチャ・トリガ入力 / 外部トリガ入力 (TMQ0)。 5 Vトレラント対応。	P53/SIB2/KR3/TOQ00/RTP03 /DDO
TIQ01	39	37		キャプチャ・トリガ入力 (TMQ0)。 5 Vトレラント対応。	P50/KR0/TOQ01/RTP00
TIQ02	40	38			P51/KR1/TOQ02/RTP01
TIQ03	41	39			P52/KR2/TOQ03/RTP02/DDI

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(6/6)

端子名称	ピン番号		入出力	機能	兼用端子名
	GF	GC			
TOP00	29	27	出力	タイマ出力 (TMP0)	P32/ASCKA0/SCKB4/TIP00
TOP01	30	28		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P33/TIP01
TOP10	31	29		タイマ出力 (TMP1)	P34/TIP10
TOP11	32	30		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P35/TIP11
TOP20	52	50		タイマ出力 (TMP2)	P97/A7/SIB1/TIP20
TOP21	51	49		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P96/A6/TIP21
TOP30	50	48		タイマ出力 (TMP3)	P95/A5/TIP30
TOP31	49	47		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P94/A4/TIP31
TOP40	48	46		タイマ出力 (TMP4)	P93/A3/TIP40
TOP41	47	45		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P92/A2/TIP41
TOP50	60	58		タイマ出力 (TMP5)	P915/A15/INTP6/TIP50
TOP51	59	57		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P914/A14/INTP5/TIP51
TOQ00	42	40	出力	タイマ出力 (TMQ0)	P53/SIB2/KR3/TIQ00/RTP03/ DDO
TOQ01	39	37		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P50/TIQ01/KR0/RTP00
TOQ02	40	38			P51/TIQ02/KR1/RTP01
TOQ03	41	39			P52/TIQ03/KR2/RTP02/DDI
TXDA0	27	25	出力	シリアル送信データ出力 (UARTA0-UARTA2)	P30/SOB4
TXDA1	45	43		N-chオープン・ドレーン出力選択可能。5Vトレラント対応。	P90/A0/KR6/SDA02
TXDA2	37	35			P38/SDA00
V _{DD}	11	9	-	内部用正電源供給端子	-
V _{SS}	13	11	-	内部用グランド電位	-
WAIT	63	61	入力	外部ウエイト入力	PCM0
WR0	67	65	出力	外部メモリ (下位8ビット) に対するライト・ストローブ	PCT0
WR1	68	66		外部メモリ (上位8ビット) に対するライト・ストローブ	PCT1
X1	14	12	入力	メイン・クロック用発振子接続	-
X2	15	13	-		-
XT1	17	15	入力	サブクロック用発振子接続	-
XT2	18	16	-		-

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-2 動作モードによる各端子の動作状態

端子名称	電源投入時 ^{注1}	リセット中 (電源投入時 以外)	HALT モード ^{注2}	IDLE1, IDLE2, サブIDLE モード ^{注2}	STOP モード ^{注2}	アイドル・ ステート ^{注3}	バス・ ホールド
P05/DRST	プルダウン	プルダウン ^{注4}	保持	保持	保持	保持	保持
P10/ANO0, P11/ANO1	不定	Hi-Z	保持	保持	Hi-Z	保持	保持
P53/DDO		Hi-Z ^{注5}	保持	保持	保持	保持	保持
AD0-AD15	Hi-Z ^{注6}	Hi-Z ^{注6}	注7, 8 不定 ^{注7, 9} 不定 ^{注7}	Hi-Z	Hi-Z	保持	Hi-Z
A0-A15			-	-	-	-	-
A16-A21			動作	L	L	動作	動作
WAIT			H ^{注7}	H	H	H	Hi-Z
CLKOUT			動作 ^{注7}				L
WR0, WR1				-	-	-	動作
RD							
ASTB							
HLDACK							
HLDREQ							
その他のポート端子	Hi-Z	Hi-Z	保持	保持	保持	保持	保持

注1. 電源投入時、電源電圧が動作電源電圧範囲(下限)に達してから、1 ms経過するまでの期間です。

2. 兼用機能が動作しているときは動作します。
3. セパレート・バス・モード時は、T2ステート後に挿入されるアイドル・ステート時の端子状態を示します。
マルチプレクス・バス・モード時は、T3ステート後に挿入されるアイドル・ステート時の端子状態を示します。
4. 外部リセット時はプルダウンされます。ウォッチドッグ・タイマやクロック・モニタなどによる内部リセット時は、OCDM.OCDM0ビットの設定によって異なります。
5. オンチップ・デバッグ・モード時には、DDO出力になります。
6. バス制御端子はポート端子と兼用するので、入力モード(ポート・モード)に初期化します。
7. HALTモード時でもDMA動作中は動作します。
8. セパレート・バス・モード時 : Hi-Z
マルチプレクス・バス・モード時 : 不定
9. セパレート・バス・モード時

備考 Hi-Z : ハイ・インピーダンス

保持 : 直前の外部バス・サイクルでの状態を保持

L : ロウ・レベル出力

H : ハイ・レベル出力

- : 入力非サンプリング(受け付けない)

2.3 端子の入出力回路タイプ，入出力バッファ電源と未使用時の処理

(1/3)

端子	兼用端子名	ピン番号		入出力回路 タイプ	推奨接続方法	
		GF	GC			
P02	NMI	19	17	10-D	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P03	INTP0/ADTRG	20	18			
P04	INTP1	21	19			
P05	INTP2/ <u>DRST</u>	22	20	10-N	入力時：個別に抵抗を介して，EV _{SS} に接続してください。 V _{DD} レベルへの固定は禁止です。 出力時：オープンにしてください。 RESET端子によるリセット時，内部でプルダウンされます。	
P06	INTP3	23	21	10-D	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P10, P11	ANO0, ANO1	5, 6	3, 4	12-D	入力時：個別に抵抗を介して，AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。	
P30	TXDA0/SOB4	27	25	10-G	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P31	RXDA0/INTP7/SIB4	28	26	10-D		
P32	ASCKA0/ <u>SCKB4/TIP00</u>	29	27			
P33	TIP01/TOP01	30	28			
P34	TIP10/TOP10	31	29			
P35	TIP11/TOP11	32	30			
P36	-	33	31			
P37	-	34	32			
P38	TXDA2/SDA00	37	35			
P39	RXDA2/SCL00	38	36			
P40	SIB0/SDA01	24	22			
P41	SOB0/SCL01	25	23			
P42	<u>SCKB0</u>	26	24			
P50	TIQ01/KR0/TOQ01/RTP00	39	37	10-D	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P51	TIQ02/KR1/TOQ02/RTP01	40	38			
P52	TIQ03/KR2/TOQ03/RTP02/ DDI	41	39			
P53	SIB2/KR3/TIQ00/TOQ00/ RTP03/DDO	42	40			
P54	SOB2/KR4/RTP04/DCK	43	41			
P55	SCKB2/KR5/RTP05/ DMS	44	42			

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(2/3)

端子	兼用端子名	ピン番号		入出力回路 タイプ	推奨接続方法
		GF	GC		
P70-P711	AN10-AN11	2, 1, 100- 91	100- 89	11-G	入力時：個別に抵抗を介して，AV _{REF0} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P90	A0/KR6/TDXA1/SDA02	45	43	10-D	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P91	A1/KR7/RXDA1/SCL02	46	44		
P92	A2/TIP41/TOP41	47	45		
P93	A3/TIP40/TOP40	48	46		
P94	A4/TIP31/TOP31	49	47		
P95	A5/TIP30/TOP30	50	48		
P96	A6/TIP21/TOP21	51	49		
P97	A7/SIB1/TIP20/TOP20	52	50		
P98	A8/SOB1	53	51		
P99	A9/SCKB1	54	52		
P910	A10/SIB3	55	53		
P911	A11/SOB3	56	54		
P912	A12/SCKB3	57	55		
P913	A13/INTP4	58	56		
P914	A14/INTP5/TIP51/TOP51	59	57		
P915	A15/INTP6/TIP50/TOP50	60	58		
PCM0	WAIT	63	61	5	入力時：個別に抵抗を介して，BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
PCM1	CLKOUT	64	62		
PCM2	HLDAK	65	63		
PCM3	HLDRQ	66	64		
PCT0, PCT1	WR0, WR1	67, 68	65, 66		
PCT4	RD	69	67		
PCT6	ASTB	70	68		
PDH0-PDH3	A16-A19	89, 90, 61, 62	87, 88, 59, 60		
PDH4, PDH5	A20, A21	8, 9	6, 7		
PDL0-PDL4	AD0-AD4	73-77	71-75		
PDL5	AD5/FLMD1	78	76		
PDL6-PDL15	AD6-AD15	79-88	77-86		

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

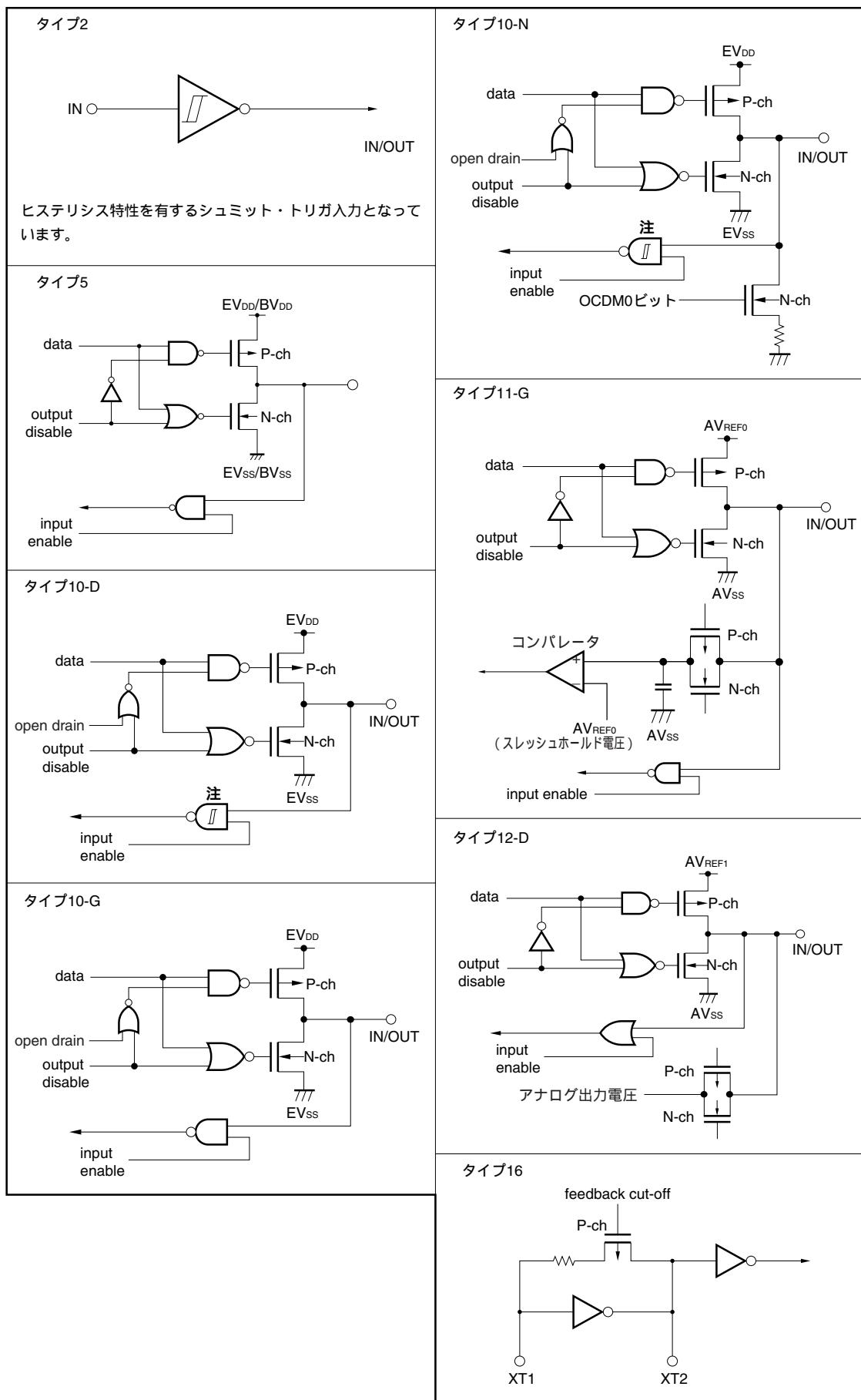
(3/3)

端 子	兼用端子名	ピン番号		入出力回路 タイプ	推奨接続方法
		GF	GC		
AV _{REF0}	-	3	1	-	V _{DD} に直接接続し常に電源を供給してください。
AV _{REF1}	-	7	5	-	V _{DD} に直接接続し常に電源を供給してください。
AV _{SS}	-	4	2	-	V _{SS} に直接接続し常に電源を供給してください。
BV _{DD}	-	72	70	-	V _{DD} に直接接続し常に電源を供給してください。
BV _{SS}	-	71	69	-	V _{SS} に直接接続し常に電源を供給してください。
EV _{DD}	-	36	34	-	-
EV _{SS}	-	35	33	-	-
FLMD0	-	10	8	-	フラッシュ・メモリ・プログラミング・モード時以外は V _{SS} に直接接続してください。
REGC	-	12	10	-	レギュレータ出力安定容量接続 (4.7 μF (暫定値))
RESET	-	16	14	2	-
V _{DD}	-	11	9	-	-
V _{SS}	-	13	11	-	-
X1	-	14	12	-	-
X2	-	15	13	-	-
XT1	-	17	15	16	V _{SS} に接続してください。
XT2	-	18	16	16	オープンにしてください。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

図2-1 端子の入出力回路タイプ



注 ポート・モード時はヒステリシス特性を持ちません。

2.4 注意事項

次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- P10/ANO0端子
- P11/ANO1端子
- P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

第3章 CPU機能

V850ES/JG2のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徵

最小命令実行時間：50 ns (20 MHz動作時)

30.5 μ s (サブクロック (f_{XT}) = 32.768 kHz動作時)

メモリ空間 プログラム（物理アドレス）空間：64 Mバイト・リニア

データ（論理アドレス）空間：4 Gバイト・リニア

汎用レジスタ：32ビット × 32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング／ショート形式を持つロード／ストア命令

ビット操作命令4種

- SET1
- CLR1
- NOT1
- TST1

3.2 CPUレジスタ・セット

V850ES/JG2のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット

31	0
r0	(ゼロ・レジスタ)
r1	(アセンブラ予約レジスタ)
r2	
r3	(スタック・ポインタ (SP))
r4	(グローバル・ポインタ (GP))
r5	(テキスト・ポインタ (TP))
r6	
r7	
r8	
r9	
r10	
r11	
r12	
r13	
r14	
r15	
r16	
r17	
r18	
r19	
r20	
r21	
r22	
r23	
r24	
r25	
r26	
r27	
r28	
r29	
r30	(エレメント・ポインタ (EP))
r31	(リンク・ポインタ (LP))

31	0
PC	(プログラム・カウンタ)

(2) システム・レジスタ・セット

31	0
EIPC	(割り込み時状態退避レジスタ)
EIPSW	(割り込み時状態退避レジスタ)
FEPC	(NMI時状態退避レジスタ)
FEPSW	(NMI時状態退避レジスタ)
ECR	(割り込み要因レジスタ)
PSW	(プログラム・ステータス・ワード)
CTPC	(CALLT実行時状態退避レジスタ)
CTPSW	(CALLT実行時状態退避レジスタ)
DBPC	(例外 / デバッグ・トラップ時状態退避レジスタ)
DBPSW	(例外 / デバッグ・トラップ時状態退避レジスタ)
CTBP	(CALLTベース・ポインタ)

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラーとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3-1 プログラム・レジスター一覧

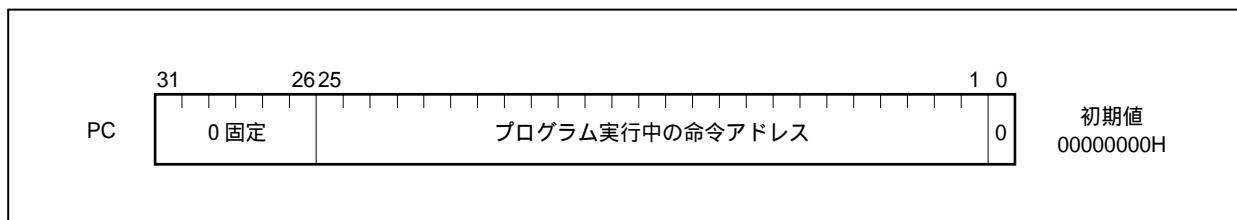
名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラー予約レジスタ	32ビット・イミーディエイト作成用のワーキング・レジスタとして使用
r2	アドレス / データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス / データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考 アセンブラーとCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は、CA850（Cコンパイラ・パッケージ） ユーザーズ・マニュアル アセンブリー言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは、システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・ レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ（EIPC） ^{注1}		
1	割り込み時状態退避レジスタ（EIPSW） ^{注1}		
2	NMI時状態退避レジスタ（FEPC） ^{注1}		
3	NMI時状態退避レジスタ（FEPSW） ^{注1}		
4	割り込み要因レジスタ（ECR）	×	
5	プログラム・ステータス・ワード（PSW）		
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ（CTPC）		
17	CALLT実行時状態退避レジスタ（CTPSW）		
18	例外／デバッグ・トラップ時状態退避レジスタ（DBPC）	注2	注2
19	例外／デバッグ・トラップ時状態退避レジスタ（DBPSW）	注2	注2
20	CALLTベース・ポインタ（CTBP）		
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1. これらのレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC, FEPC, CTPCに値を設定する場合は、偶数値（ビット0 = 0）を設定してください。

備考 : アクセス可能

 × : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます（ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます）。

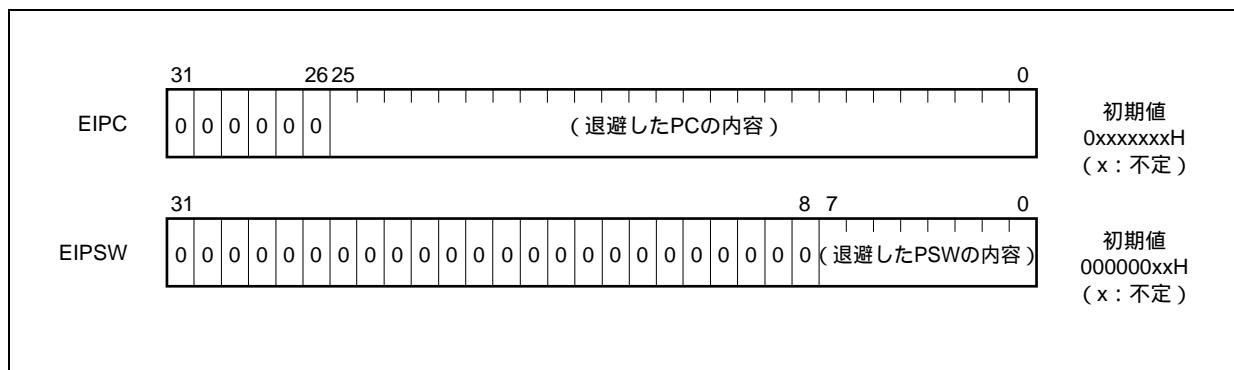
EIPCには、一部の命令（19.8 CPUが割り込みを受け付けない期間参照）を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています（0に固定）。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスカブル割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSWに退避されます。

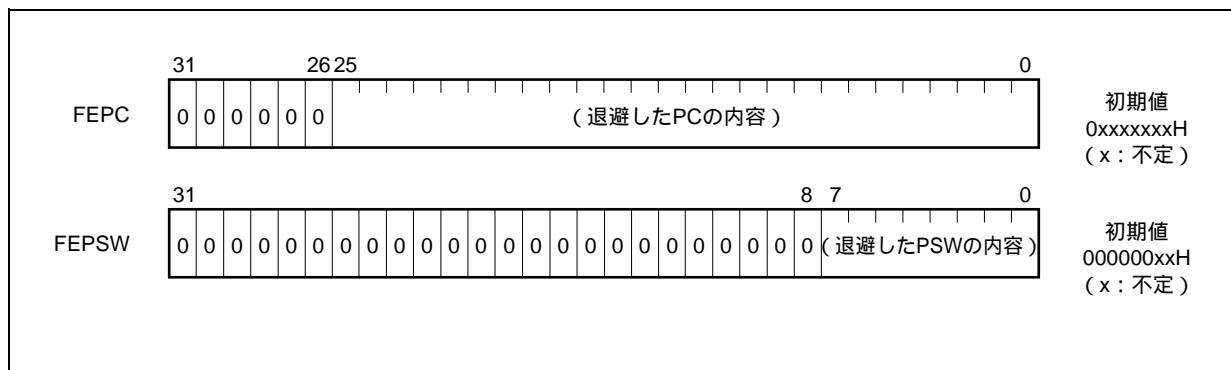
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

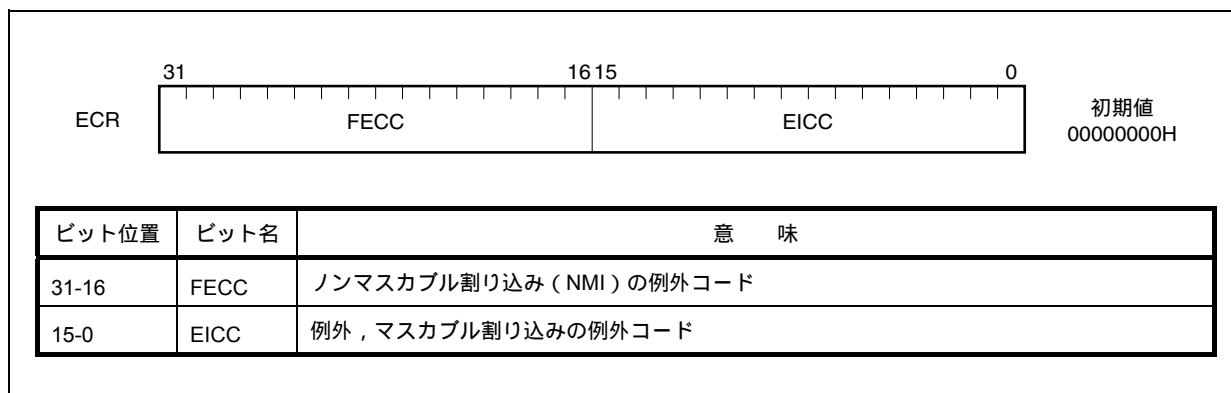
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態（命令実行の結果）やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。ただし、IDフラグをセット（1）する場合、LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット31-8は、将来の機能拡張のために予約されています（0に固定）。

(1/2)

PSW		31	RFU	8	7	6	5	4	3	2	1	0	初期値 00000020H	
ビット位置	フラグ名	意味												
31-8	RFU	予約フィールドです。“0”に固定されています。												
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるときセット“1”され、多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。												
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。												
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み可 1：割り込み不可												
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくともクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。												
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、またはボローは発生していない。 1：キャリー、またはボローが発生した。												
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0：オーバーフローは発生していない。 1：オーバーフローが発生した。												
1	S ^注	演算の結果が負かどうかを示します。 0：演算の結果は、正または0であった。 1：演算の結果は負であった。												
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。												

備考 注の説明は次ページに記載しています。

(2/2)

注 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット(1)された場合だけ、SAT フラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を 保持		0	演算結果そのもの
負(最大値を越えない)			1	

(5) CALLT実行時状態退避レジスタ (CTPC, CTPSW)

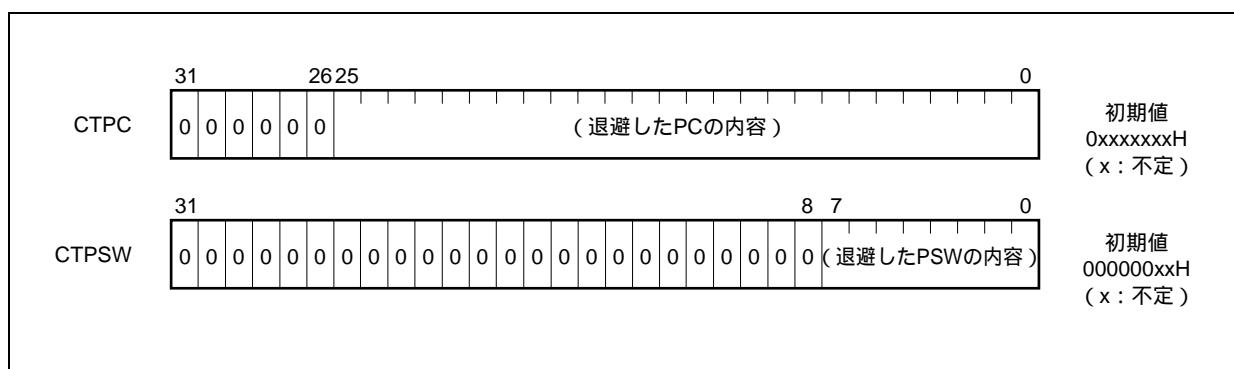
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして, DBPCとDBPSWがあります。

例外トラップ, またはデバッグ・トラップが発生すると, プログラム・カウンタ(PC)の内容がDBPCに, プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

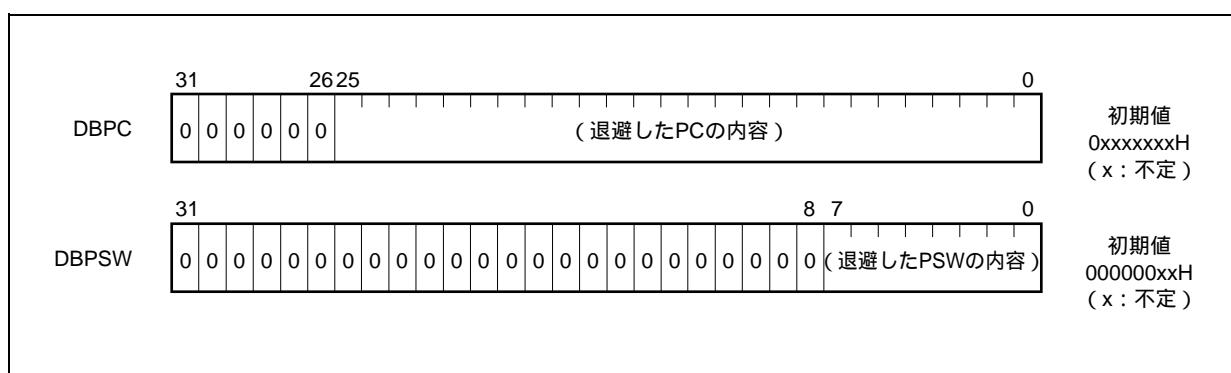
DBPCに退避される内容は, 例外トラップ, またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには, 現在のPSWの内容が退避されます。

このレジスタへのリード / ライトは, DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお, DBPCのビット31-26とDBPSWのビット31-8は, 将来の機能拡張のために予約されています(“0”に固定)。

DBRET命令により, DBPCの値はPCへ, DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ(CTBP)は, テーブル・アドレスの指定, ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお, ビット31-26は, 将来の機能拡張のために予約されています(“0”に固定)。



3.3 動作モード

V850ES/JG2は次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後、バス・インターフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると、フラッシュ・ライタによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) オンチップ・デバッグ・モード

JTAG (Joint Test Action Group) の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。

詳細は第27章 オンチップ・デバッグ機能を参照してください。

3.3.1 動作モード指定

FLMD0, FLMD1端子の状態により、動作モードを指定します。

通常モード時は、リセット解除時に、FLMD0端子にロウ・レベルを入力してください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・ライタ接続時はフラッシュ・ライタから行いますが、セルフ・プログラミング時は外部回路で行ってください。

リセット解除時の動作		リセット後の動作モード
FLMD0	FLMD1	
L	×	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

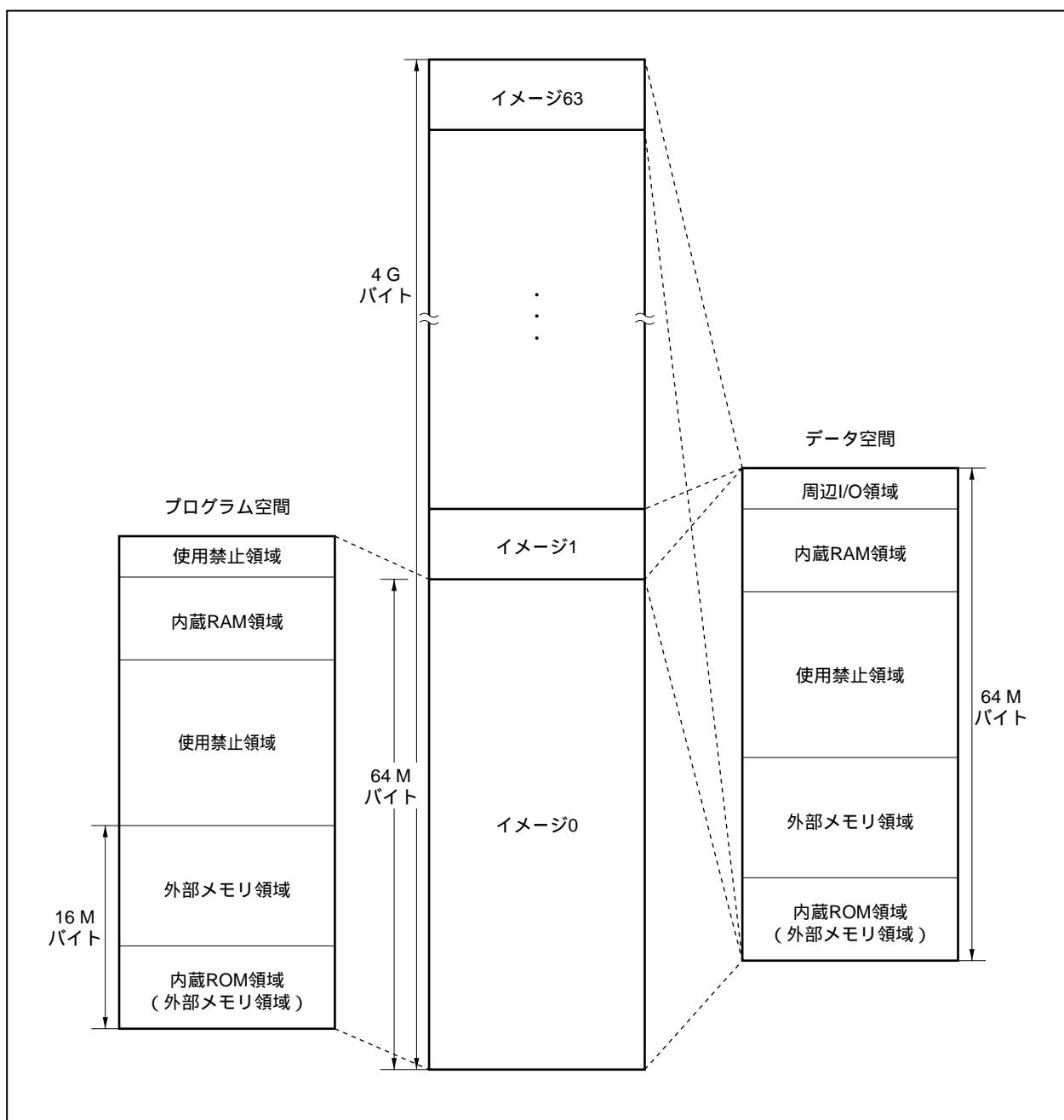
× : 任意

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3-1 アドレス空間上のイメージ



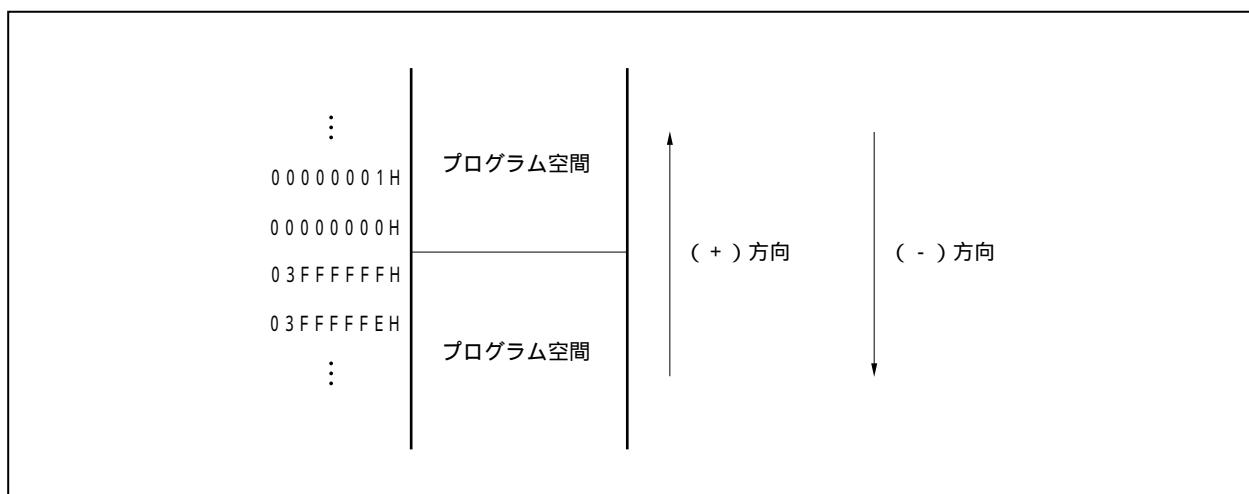
3.4.2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC(プログラム・カウンタ)は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限である03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

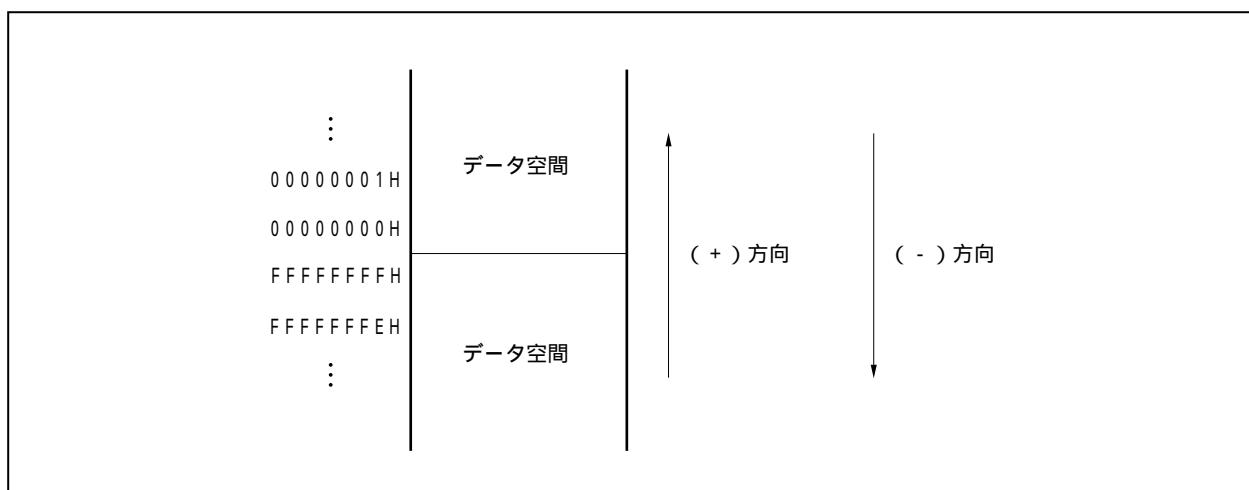
注意 03FFF000H-03FFFFFFHの4Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限であるFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.3 メモリ・マップ

V850ES/JG2では、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ(物理アドレス)

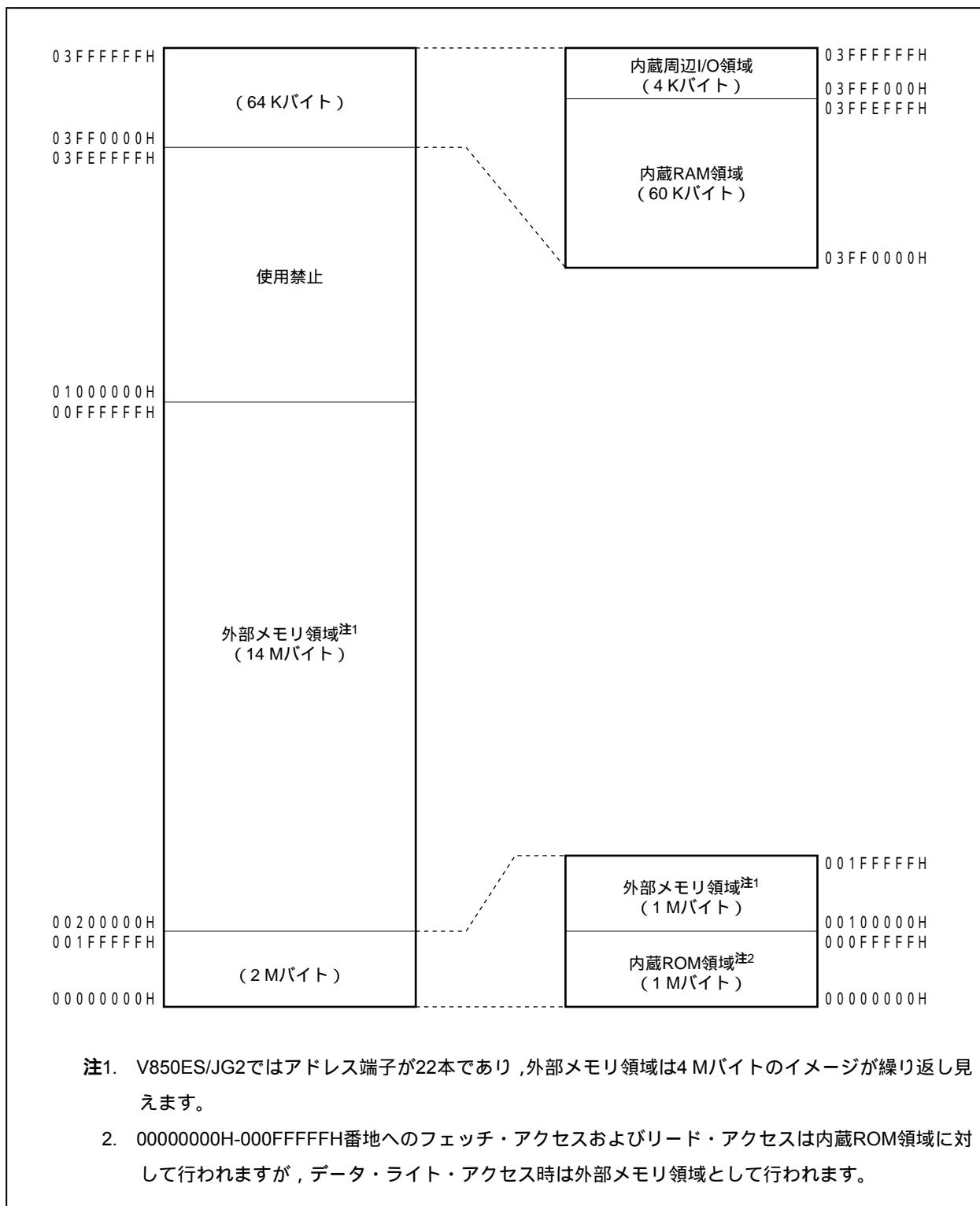
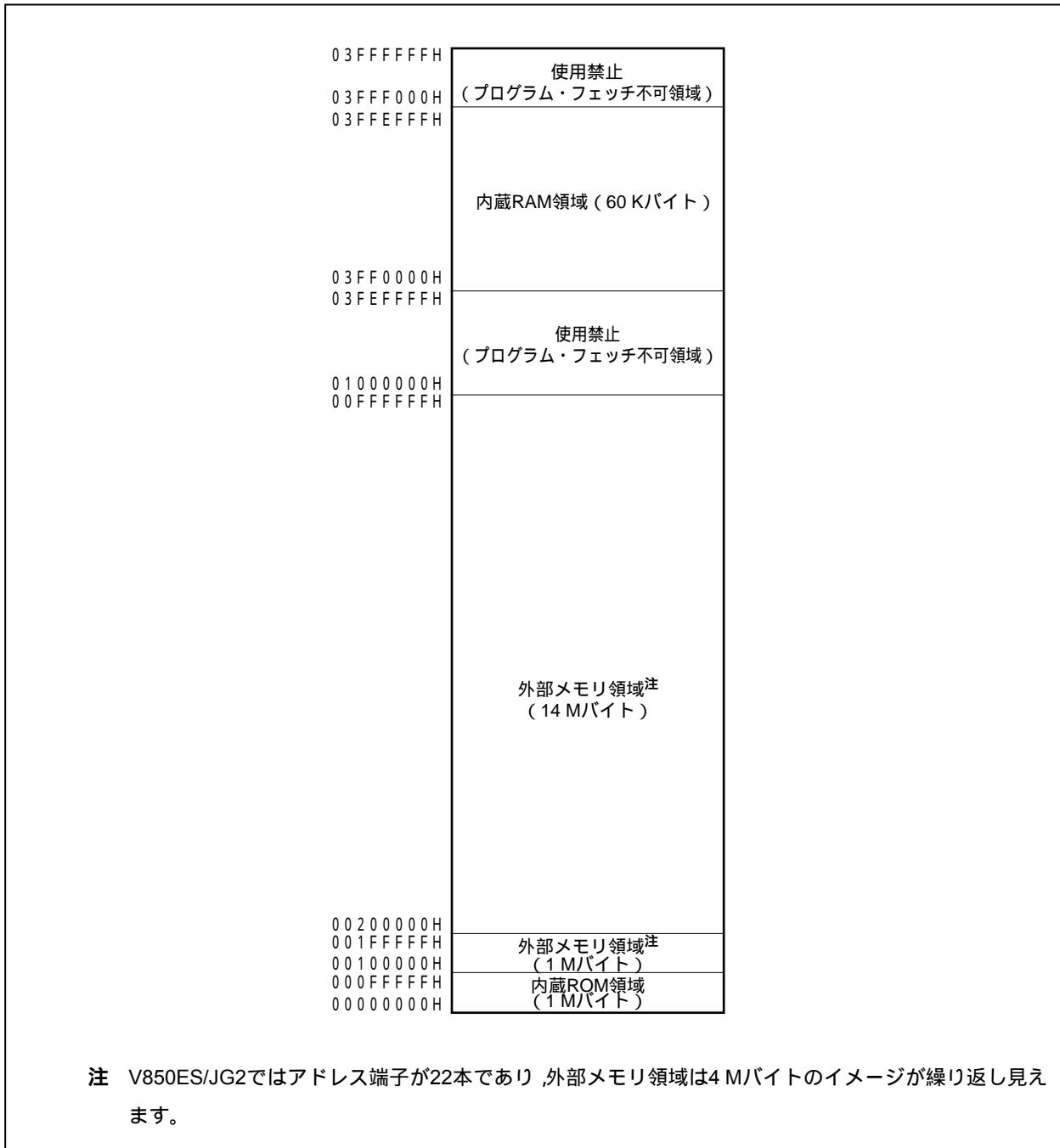


図3-3 プログラム・メモリ・マップ



3.4.4 領 域

(1) 内蔵ROM領域

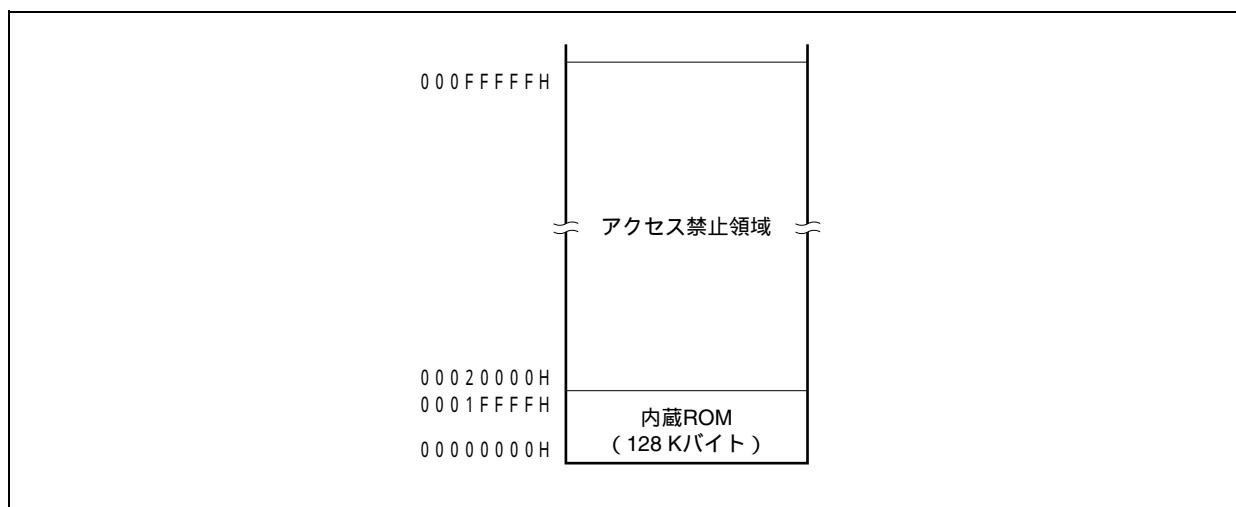
内蔵ROM領域は、最大1Mバイトが予約されています。

(a) 内蔵ROM (128 Kバイト)

μ PD70F3715には00000000Hから0001FFFFH番地に128 Kバイト実装しています。

00020000Hから000FFFFFH番地はアクセス禁止領域です。

図3-4 内蔵ROM領域 (128 Kバイト)

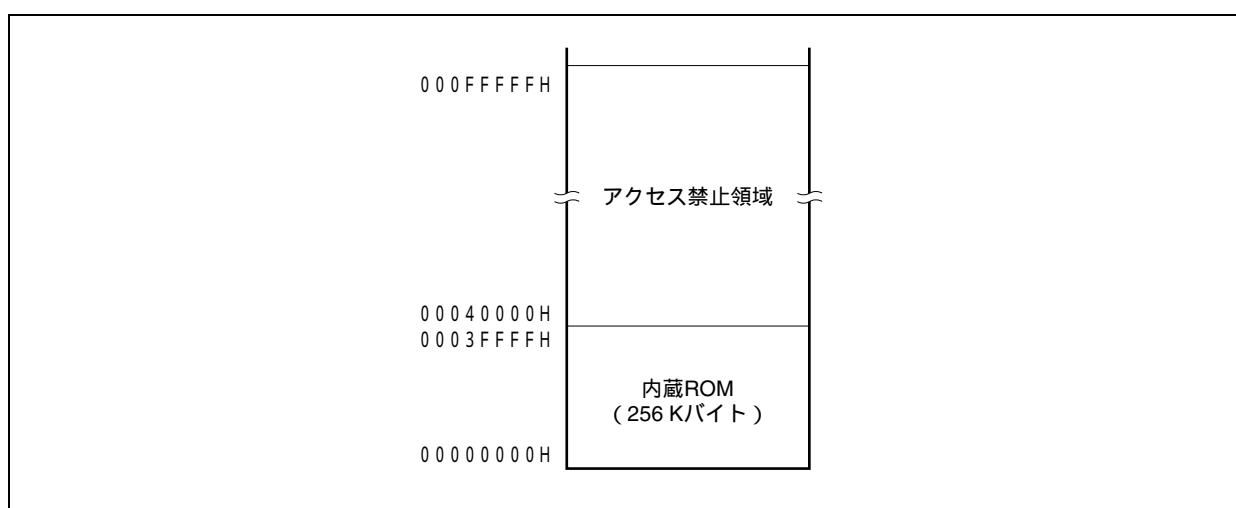


(b) 内蔵ROM (256 Kバイト)

μ PD70F3716には00000000Hから0003FFFFH番地に256 Kバイト実装しています。

00040000Hから000FFFFFH番地はアクセス禁止領域です。

図3-5 内蔵ROM領域 (256 Kバイト)

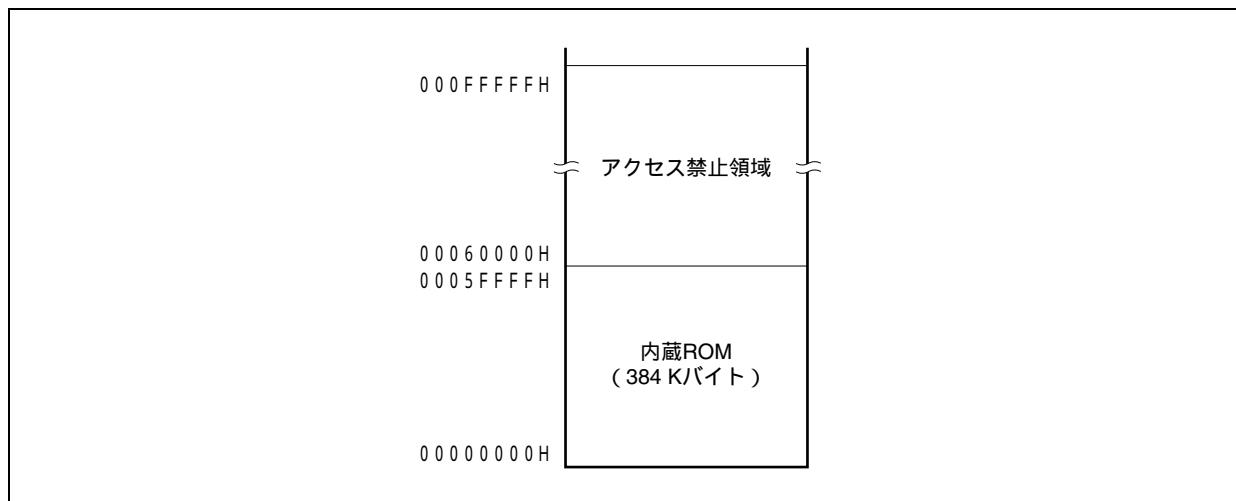


(c) 内蔵ROM (384 Kバイト)

μ PD70F3717には00000000Hから0005FFFFH番地に384 Kバイト実装しています。

00060000Hから000FFFFFFH番地はアクセス禁止領域です。

図3 - 6 内蔵ROM領域 (384 Kバイト)

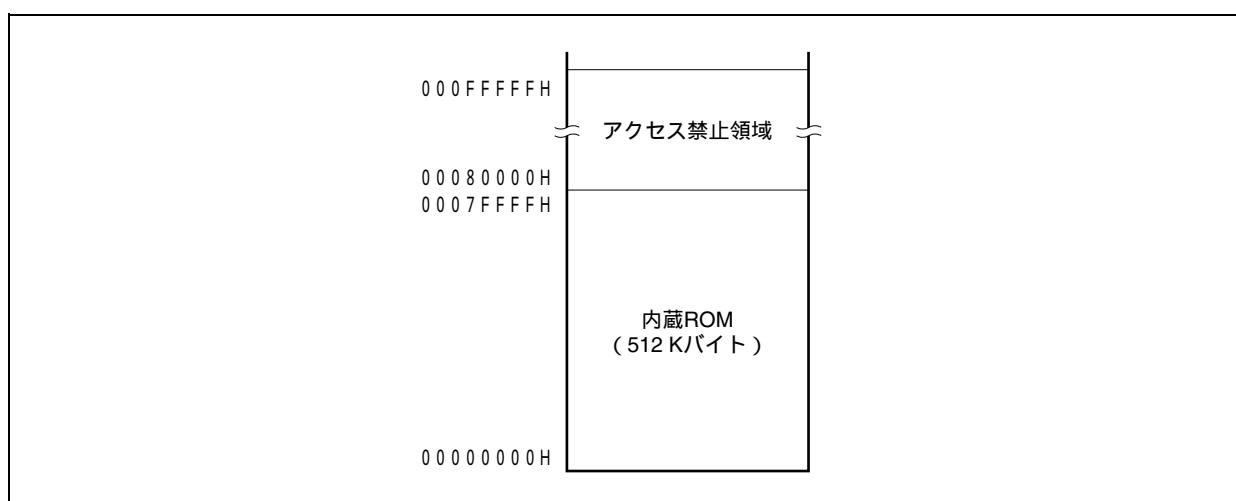


(d) 内蔵ROM (512 Kバイト)

μ PD70F3718には00000000Hから0007FFFFH番地に512 Kバイト実装しています。

00080000Hから000FFFFFFH番地はアクセス禁止領域です。

図3 - 7 内蔵ROM領域 (512 Kバイト)

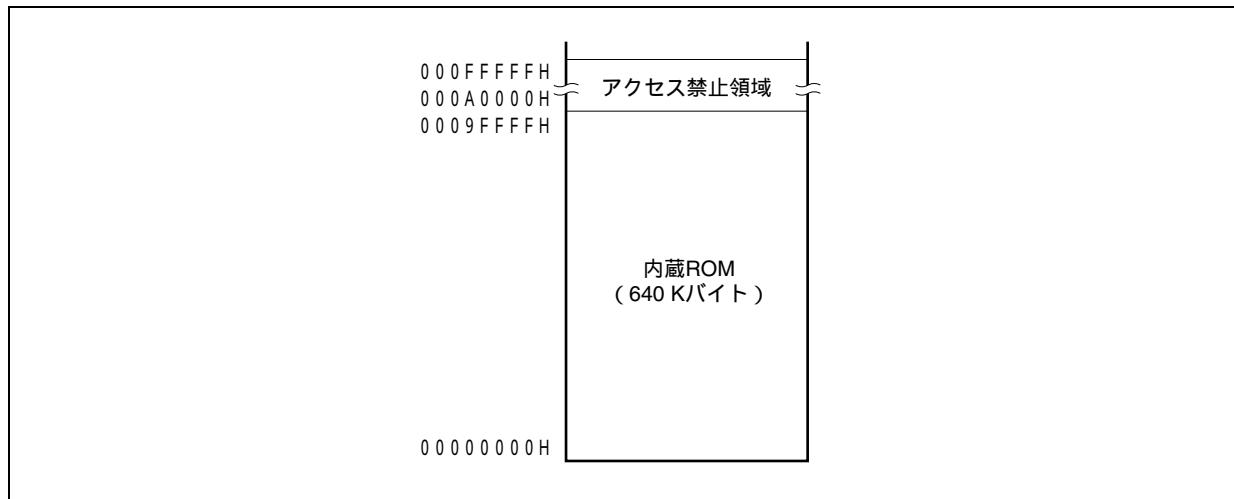


(e) 内蔵ROM (640 Kバイト)

μ PD70F3719には00000000Hから0009FFFFH番地に640 Kバイト実装しています。

000A0000Hから000FFFFFFH番地はアクセス禁止領域です。

図3-8 内蔵ROM領域 (640 Kバイト)



(2) 内蔵RAM領域

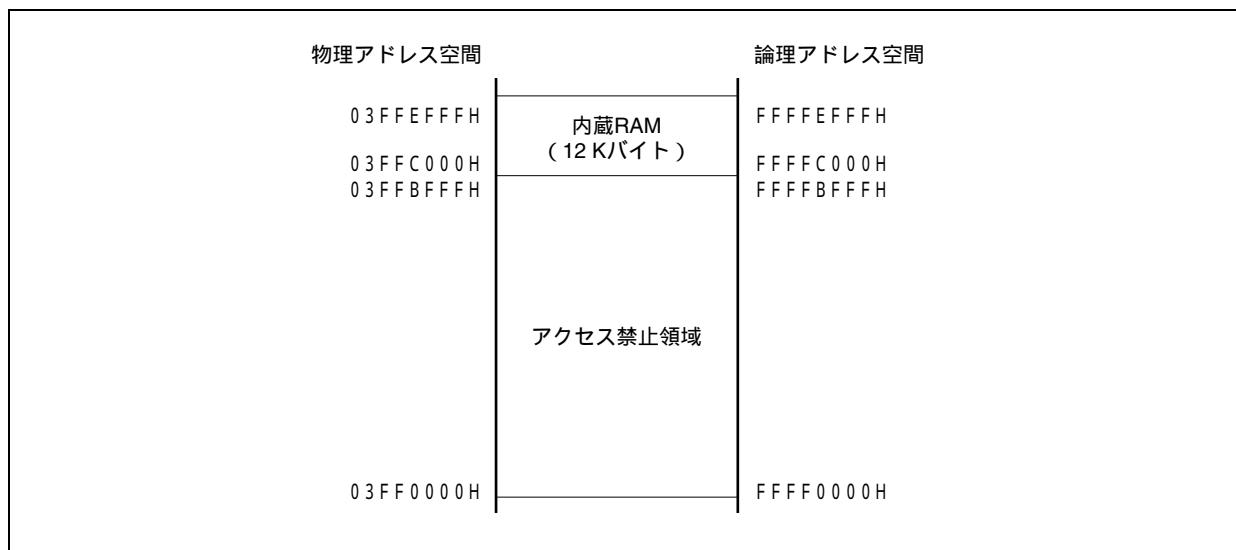
内蔵RAM領域は、最大60 Kバイトが予約されています。

(a) 内蔵RAM (12 Kバイト)

μ PD70F3715には03FFC000Hから03FFEFFFH番地に12 Kバイト実装しています。

03FF0000Hから03FFBFFFH番地はアクセス禁止領域です。

図3 - 9 内蔵RAM領域 (12 Kバイト)

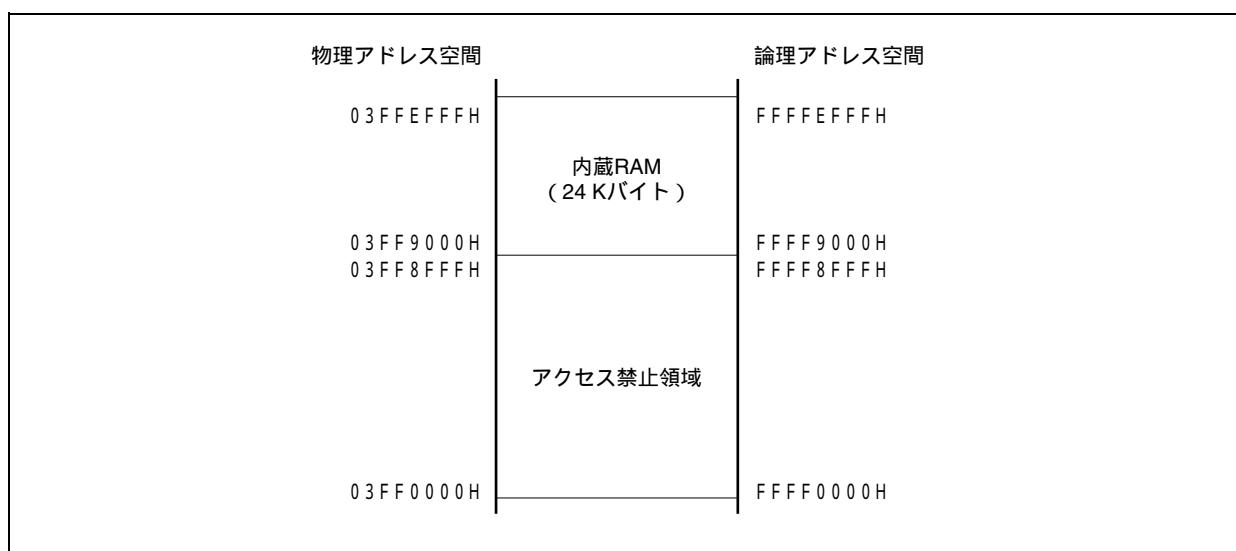


(b) 内蔵RAM (24 Kバイト)

μ PD70F3716には03FF9000Hから03FFEFFFH番地に24 Kバイト実装しています。

03FF0000Hから03FF8FFFH番地はアクセス禁止領域です。

図3 - 10 内蔵RAM領域 (24 Kバイト)

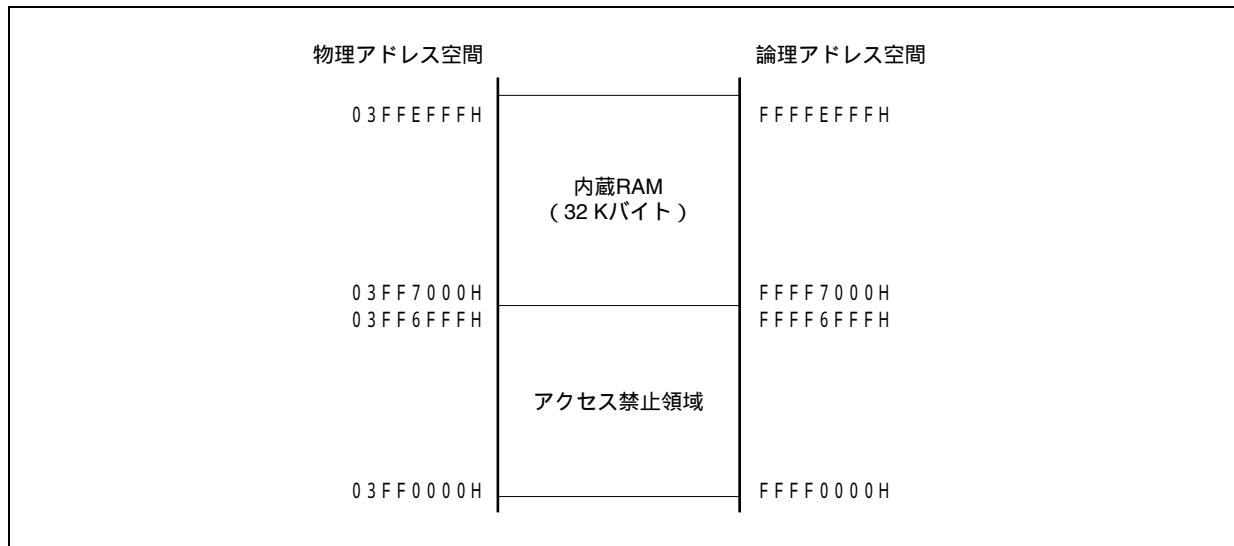


(c) 内蔵RAM (32 Kバイト)

μ PD70F3717には03FF7000Hから03FFEFFFH番地に32 Kバイト実装しています。

03FF0000Hから03FF6FFFH番地はアクセス禁止領域です。

図3 - 11 内蔵RAM領域 (32 Kバイト)

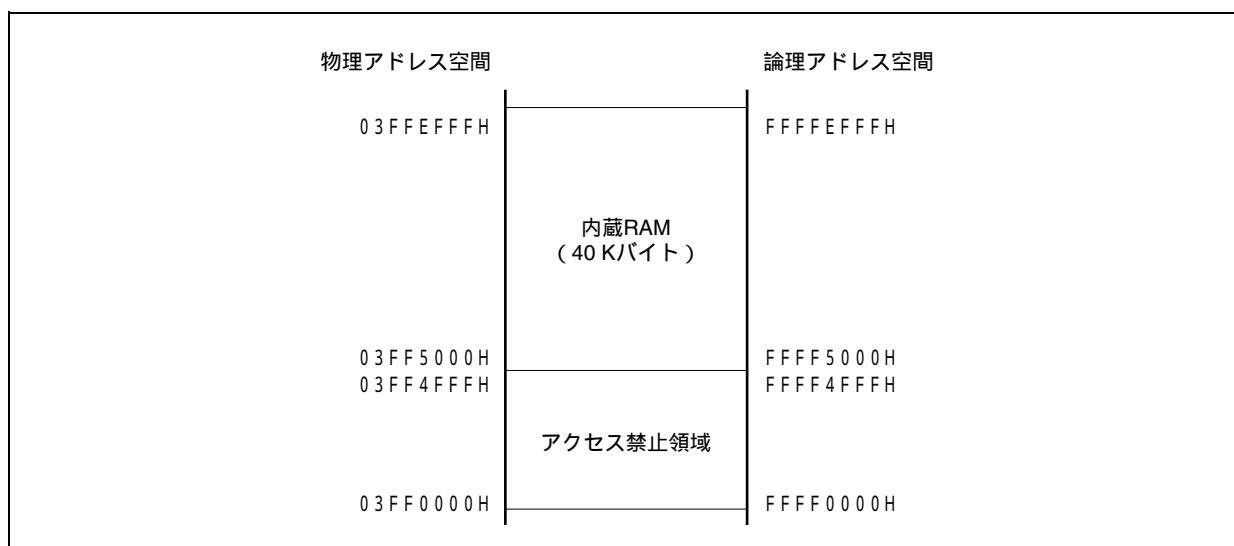


(d) 内蔵RAM (40 Kバイト)

μ PD70F3718には03FF5000Hから03FFEFFFH番地に40 Kバイト実装しています。

03FF0000Hから03FF4FFFH番地はアクセス禁止領域です。

図3 - 12 内蔵RAM領域 (40 Kバイト)

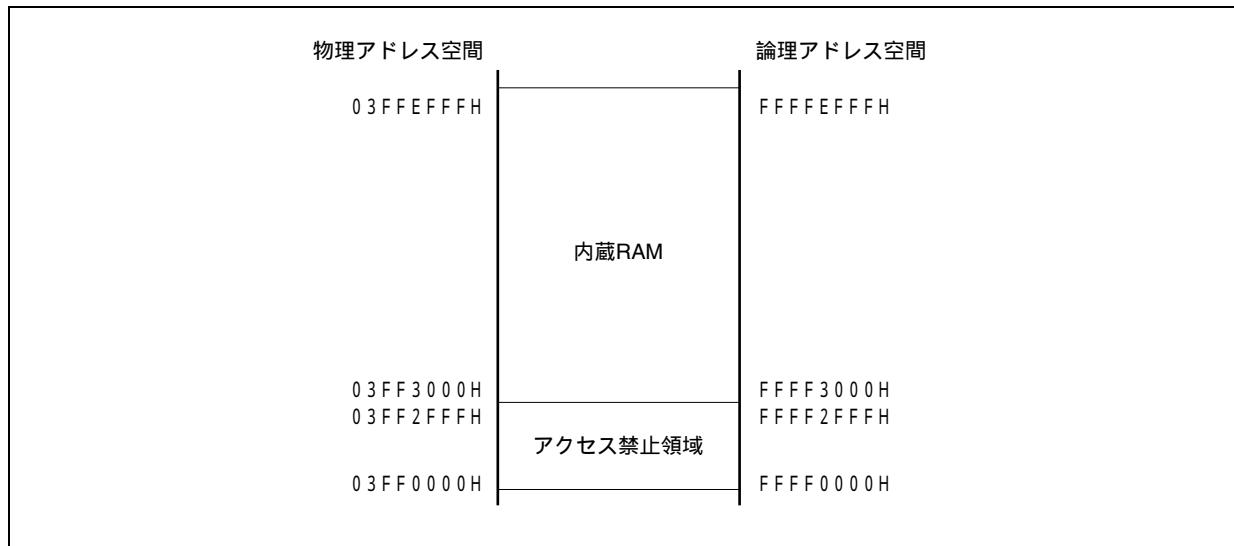


(e) 内蔵RAM (48 Kバイト)

μ PD70F3719には03FF3000Hから03FFEFFFH番地に48 Kバイト実装しています。

03FF0000Hから03FF2FFFH番地はアクセス禁止領域です。

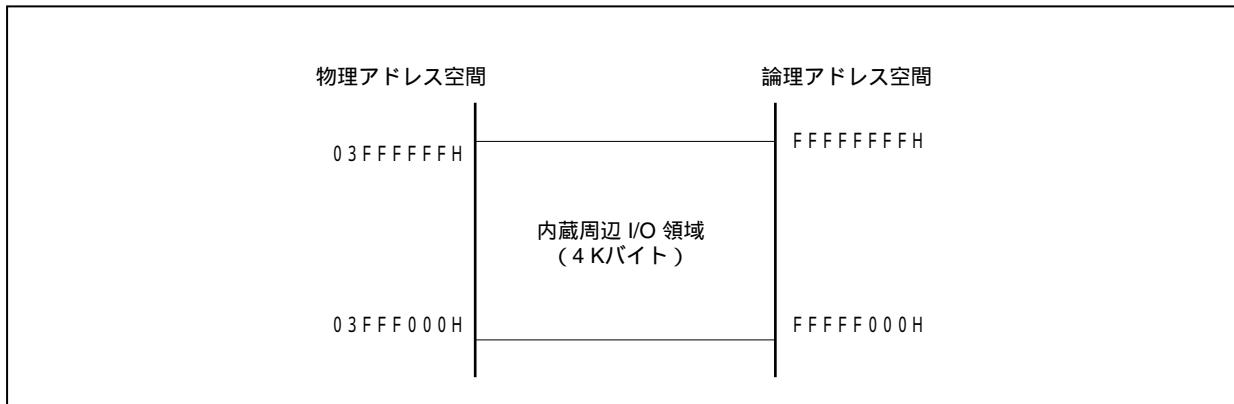
図3 - 13 内蔵RAM領域 (48 Kバイト)



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として03FFF000H-03FFFFFFH番地の4 Kバイトを予約しています。

図3-14 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
- 2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
- 3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

外部メモリ領域として15 Mバイト(00100000H-00FFFFFFH)あります。詳細は第5章 パス制御機能を参照してください。

注意 V850ES/JG2ではアドレス端子が22本(A0-A21)であり、外部メモリ領域は4 Mバイトのイメージが繰り返し見えます。セパレート・バス・モード時や、A20, A21端子を使用する場合、EV_{DD} = BV_{DD} = V_{DD}で使用してください。

3.4.5 アドレス空間の推奨使用方法

V850ES/JG2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

注意 内蔵RAM領域の上限に分歧命令がある場合、内蔵周辺I/O領域にまたがるプリフェッч動作(無効フェッч)は発生しません。

RAMサイズ	アクセス番地
48 Kバイト	03FF3000H-03FFEFFFH
40 Kバイト	03FF5000H-03FFEFFFH
32 Kバイト	03FF7000H-03FFEFFFH
24 Kバイト	03FF9000H-03FFEFFFH
12 Kバイト	03FFC000H-03FFEFFFH

(2) データ空間

V850ES/JG2では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合, 符号拡張したdisp16により, 00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり, ポインタ専用に費やすレジスターは実質不要となります。

例 μ PD70F3717の場合

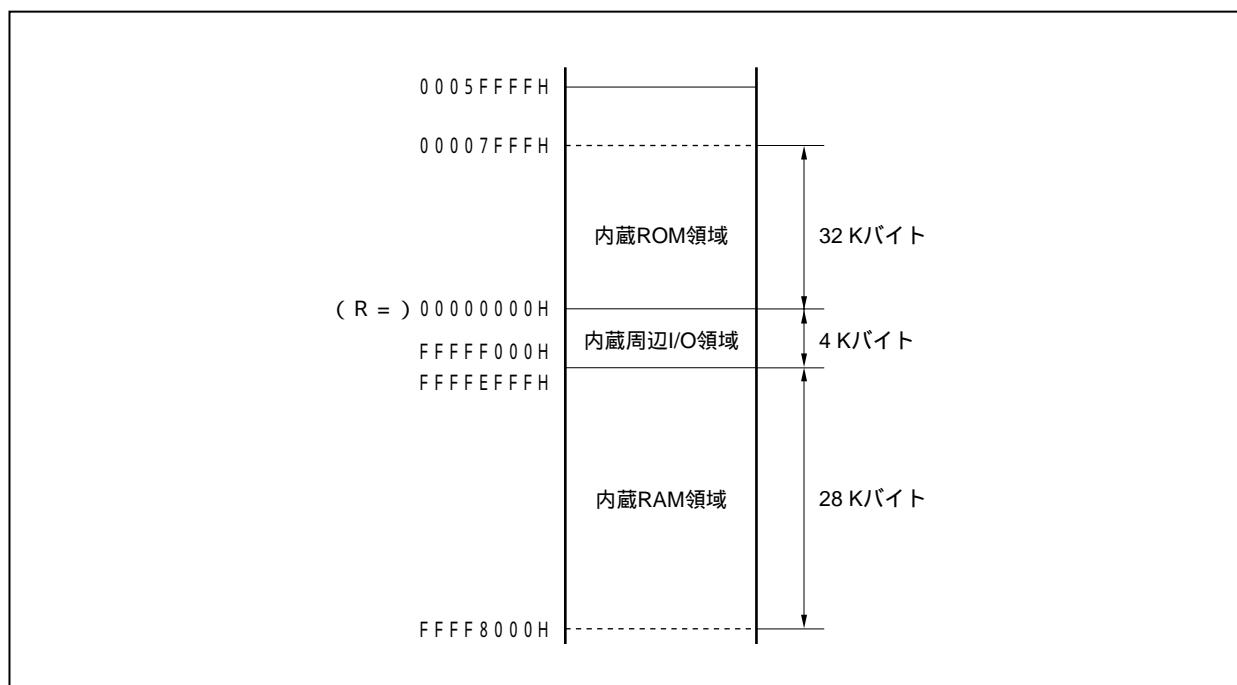
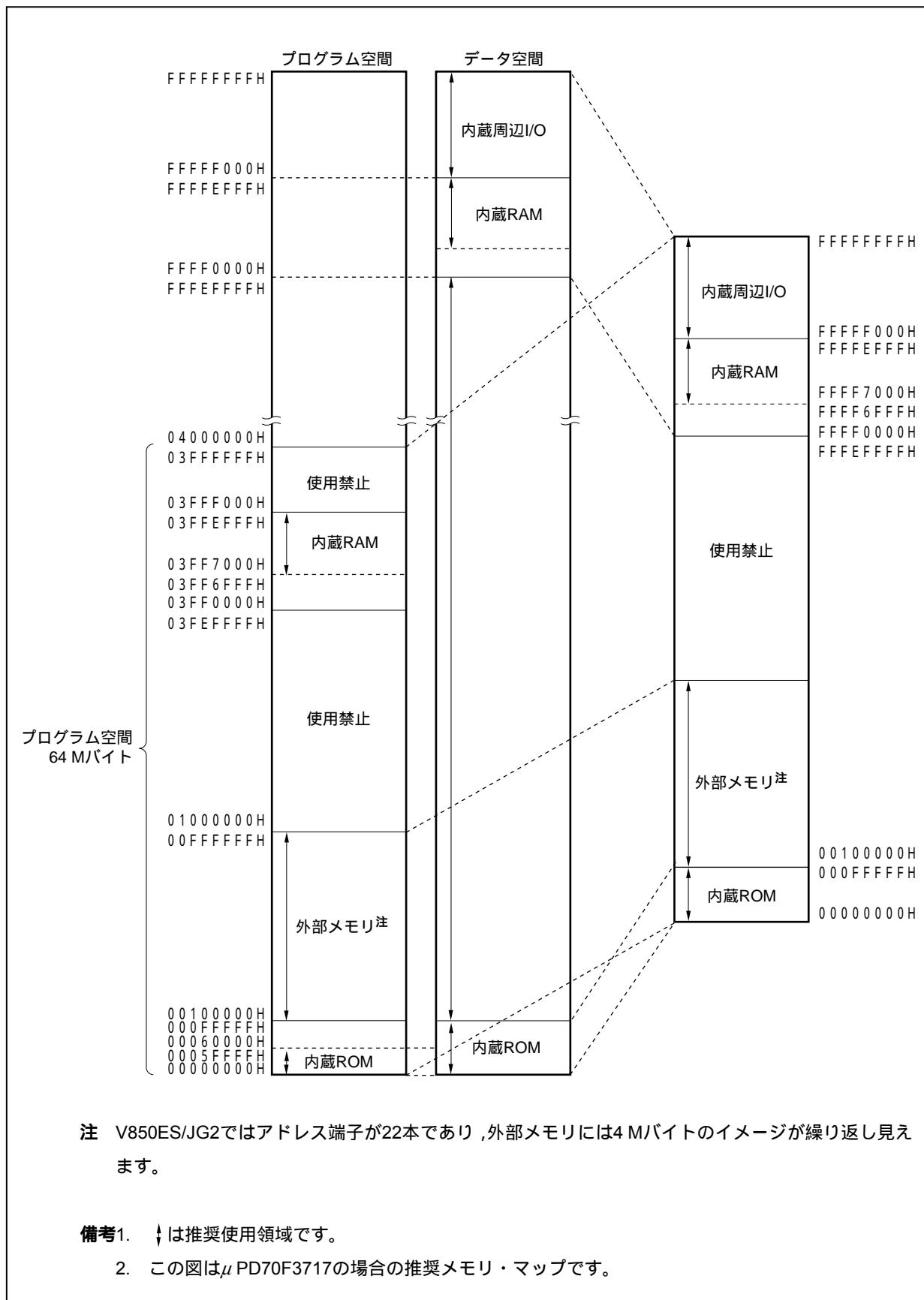


図3-15 推奨メモリ・マップ



3.4.6 周辺I/Oレジスタ

(1/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W				0000H ^注
FFFFF004H	ポートDLレジスタL	PDLL					00H ^注
FFFFF005H	ポートDLレジスタH	PDLH					00H ^注
FFFFF006H	ポートDHレジスタ	PDH					00H ^注
FFFFF00AH	ポートCTレジスタ	PCT					00H ^注
FFFFF00CH	ポートCMレジスタ	PCM					00H ^注
FFFFF024H	ポートDLモード・レジスタ	PMDL					FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH					FFH
FFFFF026H	ポートDHモード・レジスタ	PMDH					FFH
FFFFF02AH	ポートCTモード・レジスタ	PMCT					FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM					FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL					0000H
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL					00H
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH					00H
FFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH					00H
FFFFF04AH	ポートCTモード・コントロール・レジスタ	PM CCT					00H
FFFFF04CH	ポートCMモード・コントロール・レジスタ	PM CCM					00H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC					5555H
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L					不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H					不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L					不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H					不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L					不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H					不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L					不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H					不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L					不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H					不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L					不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H					不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L					不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H					不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L					不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H					不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0					不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1					不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2					不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3					不定
FFFFF0D0H	DMAアドレシング・コントロール・レジスタ0	DADC0					0000H

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(2/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0D2H	DMAアドレシング・コントロール・レジスタ1	DADC1	R/W				0000H
FFFFF0D4H	DMAアドレシング・コントロール・レジスタ2	DADC2					0000H
FFFFF0D6H	DMAアドレシング・コントロール・レジスタ3	DADC3					0000H
FFFFF0E0H	DMAチャネル・コントロール・レジスタ0	DCHC0					00H
FFFFF0E2H	DMAチャネル・コントロール・レジスタ1	DCHC1					00H
FFFFF0E4H	DMAチャネル・コントロール・レジスタ2	DCHC2					00H
FFFFF0E6H	DMAチャネル・コントロール・レジスタ3	DCHC3					00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFF110H	割り込み制御レジスタ	LVIIC					47H
FFFFF112H	割り込み制御レジスタ	PIC0					47H
FFFFF114H	割り込み制御レジスタ	PIC1					47H
FFFFF116H	割り込み制御レジスタ	PIC2					47H
FFFFF118H	割り込み制御レジスタ	PIC3					47H
FFFFF11AH	割り込み制御レジスタ	PIC4					47H
FFFFF11CH	割り込み制御レジスタ	PIC5					47H
FFFFF11EH	割り込み制御レジスタ	PIC6					47H
FFFFF120H	割り込み制御レジスタ	PIC7					47H
FFFFF122H	割り込み制御レジスタ	TQ0OVIC					47H
FFFFF124H	割り込み制御レジスタ	TQ0CCIC0					47H
FFFFF126H	割り込み制御レジスタ	TQ0CCIC1					47H
FFFFF128H	割り込み制御レジスタ	TQ0CCIC2					47H
FFFFF12AH	割り込み制御レジスタ	TQ0CCIC3					47H
FFFFF12CH	割り込み制御レジスタ	TP0OVIC					47H
FFFFF12EH	割り込み制御レジスタ	TP0CCIC0					47H
FFFFF130H	割り込み制御レジスタ	TP0CCIC1					47H
FFFFF132H	割り込み制御レジスタ	TP1OVIC					47H
FFFFF134H	割り込み制御レジスタ	TP1CCIC0					47H
FFFFF136H	割り込み制御レジスタ	TP1CCIC1					47H
FFFFF138H	割り込み制御レジスタ	TP2OVIC					47H
FFFFF13AH	割り込み制御レジスタ	TP2CCIC0					47H
FFFFF13CH	割り込み制御レジスタ	TP2CCIC1					47H
FFFFF13EH	割り込み制御レジスタ	TP3OVIC					47H

(3/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF140H	割り込み制御レジスタ	TP3CCIC0	R/W				47H
FFFFF142H	割り込み制御レジスタ	TP3CCIC1					47H
FFFFF144H	割り込み制御レジスタ	TP4OVIC					47H
FFFFF146H	割り込み制御レジスタ	TP4CCIC0					47H
FFFFF148H	割り込み制御レジスタ	TP4CCIC1					47H
FFFFF14AH	割り込み制御レジスタ	TP5OVIC					47H
FFFFF14CH	割り込み制御レジスタ	TP5CCIC0					47H
FFFFF14EH	割り込み制御レジスタ	TP5CCIC1					47H
FFFFF150H	割り込み制御レジスタ	TM0EQIC0					47H
FFFFF152H	割り込み制御レジスタ	CB0RIC/IICIC1					47H
FFFFF154H	割り込み制御レジスタ	CB0TIC					47H
FFFFF156H	割り込み制御レジスタ	CB1RIC					47H
FFFFF158H	割り込み制御レジスタ	CB1TIC					47H
FFFFF15AH	割り込み制御レジスタ	CB2RIC					47H
FFFFF15CH	割り込み制御レジスタ	CB2TIC					47H
FFFFF15EH	割り込み制御レジスタ	CB3RIC					47H
FFFFF160H	割り込み制御レジスタ	CB3TIC					47H
FFFFF162H	割り込み制御レジスタ	UA0RIC/CB4RIC					47H
FFFFF164H	割り込み制御レジスタ	UA0TIC/CB4TIC					47H
FFFFF166H	割り込み制御レジスタ	UA1RIC/IICIC2					47H
FFFFF168H	割り込み制御レジスタ	UA1TIC					47H
FFFFF16AH	割り込み制御レジスタ	UA2RIC/IICIC0					47H
FFFFF16CH	割り込み制御レジスタ	UA2TIC					47H
FFFFF16EH	割り込み制御レジスタ	ADIC					47H
FFFFF170H	割り込み制御レジスタ	DMAIC0	R/W				47H
FFFFF172H	割り込み制御レジスタ	DMAIC1					47H
FFFFF174H	割り込み制御レジスタ	DMAIC2					47H
FFFFF176H	割り込み制御レジスタ	DMAIC3					47H
FFFFF178H	割り込み制御レジスタ	KRIC					47H
FFFFF17AH	割り込み制御レジスタ	WTIIC					47H
FFFFF17CH	割り込み制御レジスタ	WTIC					47H
FFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR		R			00H
FFFFF1FCH	コマンド・レジスタ	PRCMD		W			不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC					00H
FFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0	R/W				00H
FFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1					00H
FFFFF202H	A/Dコンバータ・チャネル指定レジスタ	ADA0S					00H
FFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2					00H
FFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM					00H
FFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT					00H
FFFFF210H	A/D変換結果レジスタ0	ADA0CR0		R			不定
FFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H					不定

(4/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF212H	A/D変換結果レジスタ1	ADA0CR1	R				不定
FFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H					不定
FFFFF214H	A/D変換結果レジスタ2	ADA0CR2					不定
FFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H					不定
FFFFF216H	A/D変換結果レジスタ3	ADA0CR3					不定
FFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H					不定
FFFFF218H	A/D変換結果レジスタ4	ADA0CR4					不定
FFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H					不定
FFFFF21AH	A/D変換結果レジスタ5	ADA0CR5					不定
FFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H					不定
FFFFF21CH	A/D変換結果レジスタ6	ADA0CR6					不定
FFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H					不定
FFFFF21EH	A/D変換結果レジスタ7	ADA0CR7					不定
FFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H					不定
FFFFF220H	A/D変換結果レジスタ8	ADA0CR8					不定
FFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H					不定
FFFFF222H	A/D変換結果レジスタ9	ADA0CR9	R/W				不定
FFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H					不定
FFFFF224H	A/D変換結果レジスタ10	ADA0CR10					不定
FFFFF225H	A/D変換結果レジスタ10H	ADA0CR10H					不定
FFFFF226H	A/D変換結果レジスタ11	ADA0CR11					不定
FFFFF227H	A/D変換結果レジスタ11H	ADA0CR11H					不定
FFFFF280H	D/A変換値設定レジスタ0	DA0CS0					00H
FFFFF281H	D/A変換値設定レジスタ1	DA0CS1					00H
FFFFF282H	D/Aコンバータ・モード・レジスタ	DA0M					00H
FFFFF300H	キー・リターン・モード・レジスタ	KRM					00H
FFFFF308H	セレクタ動作制御レジスタ0	SELCNT0					00H
FFFFF318H	ノイズ除去制御レジスタ	NFC					00H
FFFFF320H	プリスケーラ・モード・レジスタ1	PRSM1					00H
FFFFF321H	プリスケーラ・コンペア・レジスタ1	PRSCM1					00H
FFFFF324H	プリスケーラ・モード・レジスタ2	PRSM2					00H
FFFFF325H	プリスケーラ・コンペア・レジスタ2	PRSCM2					00H
FFFFF328H	プリスケーラ・モード・レジスタ3	PRSM3					00H
FFFFF329H	プリスケーラ・コンペア・レジスタ3	PRSCM3					00H
FFFFF340H	IIC分周クロック選択レジスタ0	OCKS0					00H
FFFFF344H	IIC分周クロック選択レジスタ1	OCKS1					00H
FFFFF400H	ポート0レジスタ	P0					00H ^注
FFFFF402H	ポート1レジスタ	P1					00H ^注
FFFFF406H	ポート3レジスタ	P3					0000H ^注
FFFFF406H	ポート3レジスタL	P3L					00H ^注
FFFFF407H	ポート3レジスタH	P3H					00H ^注

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(5/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF408H	ポート4レジスタ	P4	R/W				00H ^注
FFFFF40AH	ポート5レジスタ	P5					00H ^注
FFFFF40EH	ポート7レジスタL	P7L	R/W				00H ^注
FFFFF40FH	ポート7レジスタH	P7H					00H ^注
FFFFF412H	ポート9レジスタ	P9	R/W				0000H ^注
FFFFF412H	ポート9レジスタL	P9L					00H ^注
FFFFF413H	ポート9レジスタH	P9H					00H ^注
FFFFF420H	ポート0モード・レジスタ	PM0	R/W				FFH
FFFFF422H	ポート1モード・レジスタ	PM1					FFH
FFFFF426H	ポート3モード・レジスタ	PM3	R/W				FFFFH
FFFFF426H	ポート3モード・レジスタL	PM3L					FFH
FFFFF427H	ポート3モード・レジスタH	PM3H					FFH
FFFFF428H	ポート4モード・レジスタ	PM4	R/W				FFH
FFFFF42AH	ポート5モード・レジスタ	PM5					FFH
FFFFF42EH	ポート7モード・レジスタL	PM7L	R/W				FFH
FFFFF42FH	ポート7モード・レジスタH	PM7H					FFH
FFFFF432H	ポート9モード・レジスタ	PM9	R/W				FFFFH
FFFFF432H	ポート9モード・レジスタL	PM9L					FFH
FFFFF433H	ポート9モード・レジスタH	PM9H					FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W				00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					0000H
FFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L	R/W				00H
FFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H					00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W				00H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5					00H
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9	R/W				0000H
FFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L					00H
FFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H					00H
FFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0	R/W				00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					0000H
FFFFF466H	ポート3ファンクション・コントロール・レジスタL	PFC3L	R/W				00H
FFFFF467H	ポート3ファンクション・コントロール・レジスタH	PFC3H					00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W				00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5					00H
FFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9	R/W				0000H
FFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L					00H
FFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H					00H
FFFFF484H	データ・ウェイト・コントロール・レジスタ0	DWC0	R/W				7777H
FFFFF488H	アドレス・ウェイト・コントロール・レジスタ	AWC					FFFFH
FFFFF48AH	バス・サイクル・コントロール・レジスタ	BCC	R/W				AAAAH
FFFFF540H	TMQ0制御レジスタ0	TQ0CTL0					00H
FFFFF541H	TMQ0制御レジスタ1	TQ0CTL1					00H

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(6/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF542H	TMQ0I/O制御レジスタ0	TQ0IOC0	R/W				00H
FFFFF543H	TMQ0I/O制御レジスタ1	TQ0IOC1					00H
FFFFF544H	TMQ0I/O制御レジスタ2	TQ0IOC2					00H
FFFFF545H	TMQ0オプション・レジスタ0	TQ0OPT0					00H
FFFFF546H	TMQ0キャプチャ / コンペア・レジスタ0	TQ0CCR0					0000H
FFFFF548H	TMQ0キャプチャ / コンペア・レジスタ1	TQ0CCR1					0000H
FFFFF54AH	TMQ0キャプチャ / コンペア・レジスタ2	TQ0CCR2					0000H
FFFFF54CH	TMQ0キャプチャ / コンペア・レジスタ3	TQ0CCR3					0000H
FFFFF54EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R				0000H
FFFFF590H	TP0制御レジスタ0	TP0CTL0	R/W				00H
FFFFF591H	TP0制御レジスタ1	TP0CTL1					00H
FFFFF592H	TP0I/O制御レジスタ0	TP0IOC0					00H
FFFFF593H	TP0I/O制御レジスタ1	TP0IOC1					00H
FFFFF594H	TP0I/O制御レジスタ2	TP0IOC2					00H
FFFFF595H	TP0オプション・レジスタ0	TP0OPT0					00H
FFFFF596H	TP0キャプチャ / コンペア・レジスタ0	TP0CCR0					0000H
FFFFF598H	TP0キャプチャ / コンペア・レジスタ1	TP0CCR1					0000H
FFFFF59AH	TP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H
FFFFF5A0H	TP1制御レジスタ0	TP1CTL0	R/W				00H
FFFFF5A1H	TP1制御レジスタ1	TP1CTL1					00H
FFFFF5A2H	TP1I/O制御レジスタ0	TP1IOC0					00H
FFFFF5A3H	TP1I/O制御レジスタ1	TP1IOC1					00H
FFFFF5A4H	TP1I/O制御レジスタ2	TP1IOC2					00H
FFFFF5A5H	TP1オプション・レジスタ0	TP1OPT0					00H
FFFFF5A6H	TP1キャプチャ / コンペア・レジスタ0	TP1CCR0					0000H
FFFFF5A8H	TP1キャプチャ / コンペア・レジスタ1	TP1CCR1					0000H
FFFFF5AAH	TP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFF5B0H	TP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFF5B1H	TP2制御レジスタ1	TP2CTL1					00H
FFFFF5B2H	TP2I/O制御レジスタ0	TP2IOC0					00H
FFFFF5B3H	TP2I/O制御レジスタ1	TP2IOC1					00H
FFFFF5B4H	TP2I/O制御レジスタ2	TP2IOC2					00H
FFFFF5B5H	TP2オプション・レジスタ0	TP2OPT0					00H
FFFFF5B6H	TP2キャプチャ / コンペア・レジスタ0	TP2CCR0					0000H
FFFFF5B8H	TP2キャプチャ / コンペア・レジスタ1	TP2CCR1					0000H
FFFFF5BAH	TP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFF5C0H	TP3制御レジスタ0	TP3CTL0	R/W				00H
FFFFF5C1H	TP3制御レジスタ1	TP3CTL1					00H
FFFFF5C2H	TP3I/O制御レジスタ0	TP3IOC0					00H
FFFFF5C3H	TP3I/O制御レジスタ1	TP3IOC1					00H
FFFFF5C4H	TP3I/O制御レジスタ2	TP3IOC2					00H
FFFFF5C5H	TP3オプション・レジスタ0	TP3OPT0					00H
FFFFF5C6H	TP3キャプチャ / コンペア・レジスタ0	TP3CCR0					0000H
FFFFF5C8H	TP3キャプチャ / コンペア・レジスタ1	TP3CCR1					0000H

(7/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R				0000H
FFFFF5D0H	TMP4制御レジスタ0	TP4CTL0	R/W				00H
FFFFF5D1H	TMP4制御レジスタ1	TP4CTL1					00H
FFFFF5D2H	TMP4I/O制御レジスタ0	TP4IOC0					00H
FFFFF5D3H	TMP4I/O制御レジスタ1	TP4IOC1					00H
FFFFF5D4H	TMP4I/O制御レジスタ2	TP4IOC2					00H
FFFFF5D5H	TMP4オプション・レジスタ0	TP4OPT0					00H
FFFFF5D6H	TMP4キャプチャ／コンペア・レジスタ0	TP4CCR0					0000H
FFFFF5D8H	TMP4キャプチャ／コンペア・レジスタ1	TP4CCR1					0000H
FFFFF5DAH	TMP4カウンタ・リード・バッファ・レジスタ	TP4CNT	R				0000H
FFFFF5E0H	TMP5制御レジスタ0	TP5CTL0	R/W				00H
FFFFF5E1H	TMP5制御レジスタ1	TP5CTL1					00H
FFFFF5E2H	TMP5I/O制御レジスタ0	TP5IOC0					00H
FFFFF5E3H	TMP5I/O制御レジスタ1	TP5IOC1					00H
FFFFF5E4H	TMP5I/O制御レジスタ2	TP5IOC2					00H
FFFFF5E5H	TMP5オプション・レジスタ0	TP5OPT0					00H
FFFFF5E6H	TMP5キャプチャ／コンペア・レジスタ0	TP5CCR0					0000H
FFFFF5E8H	TMP5キャプチャ／コンペア・レジスタ1	TP5CCR1					0000H
FFFFF5EAH	TMP5カウンタ・リード・バッファ・レジスタ	TP5CNT	R				0000H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W				00H
FFFFF690H	TMM0制御レジスタ0	TM0CTL0					00H
FFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS					06H
FFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS					03H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2					67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE					9AH
FFFFF6E0H	リアルタイム出力バッファ・レジスタ0L	RTBL0					00H
FFFFF6E2H	リアルタイム出力バッファ・レジスタ0H	RTBH0					00H
FFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0					00H
FFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0					00H
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタL	PFCE3L					00H
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5					00H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9					0000H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L					00H
FFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H					00H
FFFFF802H	システム・ステータス・レジスタ	SYS					00H
FFFFF80CH	内蔵発振モード・レジスタ	RCM					00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0					00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1					00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2					00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3					00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR					00H
FFFFF822H	クロック・コントロール・レジスタ	CKC					0AH

(8/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF824H	ロック・レジスタ	LOCKR	R				00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC	R/W				03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL					01H
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R				00H
FFFFF870H	クロック・モニタ・モード・レジスタ	CLM	R/W				00H
FFFFF888H	リセット要因フラグ・レジスタ	RESF					00H
FFFFF890H	低電圧検出レジスタ	LVIM					00H
FFFFF891H	低電圧検出レベル選択レジスタ	LVIS					00H
FFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS					01H
FFFFF8B0H	プリスケーラ・モード・レジスタ0	PRSM0					00H
FFFFF8B1H	プリスケーラ・コンペア・レジスタ0	PRSCM0					00H
FFFFF9FCH	オンチップ・デバッグ・モード・レジスタ	OCDM					01H
FFFFF9FEH	周辺エミュレーション・レジスタ1	PEMU1 ^注					00H
FFFFFA00H	UARTA0制御レジスタ0	UA0CTL0					10H
FFFFFA01H	UARTA0制御レジスタ1	UA0CTL1					00H
FFFFFA02H	UARTA0制御レジスタ2	UA0CTL2					FFH
FFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0					14H
FFFFFA04H	UARTA0状態レジスタ	UA0STR					00H
FFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R				FFH
FFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W				FFH
FFFFFA10H	UARTA1制御レジスタ0	UA1CTL0					10H
FFFFFA11H	UARTA1制御レジスタ1	UA1CTL1					00H
FFFFFA12H	UARTA1制御レジスタ2	UA1CTL2					FFH
FFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0					14H
FFFFFA14H	UARTA1状態レジスタ	UA1STR					00H
FFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R				FFH
FFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W				FFH
FFFFFA20H	UARTA2制御レジスタ0	UA2CTL0					10H
FFFFFA21H	UARTA2制御レジスタ1	UA2CTL1					00H
FFFFFA22H	UARTA2制御レジスタ2	UA2CTL2					FFH
FFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0					14H
FFFFFA24H	UARTA2状態レジスタ	UA2STR					00H
FFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R				FFH
FFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W				FFH
FFFFFC00H	外部割り込み立ち下がリエッジ指定レジスタ0	INTF0					00H
FFFFFC06H	外部割り込み立ち下がリエッジ指定レジスタ3	INTF3					00H
FFFFFC13H	外部割り込み立ち下がリエッジ指定レジスタ9H	INTF9H					00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3					00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H					00H
FFFFFC60H	ポート0ファンクション・レジスタ	PF0					00H

注 エミュレーション時のみ

(9/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFC66H	ポート3ファンクション・レジスタ	PF3	R/W				0000H
FFFFFC66H	ポート3ファンクション・レジスタL	PF3L					00H
FFFFFC67H	ポート3ファンクション・レジスタH	PF3H					00H
FFFFFC68H	ポート4ファンクション・レジスタ	PF4					00H
FFFFFC6AH	ポート5ファンクション・レジスタ	PF5					00H
FFFFFC72H	ポート9ファンクション・レジスタ	PF9					0000H
FFFFFC72H	ポート9ファンクション・レジスタL	PF9L					00H
FFFFFC73H	ポート9ファンクション・レジスタH	PF9H					00H
FFFFFD00H	CSIB0制御レジスタ0	CB0CTL0					01H
FFFFFD01H	CSIB0制御レジスタ1	CB0CTL1					00H
FFFFFD02H	CSIB0制御レジスタ2	CB0CTL2	R				00H
FFFFFD03H	CSIB0状態レジスタ	CB0STR					00H
FFFFFD04H	CSIB0受信データ・レジスタ	CB0RX					0000H
FFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL					00H
FFFFFD06H	CSIB0送信データ・レジスタ	CB0TX					0000H
FFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H
FFFFFD10H	CSIB1制御レジスタ0	CB1CTL0					01H
FFFFFD11H	CSIB1制御レジスタ1	CB1CTL1					00H
FFFFFD12H	CSIB1制御レジスタ2	CB1CTL2					00H
FFFFFD13H	CSIB1状態レジスタ	CB1STR					00H
FFFFFD14H	CSIB1受信データ・レジスタ	CB1RX	R				0000H
FFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL					00H
FFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W				0000H
FFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL					00H
FFFFFD20H	CSIB2制御レジスタ0	CB2CTL0					01H
FFFFFD21H	CSIB2制御レジスタ1	CB2CTL1					00H
FFFFFD22H	CSIB2制御レジスタ2	CB2CTL2					00H
FFFFFD23H	CSIB2状態レジスタ	CB2STR					00H
FFFFFD24H	CSIB2受信データ・レジスタ	CB2RX	R				0000H
FFFFFD24H	CSIB2受信データ・レジスタL	CB2RXL					00H
FFFFFD26H	CSIB2送信データ・レジスタ	CB2TX	R/W				0000H
FFFFFD26H	CSIB2送信データ・レジスタL	CB2TXL					00H
FFFFFD30H	CSIB3制御レジスタ0	CB3CTL0					01H
FFFFFD31H	CSIB3制御レジスタ1	CB3CTL1					00H
FFFFFD32H	CSIB3制御レジスタ2	CB3CTL2					00H
FFFFFD33H	CSIB3状態レジスタ	CB3STR					00H
FFFFFD34H	CSIB3受信データ・レジスタ	CB3RX	R				0000H
FFFFFD34H	CSIB3受信データ・レジスタL	CB3RXL					00H
FFFFFD36H	CSIB3送信データ・レジスタ	CB3TX	R/W				0000H
FFFFFD36H	CSIB3送信データ・レジスタL	CB3TXL					00H
FFFFFD40H	CSIB4制御レジスタ0	CB4CTL0					01H
FFFFFD41H	CSIB4制御レジスタ1	CB4CTL1					00H
FFFFFD42H	CSIB4制御レジスタ2	CB4CTL2					00H

(10/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD43H	CSIB4状態レジスタ	CB4STR	R/W				00H
FFFFFD44H	CSIB4受信データ・レジスタ	CB4RX	R				0000H
FFFFFD44H	CSIB4受信データ・レジスタL	CB4RXL					00H
FFFFFD46H	CSIB4送信データ・レジスタ	CB4TX	R/W				0000H
FFFFFD46H	CSIB4送信データ・レジスタL	CB4TXL					00H
FFFFFD80H	IICシフト・レジスタ0	IIC0					00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0					00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0					00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0					00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0					00H
FFFFFD86H	IIC状態レジスタ0	IICS0	R				00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W				00H
FFFFFD90H	IICシフト・レジスタ1	IIC					00H
FFFFFD92H	IICコントロール・レジスタ1	IICC1					00H
FFFFFD93H	スレーブ・アドレス・レジスタ1	SVA1					00H
FFFFFD94H	IICクロック選択レジスタ1	IICCL1					00H
FFFFFD95H	IIC機能拡張レジスタ1	IICX1					00H
FFFFFD96H	IIC状態レジスタ1	IICS1	R				00H
FFFFFD9AH	IICフラグ・レジスタ1	IICF1	R/W				00H
FFFFFDA0H	IICシフト・レジスタ2	IIC2					00H
FFFFFDA2H	IICコントロール・レジスタ2	IICC2					00H
FFFFFDA3H	スレーブ・アドレス・レジスタ2	SVA2					00H
FFFFFDA4H	IICクロック選択レジスタ2	IICCL2	R/W				00H
FFFFFDA5H	IIC機能拡張レジスタ2	IICX2					00H
FFFFFDA6H	IIC状態レジスタ2	IICS2	R				00H
FFFFFDAAH	IICフラグ・レジスタ2	IICF2	R/W				00H
FFFFFBEH	外部バス・インターフェース・モード・コントロール・レジスタ	EXIMC					00H

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/JG2には次の8個の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・クロック・コントロール・レジスタ (CKC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

DMA動作を禁止する。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

PRCMDレジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）

- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）^注

DMA動作が必要な場合、DMA動作を許可する。

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```

ST.B r11, PSMR [ r0 ] ; PSMRレジスタ設定（IDLE1, IDLE2, STOPモードの設定）
CLR1 0, DCHCn [ r0 ] ; DMA動作禁止, n = 0-3
MOV 0x02, r10
ST.B r10, PRCMD [ r0 ] ; PRCMDレジスタ書き込み
ST.B r10, PSC [ r0 ] ; PSCレジスタ設定
NOP注 ; ダミー命令
SET1 0, DCHCn [ r0 ] ; DMA動作許可, n = 0-3
(next instruction)

```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOPモードに移行する場合（PSC.STPビット = 1）には、直後にNOP命令を5命令以上挿入する必要があります。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記、 を連続したストア命令で行うこと前提としているためです。 、 の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があり、誤動作の要因となります。
2. PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（例 ）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例 ）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定 W アドレス：FFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF802H							
SYS	7	6	5	4	3	2	1 ① PRERR
	0	0	0	0	0	0	0
	PRERR プロテクション・エラーの検出						
	0	プロテクション・エラーは発生していない					
	1	プロテクション・エラーが発生している					

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき
(3.4.7(1) 特定レジスタへのデータ設定で示すを行わずにを行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作
(ビット操作命令を含む)を行ったとき (3.4.7(1) 特定レジスタへのデータ設定で示すが特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作(ビット操作命令を除く)など(内蔵RAMへのアクセスなど)行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります(ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 注意事項

(1) 最初に設定するレジスタ

V850ES/JG2を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

VSWC, OCDM, WDTM2レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあと、ただちにポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノーワエイト時）ですが、V850ES/JG2では動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード／ライト可能です（アドレス：FFFFF06EH、初期値：77H）。

動作周波数 (f _{CLK})	VSWCの設定値	ウェイト数
32 kHz f _{CLK} < 16.6 MHz	00H	0（ノーワエイト）
16.6 MHz f _{CLK} 20 MHz	01H	1

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第27章 オンチップ・デバッグ機能を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、第11章 ウォッチドッグ・タイマ2機能を参照してください。

(2) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインターフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となるため、このウエイトが発生した場合、命令の実行クロック数が次に示すウエイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウエイト以外に、さらにウエイトを要する場合があります。

その際のアクセス条件と、挿入されるウエイト数（CPUクロック数）の算出方法を次に示します。

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタP (TMP) (n = 0-5)	TPnCNT	リード	1-2
	TPnCCR0, TPnCCR1	ライト	・1回目：ウエイトなし ・連続書き込み：3-4
		リード	1-2
16ビット・タイマ/イベント・カウンタQ (TMQ)	TQ0CNT	リード	1-2
	TQ0CCR0-TQ0CCR3	ライト	・1回目：ウエイトなし ・連続書き込み：3-4
		リード	1-2
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
リアルタイム出力機能 (RTO)	RTBL0, RTBH0	ライト (RTPC0.RTPOE0 ビット = 0)	1
A/Dコンバータ	ADA0M0	リード	1-2
	ADA0CR0-ADA0CR11	リード	1-2
	ADA0CR0H-ADA0CR11H	リード	1-2
I ² C00-I ² C02	IICS0-IICS2	リード	1

アクセスに必要なクロック数 = 3 + i + j + (2 + j) × k

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。

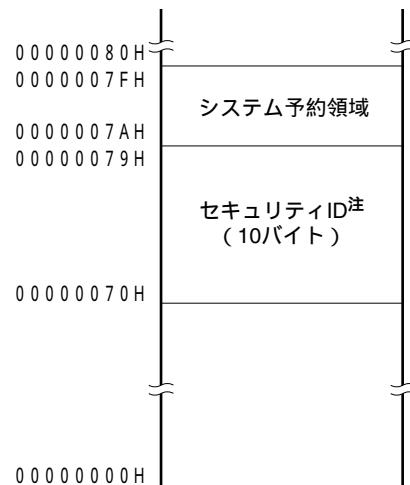
- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

備考 i : VSWCレジスタの上位4ビットの値 (0)

j : VSWCレジスタの下位4ビットの値 (0, 1)

(3) システム予約領域

V850ES/JG2では、0000007AH-0000007FHを機能拡張のためのシステム予約領域としているため、これらの領域を使用しないことを推奨します。



注 セキュリティIDについては、27.3.1 セキュリティIDを参照してください。

注意 フラッシュ・メモリのデータは消去状態では、すべて“1”となります。

(4) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10 < > の ld 命令の実行が完了する前に、< > の sld 命令の直前の mov 命令< >のデコード動作と割り込み要求が競合した場合、< >の ld 命令の実行結果がレジスタに格納されないことがあります。
 .
 .
 .
 < > mov r10, r28
 < > sld.w 0x28, r10

(b) 回 避 策

コンパイラ (CA850) 使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

アセンブラーでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld 命令の直前に nop 命令を入れる。
- ・ sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記< >の命令で使用しない。

第4章 ポート機能

4.1 特 徴

入出力ポート：84本

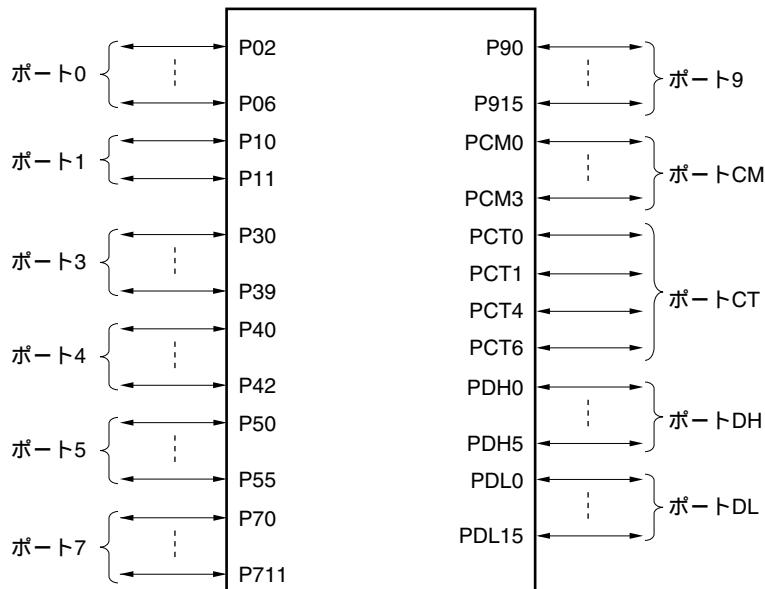
・5Vトレラント/N-chオープン・ドレーン出力切り替え可能：40本（ポート0, 3-5, 9）

1ビット単位で入力／出力指定可能

4.2 ポートの基本構成

V850ES/JG2は、ポート0, 1, 3-5, 7, 9, CM, CT, DH, DLの合計84本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4-1 ポートの構成図



注意 ポート0, 3-5, 9は、5Vトレラント対応

表4-1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
BV _{DD}	ポートCM, CT, DH (ビット0-3), DL
EV _{DD}	RESET, ポート0, 3-5, 9, DH (ビット4, 5)

4.3 ポートの構成

表4-2 ポートの構成

項目	構成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 1, 3-5, 7, 9, CM, CT, DH, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-5, 9, CM, CT, DH, DL) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-5, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 3, 5, 9) ポートnファンクション・レジスタ (PFn : n = 0, 3-5, 9)
ポート	入出力 : 84本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は , Pnレジスタへの書き込み , および読み出しによって行います。Pnレジスタは , 出力データを保持するポート・ラッチ , および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは , それぞれポートnの端子1本ずつに対応しており , 1ビット単位でリード / ライト可能です。

リセット時 : 00H (出力ラッチ) R/W								
Pn	7	6	5	4	3	2	1	0
	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
Pnm	出力データの制御 (出力モード時)							
0	0を出力							
1	1を出力							

PMcnレジスタの設定によらず , Pnレジスタへの書き込みや読み出しあは次のようにになります。

表4-3 Pnレジスタへの書き込み / 読み出しへについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^注 。 ポート・モード (PMcn = 0) の場合 , 出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^注 。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は , 再度出力ラッチに値を書き込まれるまで保持されます。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード / 出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : FFH R/W

PMn	7	6	5	4	3	2	1	0
	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0

PMnm	入出力モードの制御
0	出力モード
1	入力モード

(3) ポートnモード・コントロール・レジスタ (PMCn)

ポート・モード / 兼用機能を指定します。

PMCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W

PMCn	7	6	5	4	3	2	1	0
	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0

PMNm	動作モードの指定
0	ポート・モード
1	兼用機能モード

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1つの端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
PFCn	7	6	5	4	3	2	1	0
	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
PFCEnm	兼用機能の指定							
0	兼用機能1							
1	兼用機能2							

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1つの端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W								
PFCEn	7	6	5	4	3	2	1	0
	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
PFCn	7	6	5	4	3	2	1	0
	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
PFCEnm	PFCEnm	兼用機能の指定						
0	0	兼用機能1						
0	1	兼用機能2						
1	0	兼用機能3						
1	1	兼用機能4						

(6) ポートnファンクション・レジスタ (PFn)

通常出力/N-chオープン・ドレーン出力を指定するレジスタです。

PFnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W

PFn	7	6	5	4	3	2	1	0
	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

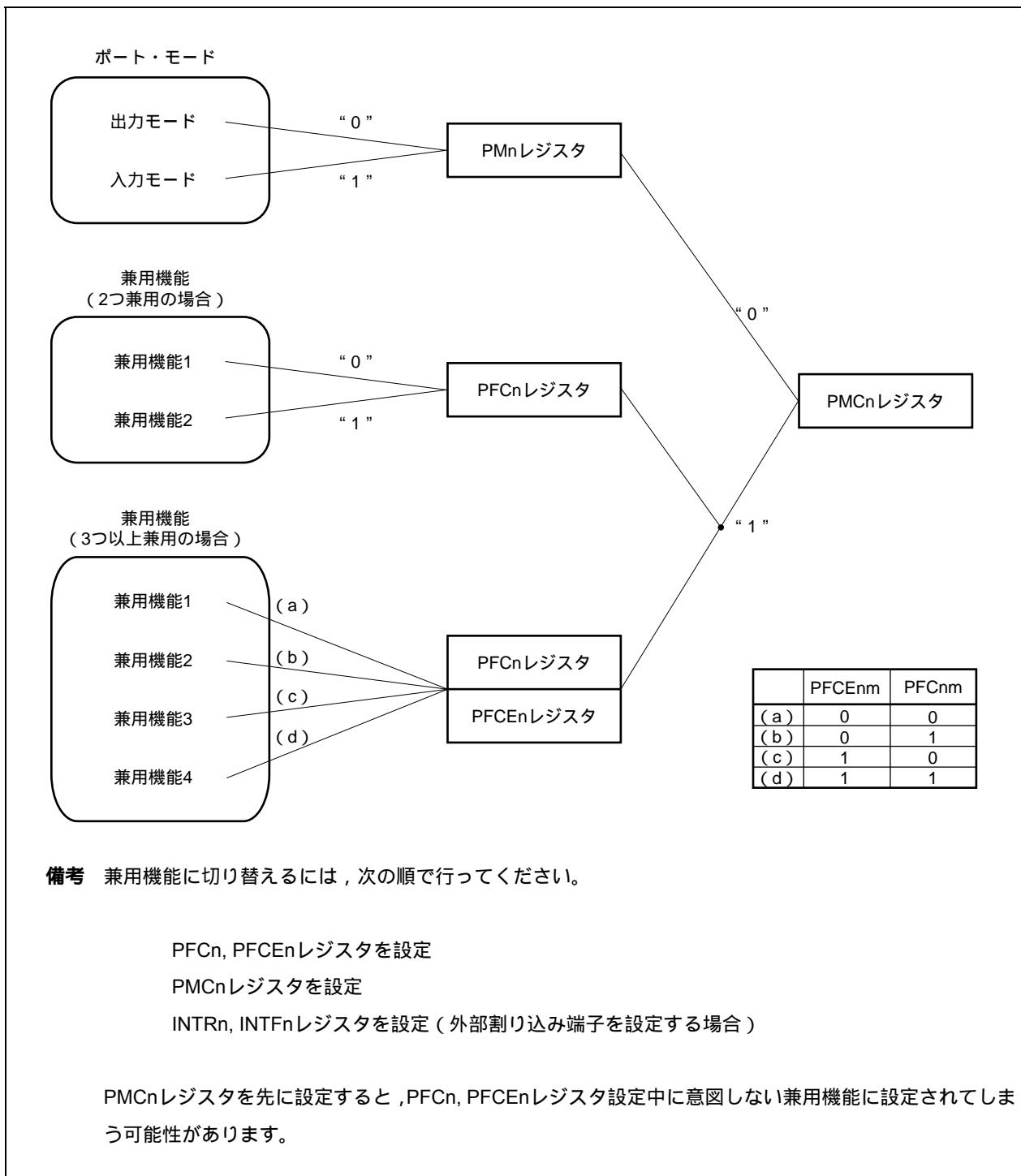
PFnm注	通常出力/N-chオープン・ドレーン出力の制御
0	通常出力 (CMOS出力)
1	N-chオープン・ドレーン出力

注 ポート・モード時 (PMNmビット = 0)、PFnレジスタのPFnmビットは、PMnレジスタのPMnmビット = 0 (出力モード時) のときのみ有効です。PMnmビット = 1 (入力モード時) のときは、PFnレジスタの設定値は無効です。

(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-2 各レジスタの設定と端子の機能



4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる5ビットのポートです。

ポート0は、次に示す端子と兼用しています。

表4-4 ポート0の兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
P02	19	17	NMI	入力	N-chオープン・ドレーン出力選択可能	L-1
P03	20	18	INTP0/ADTRG	入力		N-1
P04	21	19	INTP1	入力		L-1
P05	22	20	INTP2/ \overline{DRST} ^注	入力		AA-1
P06	23	21	INTP3	入力		L-1

注 \overline{DRST} 端子はオンチップ・デバッグ用の端子です。

オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア(0)するまで、P05/INTP2/ \overline{DRST} 端子状態をロウ・レベルに固定してください。

詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

注意 P02-P06端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

(1) ポート0レジスタ(P0)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFFF400H							
P0	7	6	5	4	3	2	1 0
	0	P06	P05	P04	P03	P02	0 0
P0n	出力データの制御 (出力モード時) (n = 2-6)						
0	0を出力						
1	1を出力						

(2) ポート0モード・レジスタ (PM0)

リセット時 : FFH R/W アドレス : FFFFF420H

PM0	7	6	5	4	3	2	1	0
	1	PM06	PM05	PM04	PM03	PM02	1	1

PM0n	入出力モードの制御 (n = 2-6)
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ (PMC0)

リセット時 : 00H R/W アドレス : FFFFF440H

PMC0	7	6	5	4	3	2	1	0
	0	PMC06	PMC05	PMC04	PMC03	PMC02	0	0

PMC06	P06端子の動作モードの指定
0	入出力ポート
1	INTP3入力

PMC05	P05端子の動作モードの指定
0	入出力ポート
1	INTP2入力

PMC04	P04端子の動作モードの指定
0	入出力ポート
1	INTP1入力

PMC03	P03端子の動作モードの指定
0	入出力ポート
1	INTP0入力/ADTRG入力

PMC02	P02端子の動作モードの指定
0	入出力ポート
1	NMI入力

注意 P05/INTP2/DRST端子は, OCDM.OCDM0ビット = 1のときは, PMC05ビットの値に
関係なくDRST端子となります。

(4) ポート0ファンクション・コントロール・レジスタ (PFC0)

リセット時 : 00H R/W アドレス : FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	0	0

PFC03	P03端子の兼用機能の指定
0	INTP0入力
1	ADTRG入力

(5) ポート0ファンクション・レジスタ (PF0)

リセット時 : 00H R/W アドレス : FFFFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	PF06	PF05	PF04	PF03	PF02	0	0

PF0n	通常出力/N-chオープン・ドレーン出力の制御 (n = 2-6)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレーン出力

注意 出力端子に対してEV_{DD}以上の電圧でプルアップする場合は、必ず該当するPF0nビットを1に設定してください。

4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる2ビットのポートです。

ポート1は、次に示す端子と兼用しています。

表4-5 ポート1の兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
P10	5	3	ANO0	出力	-	A-2
P11	6	4	ANO1	出力	-	A-2

注意 P10, P11端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

(1) ポート1レジスタ (P1)

リセット時 : 00H (出力ラッ奇) R/W アドレス : FFFFF402H

P1	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

注意 D/A変換中にP1レジスタをリード / ライトしないでください (14.4.3 使用上の注意点参照)。

(2) ポート1モード・レジスタ (PM1)

リセット時 : FFH R/W アドレス : FFFFF422H

PM1	7	6	5	4	3	2	1	0
	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

- 注意1. P1nを兼用機能 (ANOn端子出力) として使用する場合, PM1nビットを1に設定してください。
- 2. 1本を入出力ポート, 1本をD/A出力端子として使用する場合, D/A出力中は, ポートの入出力レベルが変化しないようなアプリケーションで使用してください。

4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できる10ビットのポートです。

ポート3は、次に示す端子と兼用しています。

表4-6 ポート3の兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
P30	27	25	TXDA0/SOB4	出力	N-chオープン・ドレーン出力選択可能	G-3
P31	28	26	RXDA0/INTP7/SIB4	入力		N-3
P32	29	27	ASCKA0/ <u>SCKB4</u> /TIP00/ TOP00	入出力		U-1
P33	30	28	TIP01/TOP01	入出力		G-1
P34	31	29	TIP10/TOP10	入出力		G-1
P35	32	30	TIP11/TOP11	入出力		G-1
P36	33	31	-	-		C-1
P37	34	32	-	-		C-1
P38	37	35	TXDA2/SDA00	入出力		G-12
P39	38	36	RXDA2/SCL00	入出力		G-6

注意 P31-P35, P38, P39端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(1) ポート3レジスタ (P3)

リセット時 : 0000H (出力ラッチ) R/W アドレス : P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H)	0	0	0	0	0	0	P39	P38
	7	6	5	4	3	2	1	0
(P3L)	P37	P36	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

備考1. P3レジスタは、16ビット単位でリード / ライト可能です。

ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。

2. P3レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、P3Hレジスタのビット0-7として指定してください。

(2) ポート3モード・レジスタ (PM3)

リセット時 : FFFFH R/W アドレス : PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H)	1	1	1	1	1	1	PM39	PM38
	7	6	5	4	3	2	1	0
(PM3L)	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

備考1. PM3レジスタは、16ビット単位でリード / ライト可能です。

ただし、PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。

2. PM3レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

(3) ポート3モード・コントロール・レジスタ (PMC3)

リセット時 : 0000H R/W アドレス : PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

15	14	13	12	11	10	9	8
PMC3 (PMC3H)	0	0	0	0	0	PMC39	PMC38
(PMC3L)	0	0	PMC35	PMC34	PMC33	PMC32	PMC31

PMC39	P39端子の動作モードの指定
0	入出力ポート
1	RXDA2入力/SCL00入出力

PMC38	P38端子の動作モードの指定
0	入出力ポート
1	TXDA2出力/SDA00入出力

PMC35	P35端子の動作モードの指定
0	入出力ポート
1	TIP11入力/TOP11出力

PMC34	P34端子の動作モードの指定
0	入出力ポート
1	TIP10入力/TOP10出力

PMC33	P33端子の動作モードの指定
0	入出力ポート
1	TIP01入力/TOP01出力

PMC32	P32端子の動作モードの指定
0	入出力ポート
1	ASCKA0入力/SCKB4入出力/TIP00入力/TOP00出力

PMC31	P31端子の動作モードの指定
0	入出力ポート
1	RXDA0入力/SIB4入力/INTP7入力

PMC30	P30端子の動作モードの指定
0	入出力ポート
1	TXDA0出力/SOB4出力

注意 ビット15-10, 7, 6には必ず“0”を設定してください。

備考 1. PMC3レジスタは、16ビット単位でリード／ライト可能です。

ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PMC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。

(4) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時 : 0000H R/W アドレス : PFC3 FFFFF466H,
PFC3L FFFFF466H, PFC3H FFFFF467H

	15	14	13	12	11	10	9	8
PFC3 (PFC3H)	0	0	0	0	0	0	PFC39	PFC38
(PFC3L)	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

- 備考**
1. 兼用機能の指定については4.3.3(6)ポート3の兼用機能の指定を参照してください。
 2. PFC3レジスタは、16ビット単位でリード／ライト可能です。
ただし、PFC3レジスタの上位8ビットをPFC3Hレジスタ、下位8ビットをPFC3Lレジ
スタとして使用する場合は、8/1ビット単位でリード／ライト可能です。
 3. PFC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFC3Hレ
ジスタのビット0-7として指定してください。

(5) ポート3ファンクション・コントロール拡張レジスタL (PFCE3L)

リセット時 : 00H R/W アドレス : FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

- 備考** 兼用機能の指定については4.3.3(6)ポート3の兼用機能の指定を参照してください。

(6) ポート3の兼用機能の指定

PFC39	P39端子の兼用機能の指定
0	RXDA2入力
1	SCL00入出力

PFC38	P38端子の兼用機能の指定
0	TXDA2出力
1	SDA00入出力

PFC35	P35端子の兼用機能の指定
0	TIP11入力
1	TOP11出力

PFC34	P34端子の兼用機能の指定
0	TIP10入力
1	TOP10出力

PFC33	P33端子の兼用機能の指定
0	TIP01入力
1	TOP01出力

PFCE32	PFC32	P32端子の兼用機能の指定
0	0	ASCKA0入力
0	1	SCKB4入出力
1	0	TIP00入力
1	1	TOP00出力

PFC31	P31端子の兼用機能の指定
0	RXDA0入力/INTP7 [#] 入力
1	SIB4入力

PFC30	P30端子の兼用機能の指定
0	TXDA0出力
1	SOB4出力

注 INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3INTR31ビット = 0 に設定)。また、INTP7端子として使用する場合は、UARTA0を受信動作停止してください (UA0CTL0.UA0RXEビット = 0)。

(7) ポート3ファンクション・レジスタ (PF3)

リセット時 : 0000H R/W アドレス : PF3 FFFFFC66H,
PF3L FFFFFC66H, PF3H FFFFFC67H

	15	14	13	12	11	10	9	8
PF3 (PF3H)	0	0	0	0	0	0	PF39	PF38
(PF3L)	7	6	5	4	3	2	1	0
PF3n	通常出力/N-chオープン・ドレーン出力の制御 (n = 0-9)							
0	通常出力 (CMOS出力)							
1	N-chオープン・ドレーン出力							

注意 出力端子に対してEV_{DD}以上の電圧でプルアップする場合は、必ず該当するPF3nビットを1に設定してください。

- 備考**
1. PF3レジスタは、16ビット単位でリード / ライト可能です。
ただし、PF3レジスタの上位8ビットをPF3Hレジスタ、下位8ビットをPF3Lレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。
 2. PF3レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、PF3Hレジスタのビット0-7として指定してください。

4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できる3ビットのポートです。

ポート4は、次に示す端子と兼用しています。

表4-7 ポート4の兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
P40	24	22	SIB0/SDA01	入出力	N-chオープン・ドレーン出力選択可能	G-6
P41	25	23	SOB0/SCL01	入出力		G-12
P42	26	24	<u>SCKB0</u>	入出力		E-3

注意 P40-P42端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(1) ポート4レジスタ (P4)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

(2) ポート4モード・レジスタ (PM4)

リセット時 : FFH R/W アドレス : FFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時 : 00H R/W アドレス : FFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	P42端子の動作モードの指定
0	入出力ポート
1	SCKB0入出力

PMC41	P41端子の動作モードの指定
0	入出力ポート
1	SOB0出力/SCL01入出力

PMC40	P40端子の動作モードの指定
0	入出力ポート
1	SIB0入力/SDA01入出力

(4) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時 : 00H R/W アドレス : FFFFF468H

PFC4	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	PFC41	PFC40

PFC41	P41端子の兼用機能の指定
0	SOB0出力
1	SCL01入出力

PFC40	P40端子の兼用機能の指定
0	SIB0入力
1	SDA01入出力

(5) ポート4ファンクション・レジスタ (PF4)

リセット時 : 00H R/W アドレス : FFFFFC68H

PF4	7	6	5	4	3	2	1	0
	0	0	0	0	0	PF42	PF41	PF40

PF4n	通常出力/N-chオープン・ドレーン出力の制御 (n = 0-2)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレーン出力

注意 出力端子に対してEV_{DD}以上の電圧でブルアップする場合は、必ず該当するPF4nビットを1に設定してください。

4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できる6ビットのポートです。

ポート5は、次に示す端子と兼用しています。

表4-8 ポート5の兼用端子

端子名	ピン番号		兼用端子名	入出力	備考	ブロック・タイプ
	GF	GC				
P50	39	37	TIQ01/KR0/TOQ01/RTP00	入出力	N-chオープン・ドレーン 出力選択可能	U-5
P51	40	38	TIQ02/KR1/TOQ02/RTP01	入出力		U-5
P52	41	39	TIQ03/KR2/TOQ03/RTP02/DDI ^注	入出力		U-6
P53	42	40	SIB2/KR3/TIQ00/TOQ00/RTP03/DDO ^注	入出力		U-7
P54	43	41	SOB2/KR4/RTP04/DCK ^注	入出力		U-8
P55	44	42	SCKB2/KR5/RTP05/DMS ^注	入出力		U-9

注 DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。

オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア(0)するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。

詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

注意1. P53端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

2. P50-P55端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (ファインピッチ) (14×14)

(1) ポート5レジスタ(P5)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFFF40AH							
P5	7	6	5	4	3	2	1 0
	0	0	P55	P54	P53	P52	P51 P50
P5n	出力データの制御 (出力モード時) (n = 0-5)						
0	0を出力						
1	1を出力						

(2) ポート5モード・レジスタ (PM5)

リセット時 : FFH R/W アドレス : FFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-5)	
0	出力モード	
1	入力モード	

(3) ポート5モード・コントロール・レジスタ (PMC5)

リセット時 : 00H R/W アドレス : FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	P55端子の動作モードの指定	
0	入出力ポート	
1	SCKB2入出力/KR5入力/RTP05出力	

PMC54	P54端子の動作モードの指定	
0	入出力ポート	
1	SOB2出力/KR4入力/RTP04出力	

PMC53	P53端子の動作モードの指定	
0	入出力ポート	
1	SIB2入力/KR3入力/TIQ00入力/TOQ00出力/RTP03出力	

PMC52	P52端子の動作モードの指定	
0	入出力ポート	
1	TIQ03入力/KR2入力/TOQ03出力/RTP02出力	

PMC51	P51端子の動作モードの指定	
0	入出力ポート	
1	TIQ02入力/KR1入力/TOQ02出力/RTP01出力	

PMC50	P50端子の動作モードの指定	
0	入出力ポート	
1	TIQ01入力/KR0入力/TOQ01出力/RTP00出力	

(4) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時 : 00H R/W アドレス : FFFFF46AH

PFC5	7	6	5	4	3	2	1	0
	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考 兼用機能の指定については4.3.5(6)ポート5の兼用機能の指定を参照してください。

(5) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

リセット時 : 00H R/W アドレス : FFFFF70AH

PFCE5	7	6	5	4	3	2	1	0
	0	0	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50

備考 兼用機能の指定については4.3.5(6)ポート5の兼用機能の指定を参照してください。

(6) ポート5の兼用機能の指定

PFCE55	PFC55	P55端子の兼用機能の指定
0	0	SCKB2入出力
0	1	KR5入力
1	0	設定禁止
1	1	RTP05出力

PFCE54	PFC54	P54端子の兼用機能の指定
0	0	SOB2出力
0	1	KR4入力
1	0	設定禁止
1	1	RTP04出力

PFCE53	PFC53	P53端子の兼用機能の指定
0	0	SIB2入力
0	1	TIQ00入力/KR3 ^注 入力
1	0	TOQ00出力
1	1	RTP03出力

PFCE52	PFC52	P52端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ03入力/KR2 ^注 入力
1	0	TOQ03出力
1	1	RTP02出力

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ02入力/KR1 ^注 入力
1	0	TOQ02出力
1	1	RTP01出力

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ01入力/KR0 ^注 入力
1	0	TOQ01出力
1	1	RTP00出力

注 KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください（KRM.KRMnビットに0を設定）。また、KRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください（n = 0-3, m = 0-3）。

端子名称	TIQ0m端子として使用する場合	KRn端子として使用する場合
KR0/TIQ01	KRM.KRM0ビット = 0	TQ0IOC1.TQ0TIG2, TQ0TIG3ビット = 0
KR1/TIQ02	KRM.KRM1ビット = 0	TQ0IOC1.TQ0TIG4, TQ0TIG5ビット = 0
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1.TQ0TIG6, TQ0TIG7ビット = 0
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1.TQ0TIG0, TQ0TIG1ビット = 0 TQ0IOC2.TQ0EES0, TQ0EES1ビット = 0 TQ0IOC2.TQ0ETS0, TQ0ETS1ビット = 0

(7) ポート5ファンクション・レジスタ (PF5)

リセット時 : 00H R/W アドレス : FFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	PF55	PF54	PF53	PF52	PF51	PF50

PF5n	通常出力/N-chオープン・ドレーン出力の制御 (n = 0-5)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレーン出力

注意 出力端子に対してEV_{DD}以上の電圧でプルアップする場合は、必ず該当するPF5nビットを1に設定してください。

4.3.6 ポート7

ポート7は1ビット単位で入出力を制御できる12ビットのポートです。

ポート7は、次に示す端子と兼用しています。

表4-9 ポート7の兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
P70	2	100	ANI0	入力	-	A-1
P71	1	99	ANI1	入力		A-1
P72	100	98	ANI2	入力		A-1
P73	99	97	ANI3	入力		A-1
P74	98	96	ANI4	入力		A-1
P77	97	95	ANI5	入力		A-1
P76	96	94	ANI6	入力		A-1
P77	95	93	ANI7	入力		A-1
P78	94	92	ANI8	入力		A-1
P79	93	91	ANI9	入力		A-1
P710	92	90	ANI10	入力		A-1
P711	91	89	ANI11	入力		A-1

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(1) ポート7レジスタH, ポート7レジスタL (P7H, P7L)

リセット時 : 00H (出力ラッチ) R/W アドレス : P7L FFFFF40EH, P7H FFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	P711	P710	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-11)							
0	0を出力							
1	1を出力							

注意 A/D変換中にP7H, P7Lレジスタをリード / ライトしないでください (13. 6 (4) 兼用入出力について参照)。

備考 P7レジスタとして16ビット・アクセスはできません。P7H, P7Lレジスタとして8/1ビット単位でリード / ライト可能です。

(2) ポート7モード・レジスタH, ポート7モード・レジスタL (PM7H, PM7L)

リセット時 : FFH R/W アドレス : PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	PM711	PM710	PM79	PM78

	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御 (n = 0-11)							
0	出力モード							
1	入力モード							

注意 P7n端子を兼用機能 (AIN端子) として使用する場合は, PM7nビット = 1に設定してください。

備考 PM7レジスタとして16ビット・アクセスはできません。PM7H, PM7Lレジスタとして8/1ビット単位でリード / ライト可能です。

4.3.7 ポート9

ポート9は1ビット単位で入出力を制御できる16ビットのポートです。

ポート9は、次に示す端子と兼用しています。

表4-10 ポート9の兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
P90	45	43	A0/KR6/TXDA1/SDA02	入出力	N-chオープン・ドレーン出力選択可能	U-10
P91	46	44	A1/KR7/RXDA1/SCL02	入出力		U-11
P92	47	45	A2/TIP41/TOP41	入出力		U-12
P93	48	46	A3/TIP40/TOP40	入出力		U-12
P94	49	47	A4/TIP31/TOP31	入出力		U-12
P95	50	48	A5/TIP30/TOP30	入出力		U-12
P96	51	49	A6/TIP21/TOP21	入出力		U-13
P97	52	50	A7/SIB1/TIP20/TOP20	入出力		U-14
P98	53	51	A8/SOB1	出力		G-3
P99	54	52	A9/ <u>SCKB1</u>	入出力		G-5
P910	55	53	A10/SIB3	入出力		G-2
P911	56	54	A11/SOB3	出力		G-3
P912	57	55	A12/ <u>SCKB3</u>	入出力		G-5
P913	58	56	A13/INTP4	入出力		N-2
P914	59	57	A14/INTP5/TIP51/TOP51	入出力		U-15
P915	60	58	A15/INTP6/TIP50/TOP50	入出力		U-15

注意 P90-P97, P99, P910, P912-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнインピッチ) (14×14)

(1) ポート9レジスタ (P9)

リセット時 : 0000H (出力ラッチ) R/W アドレス : P9 FFFFFF412H,
P9L FFFFFF412H, P9H FFFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	P913	P912	P911	P910	P99	P98

	7	6	5	4	3	2	1	0
(P9L)	P97	P96	P95	P94	P93	P92	P91	P90

P9n	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

備考1. P9レジスタは、16ビット単位でリード / ライト可能です。

ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。

2. P9レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、P9Hレジスタのビット0-7として指定してください。

(2) ポート9モード・レジスタ (PM9)

リセット時 : FFFFH R/W アドレス : PM9 FFFFFF432H,
PM9L FFFFFF432H, PM9H FFFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98

	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90

PM9n	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

備考1. PM9レジスタは、16ビット単位でリード / ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。

2. PM9レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

(3) ポート9モード・コントロール・レジスタ (PMC9)

(1/2)

リセット時 : 0000H R/W アドレス : PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
(PMC9L)	PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	P915端子の動作モードの指定
0	入出力ポート
1	A15出力/INTP6入力/TIP50入力/TOP50出力

PMC914	P914端子の動作モードの指定
0	入出力ポート
1	A14出力/INTP5入力/TIP51入力/TOP51出力

PMC913	P913端子の動作モードの指定
0	入出力ポート
1	A13出力/INTP4入力

PMC912	P912端子の動作モードの指定
0	入出力ポート
1	A12出力/SCKB3入出力

PMC911	P911端子の動作モードの指定
0	入出力ポート
1	A11出力/SOB3出力

PMC910	P910端子の動作モードの指定
0	入出力ポート
1	A10出力/SIB3入力

PMC99	P99端子の動作モードの指定
0	入出力ポート
1	A9出力/SCKB1入出力

PMC98	P98端子の動作モードの指定
0	入出力ポート
1	A8出力/SOB1出力

- 備考1.** PMC9レジスタは、16ビット単位でリード／ライト可能です。
 ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジ
 タとして使用する場合は、8/1ビット単位でリード／ライト可能です。
2. PMC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC9Hレ
 ジスタのビット0-7として指定してください。

(2/2)

PMC97	P97端子の動作モードの指定
0	入出力ポート
1	A7出力/SIB1入力/TIP20入力/TOP20出力
PMC96	P96端子の動作モードの指定
0	入出力ポート
1	A6出力/TIP21入力/TOP21出力
PMC95	P95端子の動作モードの指定
0	入出力ポート
1	A5出力/TIP30入力/TOP30出力
PMC94	P94端子の動作モードの指定
0	入出力ポート
1	A4出力/TIP31入力/TOP31出力
PMC93	P93端子の動作モードの指定
0	入出力ポート
1	A3出力/TIP40入力/TOP40出力
PMC92	P92端子の動作モードの指定
0	入出力ポート
1	A2出力/TIP41入力/TOP41出力
PMC91	P91端子の動作モードの指定
0	入出力ポート
1	A1出力/KR7入力/RXDA1入力/SCL02入出力
PMC90	P90端子の動作モードの指定
0	入出力ポート
1	A0出力/KR6入力/TXDA1出力/SDA02入出力

注意 P90-P915端子の兼用機能としてA0-A15端子を使用する場合のみ ,PMC9レジスタを16ビット一括してFFFFHとしてください。

(4) ポート9ファンクション・コントロール・レジスタ (PFC9)

注意 セパレート・アドレス・バス出力(A0-A15)を行う場合 ,PFC9レジスタを0000Hに設定後 ,PMC9レジスタをFFFFHに16ビット一括で設定してください。

リセット時 : 0000H R/W アドレス : PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

15	14	13	12	11	10	9	8	
PFC9 (PFC9H)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
(PFC9L)	7	6	5	4	3	2	1	0
	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

- 備考1.** 兼用機能の指定については4.3.7(6)ポート9の兼用機能の指定を参照してください。
2. PFC9レジスタは , 16ビット単位でリード / ライト可能です。
ただし , PFC9レジスタの上位8ビットをPFC9Hレジスタ , 下位8ビットをPFC9Lレジスタとして使用する場合は , 8/1ビット単位でリード / ライト可能です。
 3. PFC9レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は , PFC9Hレジスタのビット0-7として指定してください。

(5) ポート9ファンクション・コントロール拡張レジスタ (PFCE9)

リセット時 : 0000H R/W アドレス : PFCE9 FFFFF712H,
PFCE9L FFFFF712H, PFCE9H FFFFF713H

15	14	13	12	11	10	9	8	
PFCE9 (PFCE9H)	PFCE915	PFCE914	0	0	0	0	0	
(PFCE9L)	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	PFCE95	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

- 備考1.** 兼用機能の指定については4.3.7(6)ポート9の兼用機能の指定を参照してください。
2. PFCE9レジスタは , 16ビット単位でリード / ライト可能です。
ただし , PFCE9レジスタの上位8ビットをPFCE9Hレジスタ , 下位8ビットをPFCE9Lレジスタとして使用する場合は , 8/1ビット単位でリード / ライト可能です。
 3. PFCE9レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は , PFCE9Hレジスタのビット0-7として指定してください。

(6) ポート9の兼用機能の指定

PFCE915	PFC915	P915端子の兼用機能の指定
0	0	A15出力
0	1	INTP6入力
1	0	TIP50入力
1	1	TOP50出力

PFCE914	PFC914	P914端子の兼用機能の指定
0	0	A14出力
0	1	INTP5入力
1	0	TIP51入力
1	1	TOP51出力

PFC913	P913端子の兼用機能の指定
0	A13出力
1	INTP4入力

PFC912	P912端子の兼用機能の指定
0	A12出力
1	SCKB3入出力

PFC911	P911端子の兼用機能の指定
0	A11出力
1	SOB3出力

PFC910	P910端子の兼用機能の指定
0	A10出力
1	SIB3入力

PFC99	P99端子の兼用機能の指定
0	A9出力
1	SCKB1入出力

PFC98	P98端子の兼用機能の指定
0	A8出力
1	SOB1出力

PFCE97	PFC97	P97端子の兼用機能の指定
0	0	A7出力
0	1	SIB1入力
1	0	TIP20入力
1	1	TOP20出力

PFCE96	PFC96	P96端子の兼用機能の指定
0	0	A6出力
0	1	設定禁止
1	0	TIP21入力
1	1	TOP21出力

PFCE95	PFC95	P95端子の兼用機能の指定
0	0	A5出力
0	1	TIP30入力
1	0	TOP30出力
1	1	設定禁止

PFCE94	PFC94	P94端子の兼用機能の指定
0	0	A4出力
0	1	TIP31入力
1	0	TOP31出力
1	1	設定禁止

PFCE93	PFC93	P93端子の兼用機能の指定
0	0	A3出力
0	1	TIP40入力
1	0	TOP40出力
1	1	設定禁止

PFCE92	PFC92	P92端子の兼用機能の指定
0	0	A2出力
0	1	TIP41入力
1	0	TOP41出力
1	1	設定禁止

PFCE91	PFC91	P91端子の兼用機能の指定
0	0	A1出力
0	1	KR7入力
1	0	RXDA1入力/KR7入力 ^注
1	1	SCL02入出力

PFCE90	PFC90	P90端子の兼用機能の指定
0	0	A0出力
0	1	KR6入力
1	0	TXDA1出力
1	1	SDA02入出力

注 RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

(7) ポート9ファンクション・レジスタ (PF9)

リセット時 : 0000H R/W アドレス : PF9 FFFFFC72H,
PF9L FFFFFC72H, PF9H FFFFFC73H

	15	14	13	12	11	10	9	8
PF9 (PF9H)	PF915	PF914	PF913	PF912	PF911	PF910	PF99	PF98
(PF9L)	7	6	5	4	3	2	1	0
PF9n	通常出力/N-chオープン・ドレーン出力の制御 (n = 0-15)							
0	通常出力 (CMOS出力)							
1	N-chオープン・ドレーン出力							

注意 出力端子に対してEV_{DD}以上の電圧でプルアップする場合は、必ず該当するPF9nビットを1に設定してください。

- 備考**
1. PF9レジスタは、16ビット単位でリード / ライト可能です。
ただし、PF9レジスタの上位8ビットをPF9Hレジスタ、下位8ビットをPF9Lレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。
 2. PF9レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、PF9Hレジスタのビット0-7として指定してください。

4.3.8 ポートCM

ポートCMは1ビット単位で入出力を制御できる4ビットのポートです。

ポートCMは、次に示す端子と兼用しています。

表4-11 ポートCMの兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
PCM0	63	61	WAIT	入力	-	D-1
PCM1	64	62	CLKOUT	出力		D-2
PCM2	65	63	HLDACK	出力		D-2
PCM3	66	64	HLDRQ	入力		D-1

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(1) ポートCMレジスタ(PCM)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF00CH

PCM	7	6	5	4	3	2	1	0
	0	0	0	0	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(2) ポートCMモード・レジスタ(PMCM)

リセット時 : FFH R/W アドレス : FFFFF02CH

PMCM	7	6	5	4	3	2	1	0
	1	1	1	1	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御 (n = 0-3)
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時 : 00H R/W アドレス : FFFFF04CH

PMCCM	7	6	5	4	3	2	1	0
	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0
PMCCM3		PCM3端子の動作モードの指定						
0		入出力ポート						
1		HLDRQ入力						
PMCCM2		PCM2端子の動作モードの指定						
0		入出力ポート						
1		HLDACK出力						
PMCCM1		PCM1端子の動作モードの指定						
0		入出力ポート						
1		CLKOUT出力						
PMCCM0		PCMO端子の動作モードの指定						
0		入出力ポート						
1		WAIT入力						

4.3.9 ポートCT

ポートCTは1ビット単位で入出力を制御できる4ビットのポートです。

ポートCTは次に示す端子と兼用しています。

表4-12 ポートCTの兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
PCT0	67	65	$\overline{WR0}$	出力	-	D-2
PCT1	68	66	$\overline{WR1}$	出力		D-2
PCT4	69	67	\overline{RD}	出力		D-2
PCT6	70	68	ASTB	出力		D-2

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(1) ポートCTレジスタ(PCT)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF00AH

PCT	7	6	5	4	3	2	1	0
	0	PCT6	0	PCT4	0	0	PCT1	PCT0

PCTn	出力データの制御 (出力モード時) (n=0, 1, 4, 6)
0	0を出力
1	1を出力

(2) ポートCTモード・レジスタ(PMCT)

リセット時 : FFH R/W アドレス : FFFFF02AH

PMCT	7	6	5	4	3	2	1	0
	1	PMCT6	1	PMCT4	1	1	PMCT1	PMCT0

PMCTn	入出力モードの制御 (n=0, 1, 4, 6)
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時 : 00H R/W アドレス : FFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	PCT6端子の動作モードの指定
0	入出力ポート
1	ASTB出力

PMCCT4	PCT4端子の動作モードの指定
0	入出力ポート
1	\overline{RD} 出力

PMCCT1	PCT1端子の動作モードの指定
0	入出力ポート
1	\overline{WR} 出力

PMCCT0	PCT0端子の動作モードの指定
0	入出力ポート
1	\overline{WR} 出力

4.3.10 ポートDH

ポートDHは1ビット単位で入出力を制御できる6ビットのポートです。

ポートDHは、次に示す端子と兼用しています。

表4-13 ポートDHの兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
PDH0	89	87	A16	出力	-	D-2
PDH1	90	88	A17	出力		D-2
PDH2	61	59	A18	出力		D-2
PDH3	62	60	A19	出力		D-2
PDH4	8	6	A20	出力		D-2
PDH5	9	7	A21	出力		D-2

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(1) ポートDHレジスタ (PDH)

リセット時 : 00H (出力ラッチ) R/W アドレス : FFFFF006H

PDH	7	6	5	4	3	2	1	0
	0	0	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0

PDHn	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(2) ポートDHモード・レジスタ (PMDH)

リセット時 : FFH R/W アドレス : FFFFF026H

PMDH	7	6	5	4	3	2	1	0
	1	1	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0

PMDHn	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時 : 00H R/W アドレス : FFFFF046H

PMCDH	7	6	5	4	3	2	1	0
	0	0	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0

PMCDHn	PDHn端子の動作モードの指定 (n = 0-5)
0	入出力ポート
1	Am出力 (アドレス・バス出力) (m = 16-21)

4.3.11 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビットのポートです。

ポートDLは、次に示す端子と兼用しています。

表4-14 ポートDLの兼用端子

端子名	ピン番号		兼用端子名	入出力	備 考	ブロック・タイプ
	GF	GC				
PDL0	73	71	AD0	入出力	-	D-3
PDL1	74	72	AD1	入出力		D-3
PDL2	75	73	AD2	入出力		D-3
PDL3	76	74	AD3	入出力		D-3
PDL4	77	75	AD4	入出力		D-3
PDL5	78	76	AD5/FLMD1 ^注	入出力		D-3
PDL6	79	77	AD6	入出力		D-3
PDL7	80	78	AD7	入出力		D-3
PDL8	81	79	AD8	入出力		D-3
PDL9	82	80	AD9	入出力		D-3
PDL10	83	81	AD10	入出力		D-3
PDL11	84	82	AD11	入出力		D-3
PDL12	85	83	AD12	入出力		D-3
PDL13	86	84	AD13	入出力		D-3
PDL14	87	85	AD14	入出力		D-3
PDL15	88	86	AD15	入出力		D-3

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第26章 フラッシュ・メモリを参照してください。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP (フайнピッチ) (14×14)

(1) ポートDLレジスタ (PDL)

リセット時 : 0000H (出力ラッチ) R/W アドレス : PDL FFFFF004H,
PDLL FFFFF004H, PDLH FFFFF005H

15	14	13	12	11	10	9	8	
PDL (PDLH)	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
(PDLL)	7	6	5	4	3	2	1	0
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御 (出力モード時) (n = 0-15)
0	0を出力
1	1を出力

- 備考1.** PDLレジスタは、16ビット単位でリード / ライト可能です。
 ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。
2. PDLレジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、PDLHレジスタのビット0-7として指定してください。

(2) ポートDLモード・レジスタ (PMDL)

リセット時 : FFFFH R/W アドレス : PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

15	14	13	12	11	10	9	8	
PMDL (PMDLH)	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
(PMDLL)	7	6	5	4	3	2	1	0
	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御 (n = 0-15)
0	出力モード
1	入力モード

- 備考1.** PMDLレジスタは、16ビット単位でリード / ライト可能です。
 ただし、PMDLレジスタの上位8ビットをPM DLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード / ライト可能です。
2. PMDLレジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、PM DLHレジスタのビット0-7として指定してください。

(3) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時 : 0000H R/W アドレス : PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

15	14	13	12	11	10	9	8
PMCDL (PMCDLH) PMCDL15 PMCDL14 PMCDL13 PMCDL12 PMCDL11 PMCDL10 PMCDL9 PMCDL8							
7	6	5	4	3	2	1	0
(PMCDLL) PMCDL7 PMCDL6 PMCDL5 PMCDL4 PMCDL3 PMCDL2 PMCDL1 PMCDL0							

PMCDLn	PDLn端子の動作モードの指定 (n = 0-15)
0	入出力ポート
1	ADn入出力 (アドレス / データ · バス入出力)

注意 EXIMCレジスタのSMSELビット = 1(セパレート・モード)かつBSCレジスタのBS30-BS00ビット = 0(8ビット・バス幅)のとき, AD8-AD15端子を指定しないでください。

- 備考**
1. PMCDLレジスタは, 16ビット単位でリード / ライト可能です。
ただし, PMCDLレジスタの上位8ビットをPMCDLHレジスタ, 下位8ビットをPMCDLLレジスタとして使用する場合は, 8/1ビット単位でリード / ライト可能です。
 2. PMCDLレジスタのビット8-15を8/1ビット単位でリード / ライトする場合は, PMCDLHレジスタのビット0-7として指定してください。

4.4 ブロック図

図4-3 タイプA-1のブロック図

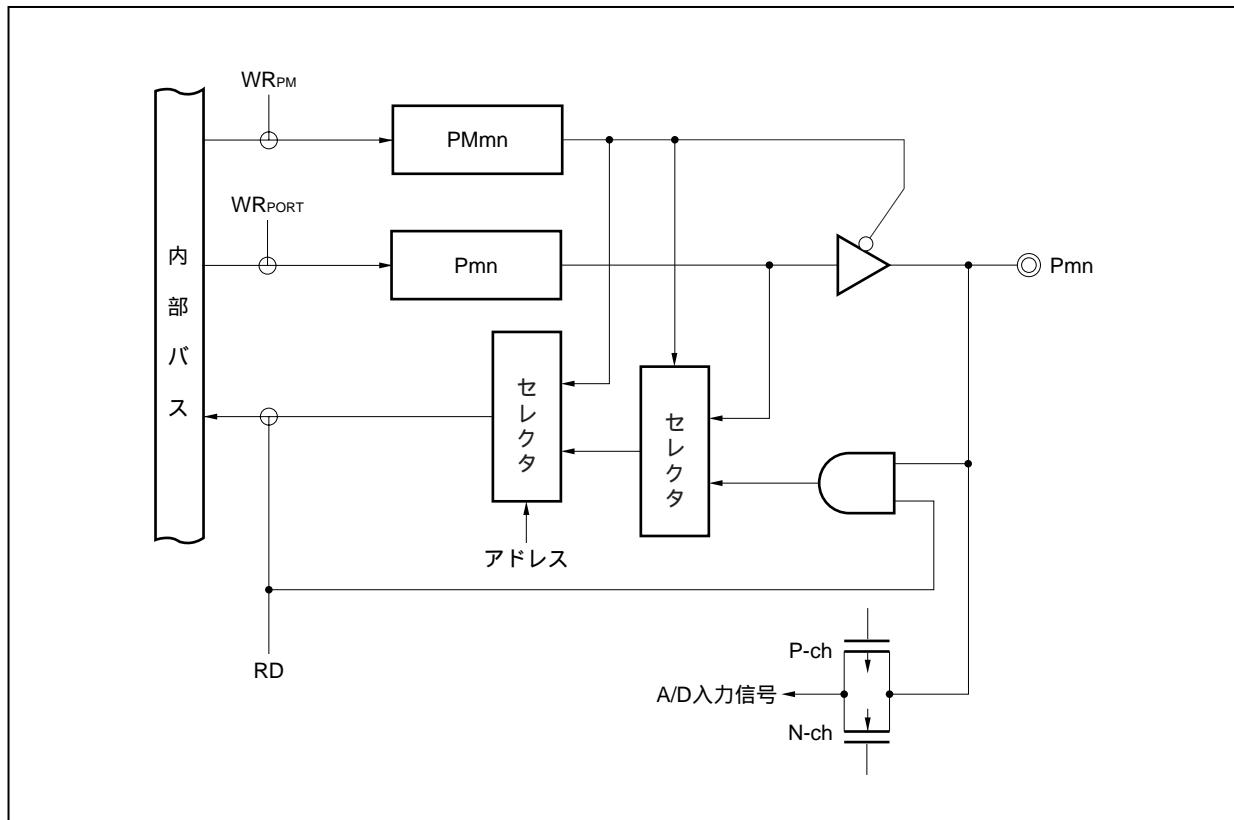


図4-4 タイプA-2のブロック図

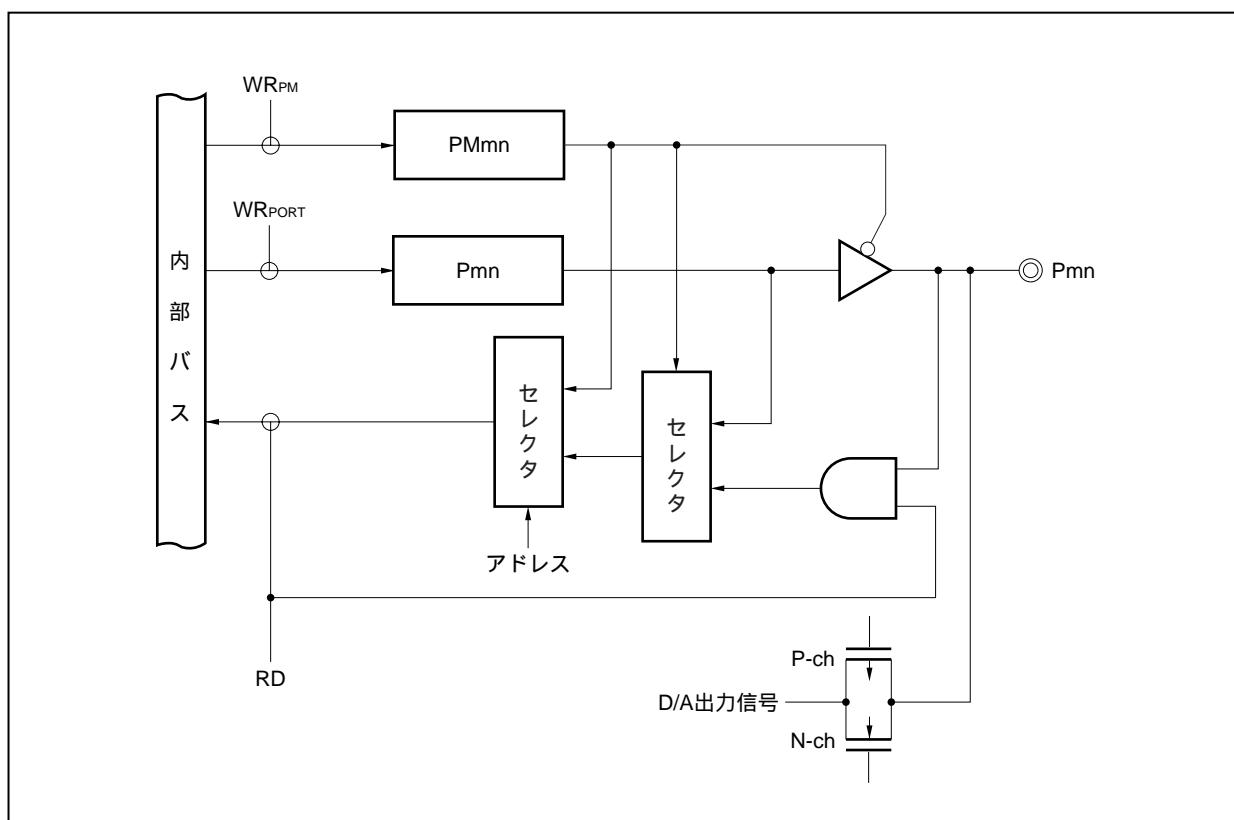


図4-5 タイプC-1のブロック図

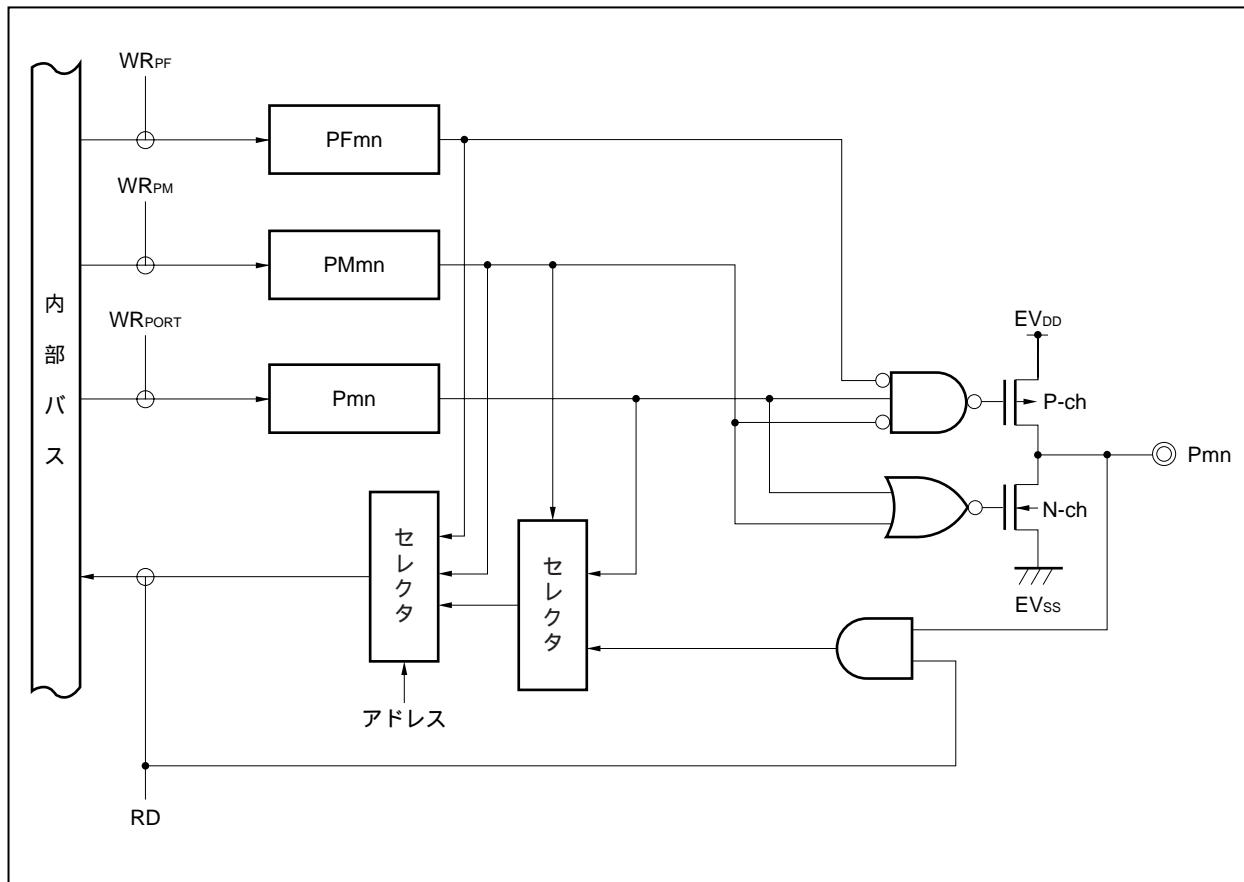


図4-6 タイプD-1のブロック図

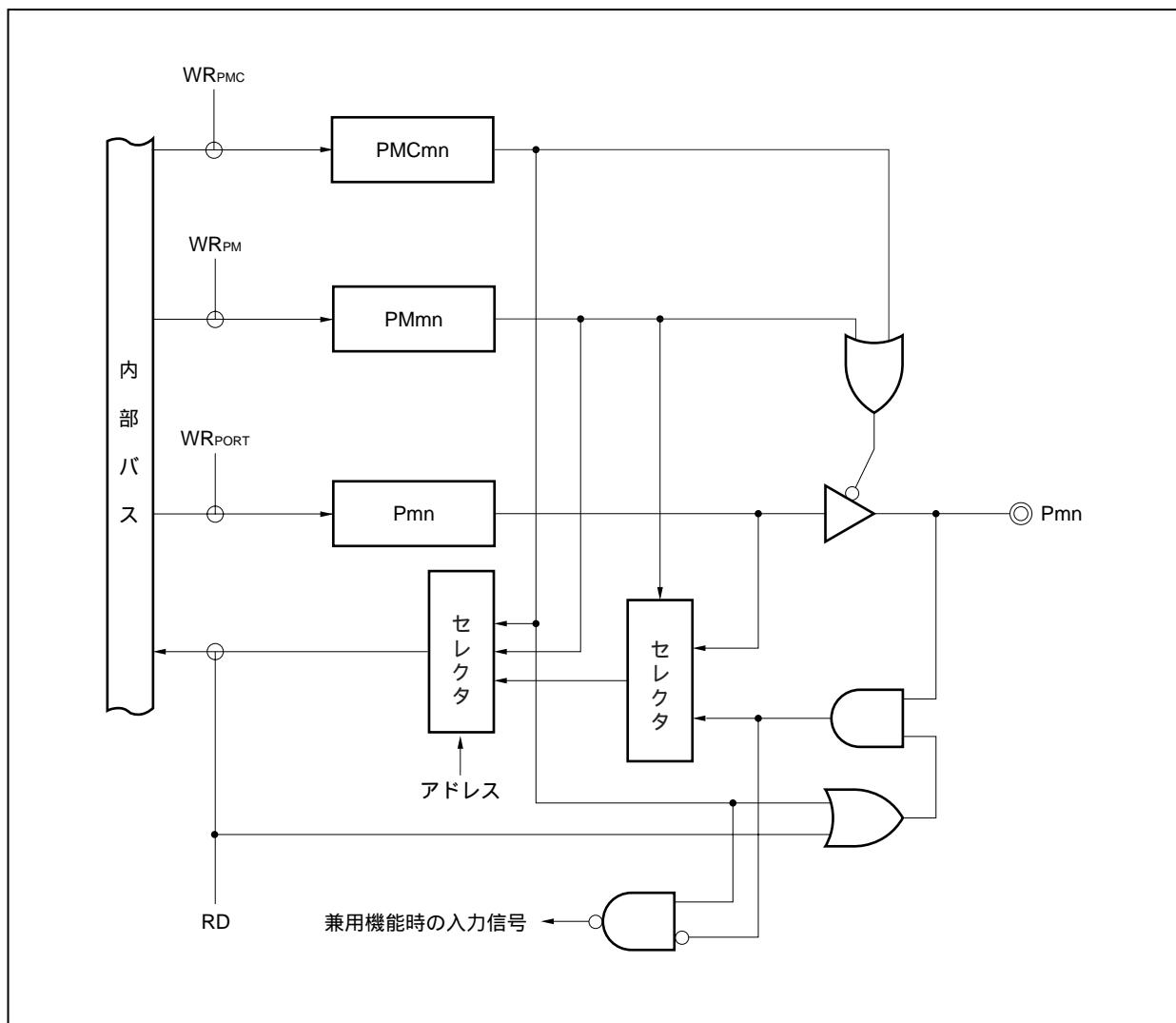


図4-7 タイプD-2のブロック図

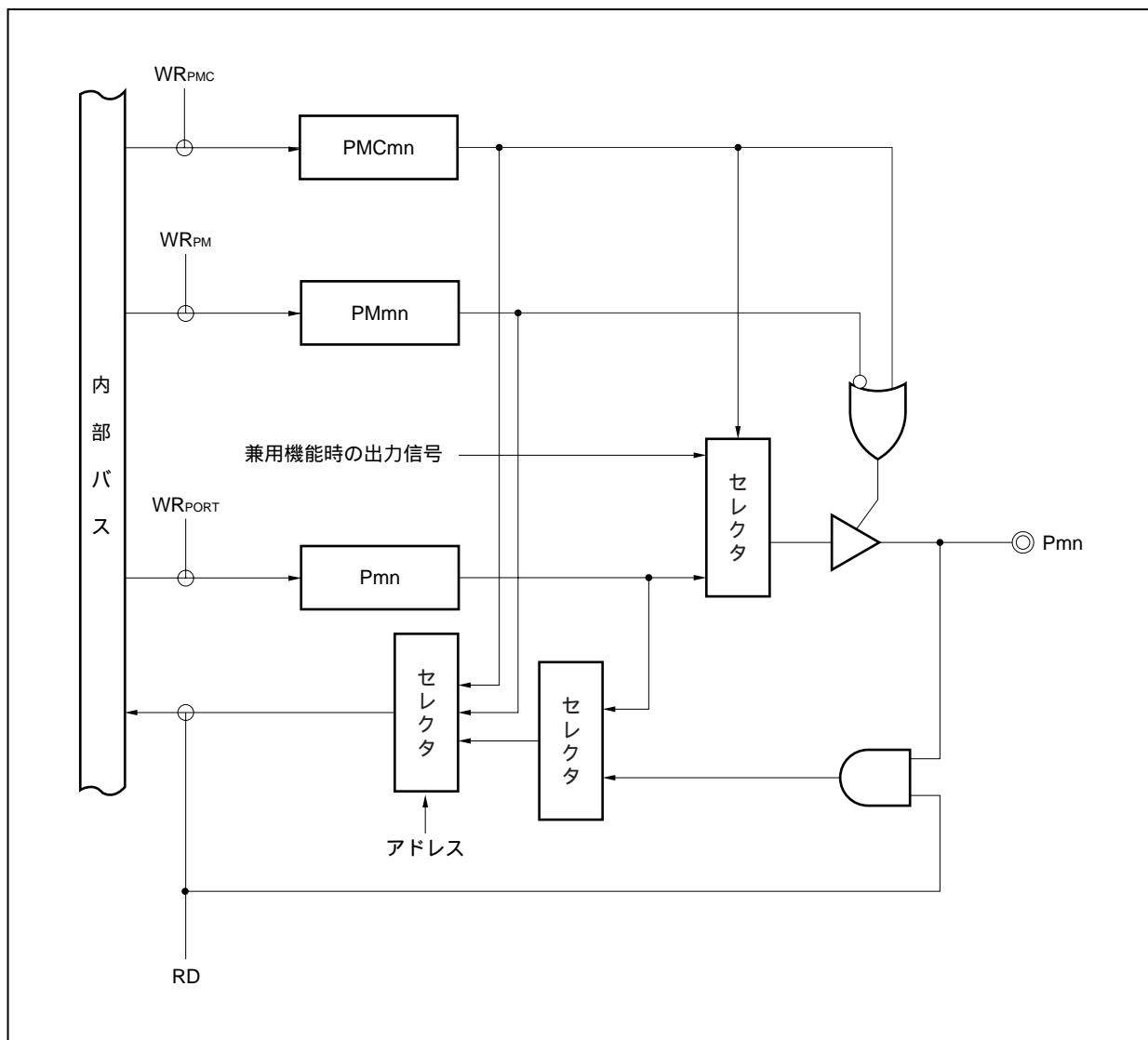


図4-8 タイプD-3のブロック図

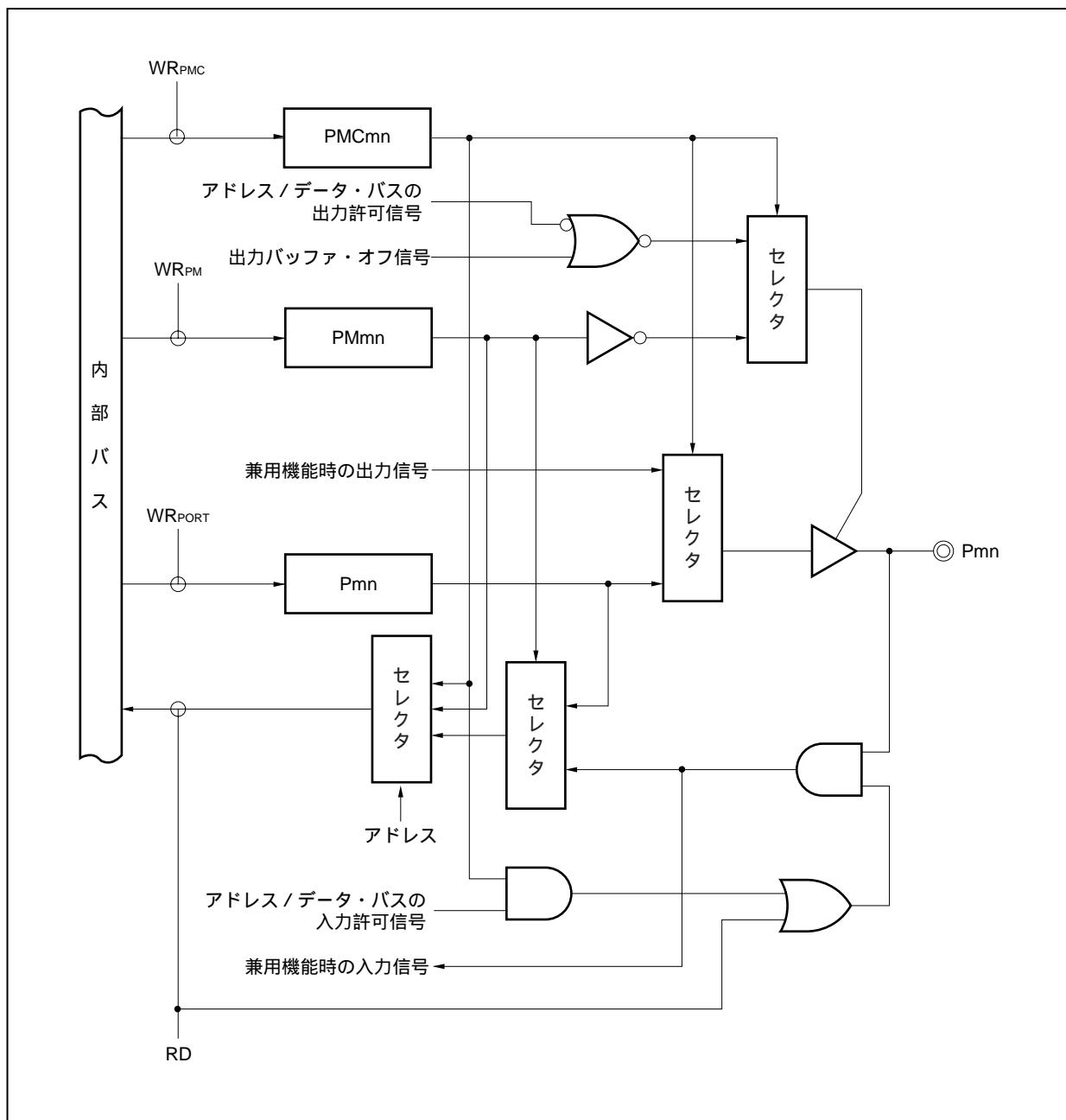


図4-9 タイプE-3のブロック図

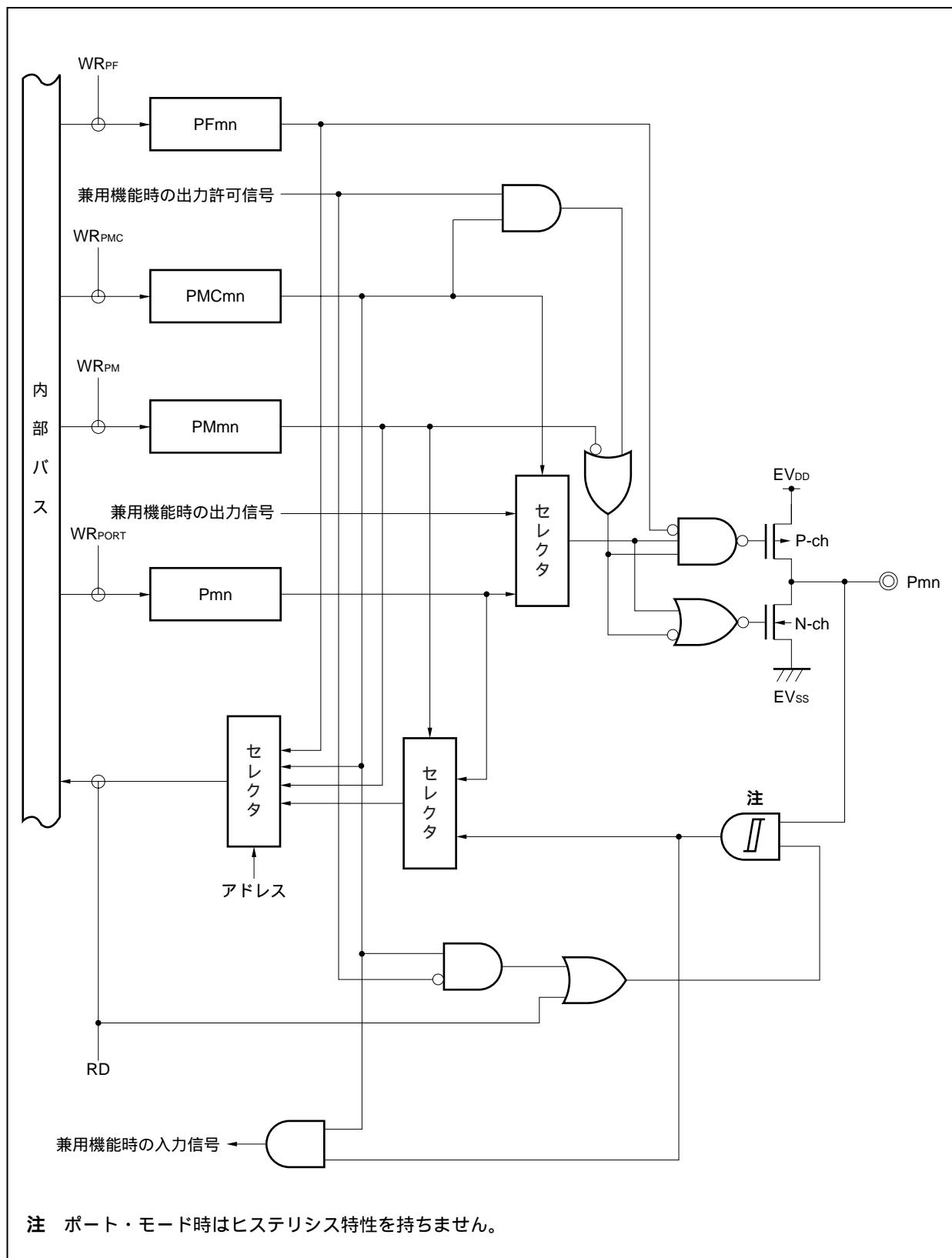


図4-10 タイプG-1のブロック図

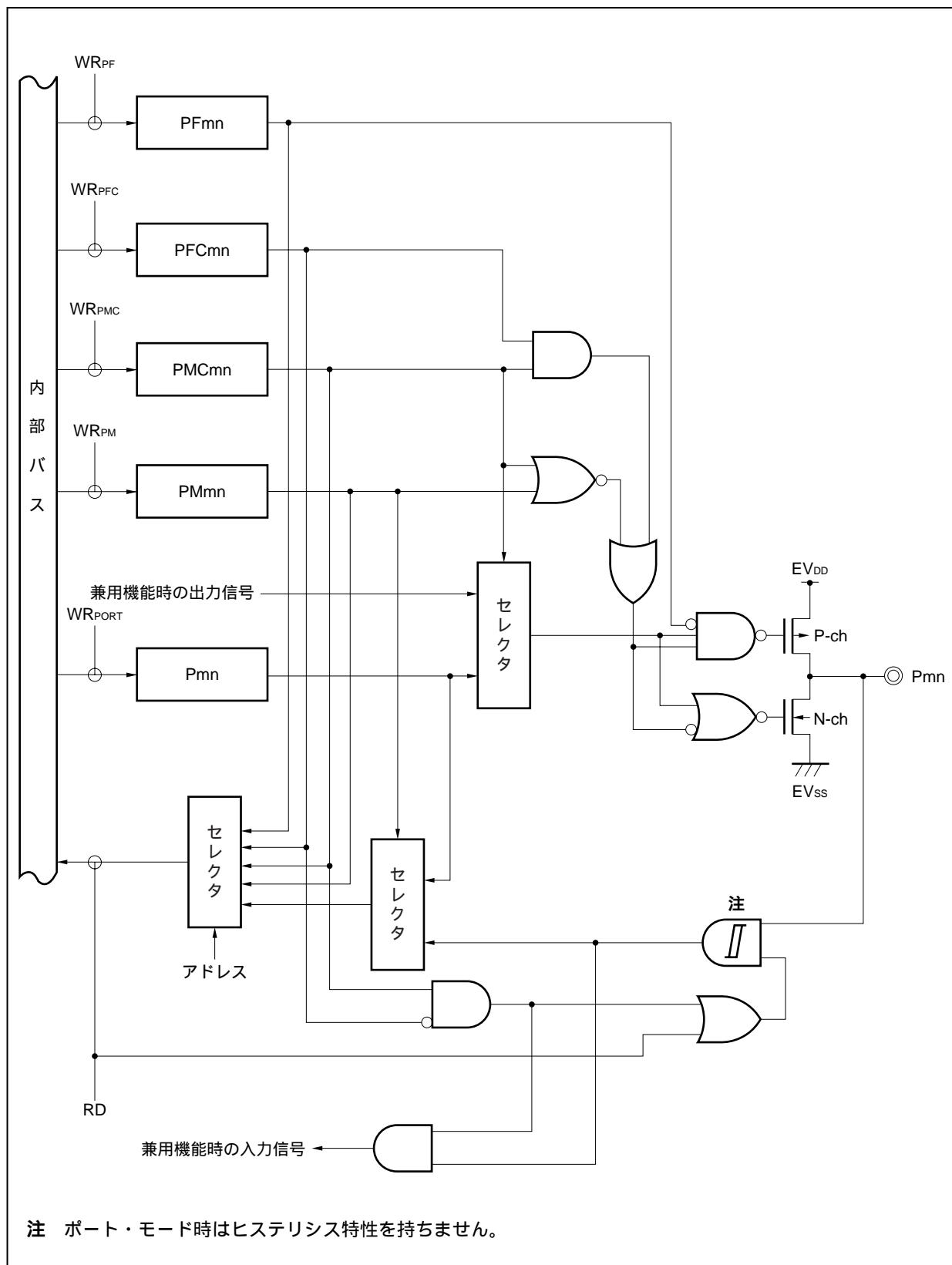


図4-11 タイプG-2のブロック図

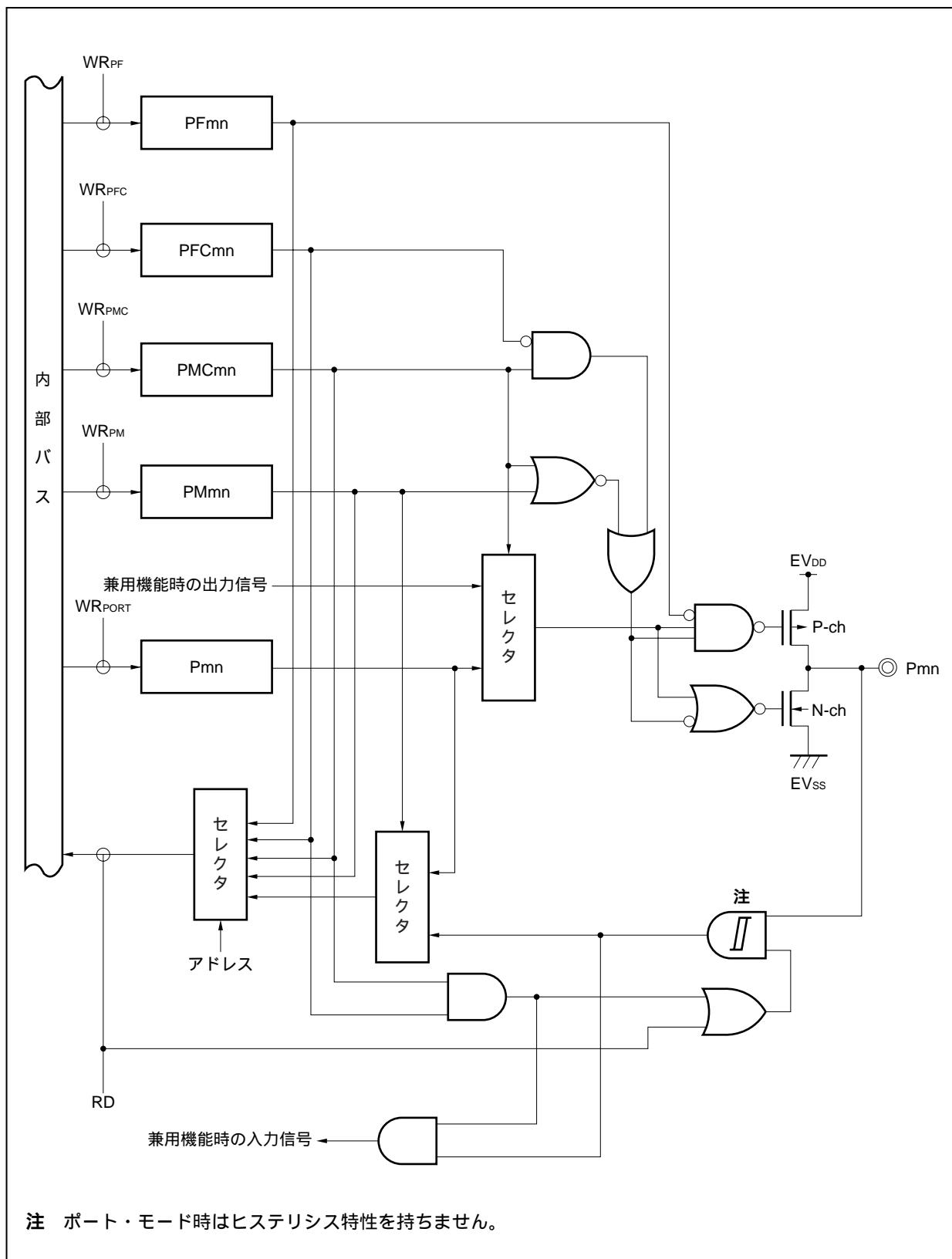


図4-12 タイプG-3のブロック図

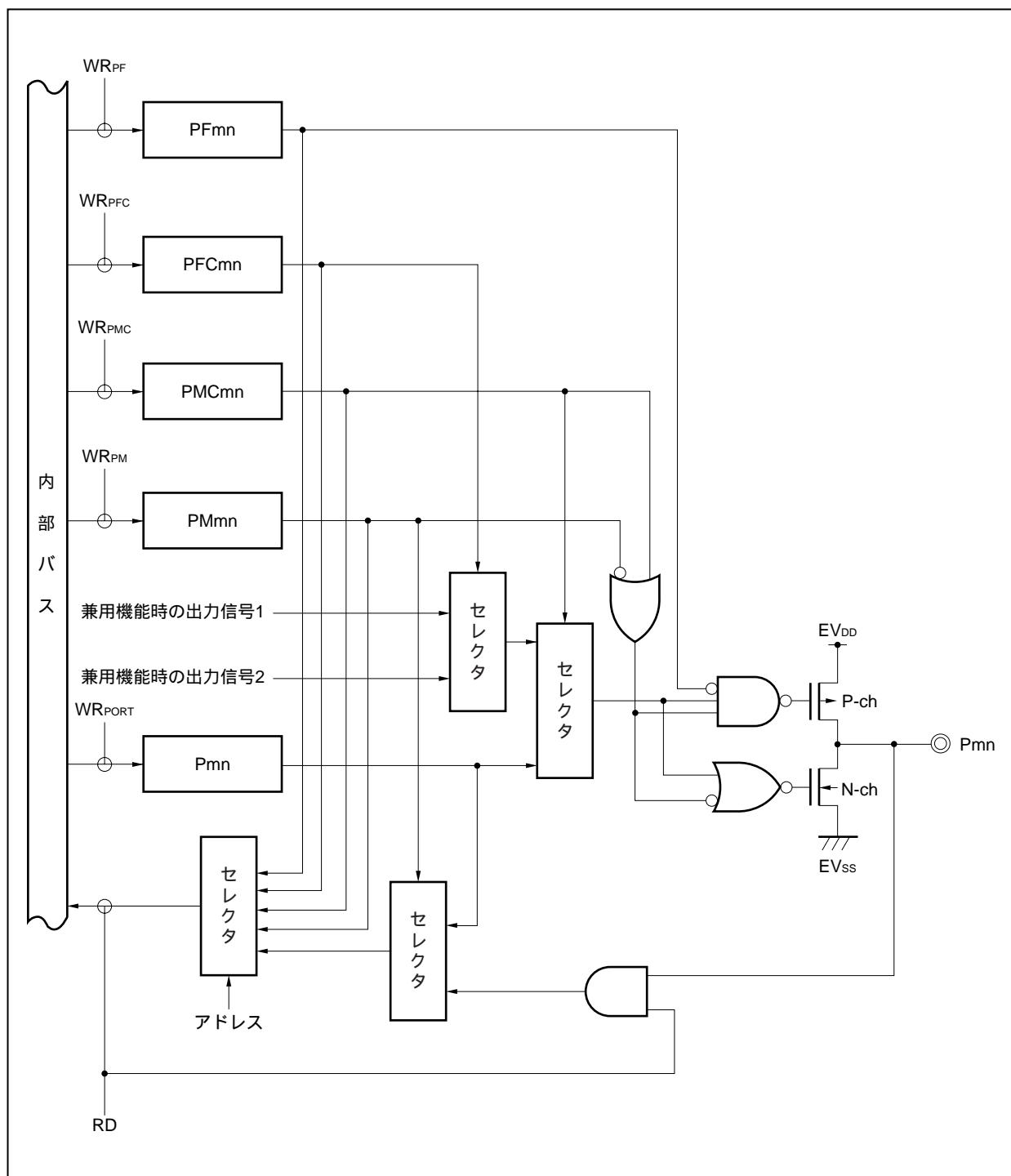


図4-13 タイプG-5のブロック図

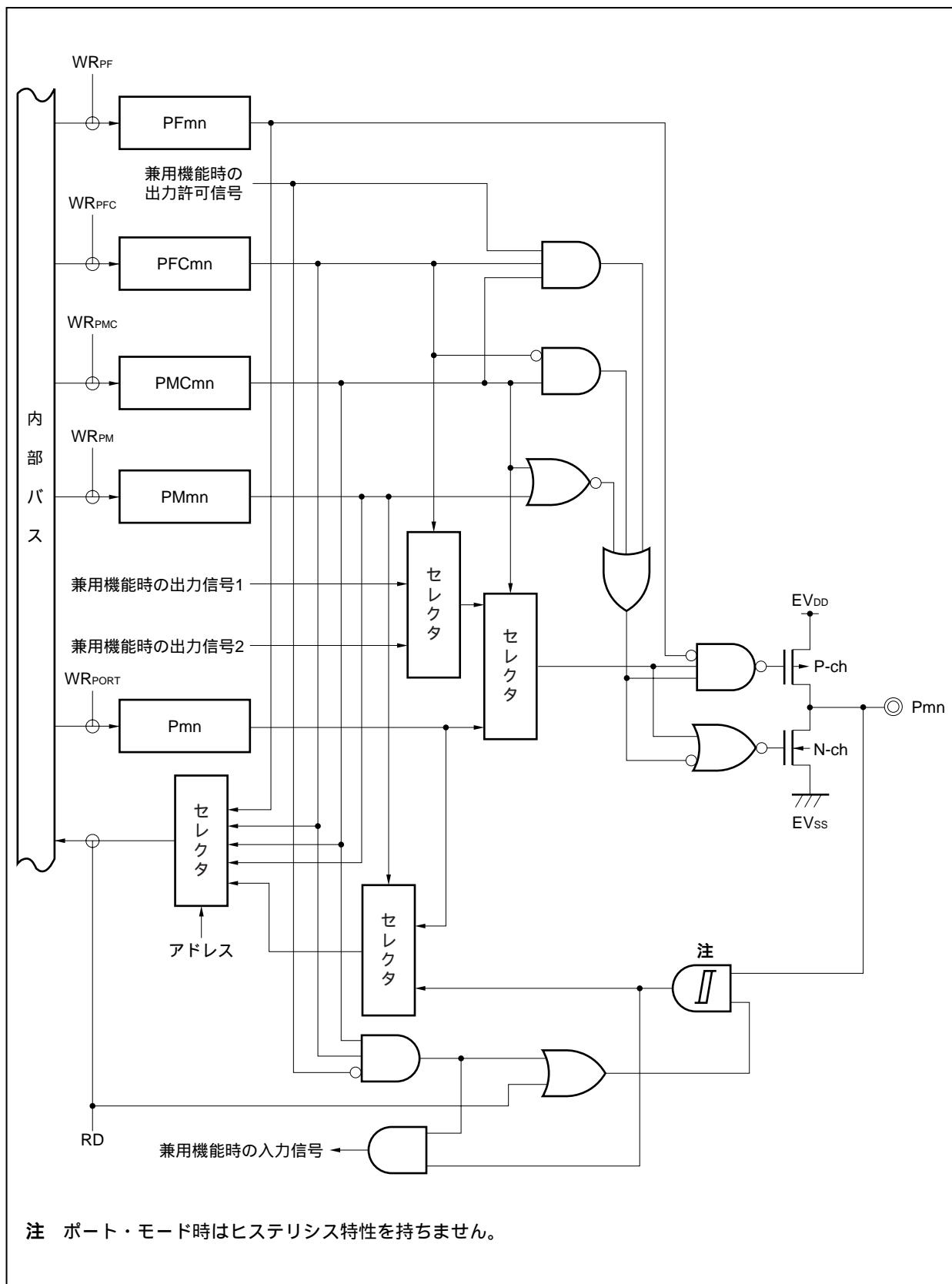
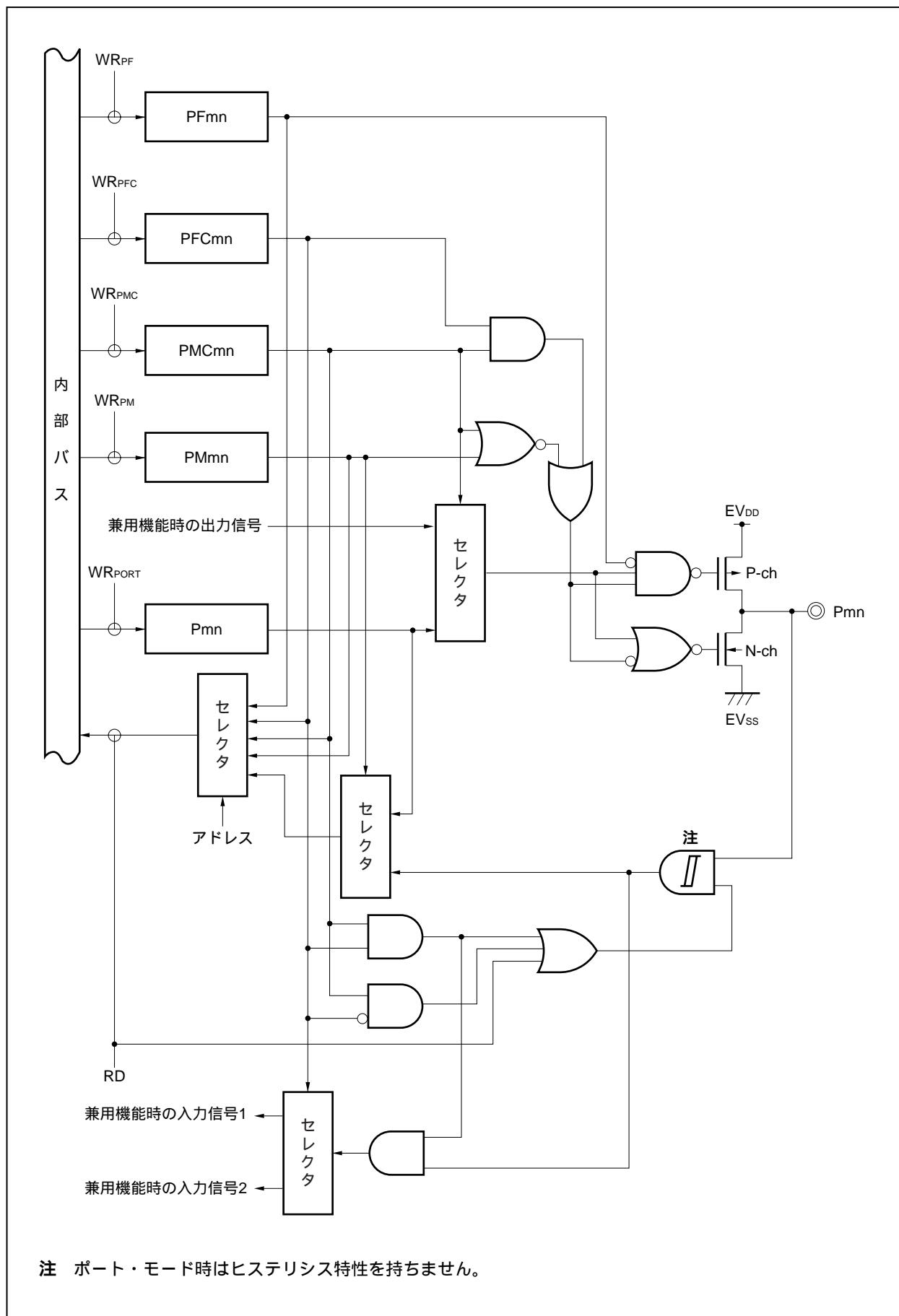
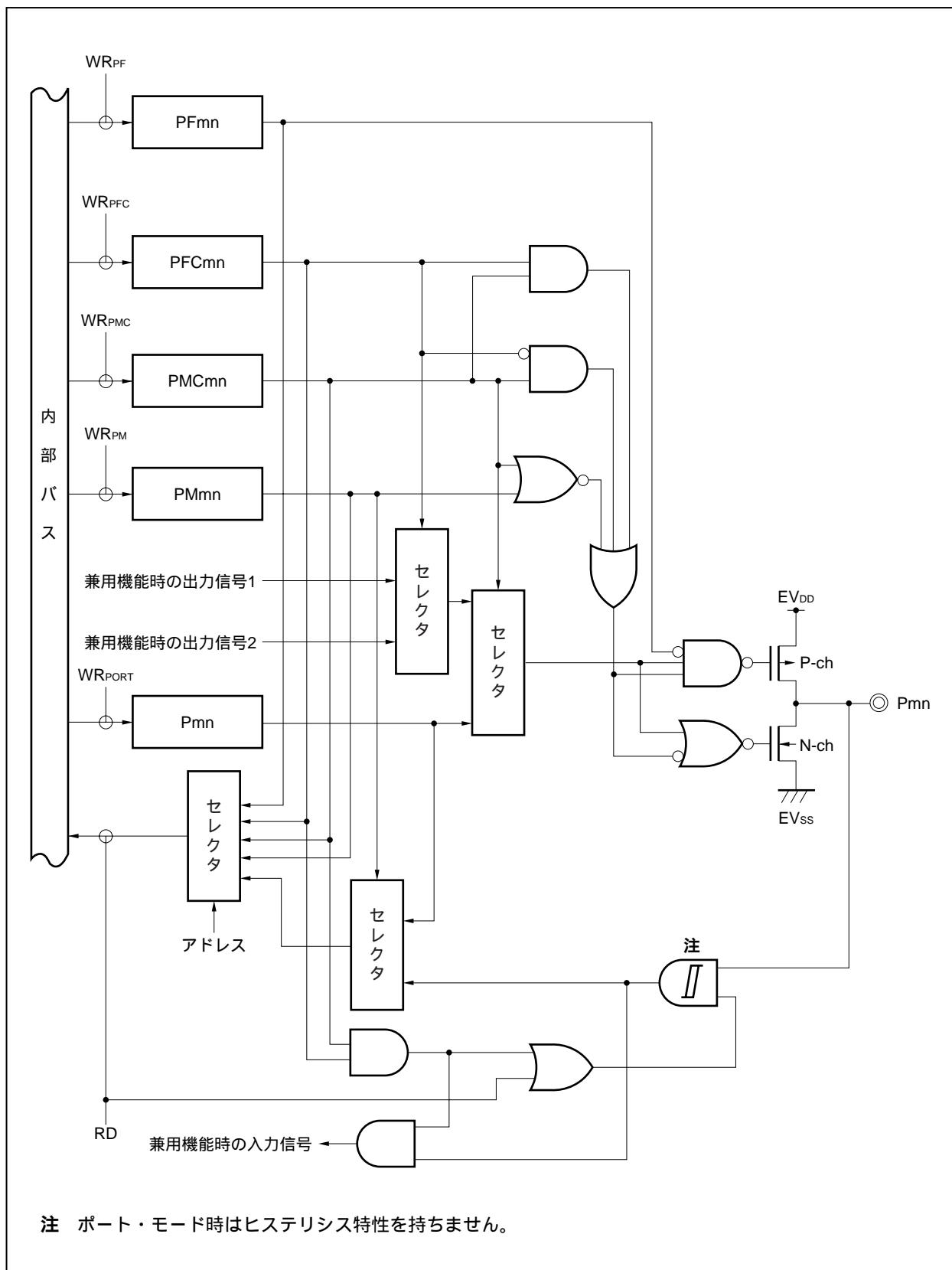


図4-14 タイプG-6のブロック図



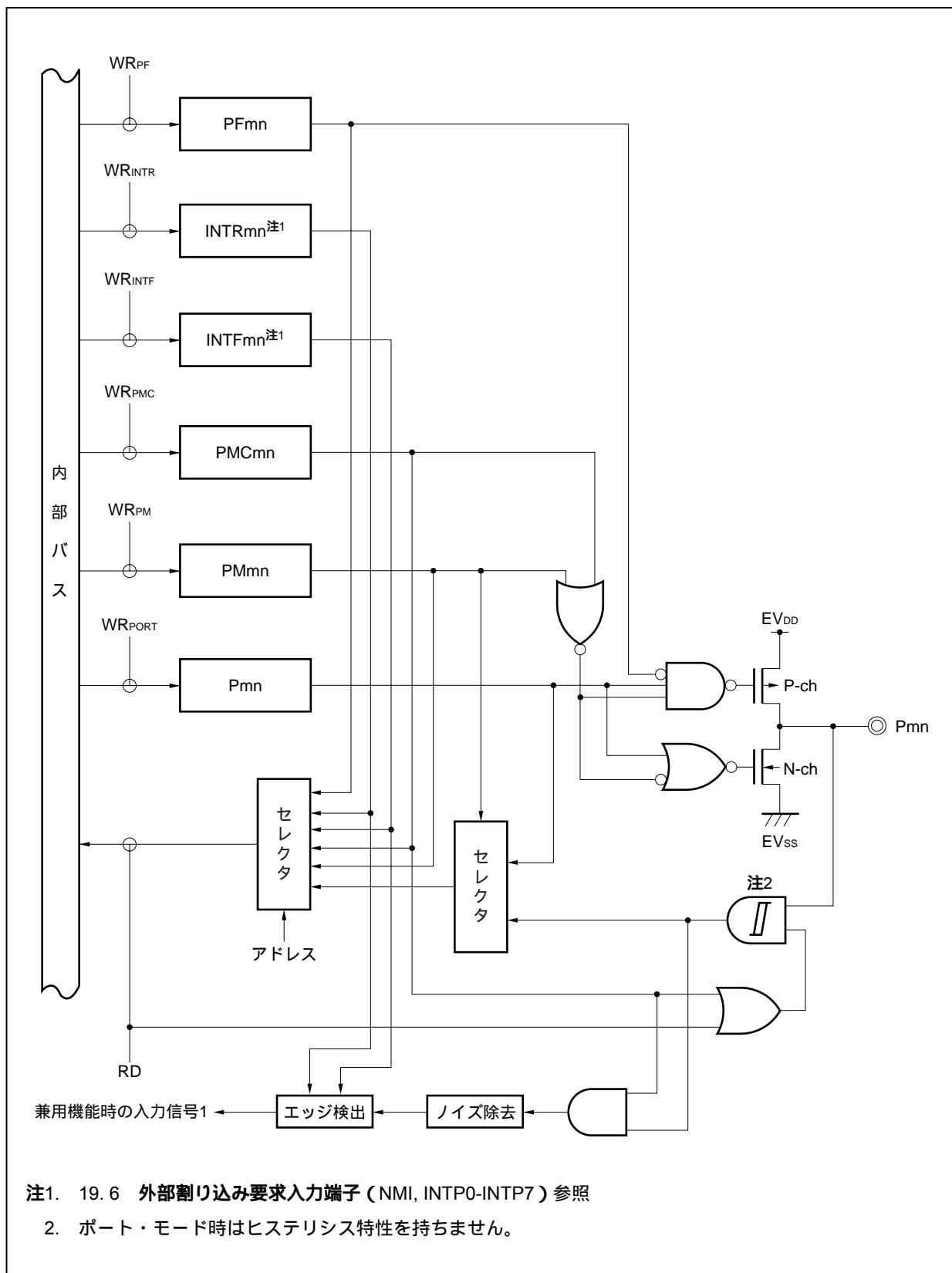
注 ポート・モード時はヒステリシス特性を持ちません。

図4-15 タイプG-12のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

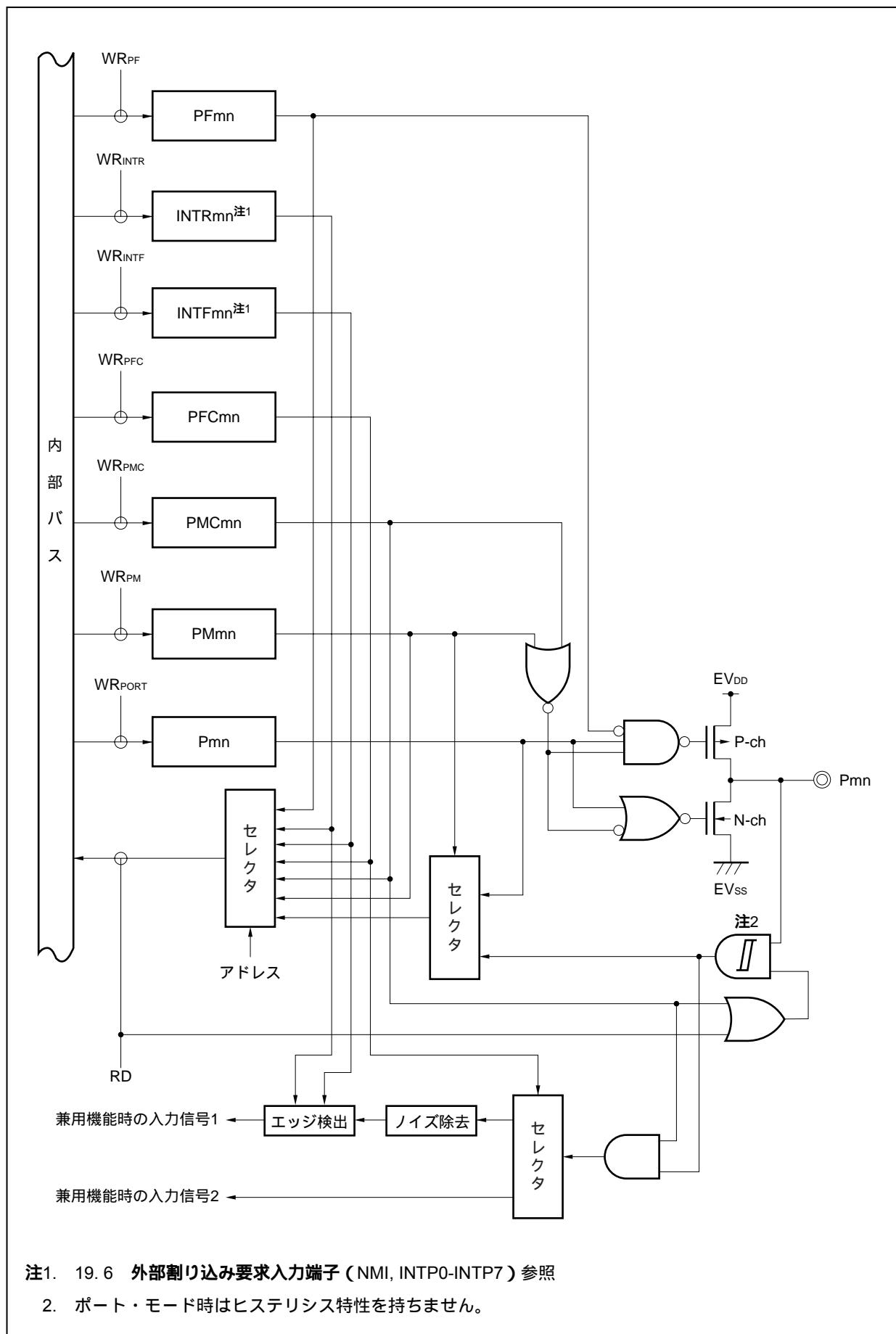
図4-16 タイプL-1のプロック図



注1. 19.6 外部割り込み要求入力端子 (NMI, INTP0-INTP7) 参照

2. ポート・モード時はヒステリシス特性を持ちません。

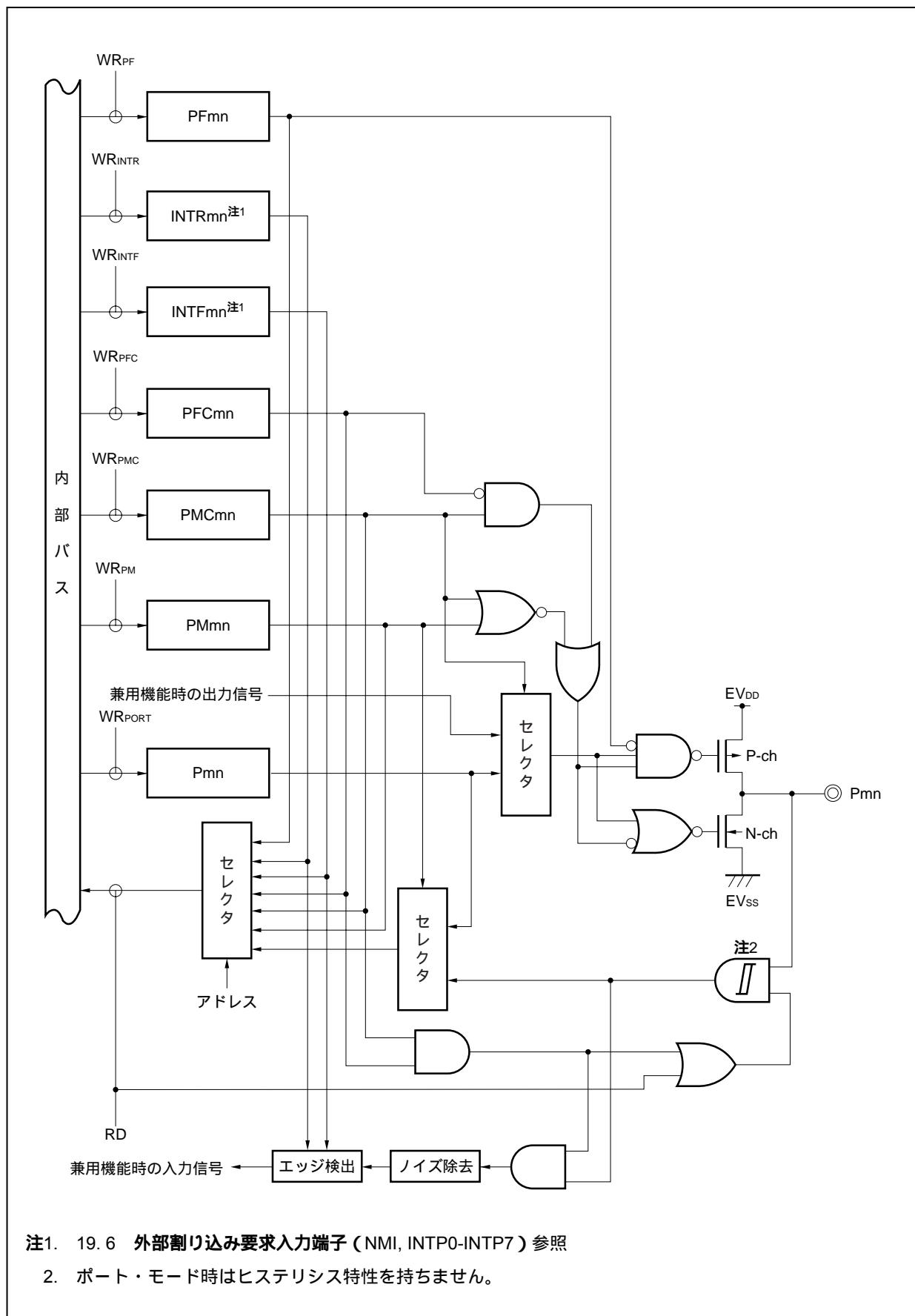
図4-17 タイプN-1のブロック図



注1. 19.6 外部割り込み要求入力端子 (NMI, INTP0-INTP7) 参照

2. ポート・モード時はヒステリシス特性を持ちません。

図4-18 タイプN-2のブロック図



^{注1} 19.6 外部割り込み要求入力端子（NMI, INTP0-INTP7）参照

2. ポート・モード時はヒステリシス特性を持ちません。

図4-19 タイプN-3のブロック図

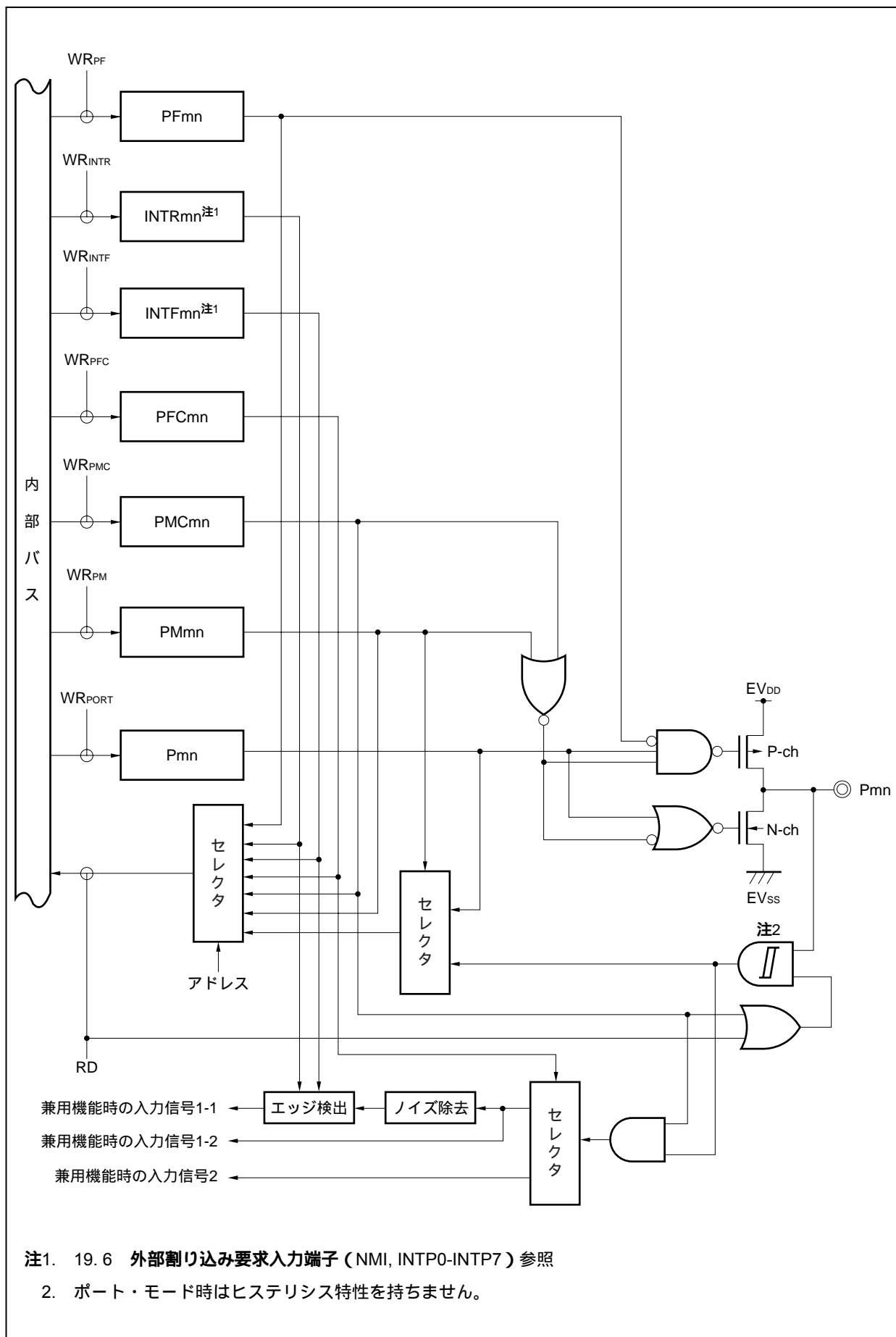


図4-20 タイプU-1のブロック図

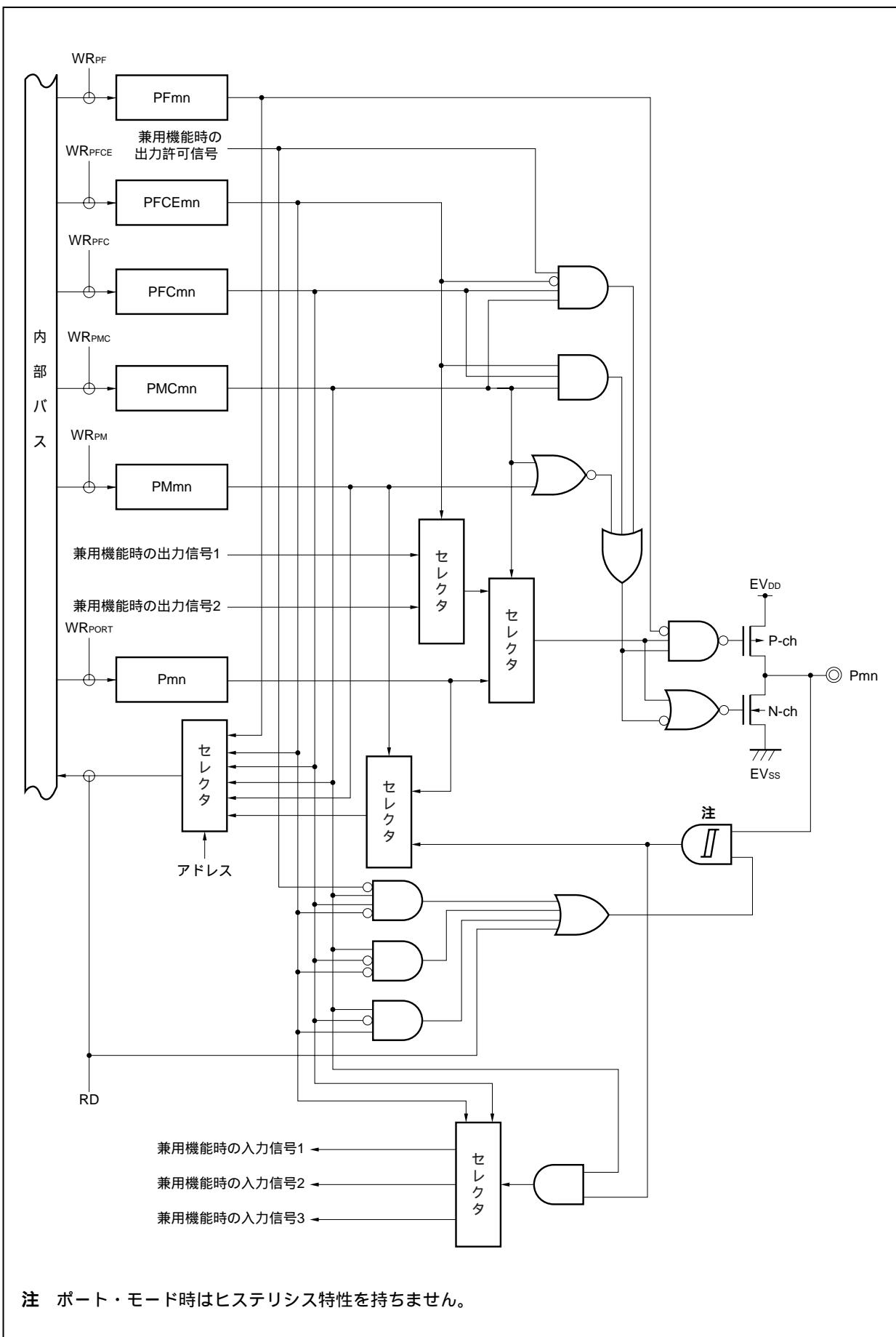


図4-21 タイプU-5のブロック図

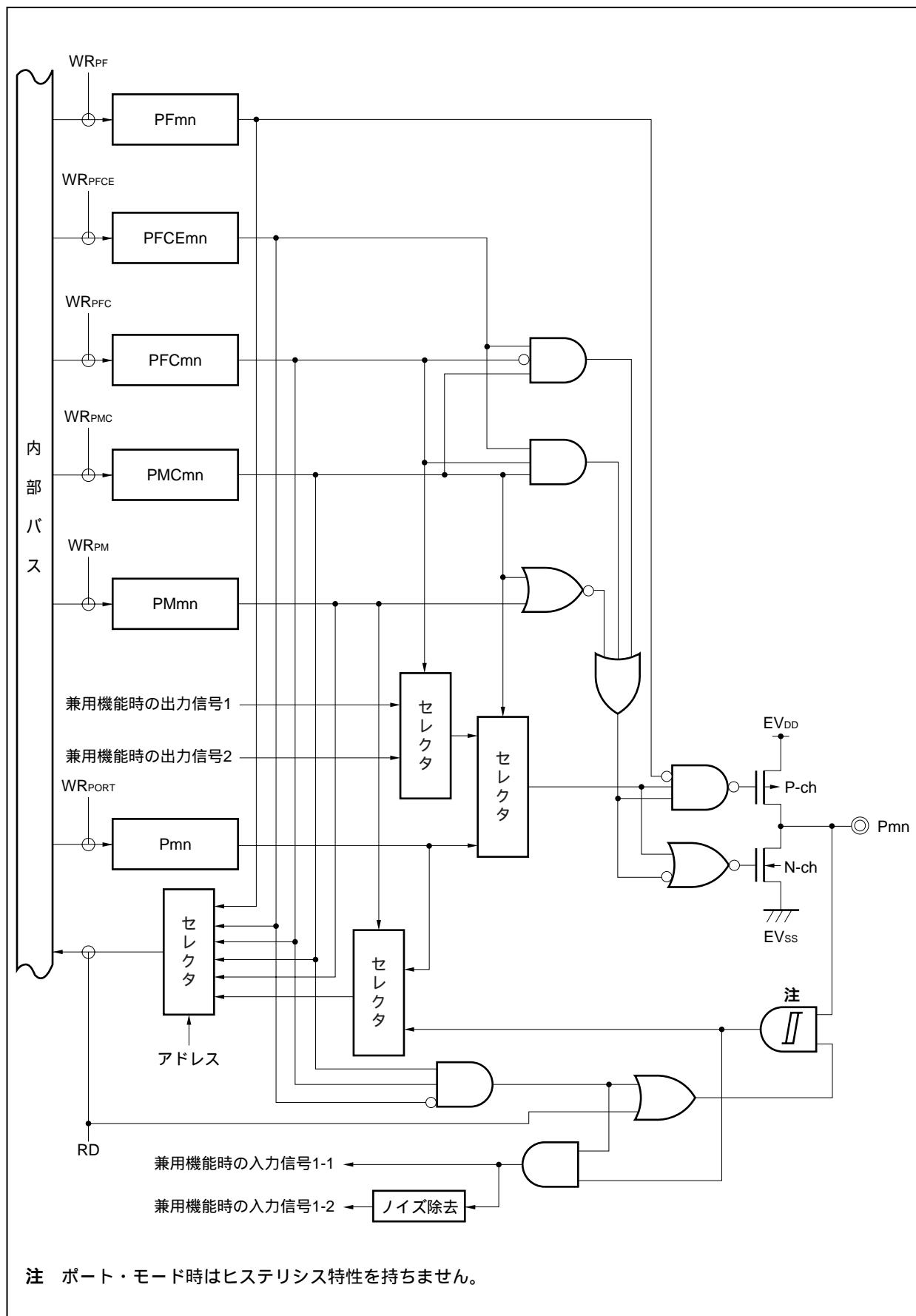


図4-22 タイプU-6のブロック図

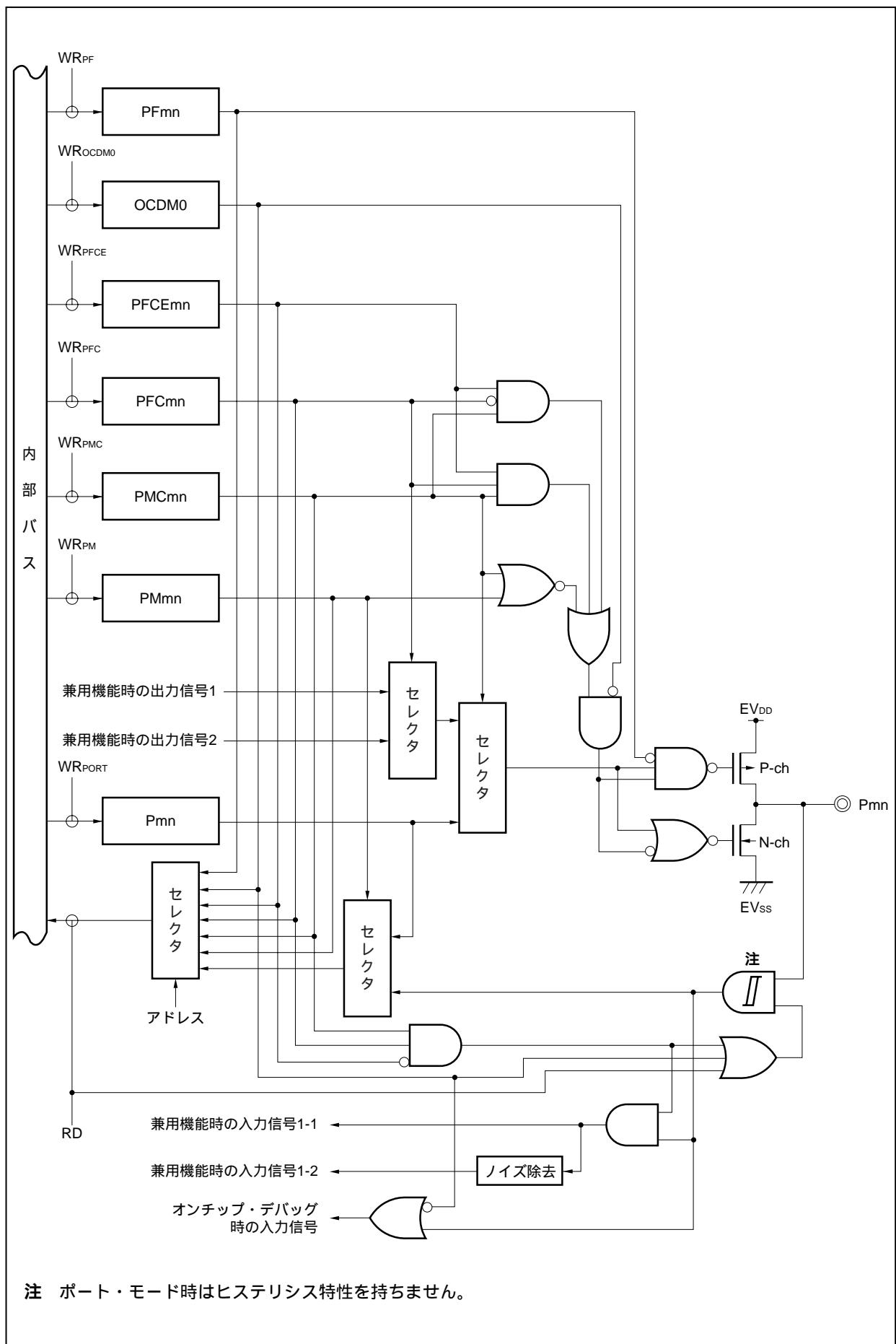


図4-23 タイプU-7のブロック図

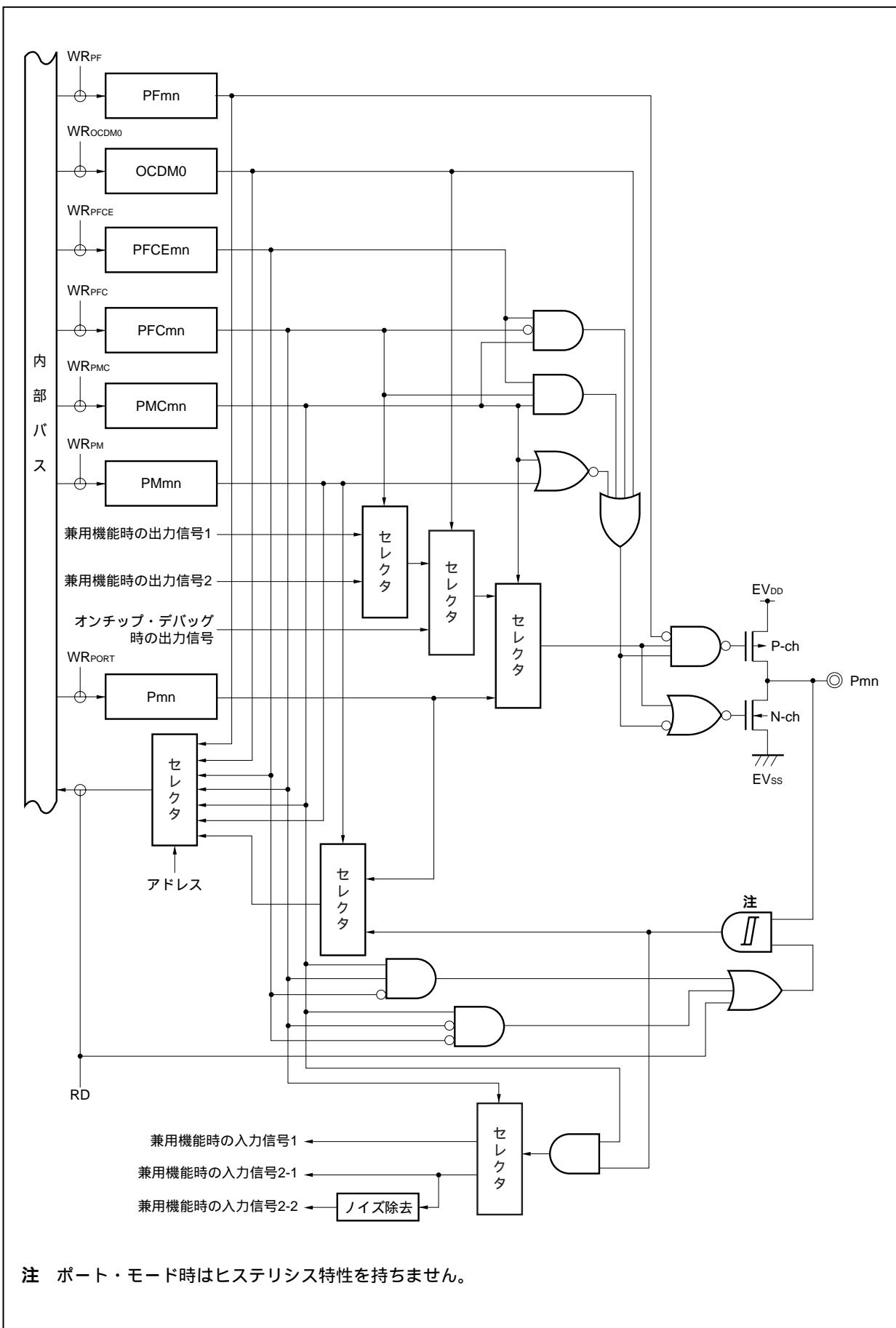


図4-24 タイプU-8のブロック図

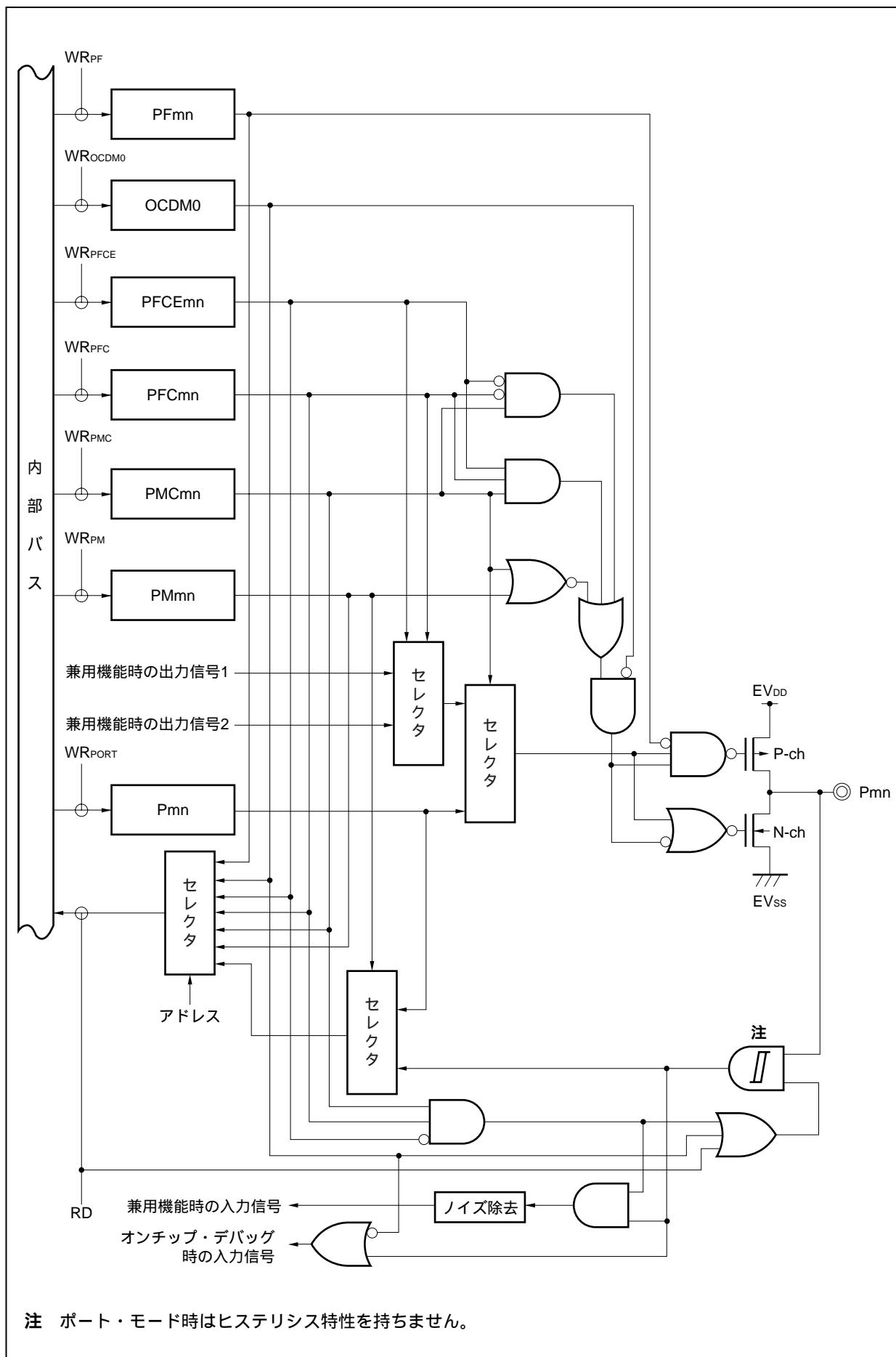
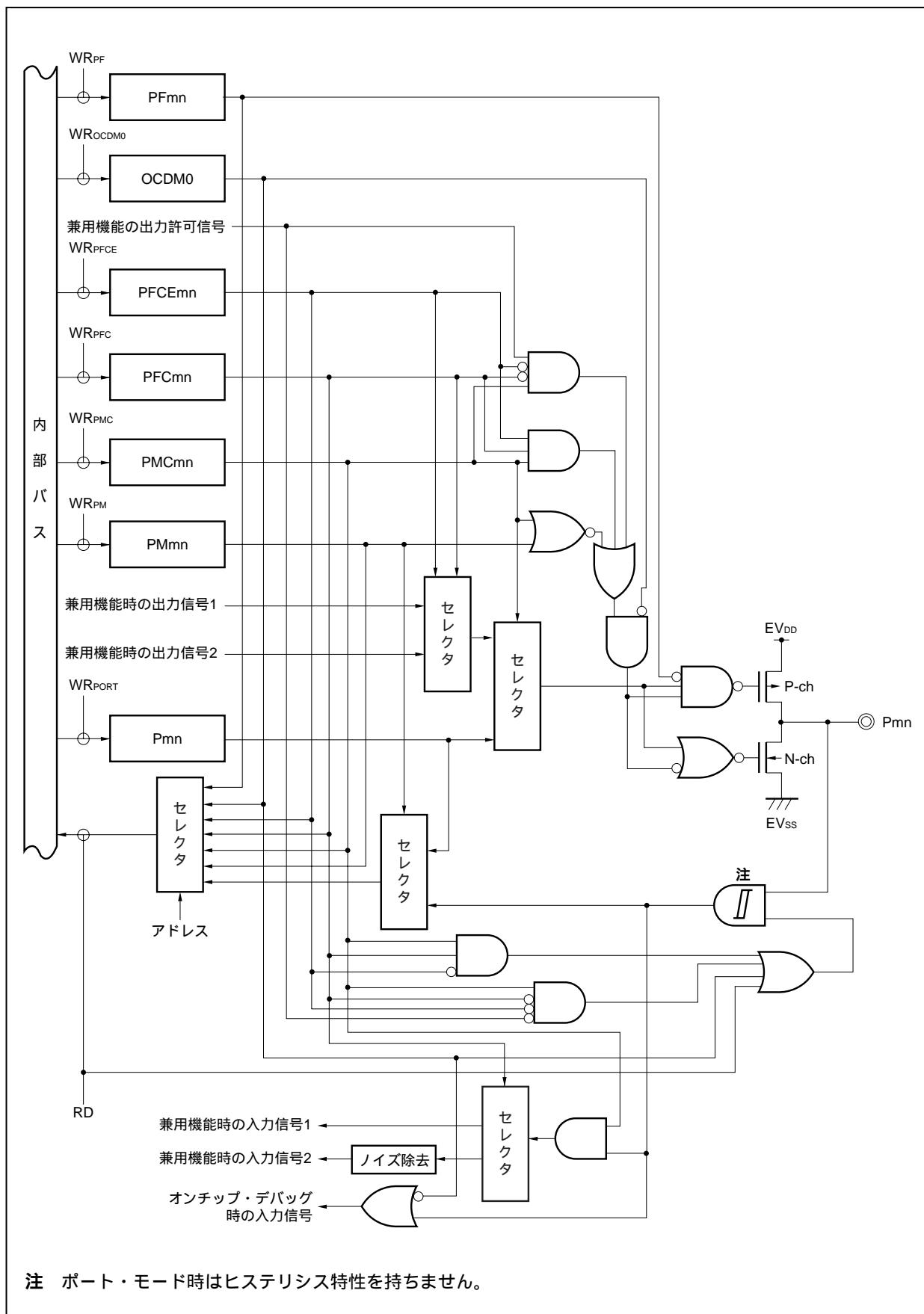


図4-25 タイプU-9のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4-26 タイプU-10のブロック図

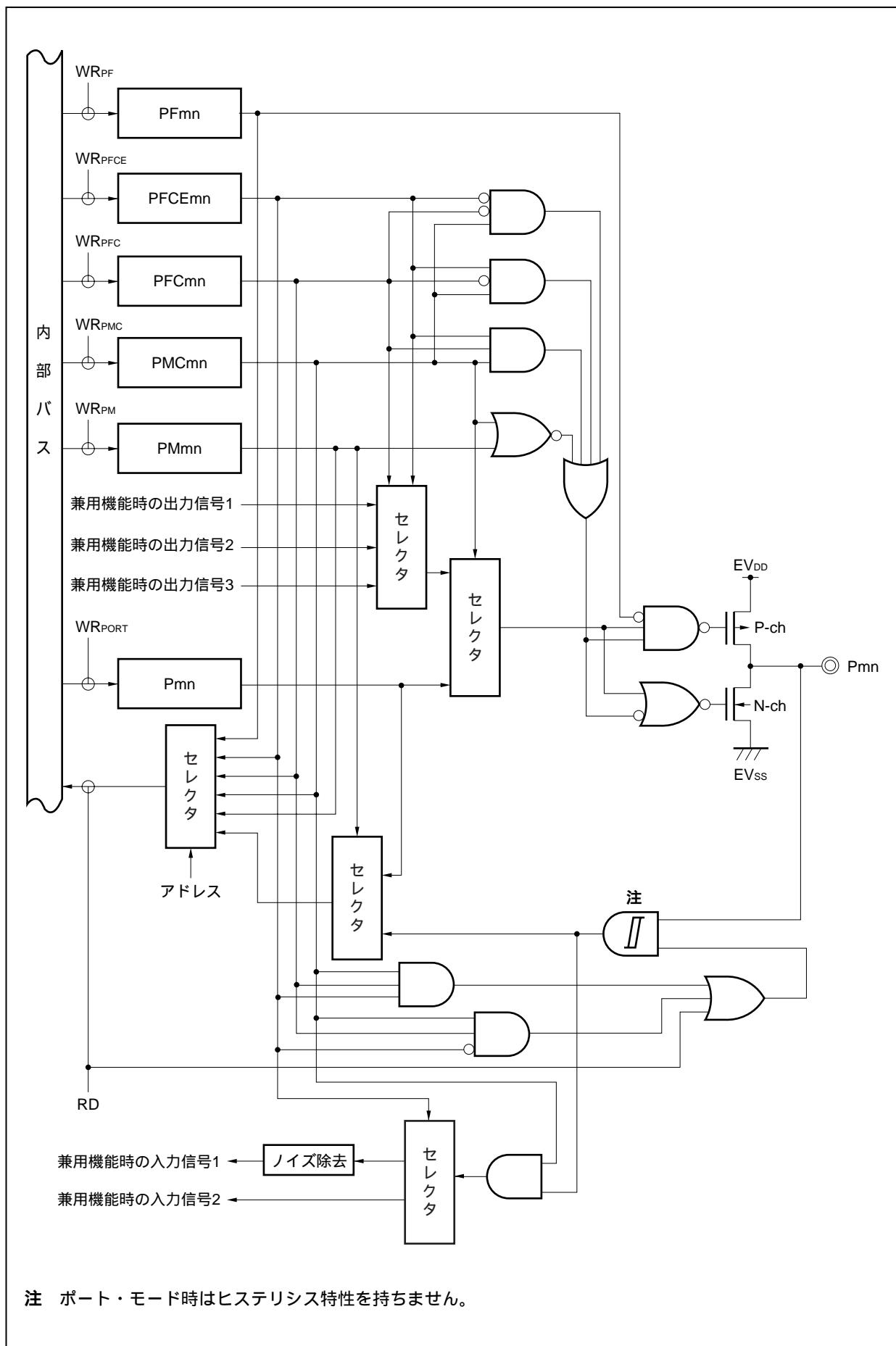


図4-27 タイプU-11のブロック図

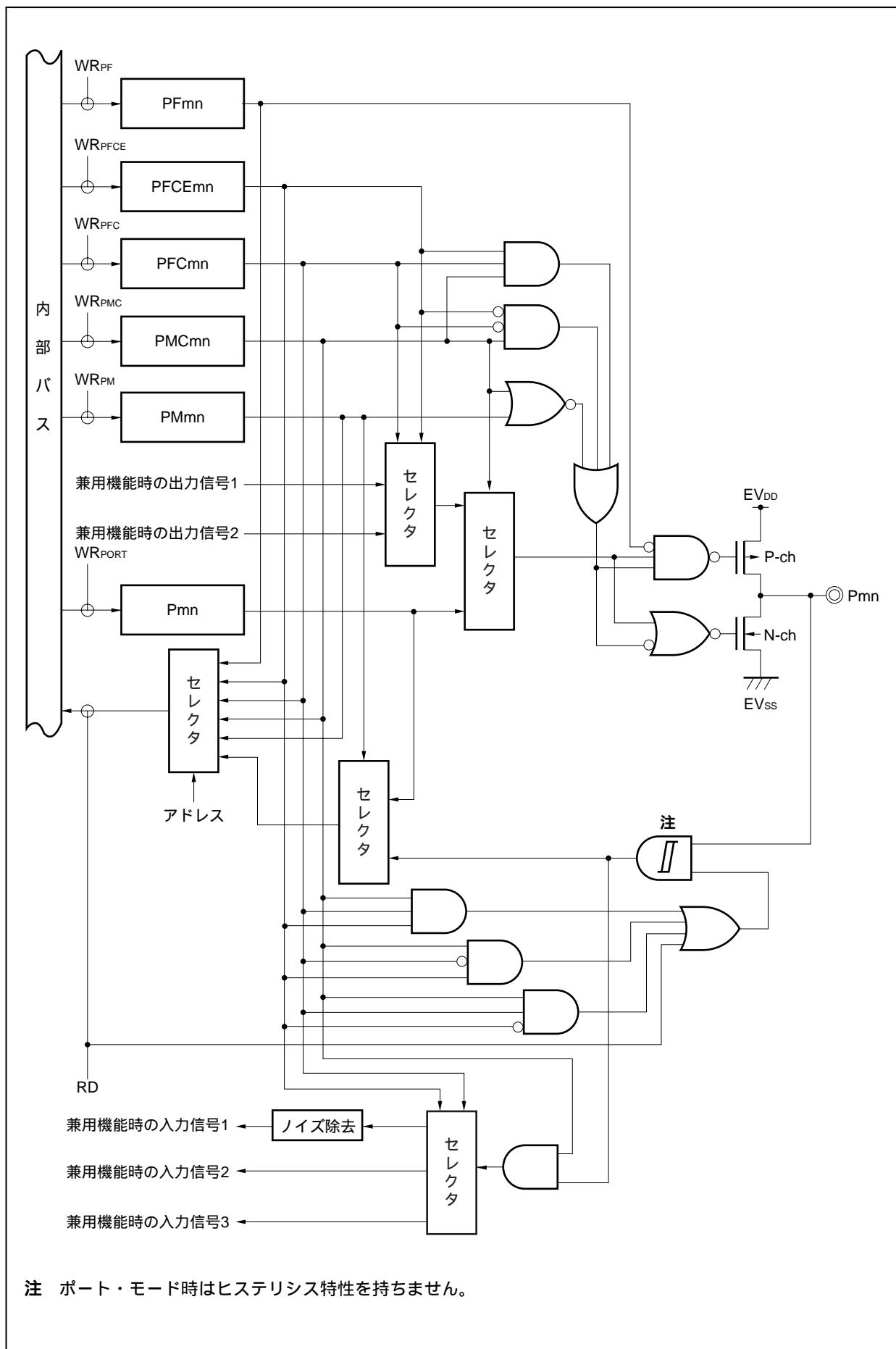


図4-28 タイプU-12のブロック図

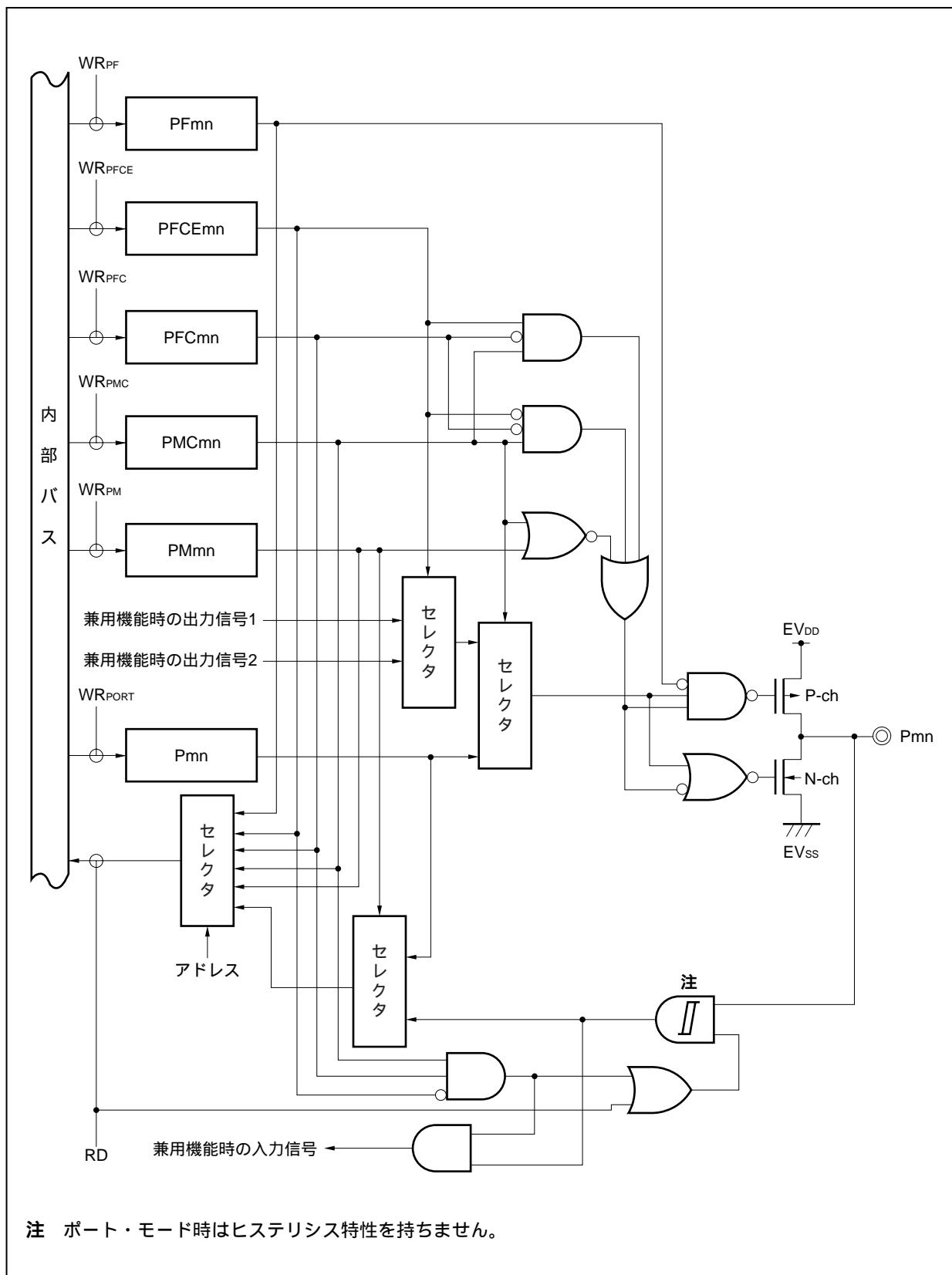


図4-29 タイプU-13のブロック図

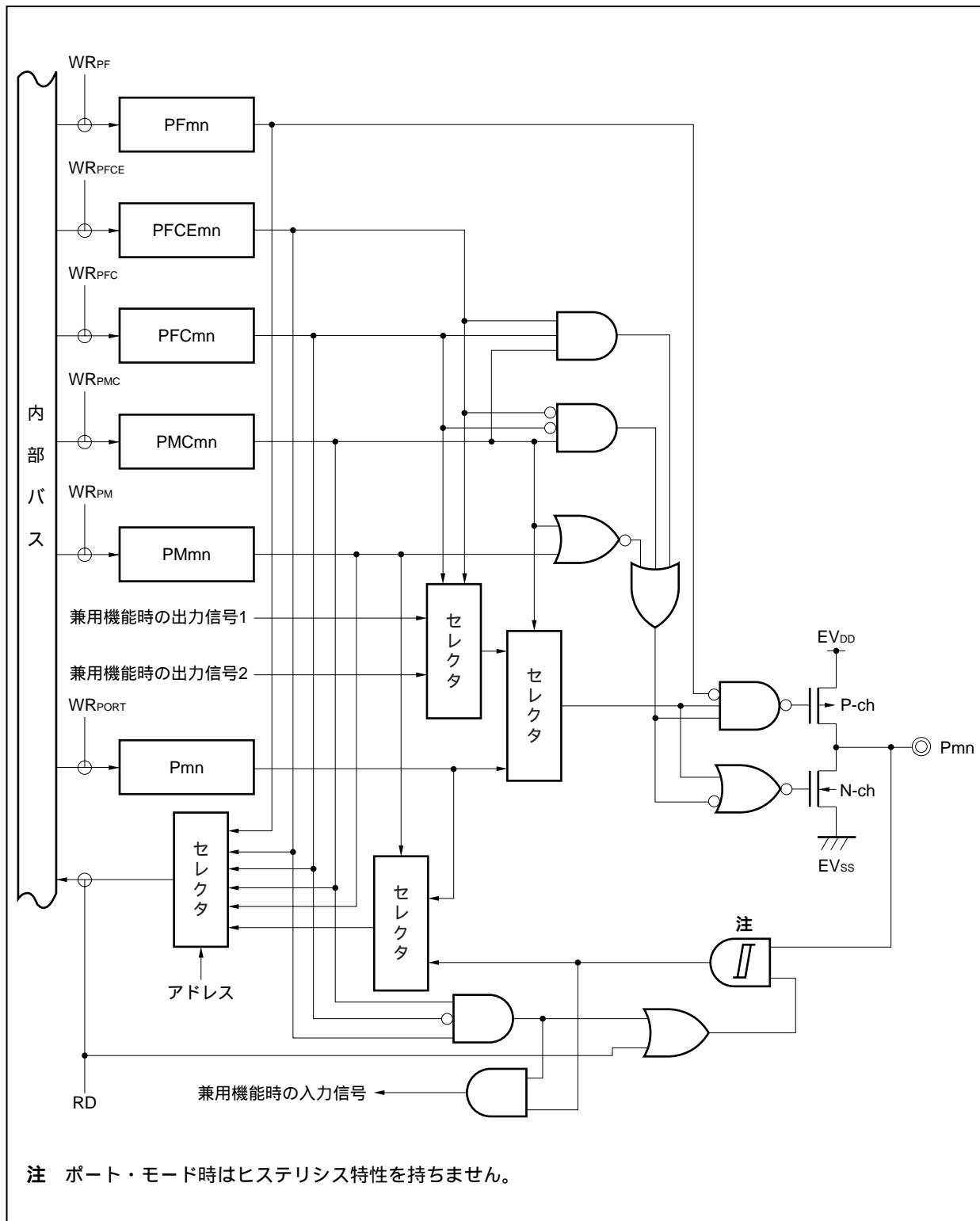
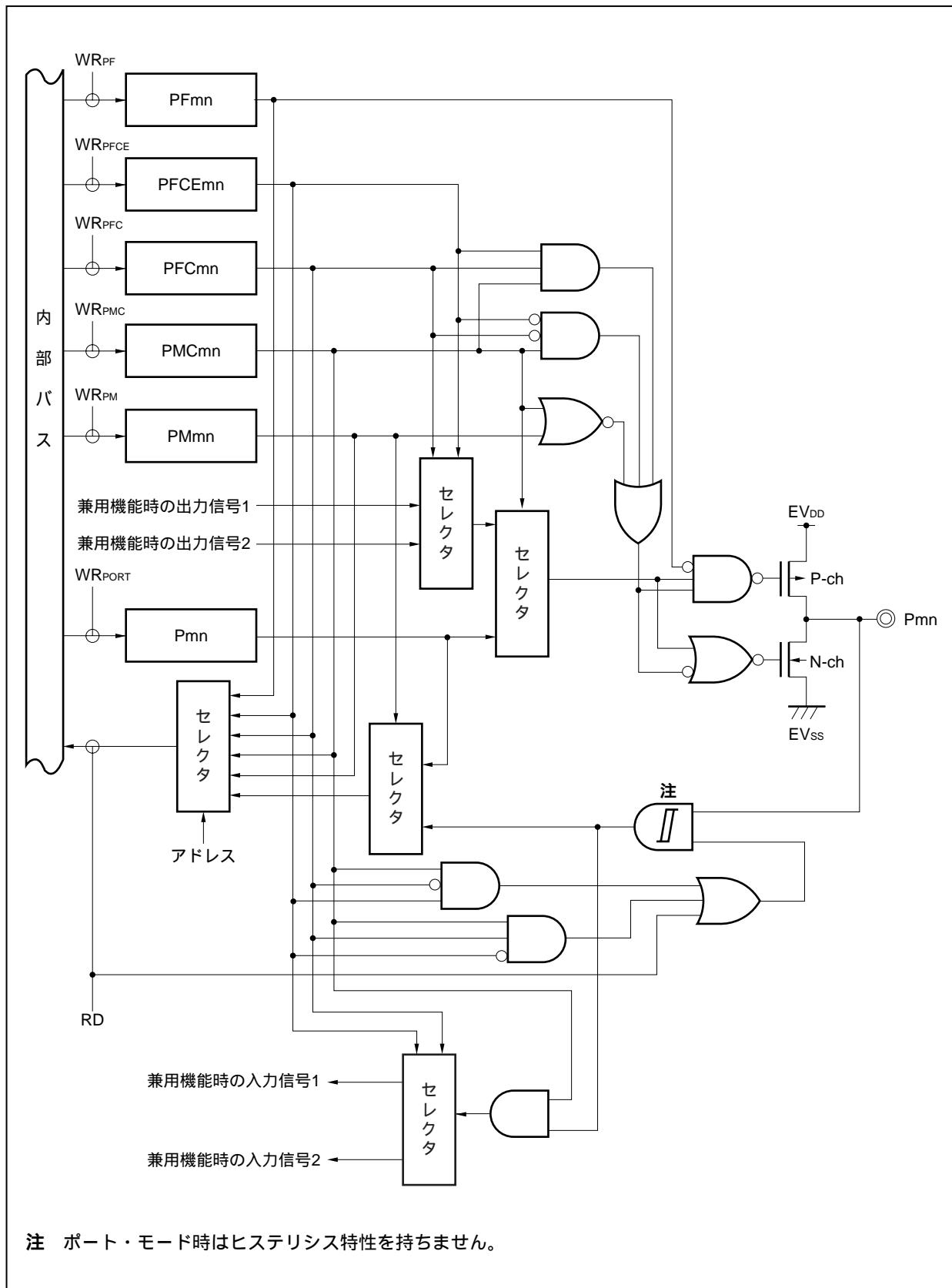


図4-30 タイプU-14のブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4-31 タイプU-15のブロック図

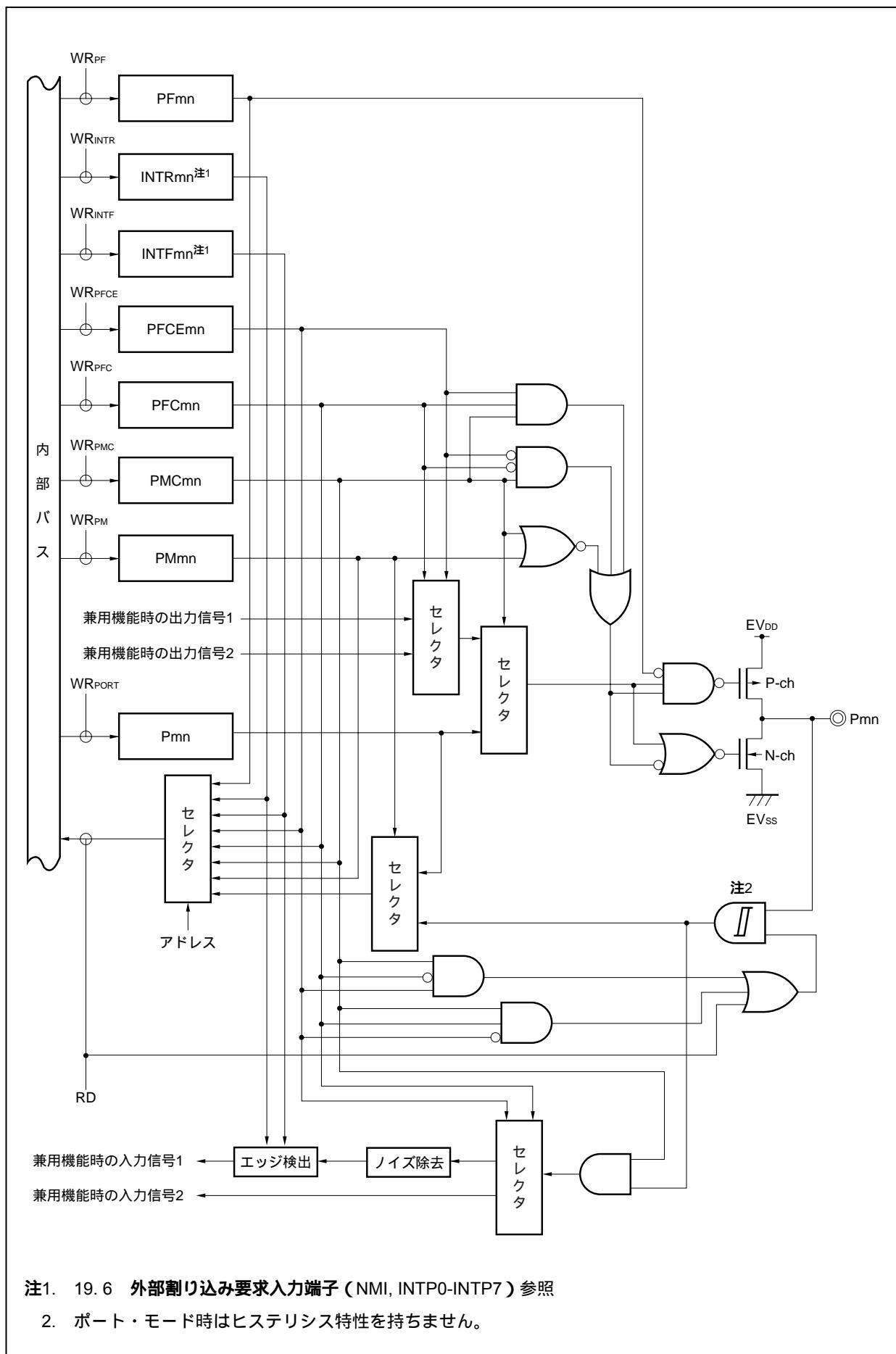
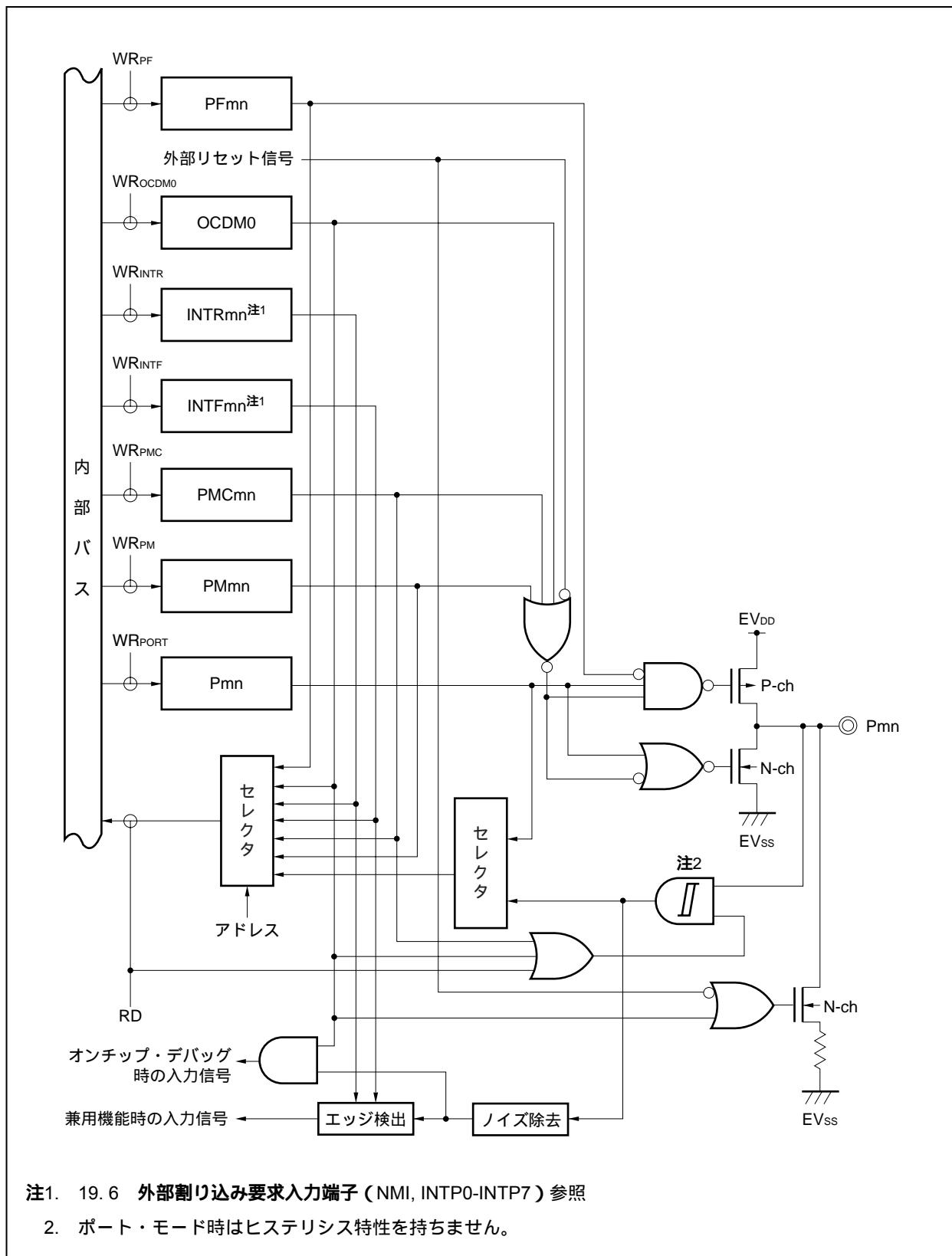


図4-32 タイプAA-1のブロック図



4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4-15に示します。

兼用端子として使用する場合は各機能を参照してください。

表4-15 ポート端子を兼用端子として使用する場合(1/7)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCxビット	PFCEnレジスタの PFCECxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	PFC03 = 1	
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
	DRST	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 設定不要	-	-	OCDM0 (OCDM) = 1
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-	
P10	ANO0	出力	P10 = 設定不要	PM10 = 1	-	-	-	
P11	ANO1	出力	P11 = 設定不要	PM11 = 1	-	-	-	
P30	TXDA0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 0	
	SOB4	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	PFC30 = 1	
P31	RXDA0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注 , PFC31 = 0	
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	注 , PFC31 = 0	
	SIB4	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	PFC31 = 1	
P32	ASCKA0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	SCKB4	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	TIP00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
	TOP00	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 1	
P33	TIP01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 0	
	TOP01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1	

注 INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください(INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止してください(UA0CTL0.UA0RXEビット = 0)。

注意 P10, P11端子を, 1本を入出力ポート, 1本をD/A出力端子(ANO0, ANO1)として使用する場合, D/A出力中は, ポートの入出力レベルが変化しないようにしてください。

表4-15 ポート端子を兼用端子として使用する場合(2/7)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCxビット	PFCEnレジスタの PFCECxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P34	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	PFC34 = 0	
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	-	PFC34 = 1	
P35	TIP11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 0	
	TOP11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	-	PFC35 = 1	
P38	TXDA2	出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	-	PFC38 = 0	
	SDA00	入出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	-	PFC38 = 1	PF38 (PF3) = 1
P39	RXDA2	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	-	PFC39 = 0	
	SCL00	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	-	PFC39 = 1	PF39 (PF3) = 1
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 0	
	SDA01	入出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	PFC40 = 1	PF40 (PF4) = 1
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 0	
	SCL01	入出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	PFC41 = 1	PF41 (PF4) = 1
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	-	
P50	TIQ01	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	KRM0 (KRM) = 0
	KR0	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	TQ0TIG2, TQ0TIG3 (TQ0IOC1) = 0
	TOQ01	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 1	

表4-15 ポート端子を兼用端子として使用する場合(3/7)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCxビット	PFCEnレジスタの PFCECxビット	PFCnレジスタの PFCCxビット	その他のビット (レジスタ)
	名称	入出力						
P51	TIQ02	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	KRM1 (KRM) = 0
	KR1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	TQ0TIG4, TQ0TIG5 (TQ0IOC1) = 0
	TOQ02	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1	
P52	TIQ03	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	KRM2 (KRM) = 0
	KR2	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	TQ0TIG6, TQ0TIG7 (TQ0IOC1) = 0
	TOQ03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0	
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 1	
	DDI	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	PFCE52 = 設定不要	PFC52 = 設定不要	OCDM0 (OCDM) = 1
P53	SIB2	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 0	
	TIQ00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	KRM3 (KRM) = 0
	KR3	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	TQ0TIG0, TQ0TIG1 (TQ0IOC1) = 0, TQ0EES0, TQ0EES1 (TQ0IOC2) = 0, TQ0ETS0, TQ0ETS1 (TQ0IOC2) = 0
	TOQ00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 0	
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 1	
	DDO	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	PFCE53 = 設定不要	PFC53 = 設定不要	OCDM0 (OCDM) = 1
	SOB2	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 0	
P54	KR4	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 1	
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 1	PFC54 = 1	
	DCK	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	PFCE54 = 設定不要	PFC54 = 設定不要	OCDM0 (OCDM) = 1
	SCKB2	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	
P55	KR5	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 1	
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 1	
	DMS	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	PFCE55 = 設定不要	PFC55 = 設定不要	OCDM0 (OCDM) = 1

表4-15 ポート端子を兼用端子として使用する場合(4/7)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCxビット	PFCEnレジスタの PFCECxビット	PFCnレジスタの PFCNxビット	その他のビット (レジスタ)
	名称	入出力						
P70	ANIO	入力	P70 = 設定不要	PM70 = 1	-	-	-	
P71	ANI1	入力	P71 = 設定不要	PM71 = 1	-	-	-	
P72	ANI2	入力	P72 = 設定不要	PM72 = 1	-	-	-	
P73	ANI3	入力	P73 = 設定不要	PM73 = 1	-	-	-	
P74	ANI4	入力	P74 = 設定不要	PM74 = 1	-	-	-	
P75	ANI5	入力	P75 = 設定不要	PM75 = 1	-	-	-	
P76	ANI6	入力	P76 = 設定不要	PM76 = 1	-	-	-	
P77	ANI7	入力	P77 = 設定不要	PM77 = 1	-	-	-	
P78	ANI8	入力	P78 = 設定不要	PM78 = 1	-	-	-	
P79	ANI9	入力	P79 = 設定不要	PM79 = 1	-	-	-	
P710	ANI10	入力	P710 = 設定不要	PM710 = 1	-	-	-	
P711	ANI11	入力	P711 = 設定不要	PM711 = 1	-	-	-	
P90	A0	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 0	注1
	KR6	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	
	TXDA1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0	
	SDA02	入出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 1	PF90 (PF9) = 1
P91	A1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 0	注1
	KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	
	RXDA1/KR7 ^{注2}	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	
	SCL02	入出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 1	PF91 (PF9) = 1

注1. A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

2. RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。

表4-15 ポート端子を兼用端子として使用する場合(5/7)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCxビット	PFCEnレジスタの PFCECxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P92	A2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 0	注
	TIP41	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	
	TOP41	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0	
P93	A3	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 0	注
	TIP40	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1	
	TOP40	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 0	
P94	A4	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 0	注
	TIP31	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	
	TOP31	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	
P95	A5	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 0	注
	TIP30	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 0	PFC95 = 1	
	TOP30	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFCE95 = 1	PFC95 = 0	
P96	A6	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 0	PFC96 = 0	注
	TIP21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	TOP21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	
P97	A7	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 0	注
	SIB1	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 0	PFC97 = 1	
	TIP20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
	TOP20	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1	
P98	A8	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	-	PFC98 = 0	注
	SOB1	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	-	PFC98 = 1	
P99	A9	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	-	PFC99 = 0	注
	SCKB1	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	-	PFC99 = 1	

注 A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

表4-15 ポート端子を兼用端子として使用する場合(6/7)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P910	A10	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	-	PFC910 = 0	注
	SIB3	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	-	PFC910 = 1	
P911	A11	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	-	PFC911 = 0	注
	SOB3	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	-	PFC911 = 1	
P912	A12	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 0	注
	SCKB3	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	-	PFC912 = 1	
P913	A13	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 0	注
	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	-	PFC913 = 1	
P914	A14	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 0	注
	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1	
	TIP51	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	
	TOP51	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 1	
P915	A15	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 0	注
	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1	
	TIP50	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	
	TOP50	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 1	
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	-	-	
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	-	-	
PCM2	HLDACK	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	-	-	
PCM3	HLDRQ	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	-	-	
PCT0	WR0	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCCT0 = 1	-	-	
PCT1	WR1	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCCT1 = 1	-	-	
PCT4	RD	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCCT4 = 1	-	-	
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCCT6 = 1	-	-	

注 A0-A15端子に設定する際は、一括してPMC9レジスタ = FFFFHに16ビット設定してください。

表4-15 ポート端子を兼用端子として使用する場合(7/7)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	-	-	
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	-	-	
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	-	-	
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	-	-	
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	-	-	
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	-	-	
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	-	-	
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	-	-	
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	-	-	
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	-	-	
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	-	-	
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	-	-	
	FLMD1 [#]	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	-	-	
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	-	-	
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	-	-	
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	-	-	
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	-	-	
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	-	-	
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	-	-	
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	-	-	
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	-	-	
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	-	-	
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	-	-	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第26章 フラッシュ・メモリを参照してください。

4.6 注意事項

4.6.1 ポート端子設定上の注意事項

(1) V850ES/JG2では、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート(ポート・モード)と、周辺機能の入出力端子(兼用機能モード)との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

PFnレジスタを設定^注 : N-chオープン・ドレーン設定

PFCn, PFCEnレジスタを設定 : 兼用端子機能選択

PMCnレジスタの該当ビットに1を設定 : 兼用機能モードへ切り替え

PMCnレジスタを先に設定すると、その瞬間、またその後のPFN, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるので注意してください。

【例】に具体例を示します。

注 N-chオープン・ドレーン出力端子のみ

注意 ポート・モード/兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようになります。

- ・Pnレジスタのリード : ポート出力ラッチの値(PMn.PMnmビット = 0時)、または端子状態(PMn.PMnmビット = 1時)の読み出し
- ・Pnレジスタへのライト : ポート出力ラッチへの書き込み

【例】SCL01端子の設定例

SCL01端子は、P41/SOB0と兼用されています。有効な端子機能を、PMC4, PFC4, PF4レジスタによって次のように選択します。

PMC41ビット	PFC41ビット	PF41ビット	有効な端子機能
0	don't care	1	P41(出力ポート・モードの場合、N-chオープン・ドレーン出力)
1	0	1	SOB0出力(N-chオープン・ドレーン出力)
	1	1	SCL01入出力(N-chオープン・ドレーン出力)

次に、P41端子からSCL01端子への切り替え時に、問題が発生する可能性がある設定順序を示します。

設定順	設定内容	端子状態	端子レベル
	初期値 (PMC41ビット = 0, PFC41ビット = 0, PF41ビット = 0)	ポート・モード (入力)	Hi-Z
	PMC41ビット←1	SOB0出力	ロウ・レベル(CSIB0の設定によってはハイ・レベル)
	PFC41ビット←1	SCL01入出力	ハイ・レベル(CMOS出力)
	PF41ビット←1	SCL01入出力	Hi-Z (N-chオープン・ドレーン出力)

で、兼用されているSOB0出力が端子に出力されるため、I²C通信に影響を与える可能性があります。また、
、
のCMOS出力の期間に、不要な電流が発生する可能性があります。

(b) 兼用機能モード（入力）に関する注意事項

兼用機能ブロックへの入力信号は、PMChレジスタの設定値と端子レベルのAND出力のため、PMCh.PMCnmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMChレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ポート・モードから兼用機能モード（入力）へ切り替える場合
PMChレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・兼用機能モード（入力）からポート・モードへ切り替える場合
兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

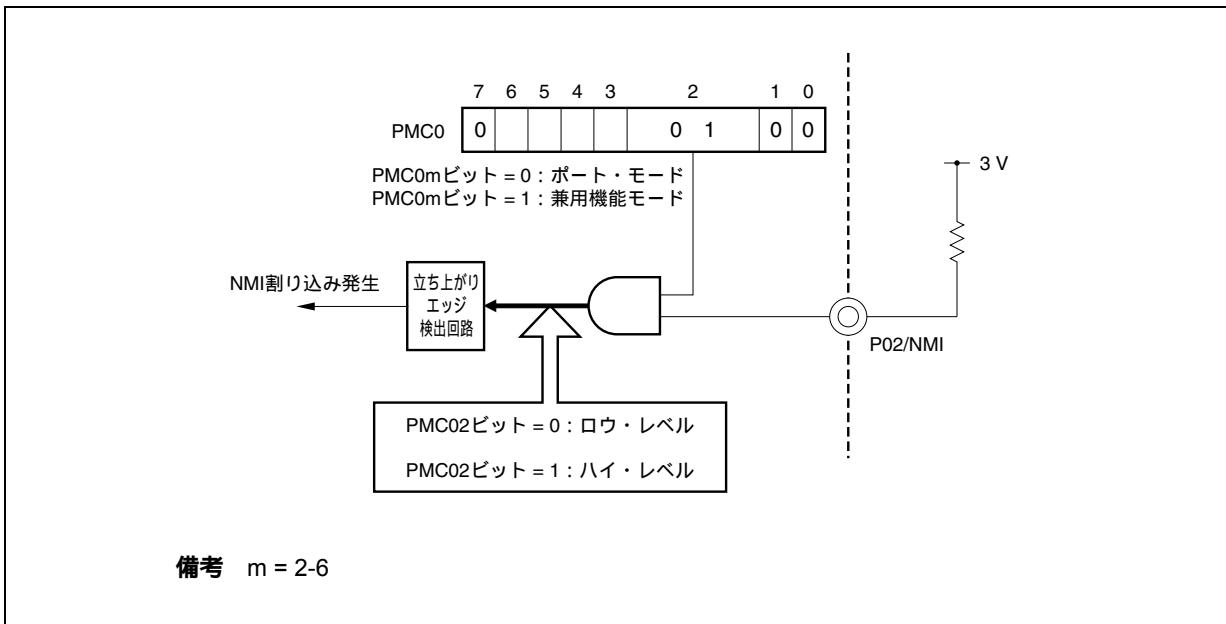
【例1】、【例2】に具体例を示します。

【例1】汎用ポート（P02）から外部割り込み端子（NMI）への切り替え

P02/NMI端子が図4 - 33のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に、P02端子からNMI端子へ切り替えたとき（PMC02ビット = 0→1），NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ロウ・レベル ハイ・レベルと変化したかのように立ち上がりエッジとして検出し、NMI割り込みが発生します。

対策として、P02端子からNMI端子へ切り替えてから、NMI端子の有効エッジを設定してください。

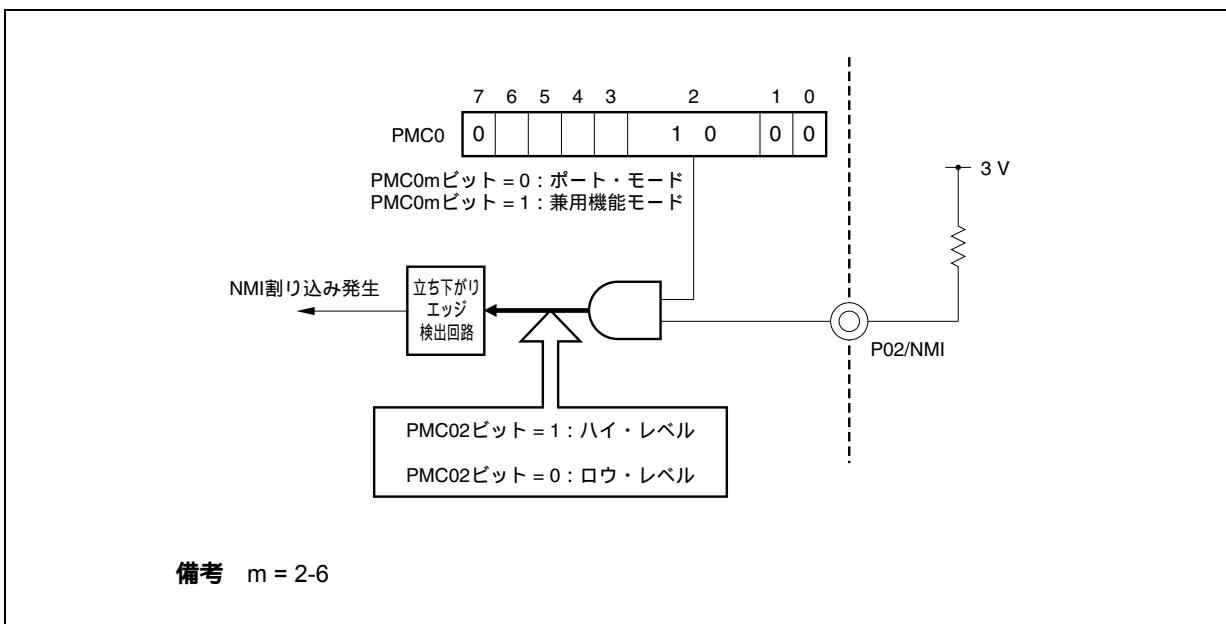
図4-33 P02からNMIへの切り替え（悪い例）



【例2】外部割り込み端子（NMI）から、汎用ポート（P02）への切り替え

P02/NMI端子が図4-34のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に、NMI端子からP02端子へ切り替えたとき（PMC02ビット = 1→0）、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ハイ・レベル → ロウ・レベルと変化したかのように立ち下がりエッジとして検出し、NMI割り込みが発生します。対策として、NMI端子のエッジ検出設定を“エッジ検出しない”にしてから、NMI端子からP02端子へ切り替えてください。

図4-34 NMIからP02への切り替え（悪い例）



(2) ポート・モードにおいてPFn.PFnMビットは、出力モード（PMn.PMnmビット = 0）時のみ有効となります。入力モード（PMnmビット = 1）のとき、PFnmビットの値はバッファに反映されません。

4.6.2 ポートnレジスタ (Pn)に対するピット操作命令に関する注意事項

入力 / 出力が混在しているポートに対して1ピット操作命令を行った場合、操作対象のピットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”的とき、P90端子の出力をピット操作命令により“ロウ・レベル”“ハイ・レベル”とすると、ポート・ラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み / 読み出しの対象は、それぞれ出力ラッチ / 端子状態です。

また、ピット操作命令はV850ES/JG2内部で、次の順序で行われます。

<1> Pnレジスタを8ピット単位で読み出し

<2> 対象の1ピットを操作

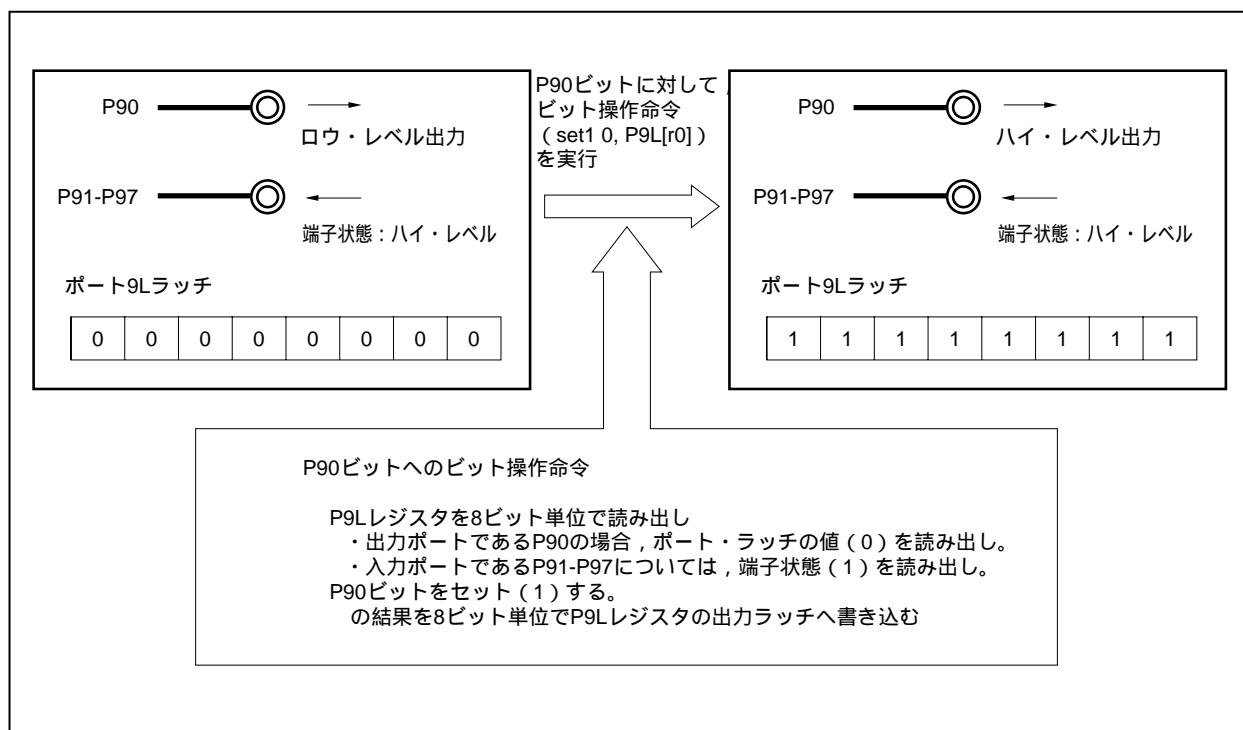
<3> Pnレジスタへ8ピット単位で書き込み

<1> のとき、出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4-35 ピット操作命令 (P90端子の場合)



4.6.3 オンチップ・デバッグ用端子に関する注意事項

DRST, DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です。

RESET端子によるリセット後, P05/INTP2/**DRST**端子はオンチップ・デバッグ用端子 (**DRST**) に初期化されます。このとき**DRST**端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- OCDMレジスタ（特定レジスタ）のOCDM0ビットをクリア（0）

このとき, **RESET**端子によるリセット解除時から, 上記の処理を終えるまで, P05/INTP2/**DRST**端子をロウ・レベル固定してください。

上記処置を行う前に**DRST**端子にハイ・レベルを入力すると, 誤動作（CPUデッド・ロック）の原因となるため, P05端子の取り扱いには十分注意してください。

注意 WDT2RES信号, クロック・モニタ（CLM）, 低電圧検出回路（LVI）によるリセット時は, P05/INTP2/**DRST**端子はオンチップ・デバッグ用端子 (**DRST**) に初期化されません。また, OCDMレジスタも値を保持します。

4.6.4 P05/INTP2/**DRST**端子に関する注意事項

P05/INTP2/**DRST**端子はプルダウン抵抗（30 kΩ（TYP.））を内蔵しています。**RESET**端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア（0）することにより, プルダウン抵抗は切断されます。

4.6.5 P10, P11, P53端子に関する電源投入時の注意事項

次に示す端子は, 電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- P10/ANO0端子
- P11/ANO1端子
- P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

4.6.6 ヒステリシス特性について

ポート・モードでは, 次のポートはヒステリシス特性を持ちません。

P02-P06

P31-P35, P38, P39

P40-P42

P50-P55

P90-P97, P99, P910, P912-P915

第5章 バス制御機能

V850ES/JG2は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インターフェース機能を内蔵しています。

5.1 特 徴

最小で3バス・サイクルのマルチプレクス・バスと、最小で2バス・サイクルのセパレート・バス出力選択可能

8ビット/16ビット・データ・バス切り替え可能

ウエイト機能

- ・最大で7ステートのプログラマブル・ウエイト機能
- ・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能

アイドル・ステート機能

バス・ホールド機能

最大4 Mバイト物理メモリを接続可能

$BV_{DD} = EV_{DD} = V_{DD}$ とすることで、バスを動作電圧と異なった電圧で制御可能。ただし、セパレート・バス・モード時や、A20, A21端子を使用する場合は、 $BV_{DD} = EV_{DD} = V_{DD}$ としてください。

5.2 バス制御端子

外部デバイスの接続には、次の端子を使用します。

表5-1 バス制御端子一覧（マルチプレクス・バス選択時）

バス制御端子	兼用端子	入出力	機能
AD0-AD15	PDL0-PDL15	入出力	アドレス / データ・バス
A16-A21	PDH0-PDH5	出力	アドレス・バス
WAIT	PCM0	入力	外部ウェイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR0, WR1	PCT0, PCT1	出力	ライト・ストローブ信号
RD	PCT4	出力	リード・ストローブ信号
ASTB	PCT6	出力	アドレス・ストローブ信号
HLDREQ	PCM3	入力	バス・ホールド制御
HLDACK	PCM2	出力	

表5-2 バス制御端子一覧（セパレート・バス選択時）

バス制御端子	兼用端子	入出力	機能
AD0-AD15	PDL0-PDL15	入出力	データ・バス
A0-A15	P90-P915	出力	アドレス・バス
A16-A21	PDH0-PDH5	出力	アドレス・バス
WAIT	PCM0	入力	外部ウェイト制御
CLKOUT	PCM1	出力	内部システム・クロック
WR0, WR1	PCT0, PCT1	出力	ライト・ストローブ信号
RD	PCT4	出力	リード・ストローブ信号
HLDREQ	PCM3	入力	バス・ホールド制御
HLDACK	PCM2	出力	

5.2.1 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態

内蔵ROM, 内蔵RAM, 内蔵周辺I/Oへアクセスした場合, 各端子状態は次のようにになります。

表5-3 内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態一覧

セパレート・バス・モード		マルチプレクス・バス・モード	
アドレス・バス (A21-A0)	不定	アドレス・バス (A21-A16)	不定
データ・バス (AD15-AD0)	Hi-Z	アドレス / データ・バス (AD15-AD0)	不定
制御信号	インアクティブ	制御信号	インアクティブ

注意 内蔵ROM領域へライト・アクセスしたときには, 外部メモリ領域へのアクセスと同じく, アドレス, データ, 制御信号ともに活性化されます。

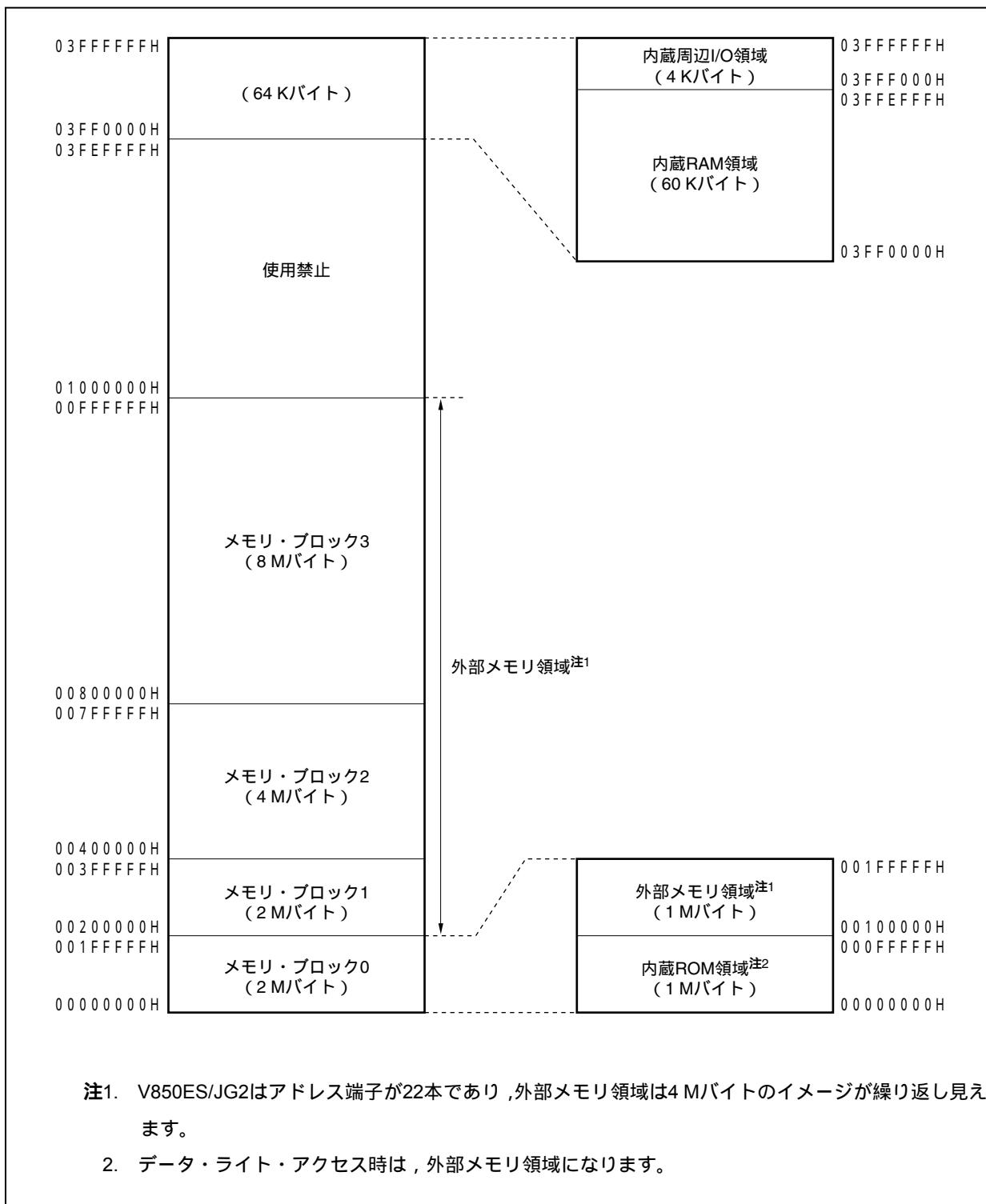
5.2.2 各動作モードの端子状態

V850ES/JG2各動作モードの端子状態については, 2.2 端子状態を参照してください。

5.3 メモリ・ブロック機能

16 Mバイトの外部メモリ空間は下位2 M, 2 M, 4 M, 8 Mバイト単位のメモリ・ブロックに分割され、1ブロック単位にプログラマブル・ウェイト機能、バス・サイクル動作モードなどを独立に制御できます。

図5-1 データ・メモリ・マップ：物理アドレス



5.4 外部バス・インターフェース・モード制御機能

V850ES/JG2は、外部バス・インターフェースとして次の2つのモードがあります。

- ・マルチプレクス・バス・モード
- ・セパレート・バス・モード

2つのモードの切り替えは、EXIMCレジスタで設定します。

(1) 外部バス・インターフェース・モード・コントロール・レジスタ (EXIMC)

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFFFFBEH

	7	6	5	4	3	2	1	0
EXIMC	0	0	0	0	0	0	0	SMSEL

SMSEL	モード切り替え
0	マルチプレクス・バス・モード
1	セパレート・バス・モード

注意 EXIMCレジスタの設定は、外部アクセスを行う前に、内蔵ROMまたは内蔵RAM領域から行ってください。

また、EXIMCレジスタ設定後には、必ずNOP命令を1つ挿入してください。

5.5 バス・アクセス

5.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

領域(バス幅) バス・サイクル・タイプ	内蔵ROM(32ビット)	内蔵RAM(32ビット)	外部メモリ(16ビット)
命令フェッチ(通常アクセス)	1	$1^{\text{注}1}$	$3 + n^{\text{注}2}$
命令フェッチ(分岐)	2	$2^{\text{注}1}$	$3 + n^{\text{注}2}$
オペランド・データ・アクセス	3	1	$3 + n^{\text{注}2}$

注1. データ・アクセスと競合した場合は、+1されます。

2. セパレート・バス選択時は、 $2 + n$ クロック(n : ウエイト数)です。

備考 単位はクロック / アクセスです。

5.5.2 バス・サイズ設定機能

外部メモリ領域は、メモリ・ブロックnで選択される領域ごとにBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

V850ES/JG2の外部メモリ領域は、メモリ・ブロック0-3で選択されます。

(1) バス・サイズ・コンフィギュレーション・レジスタ(BSC)

16ビット単位でリード / ライト可能です。

リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時 : 5555H R/W アドレス : FFFFF066H													
15 14 13 12 11 10 9 8													
BSC	0	1	0	1	0	1	0	1					
	7	6	5	4	3	2	1	0					
	0	BS30	0	BS20	0	BS10	0	BS00					
メモリ・ブロック3		メモリ・ブロック2		メモリ・ブロック1		メモリ・ブロック0							
BSn0 メモリ・ブロックn空間のデータ・バス幅(n=0-3)													
0	8ビット												
1	16ビット												

注意 ビット14, 12, 10, 8には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。

5.5.3 バス・サイズによるアクセス

V850ES/JG2が内蔵周辺I/Oアクセス、外部メモリ・アクセスを行う場合には、8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- ・内蔵周辺I/Oのバス・サイズは16ビット固定
- ・外部メモリのバス・サイズは8ビット/16ビット選択可能（BSCレジスタにより設定）

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。V850ES/JG2は、リトル・エンディアン形式のみ対応しています。

図5-2 ワード内のリトル・エンディアン・アドレス

31	24 23	16 15	8 7	0
000BH	000AH	0009H	0008H	
0007H	0006H	0005H	0004H	
0003H	0002H	0001H	0000H	

(1) データ空間

V850ES/JG2はアドレス・ミス・アライン機能を内蔵しています。

この機能により、データの形式（ワード・データ、ハーフワード・データ）にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、バス・サイクルが最低2回は発生し、バス効率が低下します。

(a) ハーフワード長のデータ・アクセスの場合

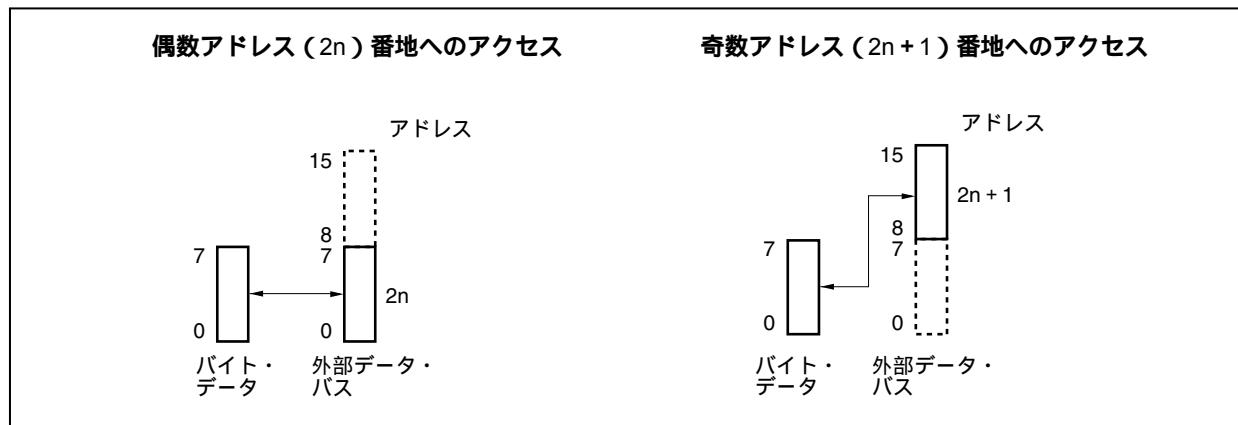
アドレスの最下位ビットが1のとき、バイト長のバス・サイクルを2回生成します。

(b) ワード長のデータ・アクセスの場合

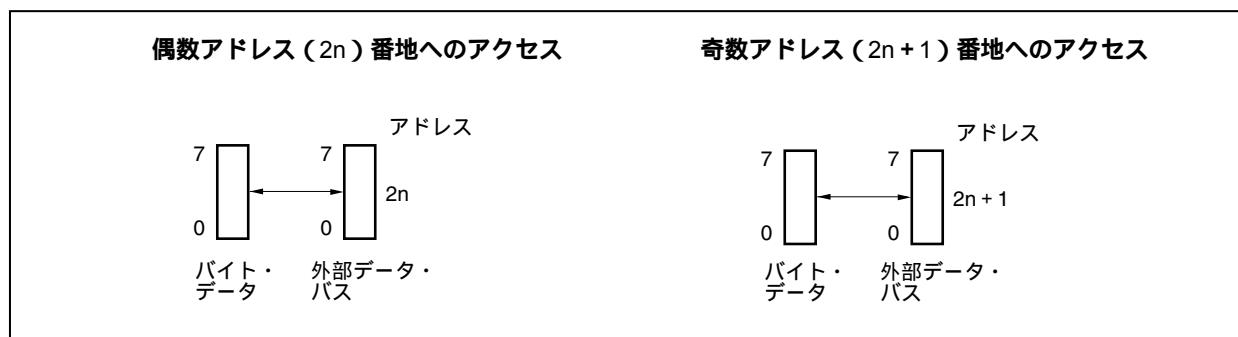
- (i) アドレスの最下位ビットが1のとき、バイト長のバス・サイクル、ハーフワード長のバス・サイクル、バイト長のバス・サイクルの順でバス・サイクルを生成します。
- (ii) アドレスの下位2ビットが10のとき、ハーフワード長のバス・サイクルを2回生成します。

(2) バイト・アクセス(8ビット)

(a) 16ビット・データ・バス幅のとき

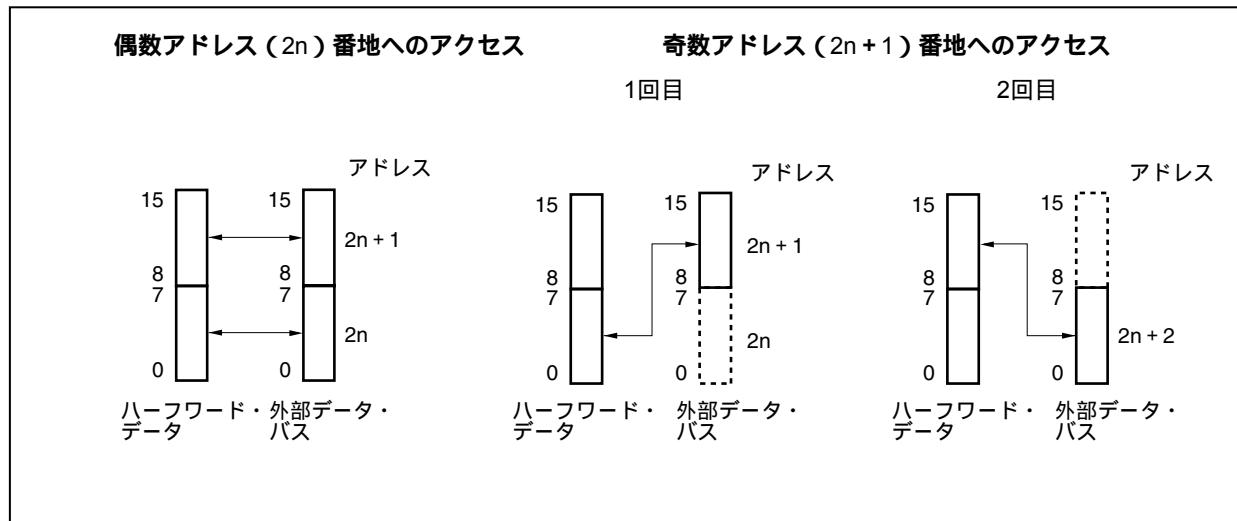


(b) 8ビット・データ・バス幅のとき

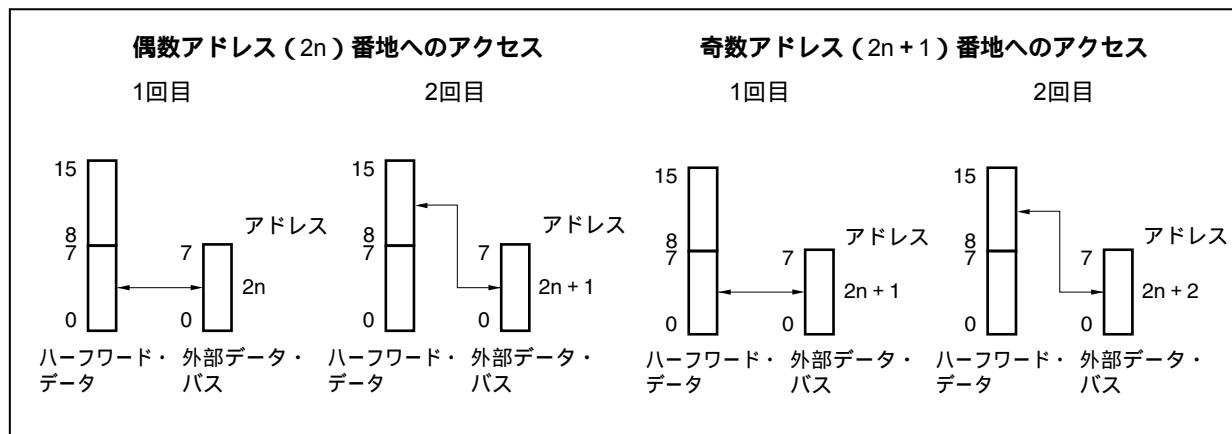


(3) ハーフワード・アクセス(16ビット)

(a) 16ビット・データ・バス幅のとき

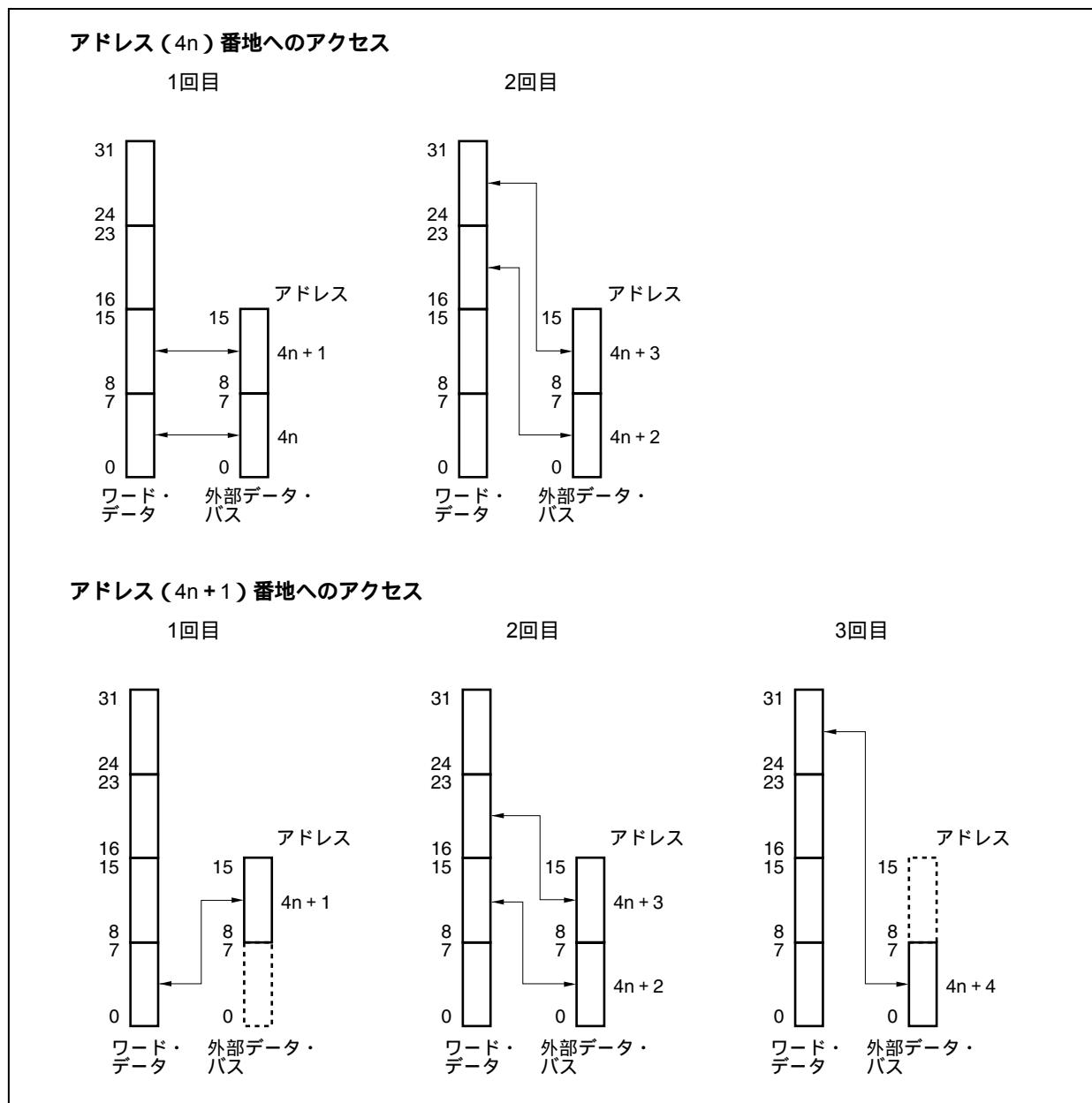


(b) 8ビット・データ・バス幅のとき

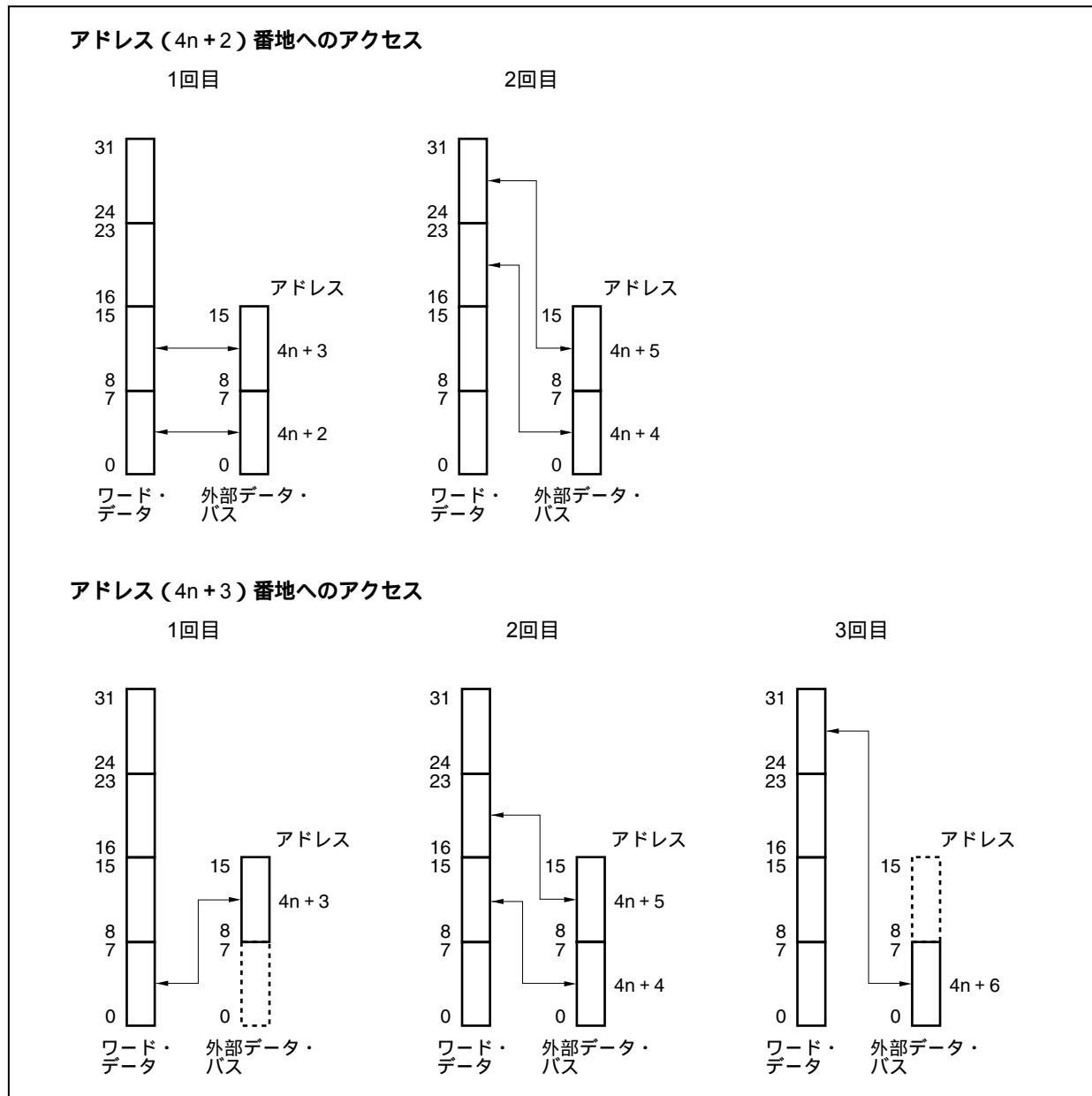


(4) ワード・アクセス(32ビット)

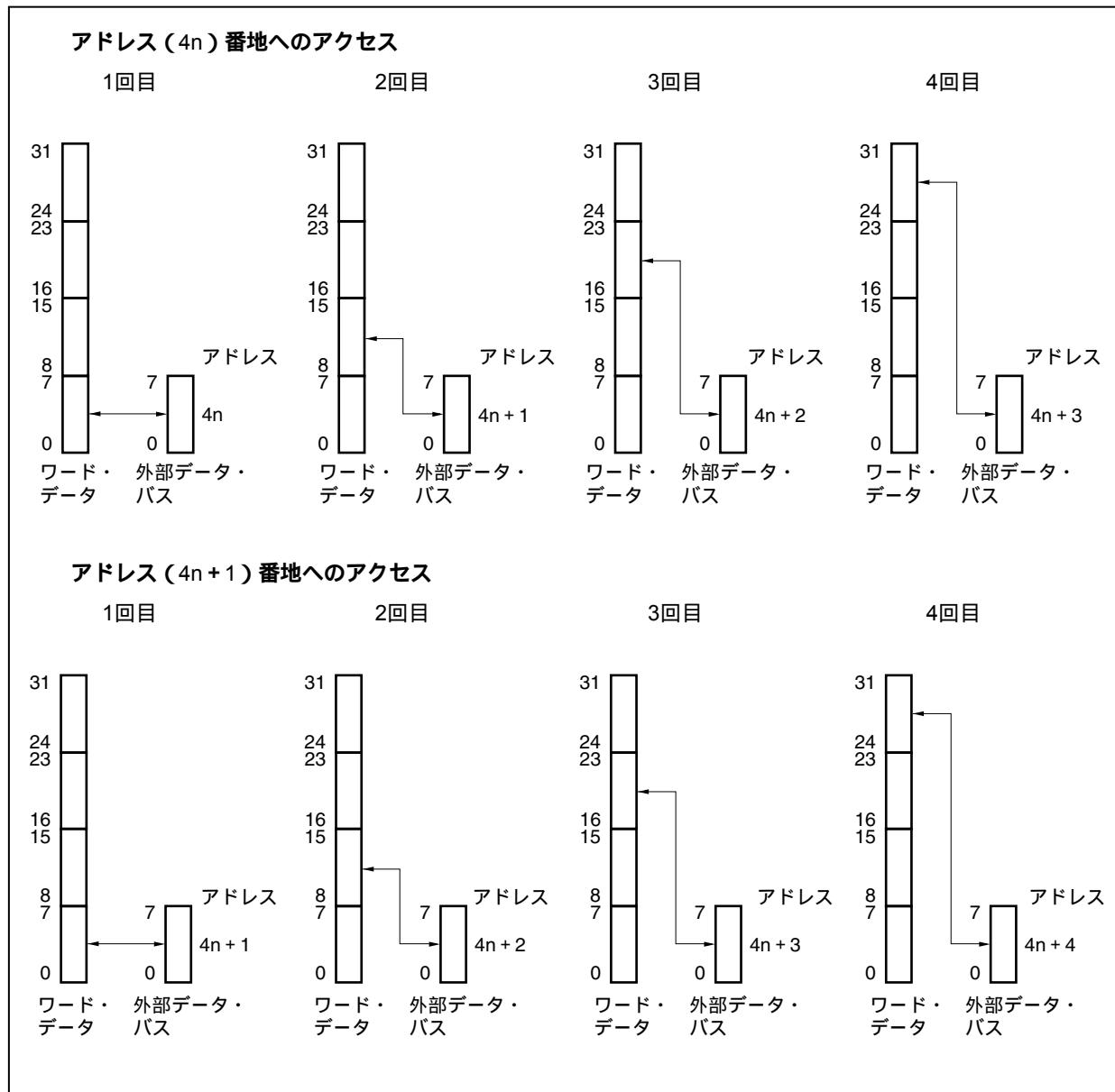
(a) 16ビット・データ・バス幅のとき(1/2)



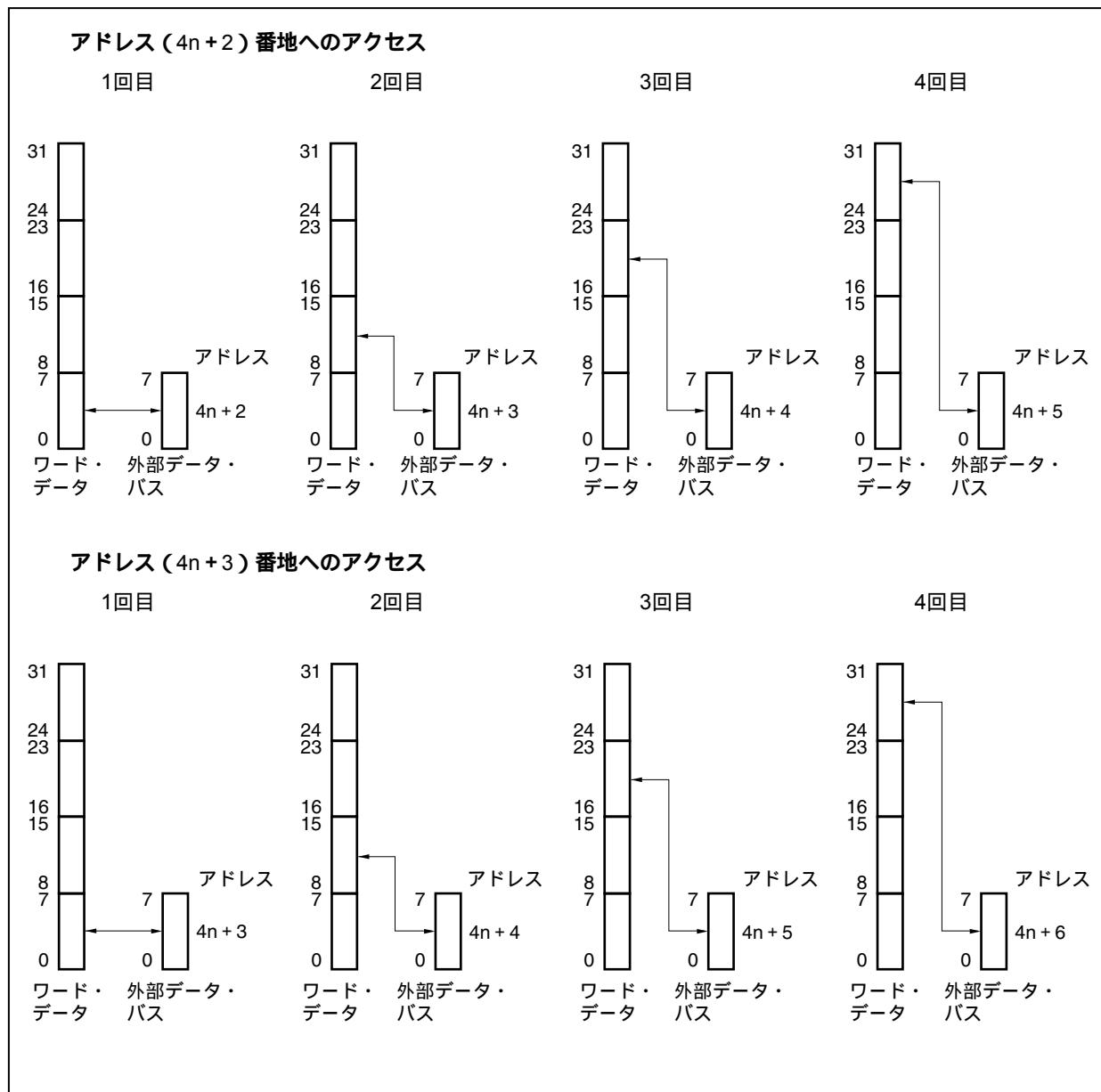
(a) 16ビット・データ・バス幅のとき (2/2)



(b) 8ビット・データ・バス幅のとき (1/2)



(b) 8ビット・データ・バス幅のとき(2/2)



5.6 ウエイト機能

5.6.1 プログラマブル・ウエイト機能

(1) データ・ウエイト・コントロール・レジスタ0 (DWC0)

低速メモリ、I/Oに対するインターフェースを容易に実現させることを目的とし、各メモリ・ブロック空間ごとに起動されるバス・サイクルに対し、最大7ステートのデータ・ウエイトを挿入可能です。

ウエイト数は、DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は、全ブロックに対して7データ・ウエイトの挿入状態になります。

16ビット単位でリード／ライト可能です。

リセットにより7777Hになります。

- 注意1. 内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウエイトの対象外で、常にノーワエイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウエイトの対象外で、各周辺機能からのウエイト制御だけ行われます。
2. DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時 : 7777H R/W アドレス : FFFFF484H



DWn2	DWn1	DWn0	メモリ・ブロックn空間の挿入ウエイト数 (n = 0-3)
0	0	0	挿入しない
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

注意 ビット15, 11, 7, 3には必ず0を設定してください。

5.6.2 外部ウエイト機能

極端に遅いメモリや、I/O、非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウエイト端子(WAIT)によりバス・サイクルに任意のウエイト・ステートを挿入することができます。

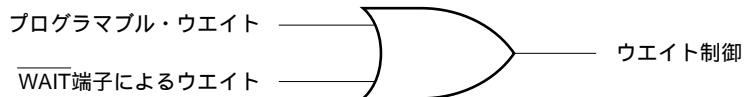
PCM0端子が兼用機能に設定されている場合に、外部ウエイト機能が有効になります。

内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウエイトと同様に、外部ウエイトによる制御はできません。

WAIT入力は、CLKOUTに対する非同期入力が可能で、マルチプレクス・バス時にはバス・サイクルのT2、TWステートのクロックの立ち下がりでサンプリングされます。セパレート・バス時にはバス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定／保持時間を満たさないときは、次のステートでウエイトを挿入するか、挿入しないかのどちらかになります。

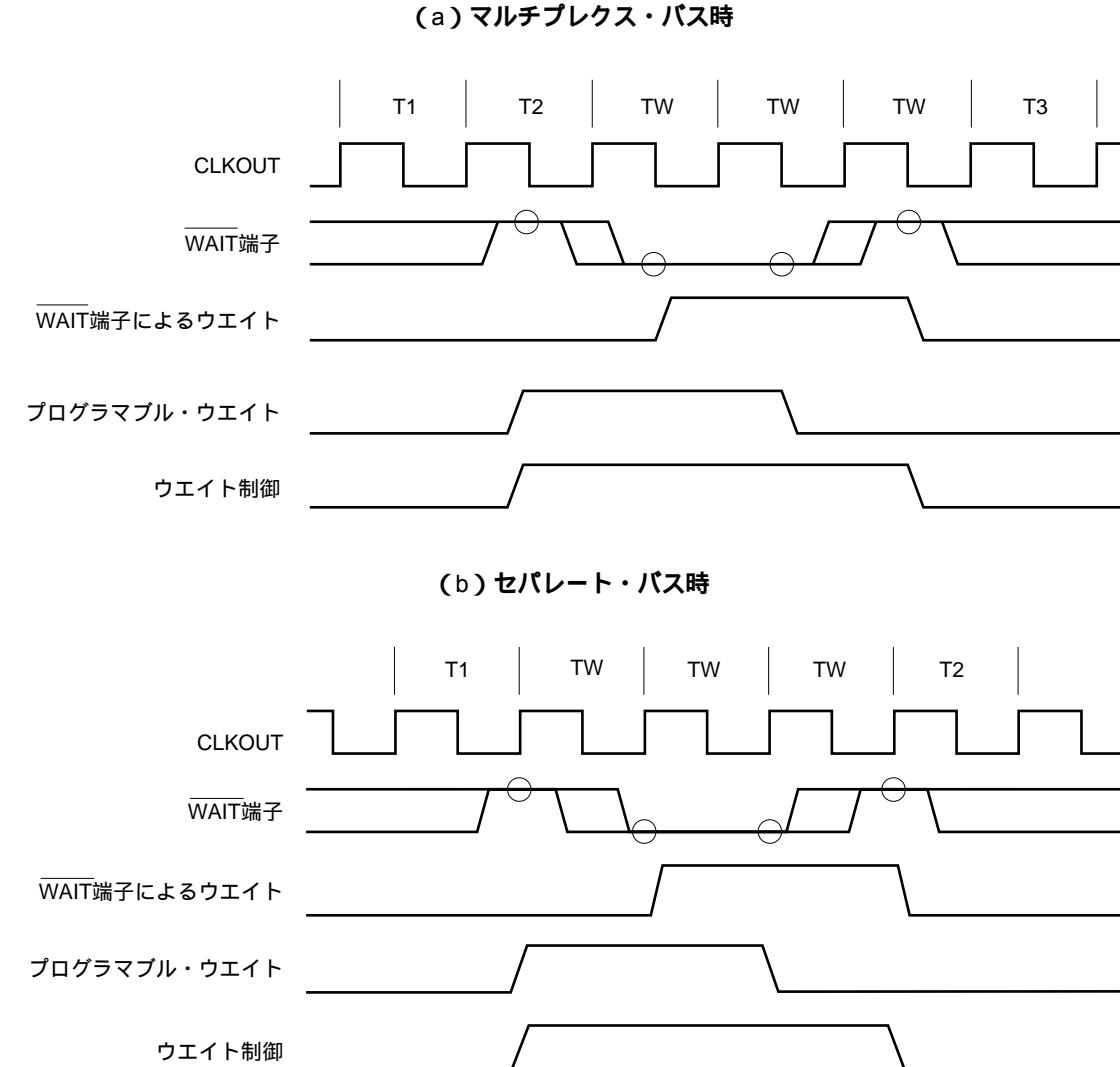
5.6.3 プログラマブル・ウェイトと外部ウェイトの関係

ウェイト・サイクルは、プログラマブル・ウェイトの設定値によるウェイト・サイクルと、WAIT端子制御によるウェイト・サイクルの論理和（OR）として挿入されます。



たとえば、プログラマブル・ウェイト、WAIT端子が次のようなタイミングのとき、バス・サイクルは、3ウェイトになります。

図5-3 ウェイト挿入例



備考 印はサンプリング・タイミングです。

5.6.4 プログラマブル・アドレス・ウェイト機能

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウェイト／アドレス・ホールド・ウェイトを設定できます。アドレス・ウェイト挿入は各メモリ・ブロック領域（メモリ・ブロック0-3）ごとに設定します。

アドレス・セットアップ・ウェイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウェイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウェイト・コントロール・レジスタ (AWC)

16ビット単位でリード／ライト可能です。

リセットによりFFFFHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウェイト／アドレス・ホールド・ウェイト挿入の対象外になります。
- 2.** AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時 : FFFFH R/W アドレス : FFFFF488H								
15	14	13	12	11	10	9	8	
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	AHW3	ASW3	AHW2	ASW2	AHW1	ASW1	AHW0	ASW0
	メモリ・ブロック3	メモリ・ブロック2	メモリ・ブロック1	メモリ・ブロック0				
AHWn	アドレス・ホールド・ウェイト挿入指定 (n = 0-3)							
0	挿入しない							
1	挿入する							
ASWn	アドレス・セットアップ・ウェイト挿入指定 (n = 0-3)							
0	挿入しない							
1	挿入する							

注意 ビット15-8には必ず1を設定してください。

5.7 アイドル・ステート挿入機能

低速メモリに対するインターフェースを容易に実現させることを目的とし、メモリ・ブロックで選択される空間ごとに起動されるバス・サイクルに対し、マルチプレクス・アドレス / データ・バス時にはT3ステート後に、1ステートのアイドル・ステート(TI)を挿入できます。また、セパレート・バス時には、T2ステート後に1ステートのアイドル・ステート(TI)を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます(ライト・アクセス時には、アイドル・ステートは挿入できません)。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル・コントロール・レジスタ (BCC)

16ビット単位でリード / ライト可能です。

リセットによりAAAAAHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。
- BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時 : AAAAH R/W アドレス : FFFFF48AH													
	15	14	13	12	11	10	9	8					
BCC	1	0	1	0	1	0	1	0					
	7	6	5	4	3	2	1	0					
	BC31	0	BC21	0	BC11	0	BC01	0					
メモリ・ブロック3		メモリ・ブロック2		メモリ・ブロック1		メモリ・ブロック0							
BCn1		アイドル・ステート挿入指定 (n = 0-3)											
0		挿入しない											
1		挿入する											

注意 ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.8 バス・ホールド機能

5.8.1 機能概要

PCM2, PCM3端子が兼用機能に設定されていれば, HLDREQ, HLDACK機能が有効になります。

ほかのバス・マスタからのバス獲得要求としてHLDREQ端子がアクティブ(ロウ・レベル)になったことを受け付けると, 外部アドレス / データ・バスをハイ・インピーダンス状態にし, 解放します(バス・ホールド状態)。HLDREQ端子がインアクティブ(ハイ・レベル)になりバス獲得要求が解除されれば, 再びこれらの端子の駆動を開始します。

バス・ホールド期間中は, 内蔵周辺I/Oレジスタ・アクセスあるいは, 外部メモリ・アクセスがあるまで, 内蔵ROM, 内蔵RAMからのプログラムの実行を継続します。

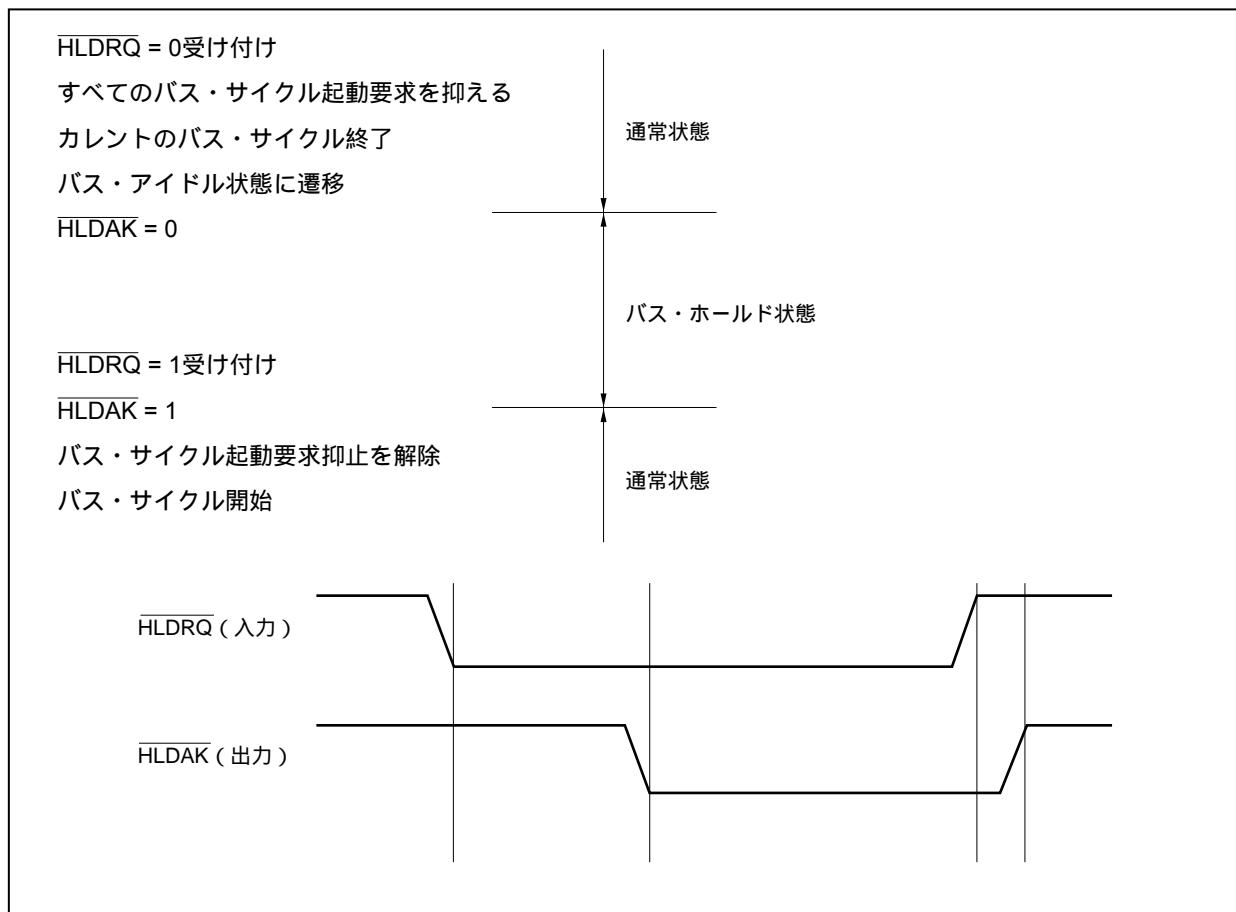
バス・ホールド状態は, HLDACK端子がアクティブ(ロウ・レベル)になったことにより知ることができます。マルチプロセッサ構成など, バス・マスタが複数存在するようなシステムを構成できます。

なお, バス・サイジングおよびピット操作命令による複数アクセスのサイクル中は, バス・ホールド要求を受け付けません。

状態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間
			2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
		ハーフワード・アクセス	1回目と2回目の間
ピット操作命令のリード・モディファイ・ライト・アクセス	-	-	リード・アクセスとライト・アクセスの間

5.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。



5.8.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLE1, IDLE2モード期間中は、内部システム・クロックが停止するため、HLDRQ端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、HLDRQ端子がアクティブになると、ただちにHLDACK端子がアクティブになり、バス・ホールド状態になります。その後、HLDRQ端子がインアクティブになると、HLDACK端子もインアクティブになります。バス・ホールド状態は解除されます。

5.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、DMA転送、オペランド・データ・アクセス、命令フェッチ(分岐)、命令フェッチ(連続)の5つがあります。

優先順位はバス・ホールドが最も高く、DMA転送、オペランド・データ・アクセス、命令フェッチ(分岐)、命令フェッチ(連続)の順で低くなります。

リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5-4 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↓	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ(分岐)	CPU
	命令フェッチ(連続)	CPU

5.10 パス・タイミング

図5-4 マルチプレクス・バス・リード・タイミング(バス・サイズ: 16ビット, 16ビット・アクセス時)

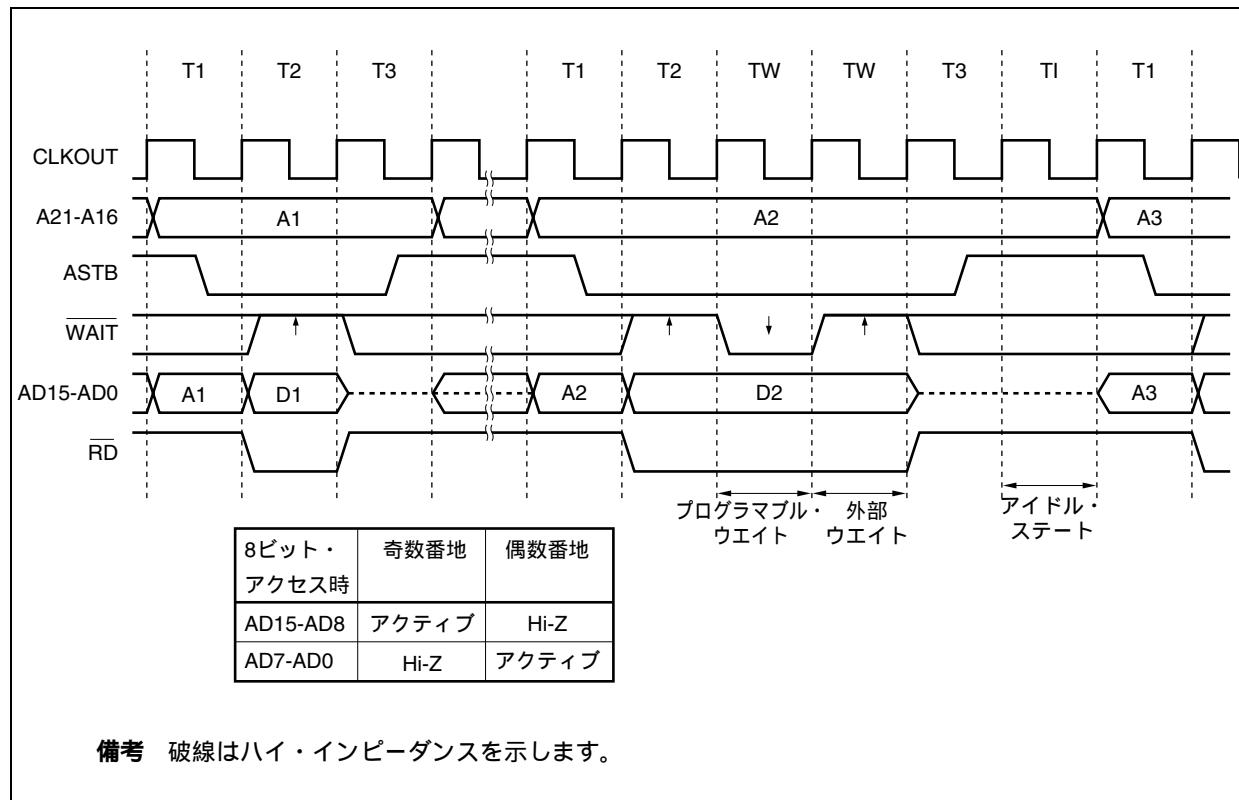


図5-5 マルチプレクス・バス・リード・タイミング(バス・サイズ: 8ビット)

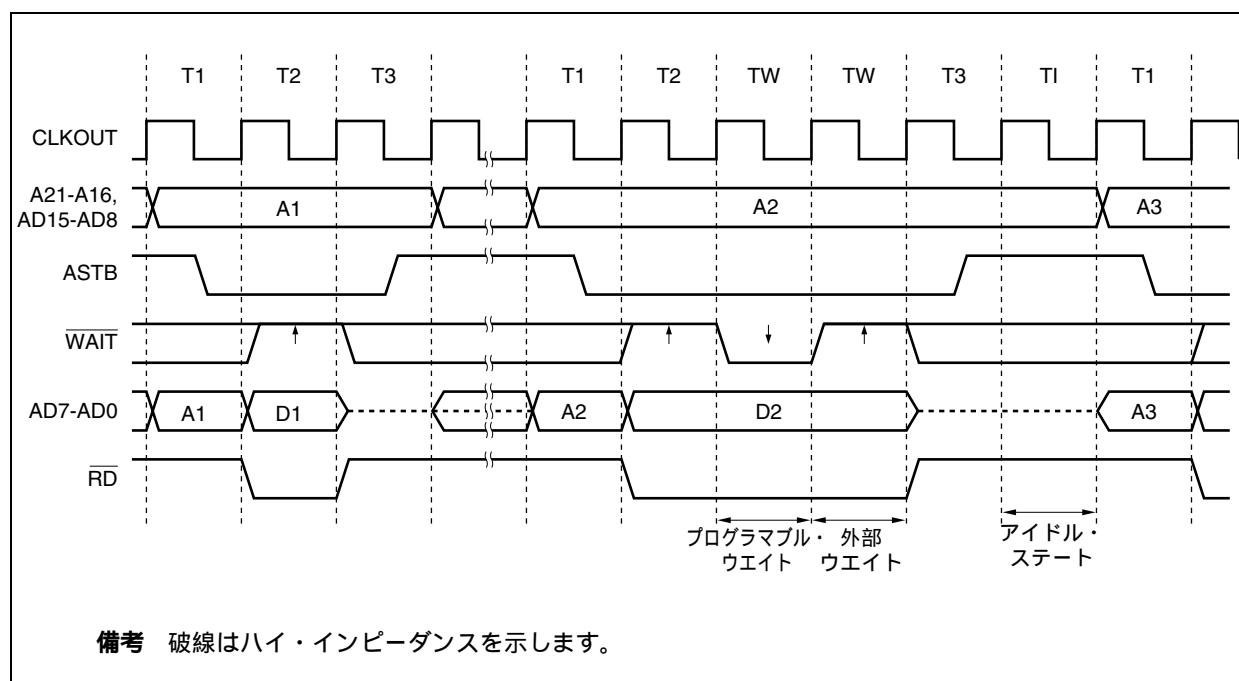


図5-6 マルチプレクス・バス・ライト・タイミング(バス・サイズ:16ビット, 16ビット・アクセス時)

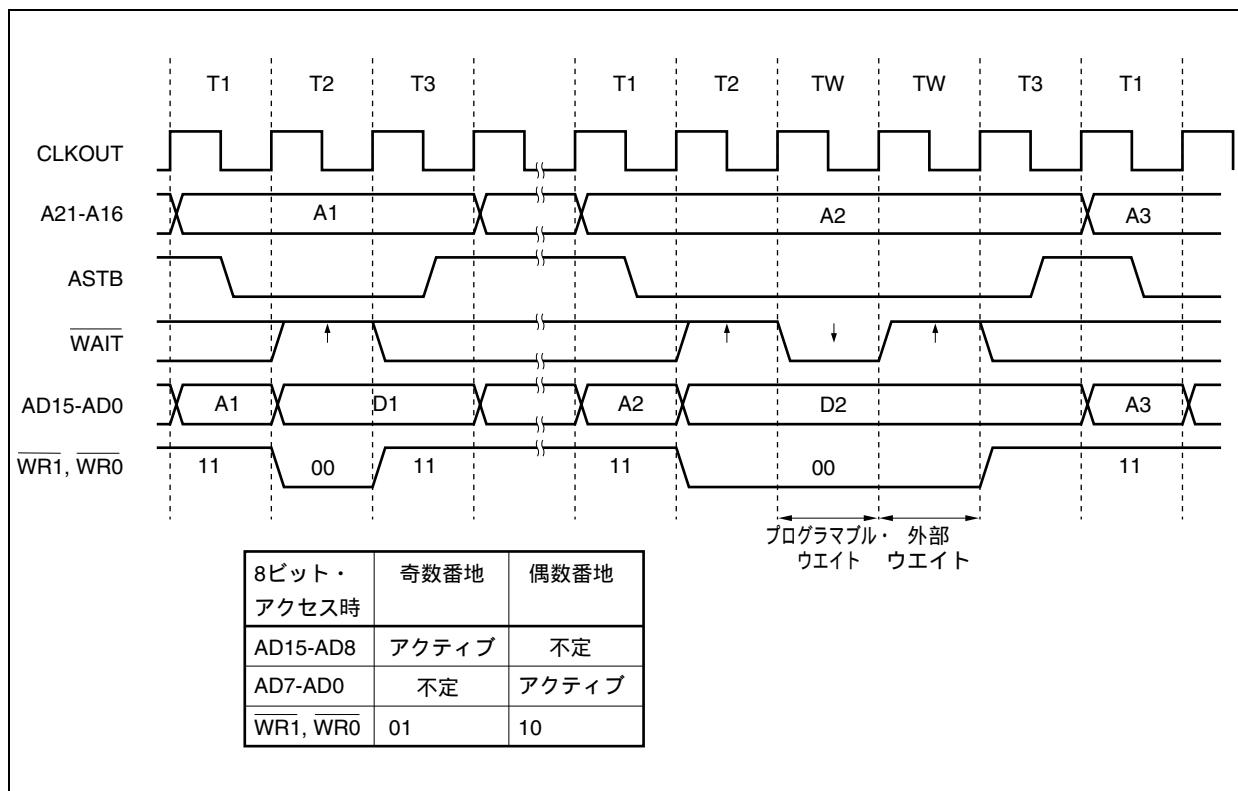


図5-7 マルチプレクス・バス・ライト・タイミング(バス・サイズ:8ビット)

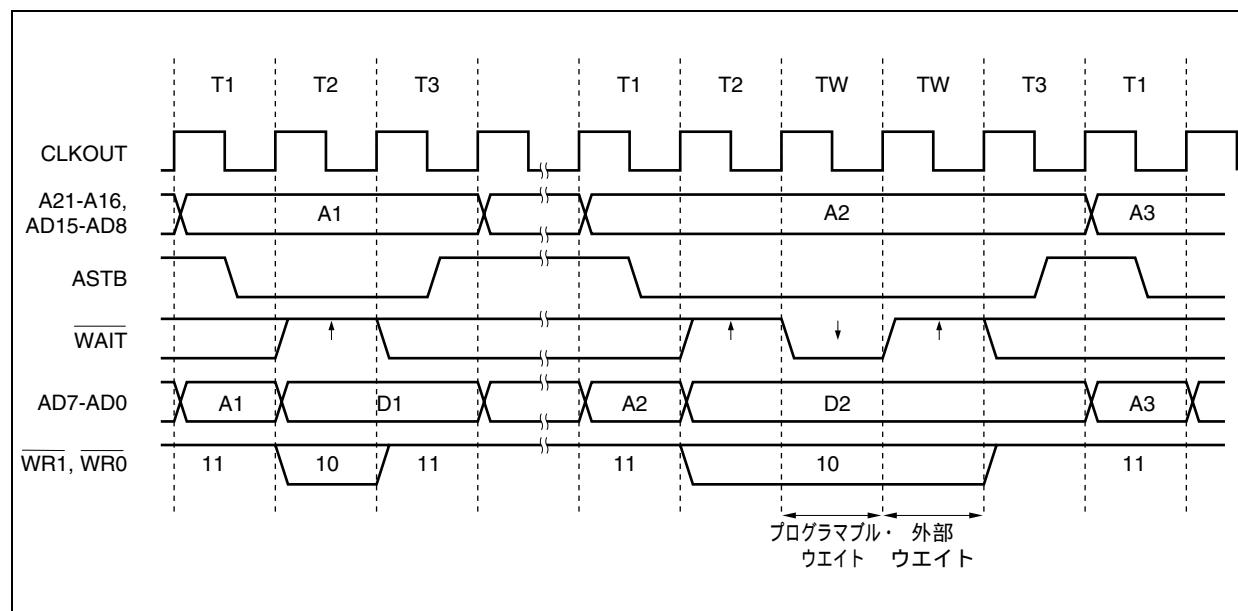


図5-8 マルチプレクス・バス・ホールド・タイミング(バス・サイズ:16ビット, 16ビット・アクセス時)

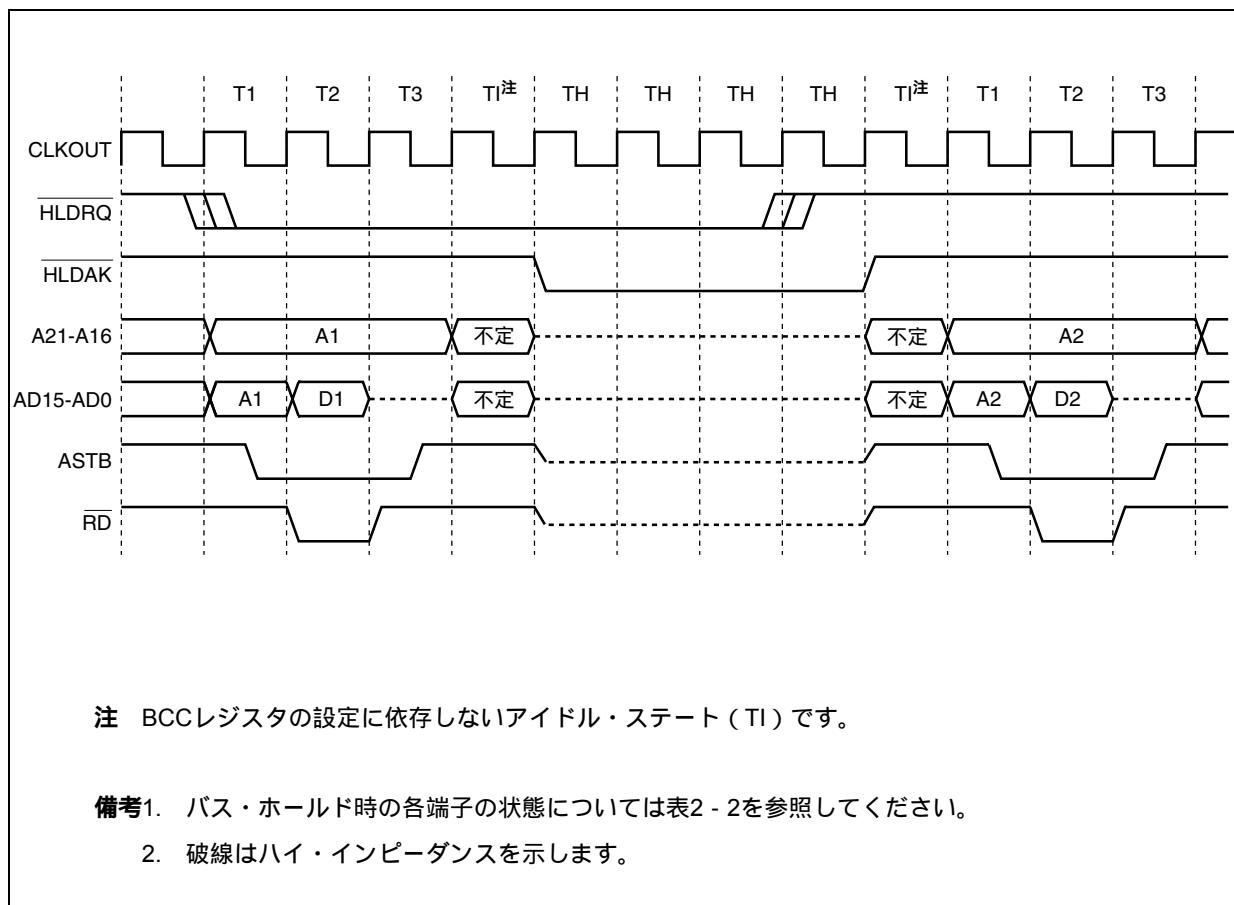


図5-9 セパレート・バス・リード・タイミング(バス・サイズ:16ビット, 16ビット・アクセス時)

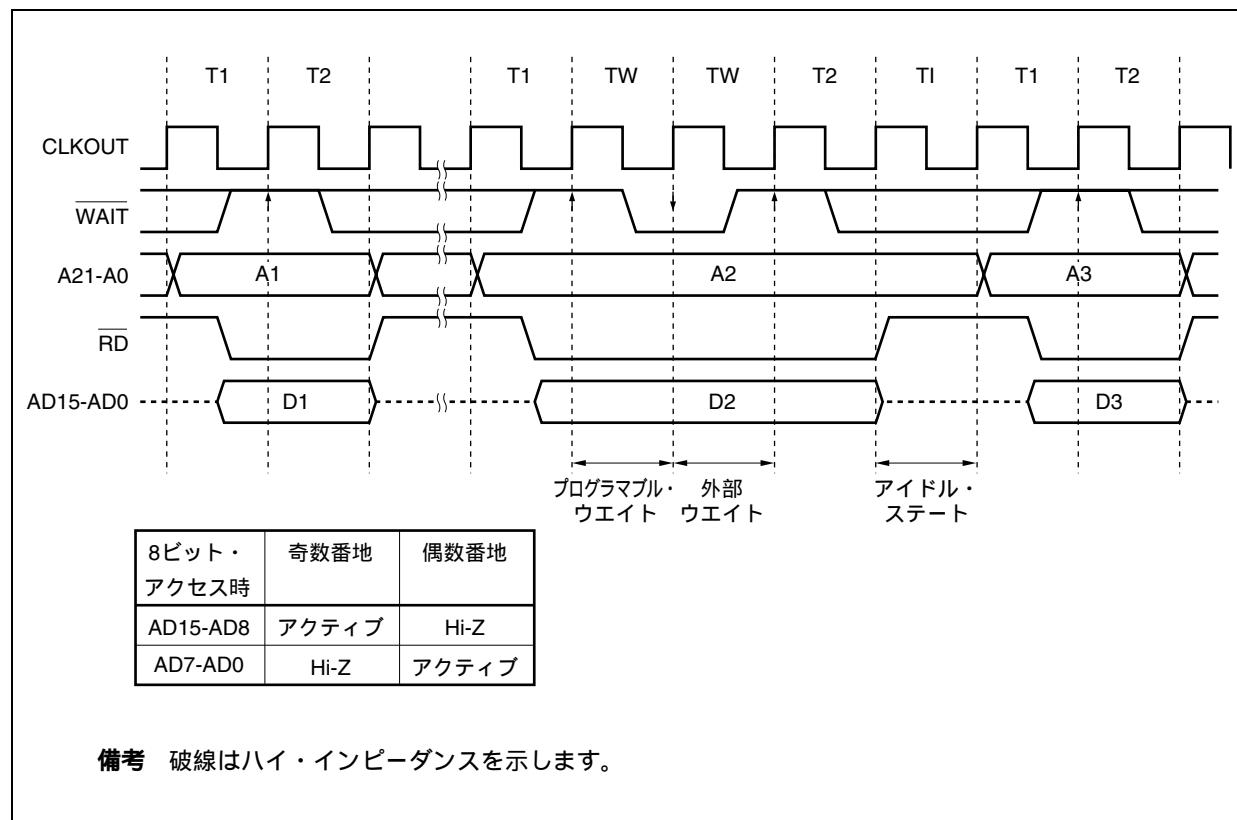


図5-10 セパレート・バス・リード・タイミング(バス・サイズ:8ビット)

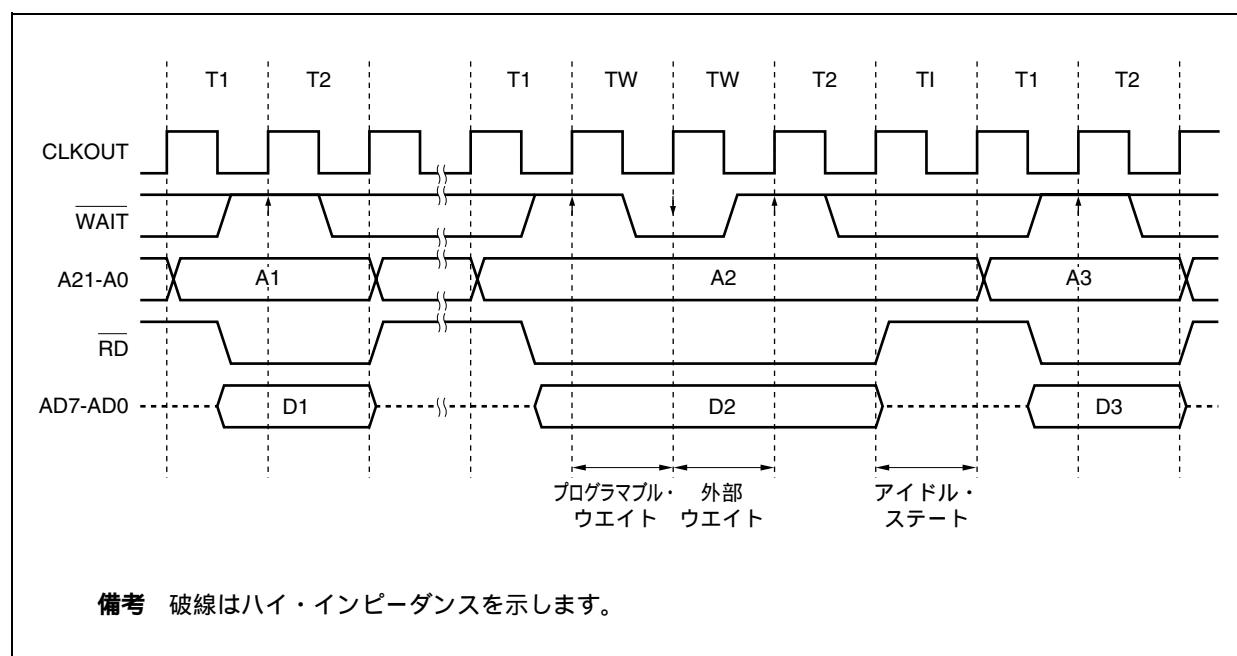


図5-11 セパレート・バス・ライト・タイミング(バス・サイズ:16ビット, 16ビット・アクセス時)

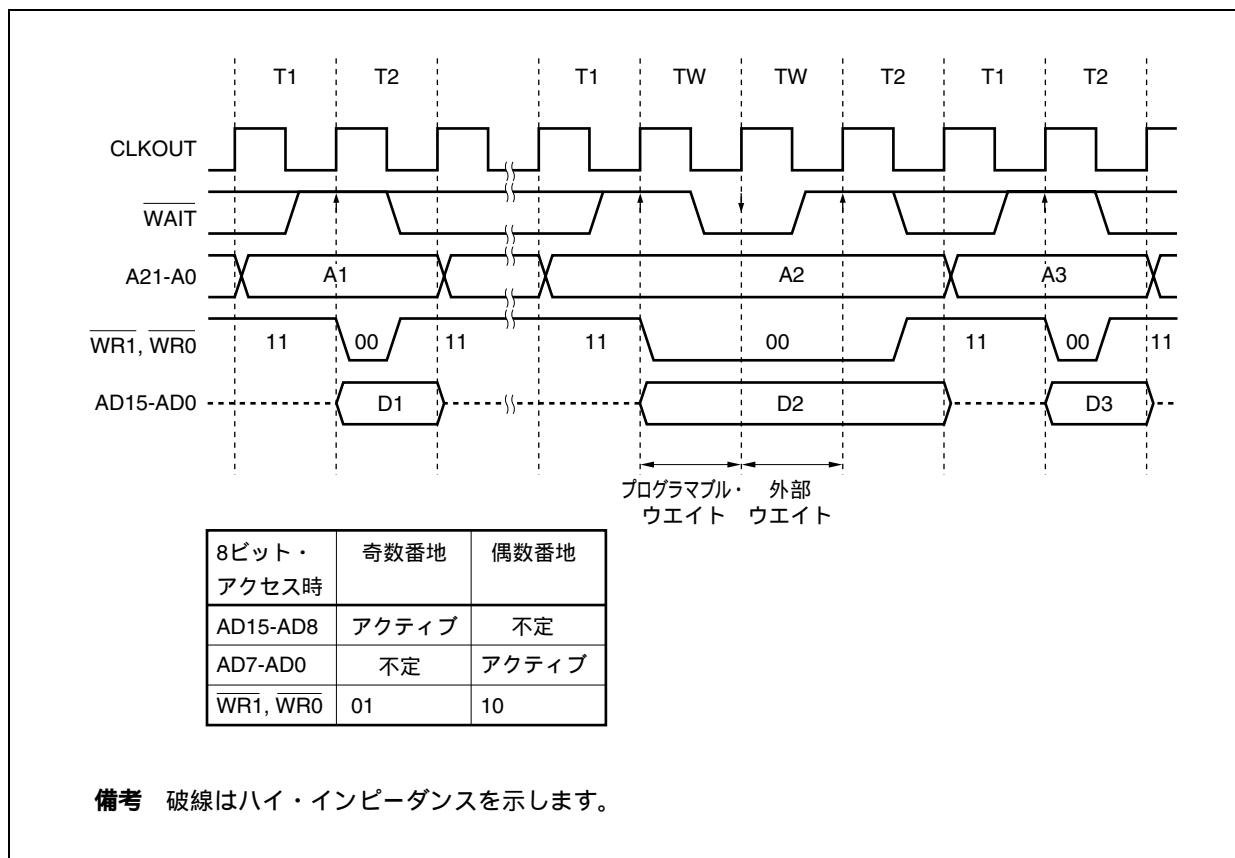


図5-12 セパレート・バス・ライト・タイミング(バス・サイズ:8ビット)

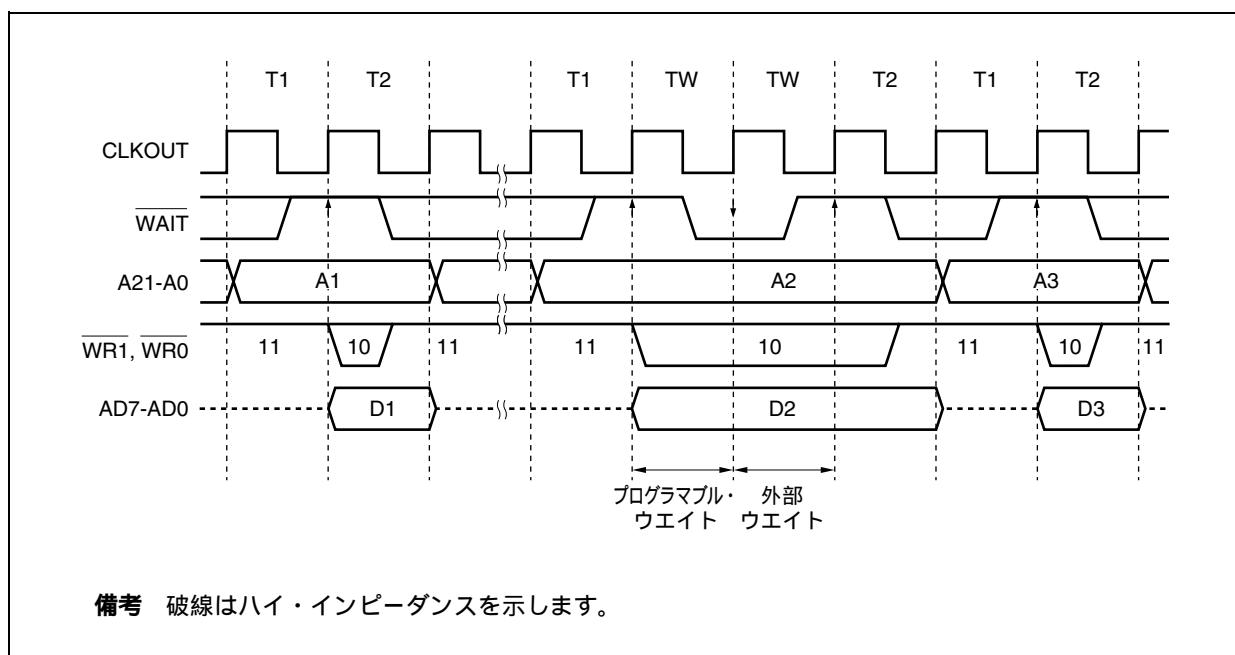
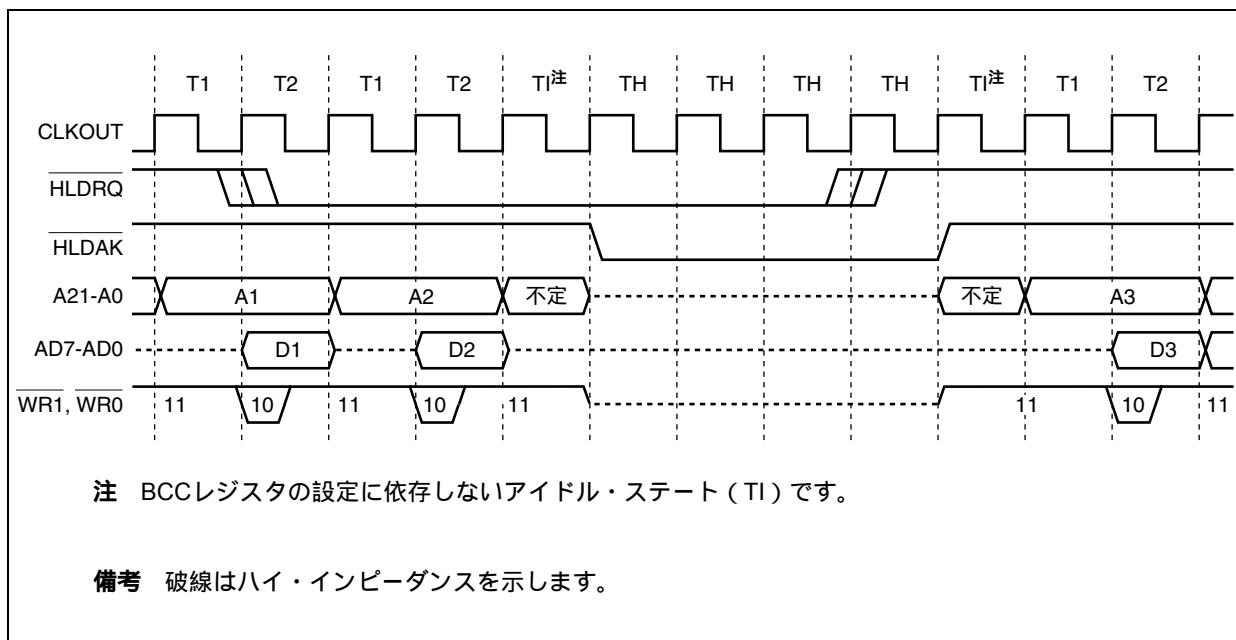
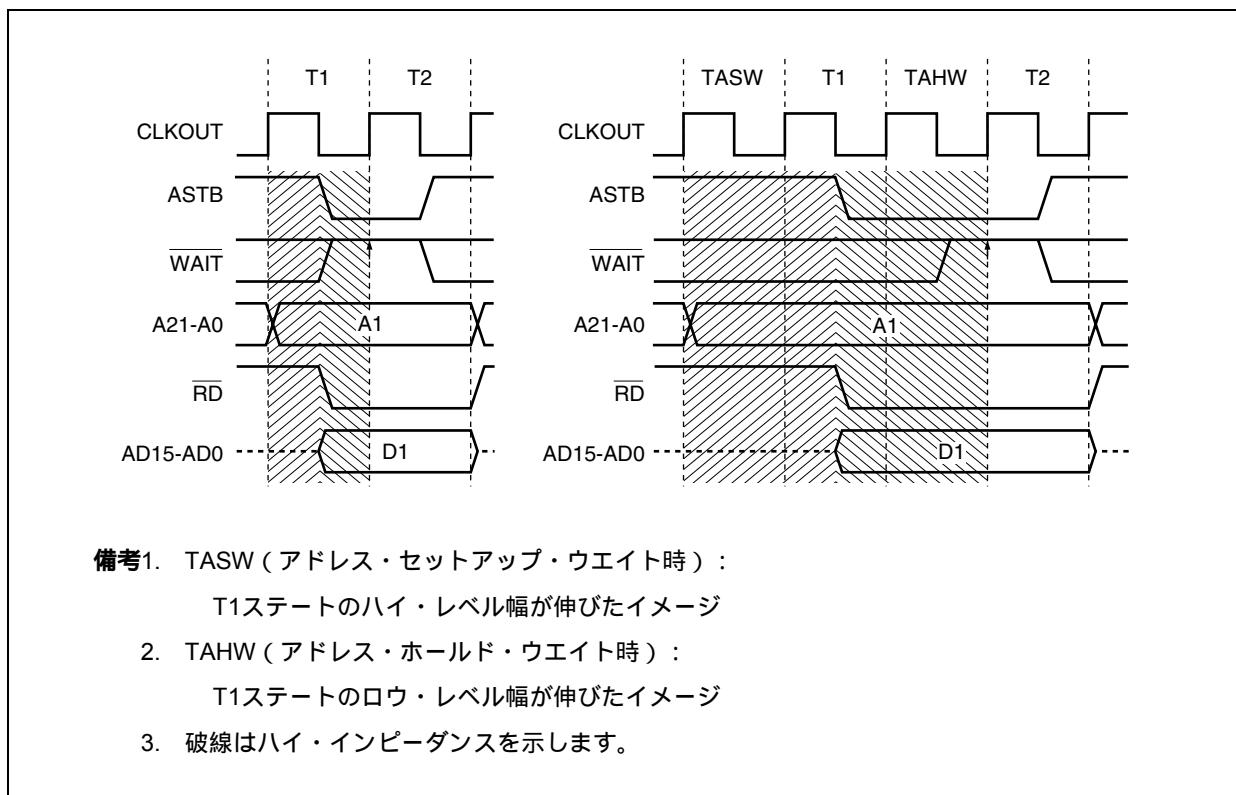


図5-13 セパレート・バス・ホールド・タイミング(バス・サイズ:8ビット,ライト時)

図5-14 アドレス・ウェイト・タイミング
(セパレート・バス・リード, バス・サイズ:16ビット, 16ビット・アクセス時)

第6章 クロック発生機能

6.1 概 要

クロック発生機能の概要を次に示します。

メイン・クロック発振回路

- ・クロック・スルー・モード時

$f_x = 2.5 \sim 10 \text{ MHz}$ ($f_{xx} = 2.5 \sim 10 \text{ MHz}$)

- ・PLLモード時

$f_x = 2.5 \sim 5 \text{ MHz}$ ($f_{xx} = 10 \sim 20 \text{ MHz}$)

サブクロック発振回路

- ・ $f_{XT} = 32.768 \text{ kHz}$

PLL (Phase Locked Loop) による倍増機能 (4倍/8倍)

- ・クロック・スルー・モード/PLLモード選択可

内蔵発振器

- ・ $f_R = 200 \text{ kHz}$ (TYP.)

内部システム・クロックの生成

- ・7段階 ($f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{XT}$)

周辺クロックの生成

クロック出力機能

備考 f_x : メイン・クロック発振周波数

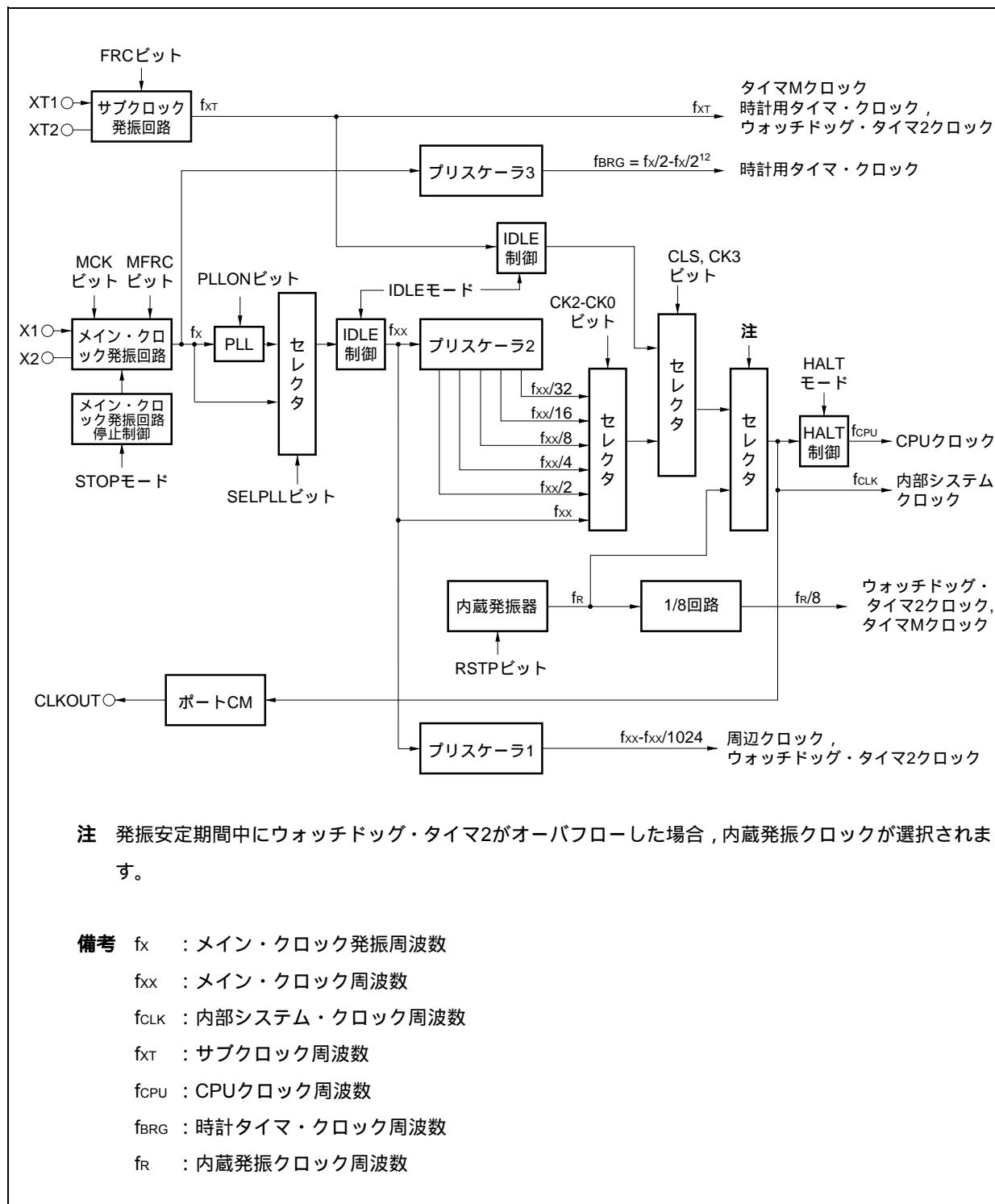
f_{xx} : メイン・クロック周波数

f_{XT} : サブクロック周波数

f_R : 内蔵発振クロック周波数

6.2 構成

図6-1 クロック発生回路



(1) メイン・クロック発振回路

次の周波数 (f_x) を発振します。

- ・クロック・スルー・モード時

$$f_x = 2.5 \sim 10 \text{ MHz}$$

- ・PLLモード時

$$f_x = 2.5 \sim 5 \text{ MHz}$$

(2) サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時、またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき、メイン・クロック発振回路の発振を停止します。

(4) 内蔵発振器

200 kHz (TYP.) の周波数 (f_R) を発振します。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx-fxx/1024}$) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP5, TMQ0, TMM0, CSIB0-CSIB4, UARTA0-UARTA2, I²C00-I²C02, ADC, WDT2

(6) プリスケーラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU})、内部システム・クロック (f_{CLK}) を生成するセレクタに、プリスケーラ2で生成したクロック ($f_{xx-fxx/32}$) を供給します。

なお、 f_{CLK} は、INTC, ROM, RAMブロックに供給するクロックで、CLKOUT端子から出力できます。

(7) プリスケーラ3

メイン・クロック発振回路で生成するクロック (f_x) を所定の周波数 (32.768 kHz) まで分周する回路で、時計用タイマ・ブロックに供給します。

詳細は、第10章 時計タイマ機能を参照してください。

(8) PLL

メイン・クロック発振回路で生成するクロック (f_x) を4倍または8倍します。

PLLCTL.SELPLLビットにより、 f_x をそのまま出力するクロック・スルー・モードと、倍増クロックを出力するPLLモードを選択します。

また、CKC.CKDIV0ビットにより4倍または8倍を選択し、PLLCTL.PLLONビットによりPLLを動作、停止します。

6.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4. 7 特定レジスタ参照)。

8/1ビット単位でリード / ライト可能です。

リセットにより03Hになります。

リセット時 : 03H R/W アドレス : FFFFF828H

	7	(6)	5	(4)	(3)	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
<ul style="list-style-type: none"> ・CPUクロックがメイン・クロックで動作中にMCKビットをセット(1)しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。 ・MCKビットを0から1にセットする前に、メイン・クロックで動作している内蔵周辺機能を停止してください。 ・メイン・クロックを停止させてサブクロックで動作している場合に、再度CPUクロックをメイン・クロックに切り替えるとき、または内蔵周辺機能を動作させたいときは、MCKビットをクリア(0)し、ソフトウェアで発振安定時間を確保したあとにCPUクロックを切り替え、または内蔵周辺機能を動作させてください。 	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック (f_{CPU}) の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択 (f_{CLK}/f_{CPU})
0	0	0	0	f_{xx}
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	X	設定禁止
1	X	X	X	f_{XT}

注 CLSビットはリードのみ可能です。

- 注意1. CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。
2. CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。

備考 X : 任意

(a) メイン・クロック動作 サブクロック動作の設定例

CK3ビット 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
 サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。
 最大 : $1/f_{XT}$ (1/サブクロック周波数)
 MCKビット 1 : メイン・クロックを停止するときだけ、MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

内部システム・クロック (f_{CLK}) > サブクロック ($f_{XT} : 32.768\text{ kHz}$) $\times 4$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{xx}) から生成するクロック

[記述例]

```
_DMA_DISABLE :
clr1      0, DCHCn[r0]           -- DMA動作禁止 n = 0~3

_SET_SUB_RUN :
st.b      r0, PRCMD[r0]
set1      3, PCC[r0]           -- CK3ビット 1

_CHECK_CLS :
tst1      4, PCC[r0]           -- サブクロック動作に切り替わるまでウエイト
bz       _CHECK_CLS

_STOP_MAIN_CLOCK :
st.b      r0, PRCMD[r0]
set1      6, PCC[r0]           -- MCKビット 1, メイン・クロック停止

_DMA_ENABLE :
set1      0, DCHCn[r0]           -- DMA動作許可 n=0~3
```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(b) サブクロック動作 メイン・クロック動作の設定例

MCKビット 0 : メイン・クロック発振開始

プログラムによりウエイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。

CK3ビット 0 : ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。

メイン・クロック動作 : CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大 : $1/f_{XT}$ (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、またはCLSビットをリードして、メイン・クロック動作に切り替わったかどうかを確認してください。

注意 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]           -- DMA動作禁止 n = 0~3

_START_MAIN_OSC :
st.b      r0, PRCMD[r0]          -- 特定レジスタ、プロテクション解除
clr1      6, PCC[r0]             -- メイン・クロック発振開始
movea    0x55, r0, r11           -- 発振安定時間待ち

_WAIT_OST :
nop
nop
nop
addi     -1, r11, r11
cmp      r0, r11
bne      _WAIT_OST
st.b      r0, PRCMD[r0]
clr1      3, PCC[r0]             -- CK3 0

_CHECK_CLS :
tstl     4, PCC[r0]             -- メイン・クロック動作に切り替わるまでウエイト
bnz      _CHECK_CLS

_DMA_ENABLE :
set1      0, DCHCn[r0]           -- DMA動作許可 n = 0~3

```

備考 この記述例はあくまでも一例です。特に、において閉ループでCLSビットをリードしていますので、注意してください。

(2) 内蔵発振モード・レジスタ (RCM)

RCMレジスタは、内蔵発振器の動作モードの設定を行う8ビット・レジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF80CH

RCM	7	6	5	4	3	2	1	①
	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振 / 停止
0	内蔵発振器発振
1	内蔵発振器停止

- 注意1. CPUが内蔵発振クロックで動作している間(CCLS.CCLSFビット = 1)は内蔵発振器を停止できません。RSTOPビットをセット(1)しないでください。
2. RSTOPビットがセット(1)されている場合でも,CCLS.CCLSFビットがセット(1)されると(発振安定時間中にWDTオーバフローが発生),内蔵発振器は発振します。このときRSTOPビットはセット(1)されたままです。

(3) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。
8/1ビット単位でリードのみ可能です。
リセットにより00Hになります。

リセット時 : 00H^注 R アドレス : FFFFF82EH

CCLS	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	CCLSF

CCLSF	CPU動作クロックの状態
0	メイン・クロック (f_x) またはサブクロック (f_{XT}) で動作
1	内蔵発振クロック (f_R) で動作

注 リセット解除後の発振安定時間中にWDTオーバフローが発生した場合,CCLSFビットがセット(1)され,リセット値は01Hになります。

6.4 動 作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6-1 各クロックの動作状態

レジスタ設定および動作状態 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リセット中	発振安定 時間カウ ント中	HALT モード	IDLE1, IDLE2 モード	STOP モード	サブ クロック・ モード	サブIDLE モード	サブ クロック・ モード	サブ IDLE モード
メイン・クロック発振回路(f_x)	×				×			×	×
サブクロック発振回路(f_{xt})									
CPUクロック(f_{CPU})	×	×	×	×	×		×		×
内部システム・クロック(f_{CLK})	×	×		×	×		×		×
メイン・クロック (PLLモード時, f_{xx})	×	注		×	×			×	×
周辺クロック($f_{xx}-f_{xx}/1024$)	×	×		×	×		×	×	×
WTクロック(メイン)	×				×			×	×
WTクロック(サブ)									
WDT2クロック(内蔵発振)	×								
WDT2クロック(メイン)	×	×		×	×		×	×	×
WDT2クロック(サブ)									

注 ロックアップ時間

備考 : 動作可能

× : 停止

6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック(f_{CLK})をCLKOUT端子から出力します。

内部システム・クロック(f_{CLK})は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子はPCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は表6-1の内部システム・クロックと同じ状態になり、(動作可能)のときにクロックを出力できます。また、×(停止)のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード(PCM1端子:入力モード)となるので、端子の状態はHi-Zになります。

6.5 PLL機能

6.5.1 概 要

V850ES/JG2では、CPUおよび内蔵周辺機能の動作クロックとしてPLL機能による発振周波数の4倍/8倍出力とクロック・スルーモードを選択できます。

PLL機能使用時 : 入力クロック = 2.5~5 MHz (出力10~20 MHz)

クロック・スルーモード : 入力クロック = 2.5~10 MHz (出力2.5~10 MHz)

6.5.2 レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時 : 01H R/W アドレス : FFFFF82CH

	7	6	5	4	3	2	①	②
PLLCTL	0	0	0	0	0	0	SELPLL	PL隆ON

PL隆ON	PLL動作停止レジスタ
0	PLL停止
1	PLL動作 (PLLを動作開始後、周波数が安定するまで所定のロックアップ時間が必要)

SELPLL	CPU動作クロック選択レジスタ
0	クロック・スルーモード
1	PLLモード

- 注意1. PL隆ONビット = 0に設定すると、自動的にSELPLLビット = 0(クロック・スルーモード)になります。
2. SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき(アンロック中)にSELPLLビットをライトすると“0”がライトされます。

(2) クロック・コントロール・レジスタ (CKC)

CKCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 参照)

4.7 特定レジスタ参照

CKCレジスタは、PLLモード時の内部システム・クロックを制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより0AHになります。

リセット時 : 0AH R/W アドレス : FFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	1	0	1	CKDIV0

CKDIV0	PLLモード時の内部システム・クロック (f_{xx})
0	$f_{xx} = 4 \times f_x$ ($f_x = 2.5 \sim 5.0$ MHz)
1	$f_{xx} = 8 \times f_x$ ($f_x = 2.5$ MHz)

- 注意1. $f_x = 5.0 \sim 10.0$ MHzではPLLモードは使用できません。
- 2. CKCレジスタで4倍/8倍を切り替える場合は、クロック・スルーモードに設定し、PLLを停止してから倍率を変更してください。
- 3. ビット3, 1には必ず1を設定し、ビット7-4, 2には必ず0を設定してください。

備考 CKCレジスタでの分周は、CPUクロックと周辺クロックの両方が対象となります。PCCレジスタでの分周は、CPUクロックのみ対象になります。

(3) ロック・レジスタ (LOCKR)

電源投入後、またはSTOPモード解除直後から所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をロックアップ状態と呼び、安定した状態をロック状態と呼びます。

LOCKRレジスタには、PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時 : 00H R アドレス : FFFFF824H

LOCKR	7	6	5	4	3	2	1	①
	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック（ロックしていない）状態

注意 LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット／クリア条件は次のとおりです。

【セット条件】

- ・システム・リセット時^注
- ・IDLE2, STOPモード時
- ・PLL停止を設定した時 (PLLCTL.PLLONビットに“0”を設定)
- ・CPUをサブクロック動作としメイン・クロックを停止したとき (PCC.CK3ビットに“1”を設定し, PCC.MCKビットに“1”を設定)

注 リセットで01Hになり、リセット解除後の発振安定時間経過後に00Hになります。

【クリア条件】

- ・リセット解除後の発振安定用タイマのオーバフロー (OSTSレジスタの初期値の時間 (21.2(3) 発振安定時間選択レジスタ (OSTS) 参照))
- ・PLL動作状態でSTOPモードを設定した場合の, STOPモード解除後の発振安定用タイマのオーバフロー (OSTSレジスタで時間設定)
- ・PLLCTL.PLLONビットを0 1に設定した時の, PLLロックアップ時間タイマのオーバフロー (PLLSレジスタで時間設定)
- ・PLL動作状態でIDLE2モードを設定した場合の, IDLE2モード解除時に挿入されるセットアップ時間解除後 (OSTSレジスタで時間設定)

(4) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0~1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより03Hになります。

リセット時 : 03H R/W アドレス : FFFFF6C1H

PLLS	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	$2^{10}/f_x$
0	1	$2^{11}/f_x$
1	0	$2^{12}/f_x$
1	1	$2^{13}/f_x$ (初期値)

- 注意1. ロックアップ時間は、800 μ s以上になるように設定してください。
 2. ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。

6.5.3 使用方法

(1) PLLを使用する場合

- リセット解除後は、PLLは動作（PLLCTL.PLLONビット = 1）していますが、初期設定はクロック・スルーモード（PLLCTL.SELPLLビット = 0）のため、PLLモード（SELPLLビット = 1）に変更してください。
- PLLを動作させる場合はPLLONビット = 1として、LOCKR.LOCKビット = 0となってからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルーモード（SELPLLビット = 0）として、8クロック以上後に、PLL停止（PLLONビット = 0）してください。
- IDLE2/STOPモードへ遷移時は、設定にかかわらずPLLは停止しますが、IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

(a) クロック・スルーモード時にIDLE2/STOPモードへ遷移する場合

- STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- IDLE2モード：セットアップ時間が350 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

(b) PLL動作モードのままIDLE2/STOPモードへ遷移する場合

- STOPモード：発振安定時間が1 ms (MIN.) 以上となるようにOSTSレジスタを設定してください。
- IDLE2モード：セットアップ時間が800 μ s (MIN.) 以上となるようにOSTSレジスタを設定してください。

IDLE1モードへ遷移時は、PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- リセット解除後は、クロック・スルーモード（SELPLLビット = 0）ですが、PLLは動作（PLLONビット = 1）しているので、PLLを停止（PLLONビット = 0）してください。

第7章 16ビット・タイマ/イベント・カウンタP(TMP)

タイマP(TMP)は、16ビットのタイマ/イベント・カウンタです。

V850ES/JG2は、TMP0-TMP5を内蔵しています。

7.1 概 要

TMPnの概要を次に示します。

- | | |
|-------------------------|-------|
| ・クロック選択 | : 8通り |
| ・キャプチャ・トリガ入力端子 | : 2本 |
| ・外部イベント・カウント入力端子 | : 1本 |
| ・外部トリガ入力端子 | : 1本 |
| ・タイマ・カウンタ | : 1本 |
| ・キャプチャ / コンペア・レジスタ | : 2本 |
| ・キャプチャ / コンペア一致割り込み要求信号 | : 2本 |
| ・タイマ出力端子 | : 2本 |

備考 n = 0-5

7.2 機 能

TMPnの機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

備考 n = 0-5

7.3 構成

TMPnは、次のハードウェアで構成されています。

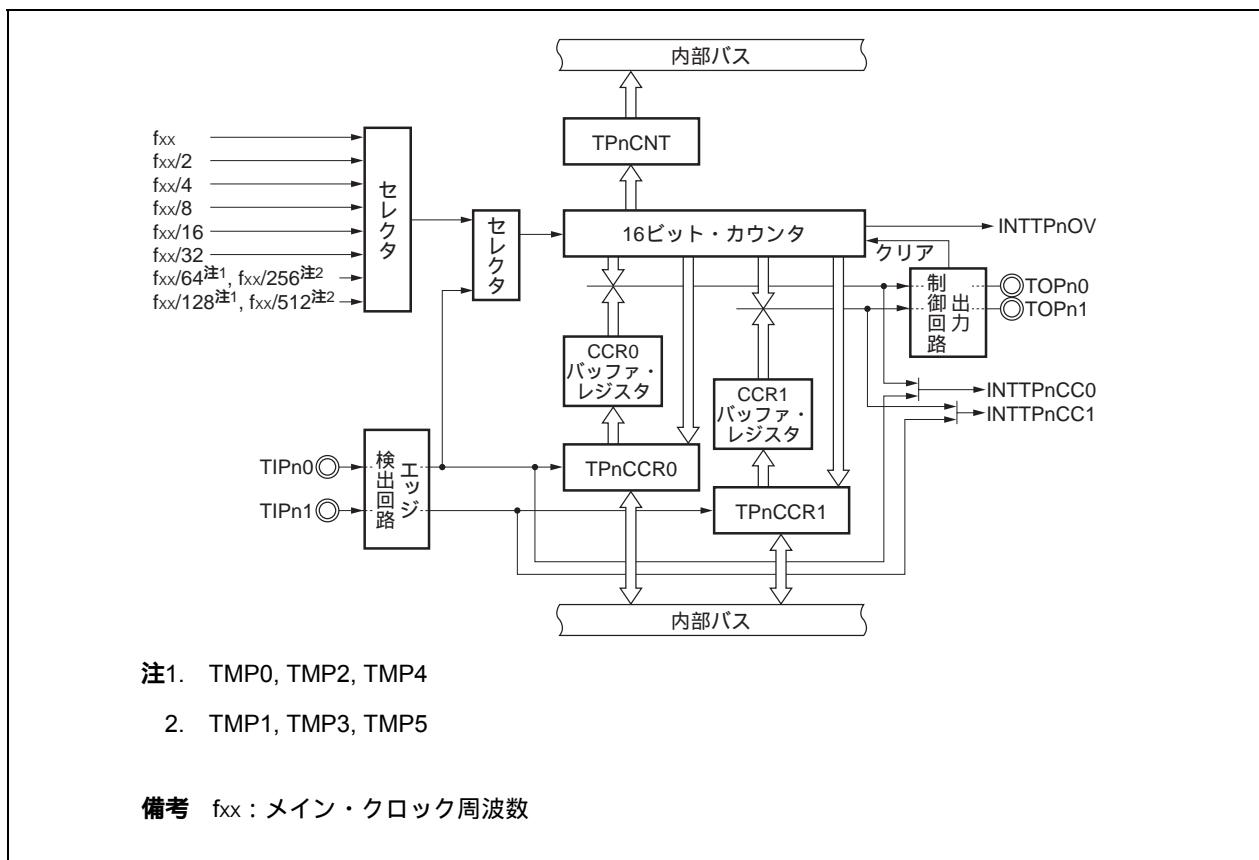
表7-1 TMPnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TPnキャプチャ / コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	2本 (TIPn0 ^{注1} , TIPn1端子)
タイマ出力	2本 (TOPn0, TOPn1端子)
制御レジスタ ^{注2}	TPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TPnI/O制御レジスタ0-2 (TPnIOC0-TPnIOC2) TPnオプション・レジスタ0 (TPnOPT0)

- 注1. TIPn0端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。
2. TIPn0, TIPn1, TOPn0, TOPn1端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

備考 n = 0-5

図7-1 TMPnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTPnCNTレジスタをリードすると、0000Hがリードされます。

リセットによりTPnCEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIPn0, TIPn1端子に入力される有効エッジを検出します。有効エッジは、TPnIOC1, TPnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOPn0, TOPn1端子の出力を制御します。TOPn0, TOPn1端子の出力は、TPnIOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.4 レジスタ

TMPnを制御するレジスタを次に示します。

- ・ TMPn制御レジスタ0 (TPnCTL0)
- ・ TMPn制御レジスタ1 (TPnCTL1)
- ・ TMPnI/O制御レジスタ0 (TPnLOC0)
- ・ TMPnI/O制御レジスタ1 (TPnLOC1)
- ・ TMPnI/O制御レジスタ2 (TPnLOC2)
- ・ TMPnオプション・レジスタ0 (TPnOPT0)
- ・ TMPnキャプチャ / コンペア・レジスタ0 (TPnCCR0)
- ・ TMPnキャプチャ / コンペア・レジスタ1 (TPnCCR1)
- ・ TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

備考1. TIPn0, TIPn1, TOPn0, TOPn1端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

2. n = 0-5

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時 : 00H R/W アドレス : TP0CTL0 FFFFFF590H, TP1CTL0 FFFFFF5A0H,
 TP2CTL0 FFFFFF5B0H, TP3CTL0 FFFFFF5C0H,
 TP4CTL0 FFFFFF5D0H, TP5CTL0 FFFFFF5E0H

TPnCTL0 (n = 0-5)	⑦	6	5	4	3	2	1	0
	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット ^注)
1	TMPn動作許可。 TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2, 4	n = 1, 3, 5
0	0	0	fxx	
0	0	1	fxx/2	
0	1	0	fxx/4	
0	1	1	fxx/8	
1	0	0	fxx/16	
1	0	1	fxx/32	
1	1	0	fxx/64	fxx/256
1	1	1	fxx/128	fxx/512

注 TPnOPT0.TPnOVFビット、16ビット・カウンタ、タイマ出力(TOPn0, TOPn1端子)。

- 注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定できます。
2. ビット3-6には必ず“0”を設定してください。

備考 fxx: メイン・クロック周波数

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0CTL1 FFFFFF591H, TP1CTL1 FFFFF5A1H,
 TP2CTL1 FFFFF5B1H, TP3CTL1 FFFFF5C1H,
 TP4CTL1 FFFFF5D1H, TP5CTL1 FFFFF5E1H

TPnCTL1	7	⑥	⑤	4	3	2	1	0
(n = 0-5)	0	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

TPnEST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 • ワンショット・パルス出力モード時 : TPnESTビットへの "1" ライトをトリガとして、ワンショット・パルスを出力 • 外部トリガ・パルス出力モード時 : TPnESTビットへの "1" ライトをトリガとして、PWM波形を出力

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TPnCTL0.TPnCK0-TPnCK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TPnEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、"1" をライトしても無視されます。
2. 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力が選択されます。
3. TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0 のときに設定してください(TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
4. ビット3, 4, 7には必ず "0" を設定してください。

(3) TMPnI/O制御レジスタ0 (TPnIOC0)

TPnIOC0レジスタは、タイマ出力 (TOPn0, TOPn1端子) を制御する8ビット・レジスタです。
8/1ビット単位でリード/ライト可能です。
リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0IOC0 FFFFFF592H, TP1IOC0 FFFFFF5A2H,
TP2IOC0 FFFFFF5B2H, TP3IOC0 FFFFFF5C2H,
TP4IOC0 FFFFFF5D2H, TP5IOC0 FFFFFF5E2H

TPnIOC0 (n = 0-5)	7	6	5	4	3	②	1	①
	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

TPnOL1	TOPn1端子出力レベルの設定 ^注
0	TOPn1端子ハイ・レベル・スタート
1	TOPn1端子ロウ・レベル・スタート

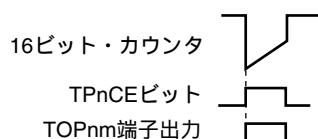
TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn1端子から方形波を出力)

TPnOL0	TOPn0端子出力レベルの設定 ^注
0	TOPn0端子ハイ・レベル・スタート
1	TOPn0端子ロウ・レベル・スタート

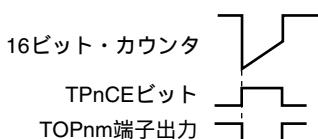
TPnOE0	TOPn0端子出力の設定
0	タイマ出力禁止 ・TPnOL0ビット = 0のときTOPn0端子からロウ・レベルを出力 ・TPnOL0ビット = 1のときTOPn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn0端子から方形波を出力)

注 TPnOLmビットの指定によるタイマ出力端子(TOPnm)の出力レベルを次に示します (m = 0, 1)。

・TPnOLmビット = 0の場合



・TPnOLmビット = 1の場合



注意1. TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは, TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤まって書き換えた場合は, TPnCEビットをクリア(0)してから再設定してください。

2. TPnCEビット = 0, TPnOEmビット = 0の状態において, TPnOLmビットを操作した場合でも, TOPnm端子の出力レベルは変化します (m = 0, 1)。

(4) TMPnI/O制御レジスタ1(TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号(TIPn0, TIPn1端子)に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0IOC1 FFFFF593H, TP1IOC1 FFFFF5A3H,
 TP2IOC1 FFFFF5B3H, TP3IOC1 FFFFF5C3H,
 TP4IOC1 FFFFF5D3H, TP5IOC1 FFFFF5E3H

TPnIOC1 (n = 0-5)	7	6	5	4	3	2	1	0
	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号(TIPn1端子)の有効エッジの設定
0	0	エッジ検出なし(キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号(TIPn0端子)の有効エッジの設定
0	0	エッジ検出なし(キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1. TPnIS3-TPnIS0ビットは, TPnCTL0.TPnCEビット = 0のときに書き換えてください(TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPnCEビットをクリア(0)してから再設定してください。
2. TPnIS3-TPnIS0ビットは, フリー・ランニング・タイマ・モードと, パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMPnI/O制御レジスタ2(TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号(TIPn0端子)、外部トリガ入力信号(TIPn0端子)に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0IOC2 FFFFF594H, TP1IOC2 FFFFF5A4H,
 TP2IOC2 FFFFF5B4H, TP3IOC2 FFFFF5C4H,
 TP4IOC2 FFFFF5D4H, TP5IOC2 FFFFF5E4H

TPnIOC2 (n = 0-5)	7	6	5	4	3	2	1	0
	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

TPnEES1	TPnEES0	外部イベント・カウント入力信号(TIPn0端子)の有効エッジの設定
0	0	エッジ検出なし(外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号(TIPn0端子)の有効エッジの設定
0	0	エッジ検出なし(外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、
 TPnCTL0.TPnCEビット = 0のときに書き換えてください(TPnCE
 ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合
 は、TPnCEビットをクリア(0)してから再設定してください。
2. TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、また
 は外部イベント・カウント・モード(TPnCTL1.TPnMD2-TPnMD0
 ビット = 001)に設定したときのみ有効です。
 3. TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モード
 (TPnCTL1.TPnMD2-TPnMD0ビット = 010)、ワンショット・パル
 ス出力モード(TPnCTL1.TPnMD2-TPnMD0 = 011)に設定したと
 きのみ有効です。

(6) TMPnオプション・レジスタ0(TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : TP0OPT0 FFFFFF595H, TP1OPT0 FFFFFF5A5H,
 TP2OPT0 FFFFFF5B5H, TP3OPT0 FFFFFF5C5H,
 TP4OPT0 FFFFFF5D5H, TP5OPT0 FFFFFF5E5H

TPnOPT0	7	6	5	4	3	2	1	①
(n = 0-5)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット(1)	オーバフロー発生
リセット(0)	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
<ul style="list-style-type: none"> TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット(1)されます。 TPnOVFビットがセット(1)されると同時に、割り込み要求信号(INTTPnOV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。 TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリアされません。 TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット(1)することはできません。“1”をライトしてもTMPnの動作に影響はありません。 	

- 注意1.** TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください(TPnCEビット = 1のときの同値書き込みは可能)。
 誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
2. ビット1-3, 6, 7には必ず“0”を設定してください。

(7) TMPnキャプチャ/コンペア・レジスタ0(TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TPnCCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 0000H R/W アドレス : TP0CCR0 FFFFF596H, TP1CCR0 FFFFF5A6H,
 TP2CCR0 FFFFF5B6H, TP3CCR0 FFFFF5C6H,
 TP4CCR0 FFFFF5D6H, TP5CCR0 FFFFF5E6H

TPnCCR0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
(n = 0-5)																

(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTPnCC0)を発生し、TOPn0端子出力を許可している場合、TOPn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア(0000H)します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力(TIPn0端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力(TIPn0端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア(0000H)します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(8) TMPnキャプチャ/コンペア・レジスタ1(TPnCCR1)

TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TPnCCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 0000H	R/W	アドレス : TP0CCR1 FFFFF598H, TP1CCR1 FFFFF5A8H, TP2CCR1 FFFFF5B8H, TP3CCR1 FFFFF5C8H, TP4CCR1 FFFFF5D8H, TP5CCR1 FFFFF5E8H
---------------	-----	---

TPnCCR1	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0															
(n = 0-5)																

(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTPnCC1)を発生し、TOPn1端子出力を許可している場合、TOPn1端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力(TIPn1端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力(TIPn1端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア(0000H)します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(9) TMPnカウンタ・リード・バッファ・レジスタ(TPnCNT)

TPnCNTレジスタは、16ビットのカウント値をリードできるリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウント値をリードできます。

16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値(FFFFH)をリードせず、そのまま0000Hをリードします。

リセットによりTPnCEビット = 0になるため、TPnCNTレジスタは0000Hになります。

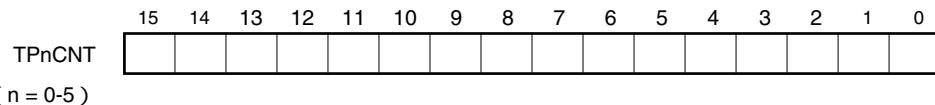
注意 次に示す状態において、TPnCNTレジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 0000H R アドレス : TP0CNT FFFFF59AH, TP1CNT FFFFF5AAH,

TP2CNT FFFFF5BAH, TP3CNT FFFFF5CAH,

TP4CNT FFFFF5DAH, TP5CNT FFFFF5EAH



7.5 動 作

TMPnには次のような動作があります。

動 作	TPnCTL1.TPnESTビット (ソフトウェア・ トリガ・ビット)	TIPn0端子 (外部トリガ入力)	キャプチャ / コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合 , TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を , エッジを検出しない (TPnLOC1.TPnIS1, TPnIS0ビットを “ 00 ”) に設定してください。
2. 外部トリガ・パルス出力モード , ワンショット・パルス出力モード , パルス幅測定モードを使用する場合 , カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0 に設定) してください。

備考 n = 0-5

7.5.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTPnCC0)を発生します。また、TOPn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。

図7-2 インターバル・タイマの構成図

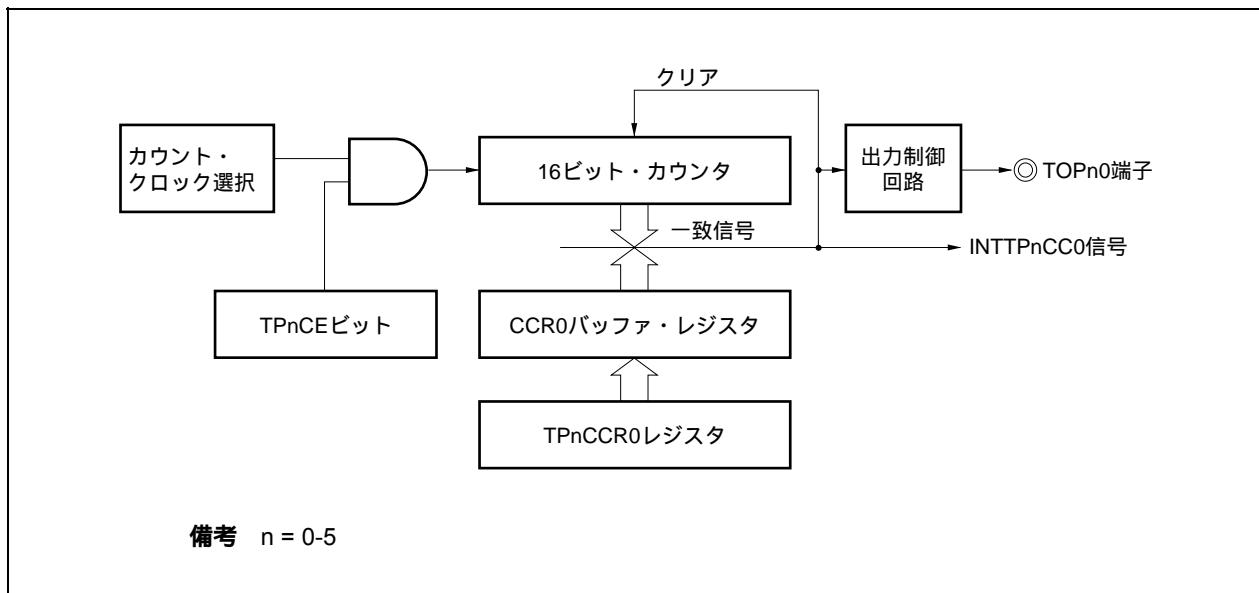
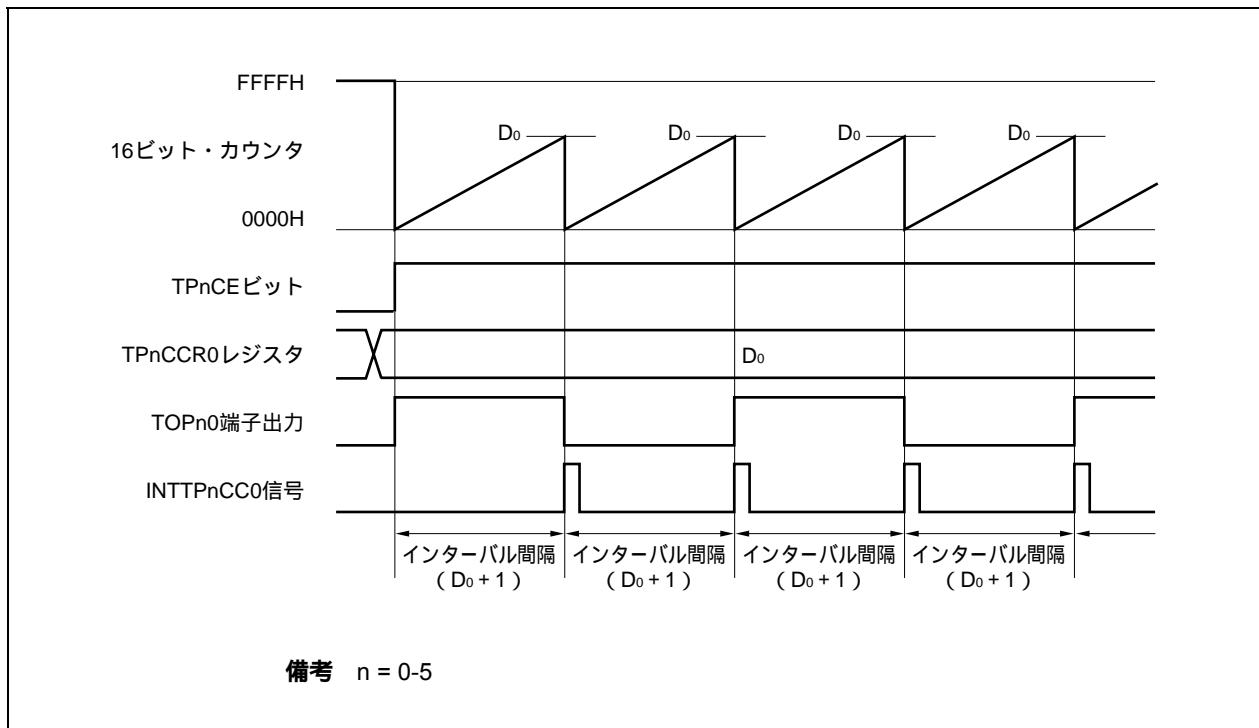


図7-3 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOPn0端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOPn0端子出力を反転させて、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。

インターバル間隔は次のようにになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-5

図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

(a) TMPn制御レジスタ0(TPnCTL0)

	TPnCE				TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0	0/1	0/1	0/1
							カウント・クロックの選択
							0: カウント動作停止 1: カウント動作許可

(b) TMPn制御レジスタ1(TPnCTL1)

	TPnEST	TPnEEE				TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0	0/1注	0	0	0	0	0
							0, 0, 0: インターバル・タイマ・モード	
							0: TPnCKS0-TPnCKS2ビットで選択 したカウント・クロックで動作 1: 外部イベント・カウント入力信号 でカウント動作	

注 割り込み要求信号(INTTPnCC0, INTTPnCC1)を割り込みマスク・フラグ(TPnCCMK0, TPnCCMK1)でマスク設定し、タイマ出力(TOPn1)する場合だけ、1に設定することを許可します。ただし、TPnCCR0, TPnCCR1レジスタの設定値は、同値にしてください(7.5.1(2)(d) TPnCCR1レジスタの動作参照)。

図7-4 インターバル・タイマ・モード動作時のレジスタ設定内容(2/2)

(c) TMPnI/O制御レジスタ0 (TPnIOC0)

	TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0	0	0	0/1
				0 : TOPn0端子出力禁止 1 : TOPn0端子出力許可
				TOPn0端子の動作禁止状態 での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル
				0 : TOPn1端子出力禁止 1 : TOPn1端子出力許可
				TOPn1端子の動作禁止状態 での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル

(d) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(e) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

(f) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

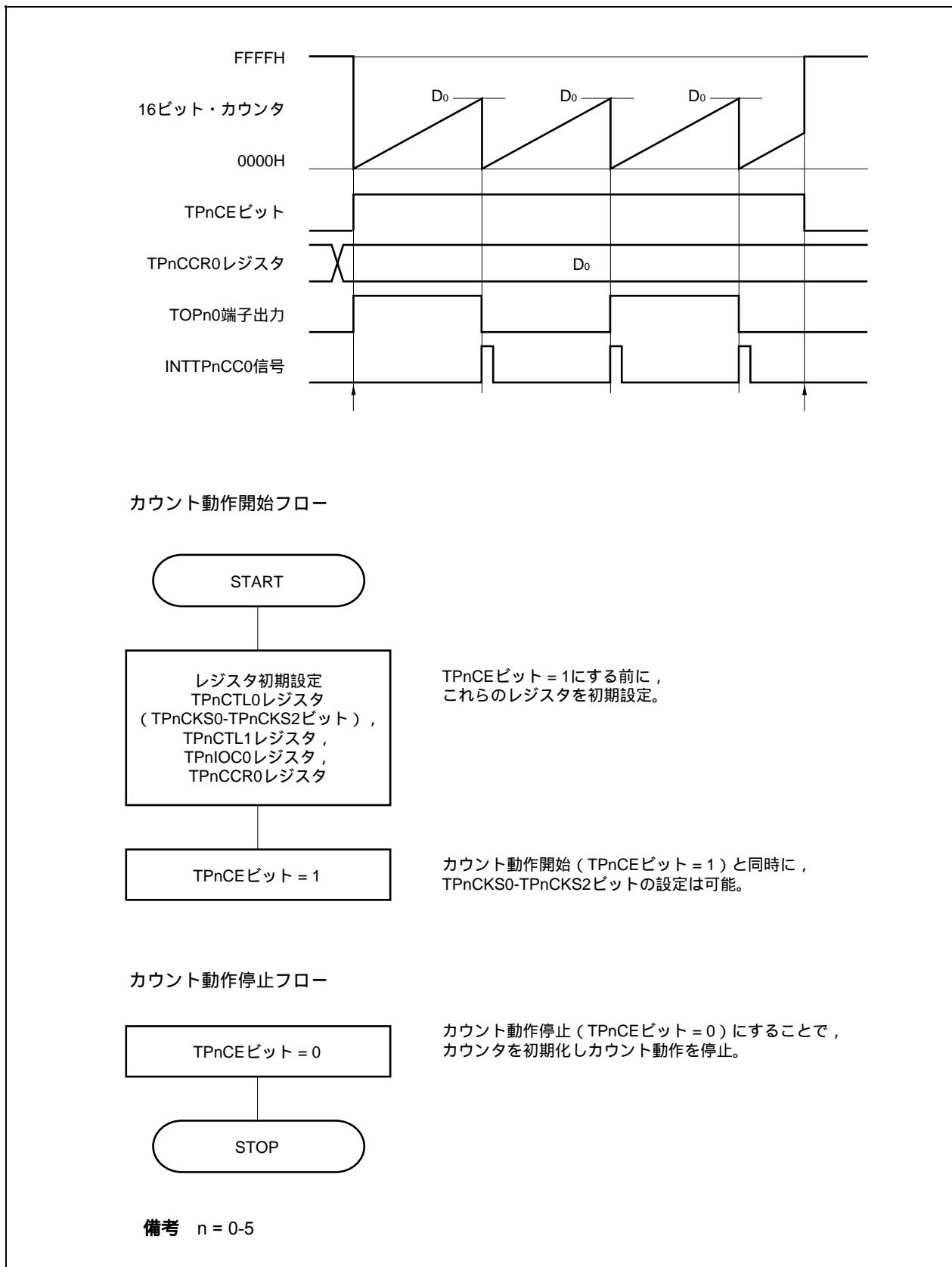
インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。したがって、割り込みマスク・フラグ (TPnCCMK1) でマスク設定しておいてください。

備考1. TMPnI/O制御レジスタ1 (TPnIOC1)、TMPnI/O制御レジスタ2 (TPnIOC2)、TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0-5

(1) インターバル・タイマ・モード動作フロー

図7-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

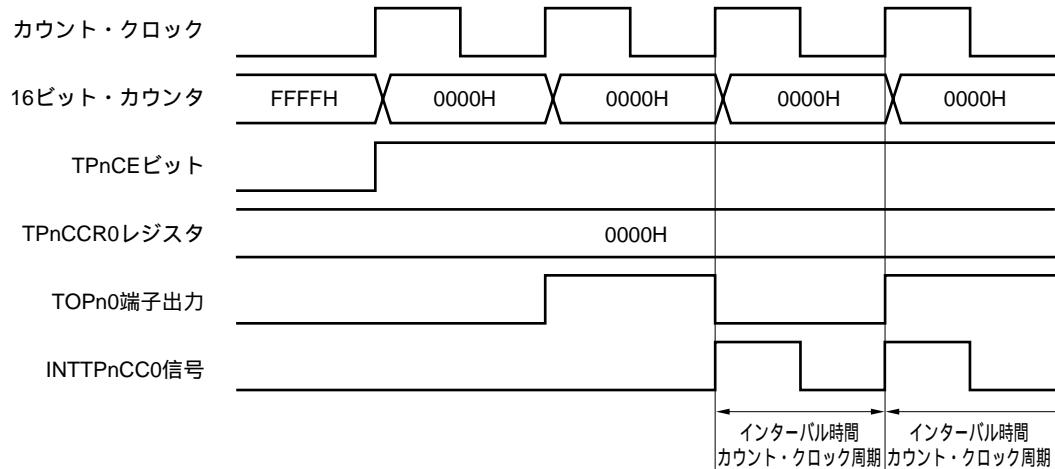


(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

TPnCCR0 レジスタに0000Hを設定した場合、2クロック目以降のカウント・クロックごとにINTTPnCC0信号を発生し、TOPn0端子の出力を反転します。

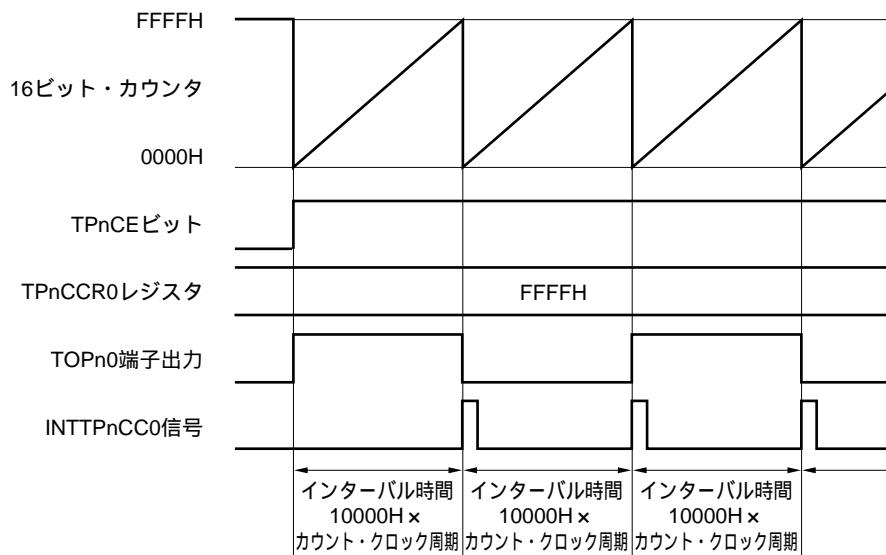
16ビット・カウンタは、常に0000Hとなります。



備考 n = 0-5

(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnPCC0信号を発生し、TOPn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号（INTTPnOV）は発生せず、オーバフロー・フラグ（TPnOPT0.TPnOVFビット）もセット（1）されません。

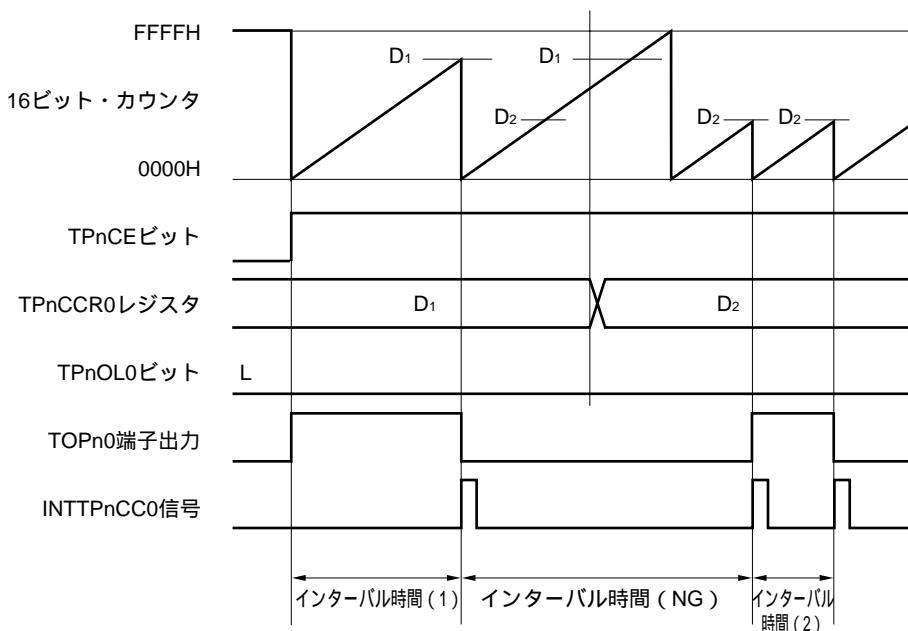


備考 n = 0-5

(c) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合があるので注意してください。



備考1. インターバル時間 (1) : $(D_1 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (2) : $(D_2 + 1) \times \text{カウント・クロック周期}$

2. n = 0-5

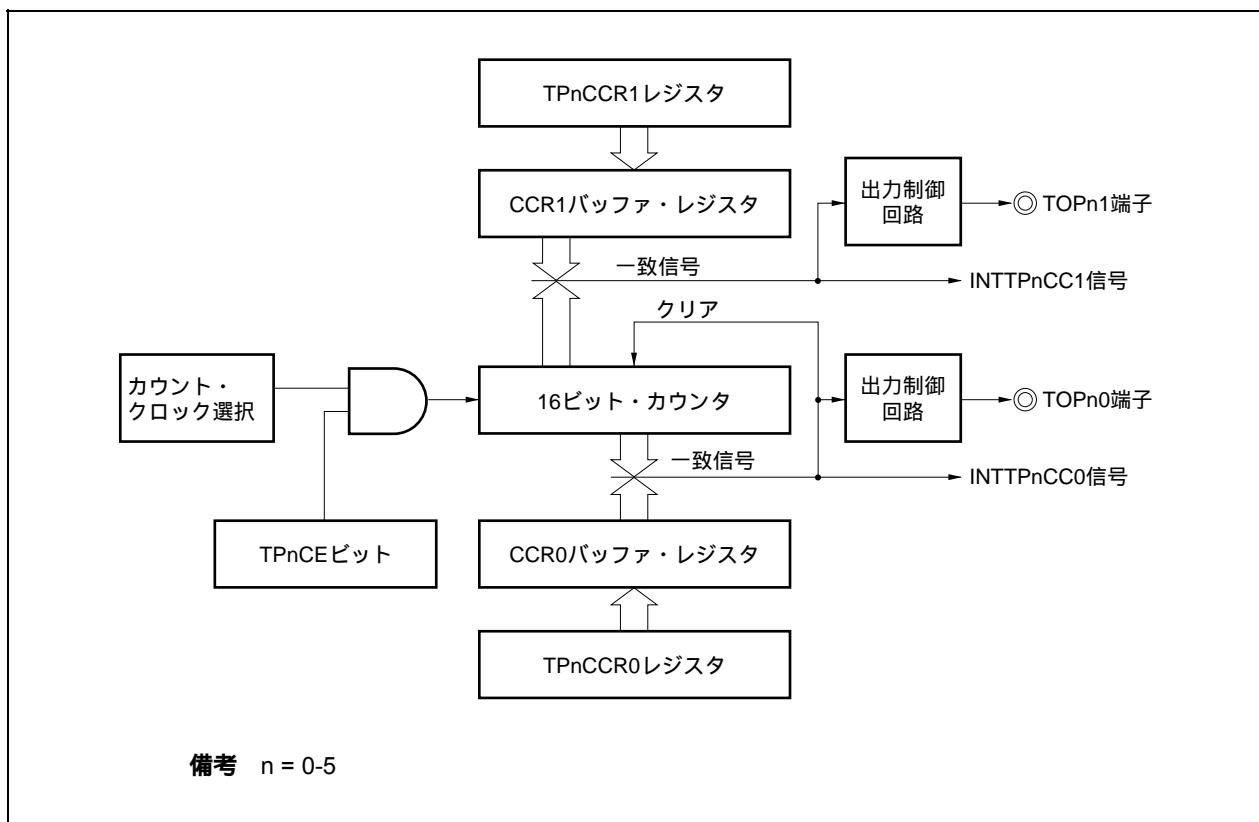
カウント値がD₂よりも大きくD₁よりも小さい状態において、TPnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTPnPCC0信号を発生しTOPn0端子出力を反転します。

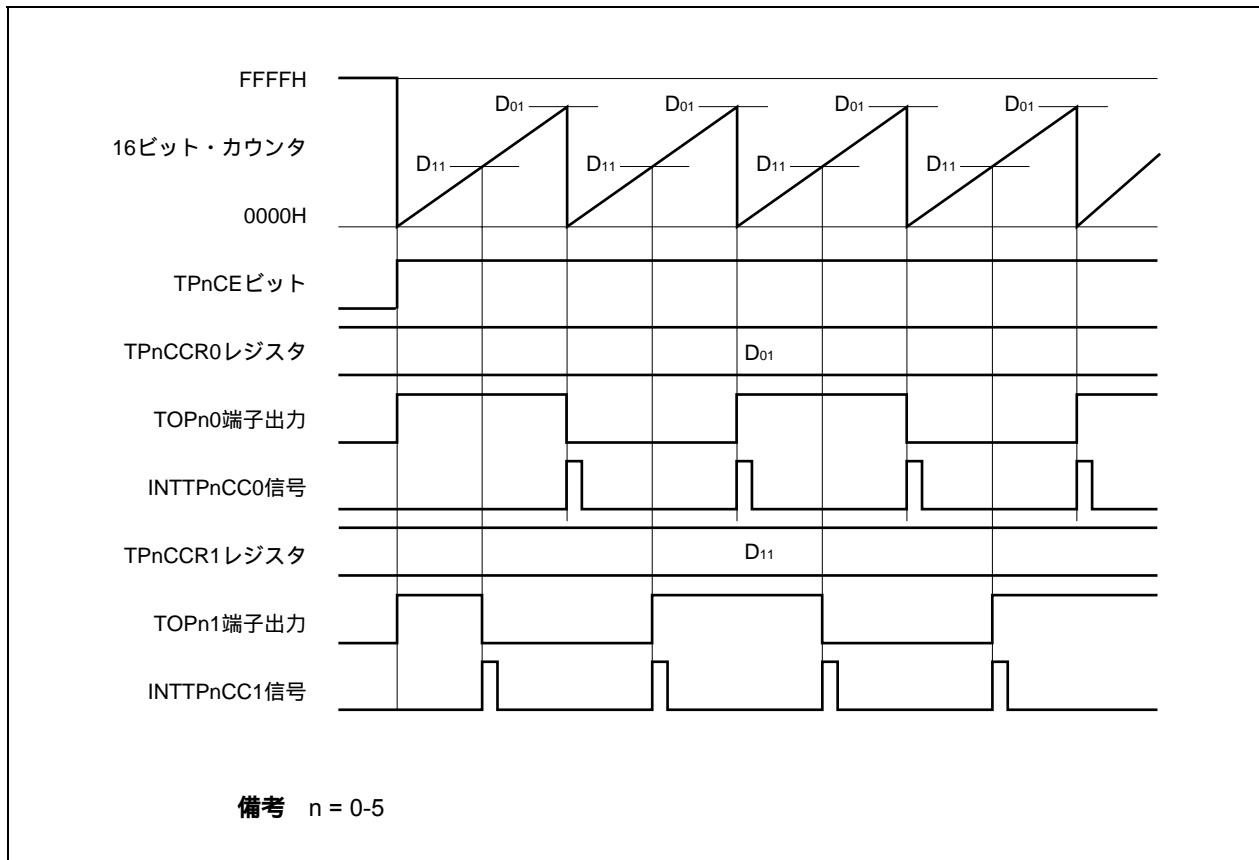
したがって、本来期待しているインターバル時間である「(D₁+1) × カウント・クロック周期」または「(D₂+1) × カウント・クロック周期」でINTTPnPCC0信号は発生せずに、「(10000H+D₂+1) × カウント・クロック周期」の間隔でINTTPnPCC0信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

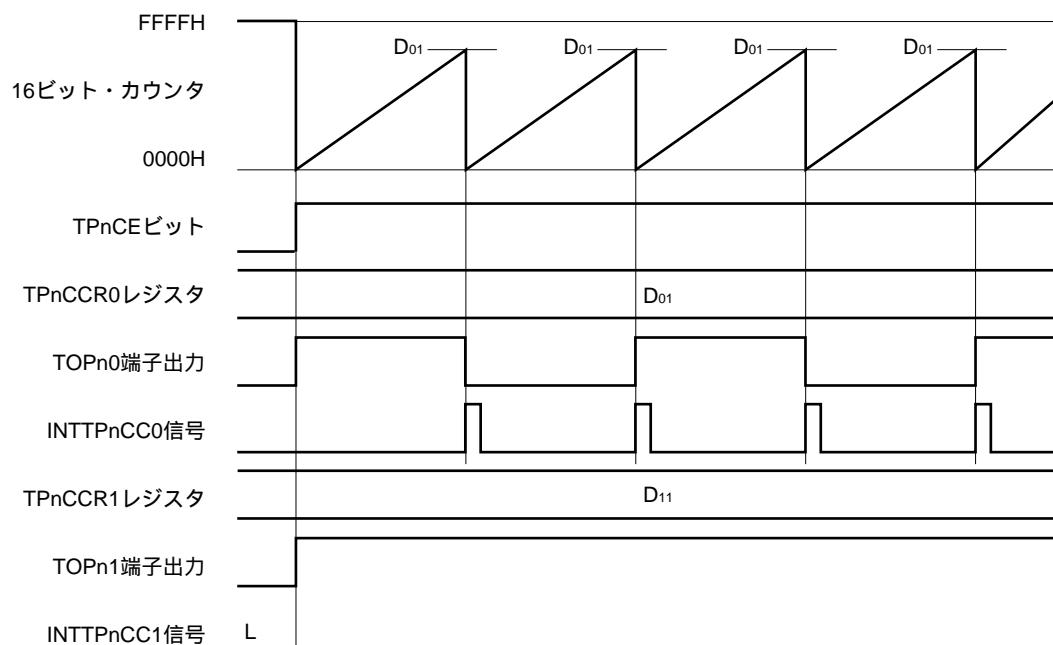
図7-6 TPnCCR1レジスタの構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。
TOPn1端子出力は、TOPn0端子出力と同じ周期の方波を出力します。

図7-7 D₀₁ D₁₁の場合のタイミング図

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウント値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPn1端子出力も変化しません。

図7-8 D₀₁ < D₁₁の場合のタイミング図

備考 n = 0-5

7.5.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントするごとに割り込み要求信号(INTTPnPCC0)を発生します。TOPn0端子は使用できません。

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。

図7-9 外部イベント・カウント・モードの構成図

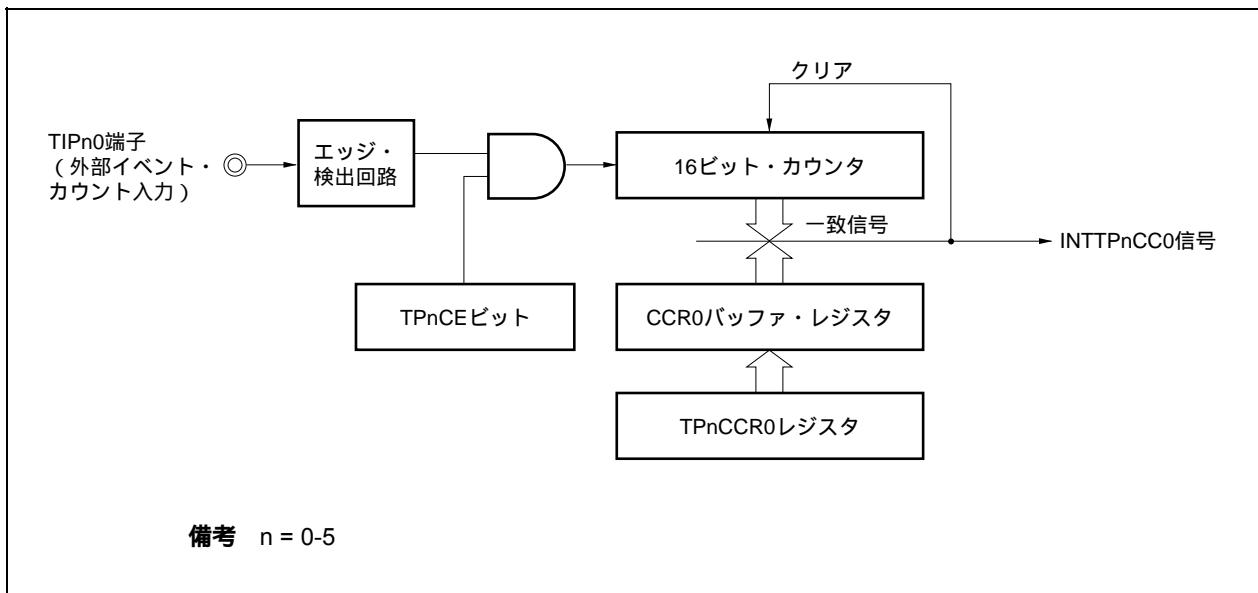
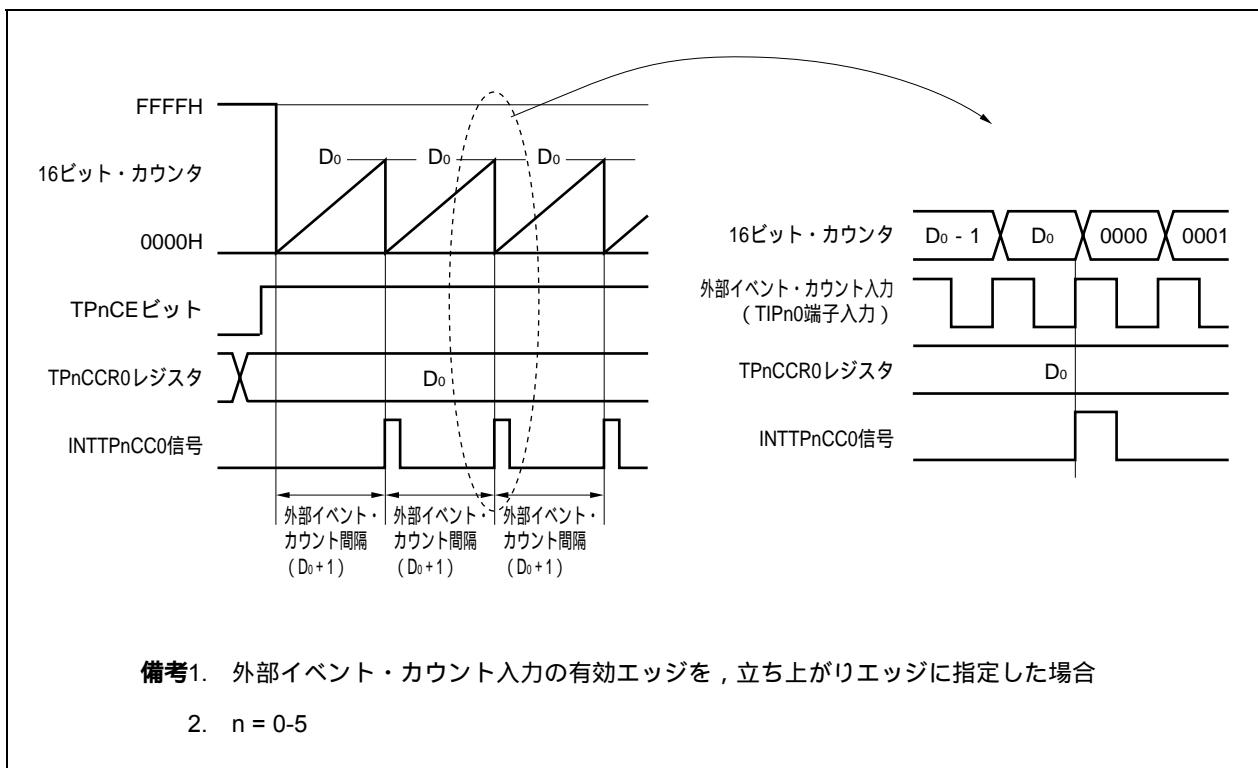


図7-10 外部イベント・カウント・モードの基本タイミング



TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。

INTTPnCC0信号は、外部イベント・カウント入力の有効エッジを(TPnCCR0レジスタに設定した値+1)回検出するごとに発生します。

図7-11 外部イベント・カウント・モード動作時のレジスタ設定内容(1/2)

(a) TMPn制御レジスタ0(TPnCTL0)

	TPnCE	TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0
		0 : カウント動作停止 1 : カウント動作許可		

(b) TMPn制御レジスタ1(TPnCTL1)

	TPnEST	TPnEEE	TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0	0	0	1
					0, 0, 1 : 外部イベント・カウント・モード

(c) TMPnI/O制御レジスタ0(TPnIOC0)

	TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0	0	0	0
				0 : TOPn0端子出力禁止
				0 : TOPn1端子出力禁止

(d) TMPnI/O制御レジスタ2(TPnIOC2)

	TPnEES1	TPnEES0	TPnETS1	TPnETS0
TPnIOC2	0	0	0	0
				外部イベント・カウント 入力有効エッジの選択

図7-11 外部イベント・カウント・モード動作時のレジスタ設定内容(2/2)

(e) TMPnカウンタ・リード・バッファ・レジスタ(TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0(TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号(INTTPnCC0)を発生します。

(g) TMPnキャプチャ/コンペア・レジスタ1(TPnCCR1)

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTPnCC1)が発生します。
したがって、割り込みマスク・フラグ(TPnCCMK1)でマスク設定しておいてください。

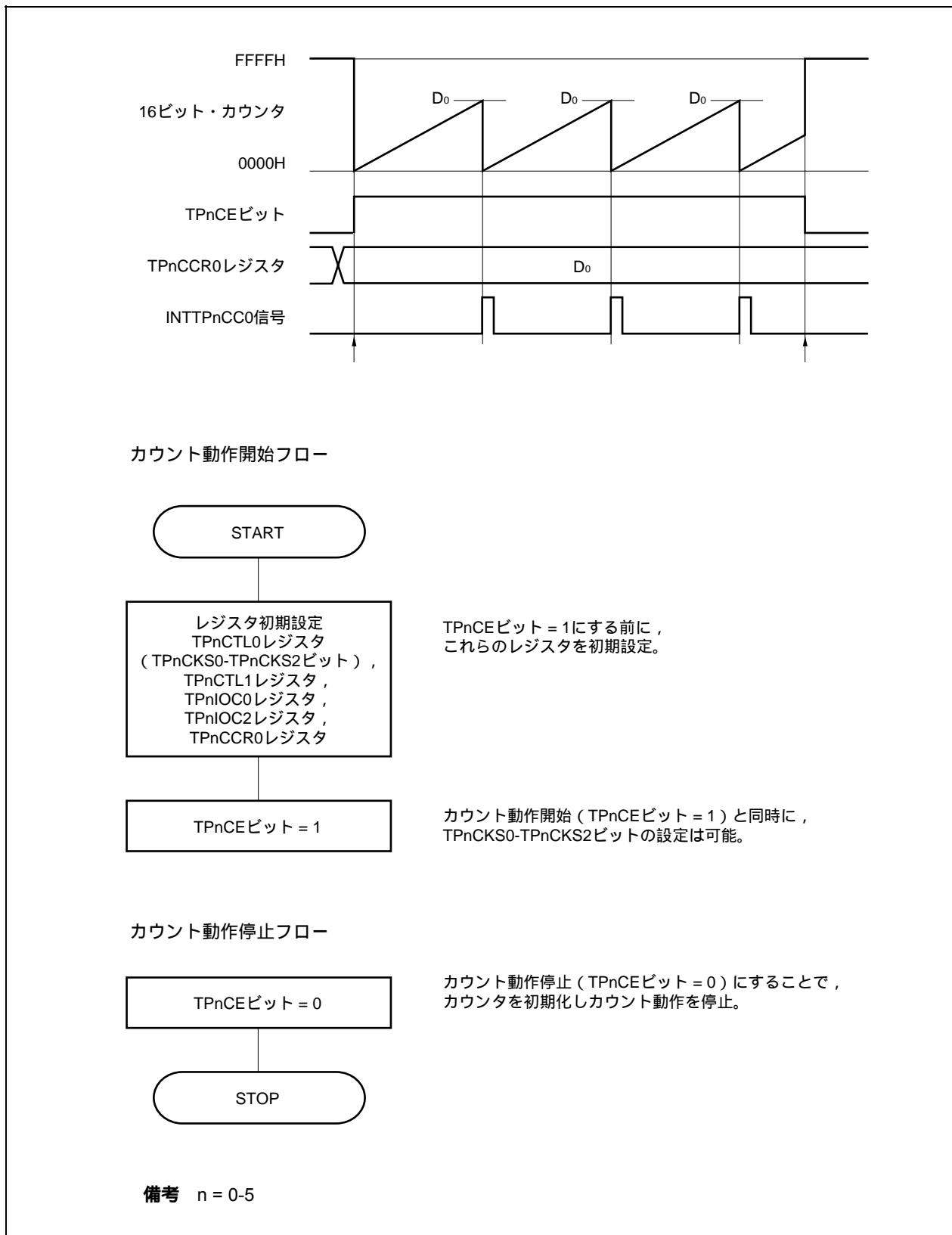
注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子からのみ入力できます。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00(キャプチャ・トリガ入力(TIPn0端子)：エッジ検出なし)に設定してください。

備考1. TMPnI/O制御レジスタ1(TPnIOC1), TMPnオプション・レジスタ0(TPnOPT0)は、外部イベント・カウント・モードでは使用しません。

2. n = 0-5

(1) 外部イベント・カウント・モード動作フロー

図7-12 外部イベント・カウント・モード使用時のソフトウェア処理フロー

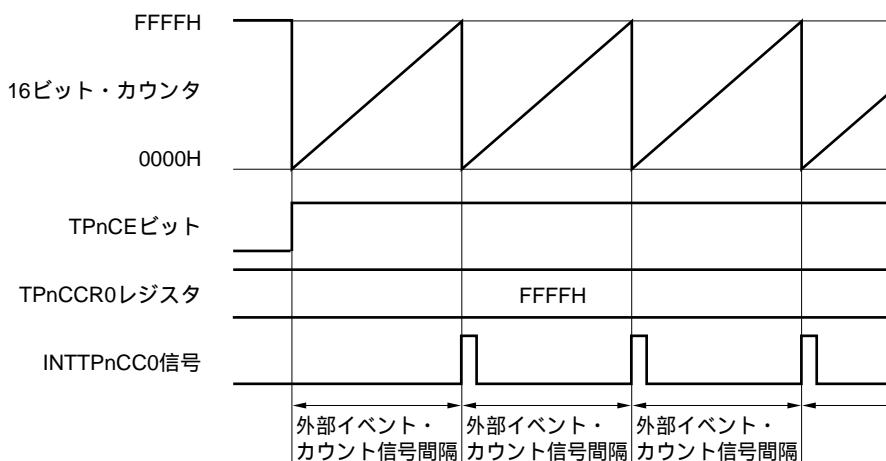


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TPnCCR0レジスタには, 0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください
(TPnCTL1.TPnMD2-TPnMD0ビット = 000, TPnCTL1.TPnEEEビット = 1)。

(a) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTPnCC0信号を発生します。このとき, TPnOPT0.TPnOVFビットはセットされません。

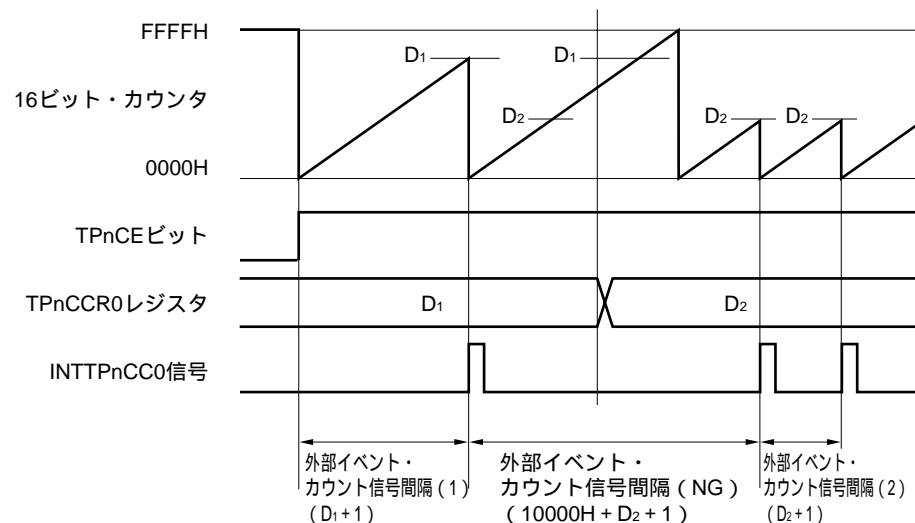


備考 n = 0-5

(b) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合があるので注意してください。



備考 n = 0-5

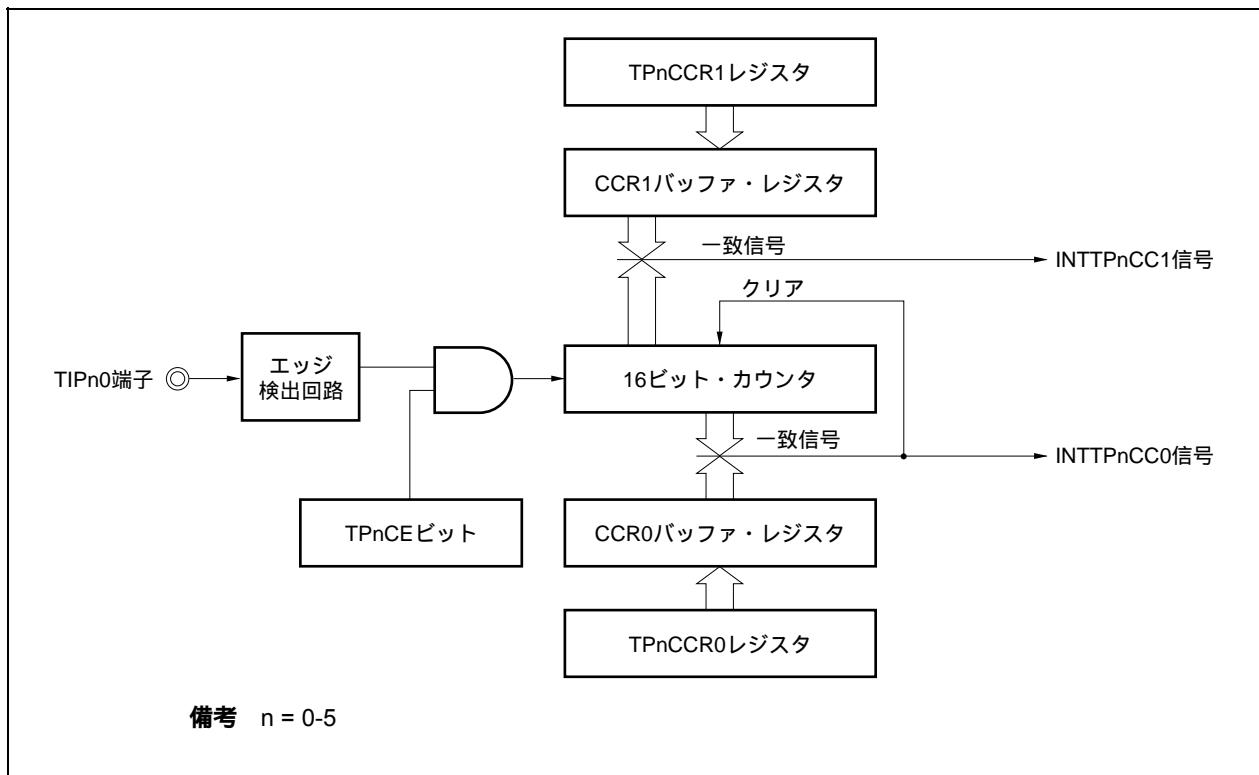
カウント値がD₂よりも大きくD₁よりも小さい状態において、TPnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTPnCC0信号を発生します。

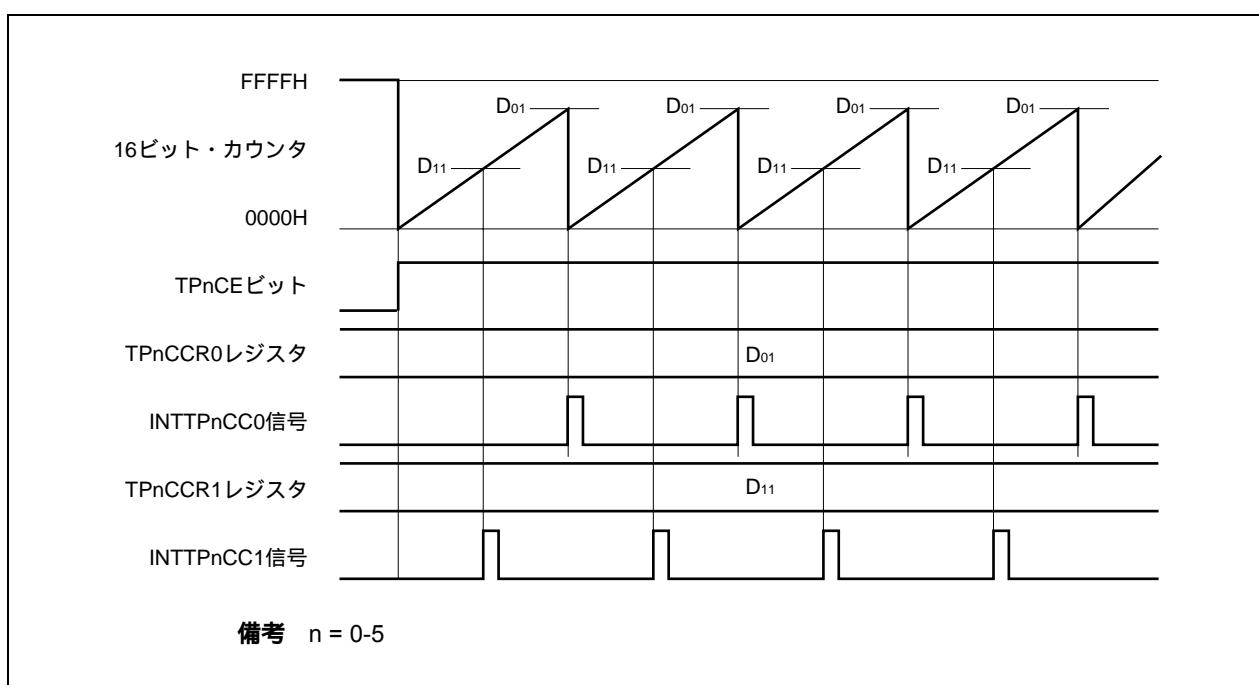
したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTPnCC0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

(c) TPnCCR1レジスタの動作

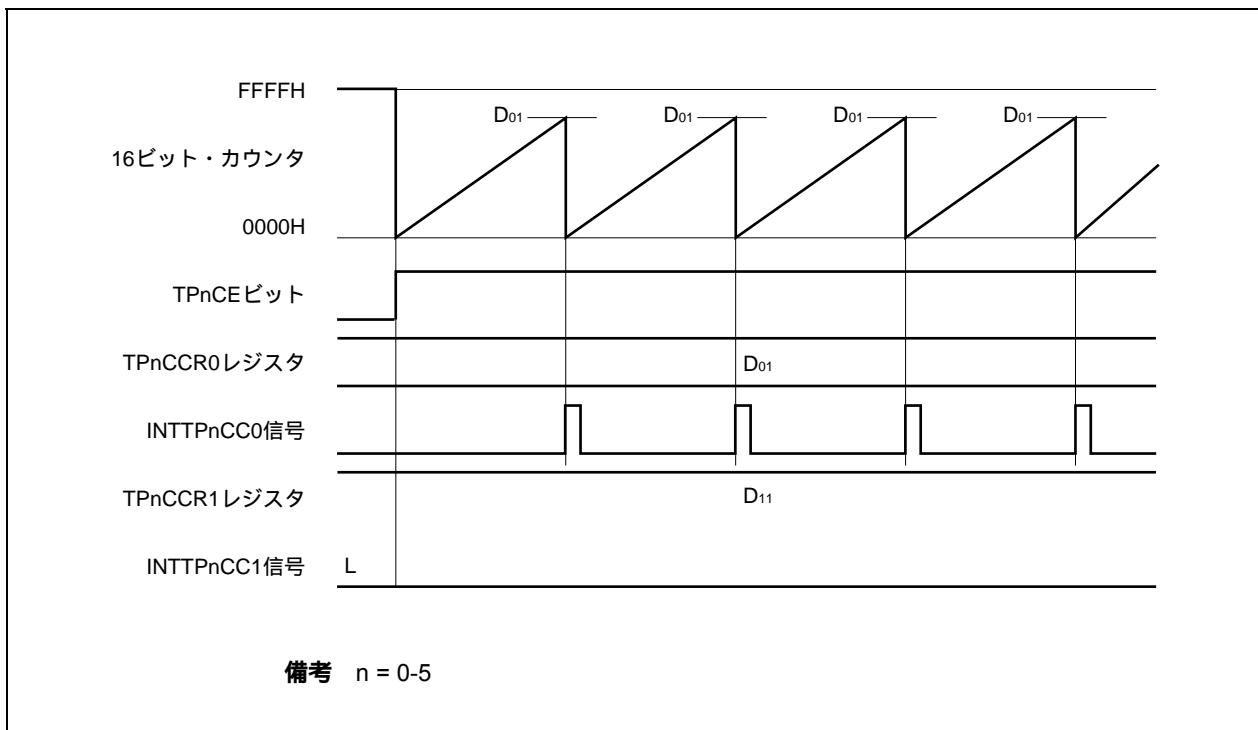
図7-13 TPnCCR1レジスタの構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。

図7-14 D₀₁ D₁₁の場合のタイミング図

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウントのカウント値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。

図7-15 D₀₁ < D₁₁の場合のタイミング図

7.5.3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)

外部トリガ・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図7-16 外部トリガ・パルス出力モードの構成図

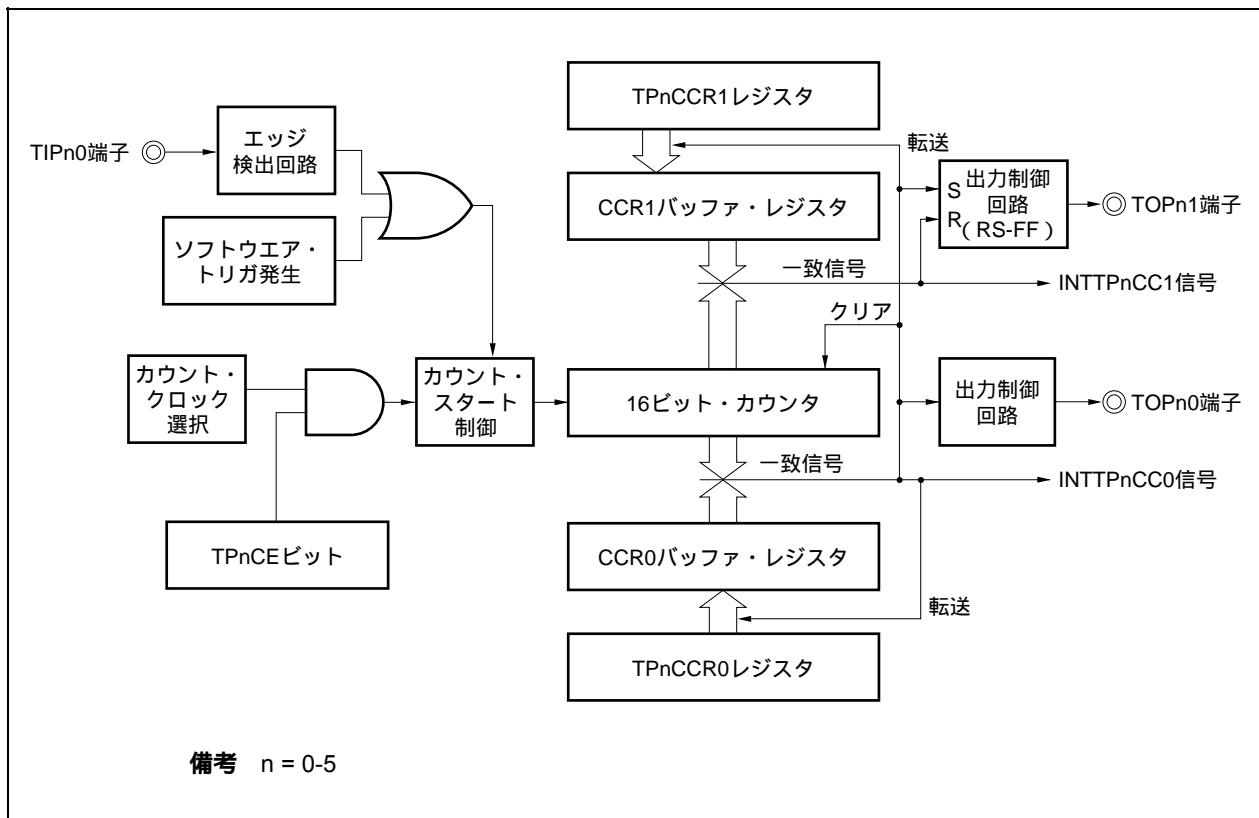
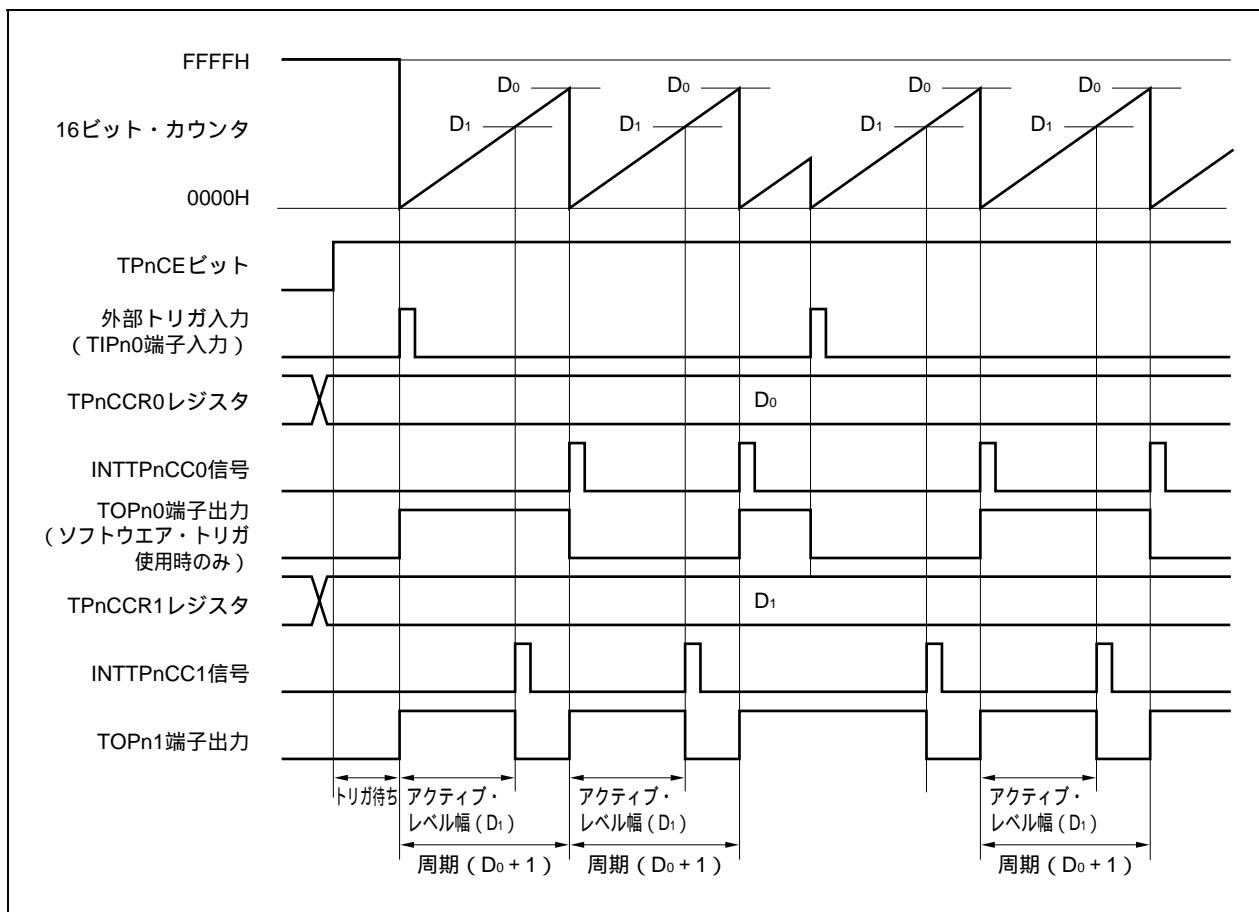


図7-17 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPnP1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOPnPn端子出力は反転します。TOPnP1端子出力は、ロウ・レベル出力、ハイ・レベル出力にかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

コンペア一致割り込み要求信号(INTTPnPCC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号(INTTPnPCC1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ(TPnCTL1.TPnESTビット)のセット(1)があります。

備考 n = 0-5, m = 0, 1

図7-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容(1/2)

(a) TMPn制御レジスタ0(TPnCTL0)

	TPnCE				TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0	0/1	0/1	0/1
カウント・クロックの選択 ^{注1}							
0 : カウント動作停止 1 : カウント動作許可							

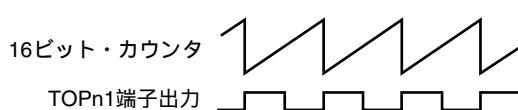
(b) TMPn制御レジスタ1(TPnCTL1)

	TPnEST	TPnEEE				TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0/1	0/1	0	0	0	1	0
0, 1, 0 : 外部トリガ・パルス出力モード								
0 : TPnCKS0-TPnCKS2ビットで選択したカウント・クロックで動作 1 : 外部イベント入力信号でカウント動作								
“1”を書き込むことで、 ソフトウェア・トリガを発生								

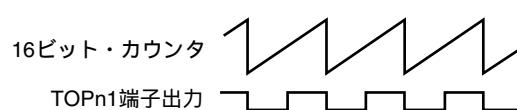
(c) TMPnI/O制御レジスタ0(TPnIOC0)

	TPnOL1	TPnOE1	TPnOL0	TPnOE0				
TPnIOC0	0	0	0	0	0/1	0/1	0/1 ^{注2}	0/1 ^{注2}
0 : TOPn0端子出力禁止 1 : TOPn0端子出力許可								
TOPn0端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル								
0 : TOPn1端子出力禁止 1 : TOPn1端子出力許可								
TOPn1端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ								

• TPnOL1ビット = 0の場合



• TPnOL1ビット = 1の場合

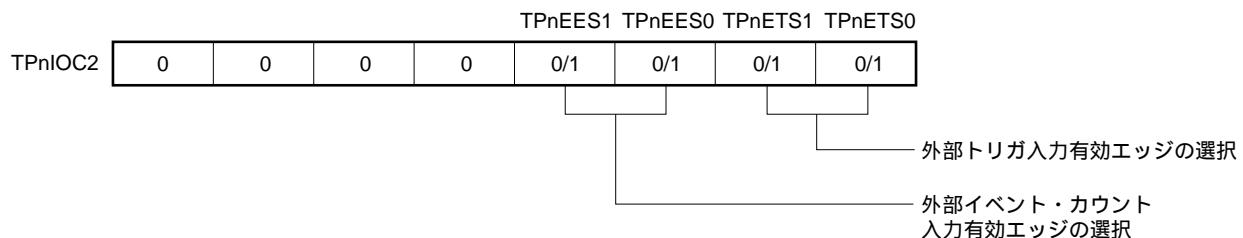


注1. TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

2. 外部トリガ・パルス出力モードでTOPn0端子を使用しない場合は，“0”に設定してください。

図7-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容(2/2)

(d) TMPnI/O制御レジスタ2(TPnIOC2)



(e) TMPnカウンタ・リード・バッファ・レジスタ(TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0, 1(TPnCCR0, TPnCCR1)

TPnCCR0レジスタにD₀を設定し、TPnCCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント・クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント・クロック周期}$$

となります。

備考1. TMPnI/O制御レジスタ1(TPnIOC1), TMPnオプション・レジスタ0(TPnOPT0)は、外部トリガ・パルス出力モードでは使用しません。

2. n = 0-5

(1) 外部トリガ・パルス出力モード動作フロー

図7-19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー(1/2)

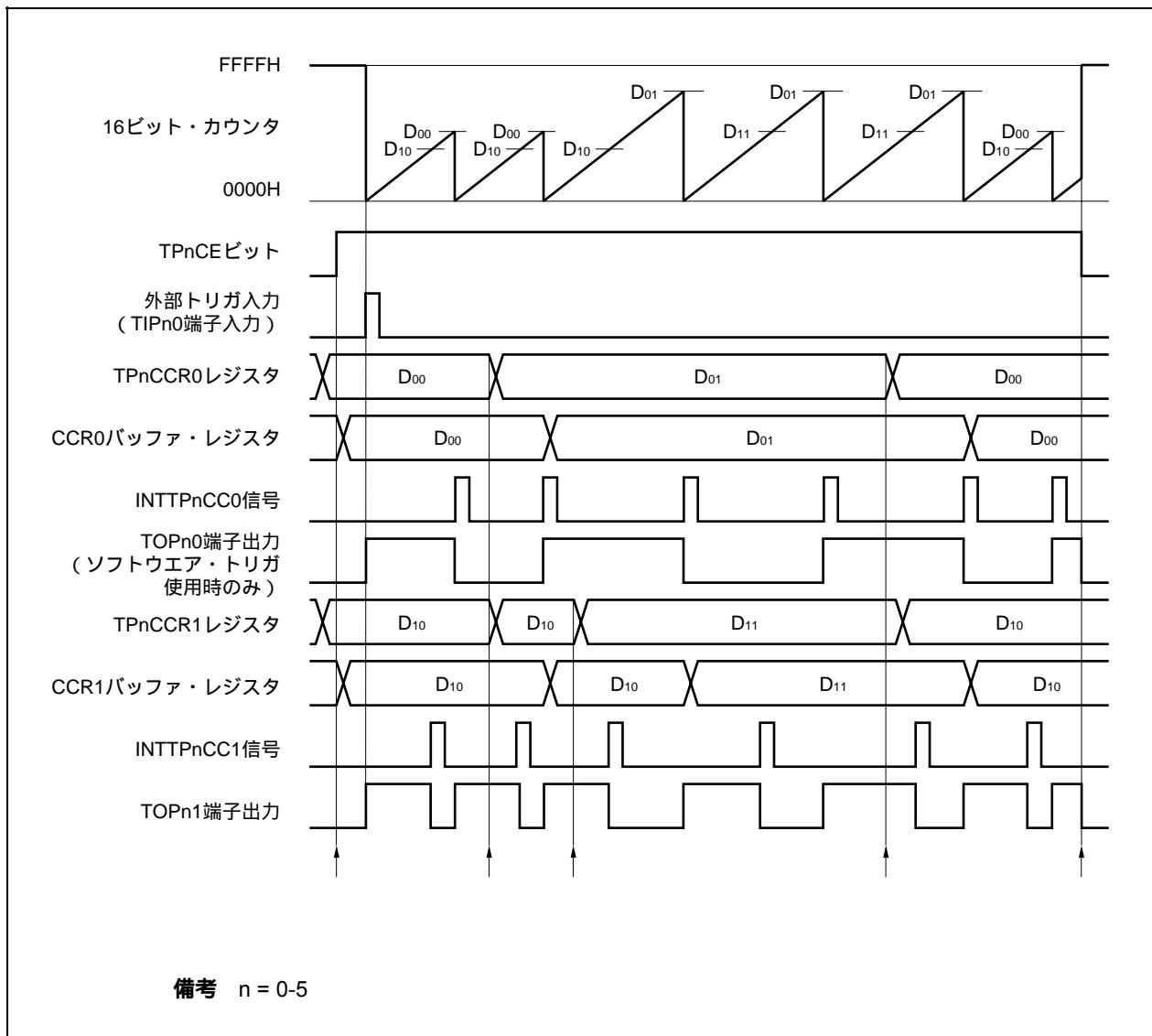
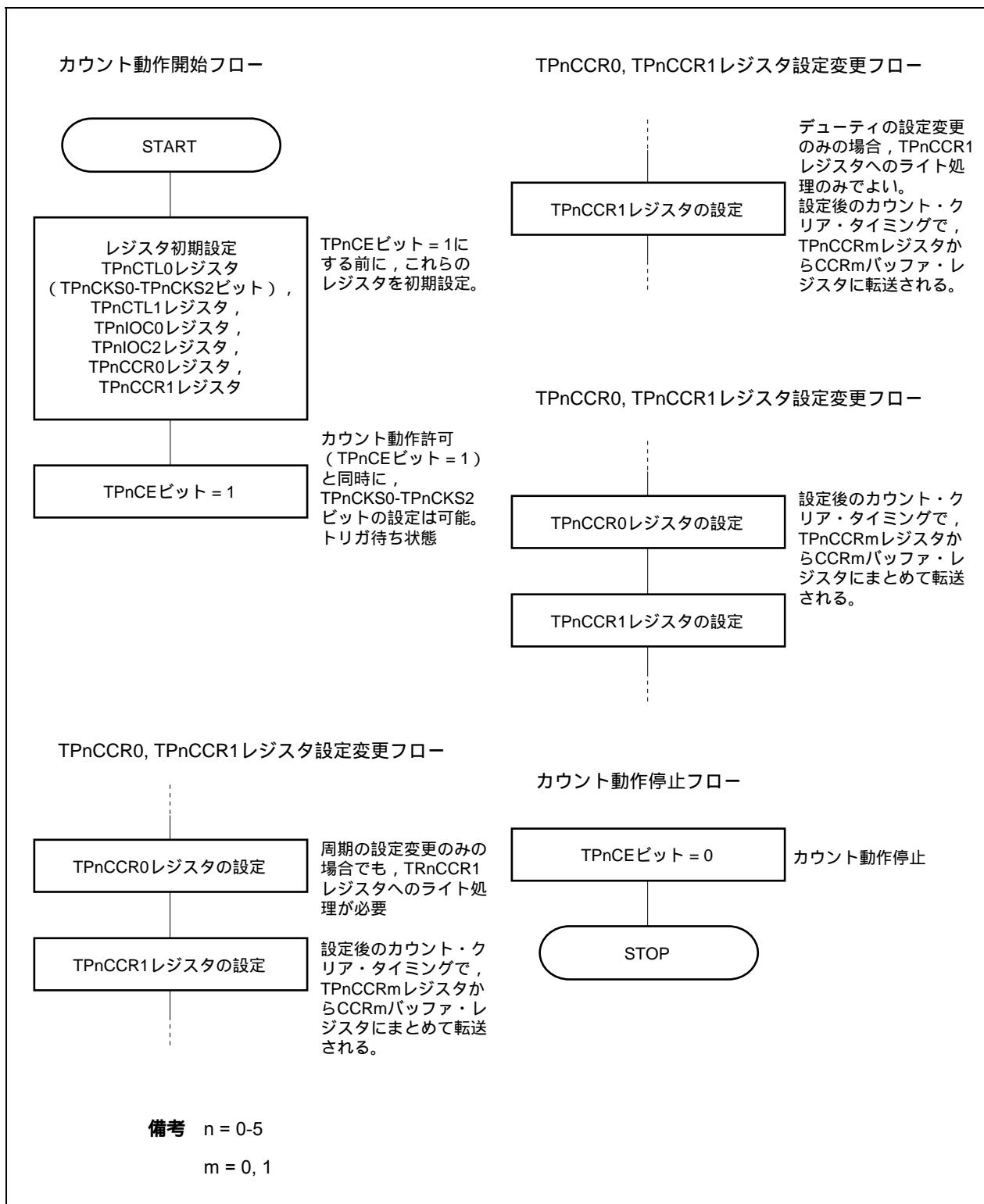


図7-19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

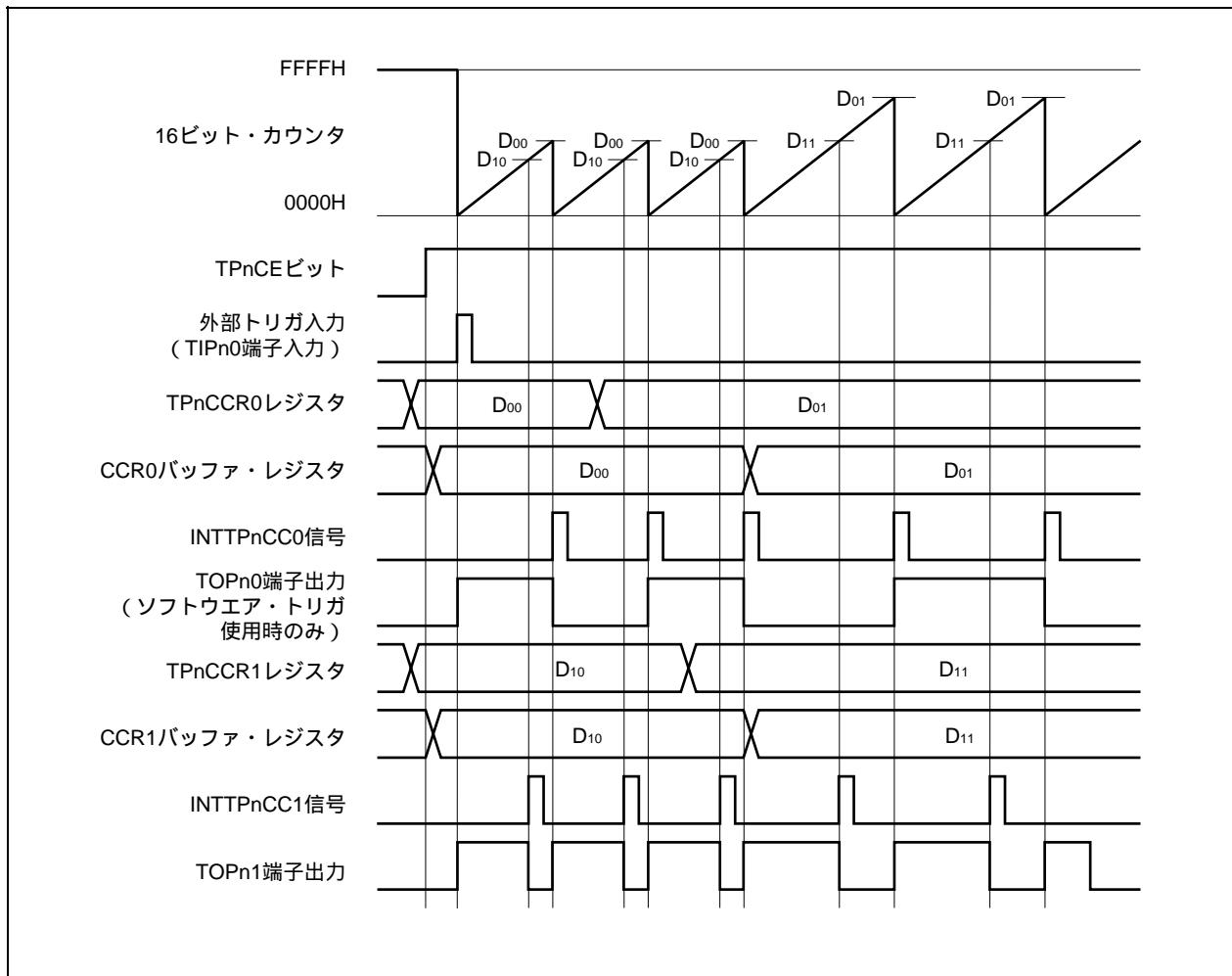


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnPCC0信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、その後でTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、その後でTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

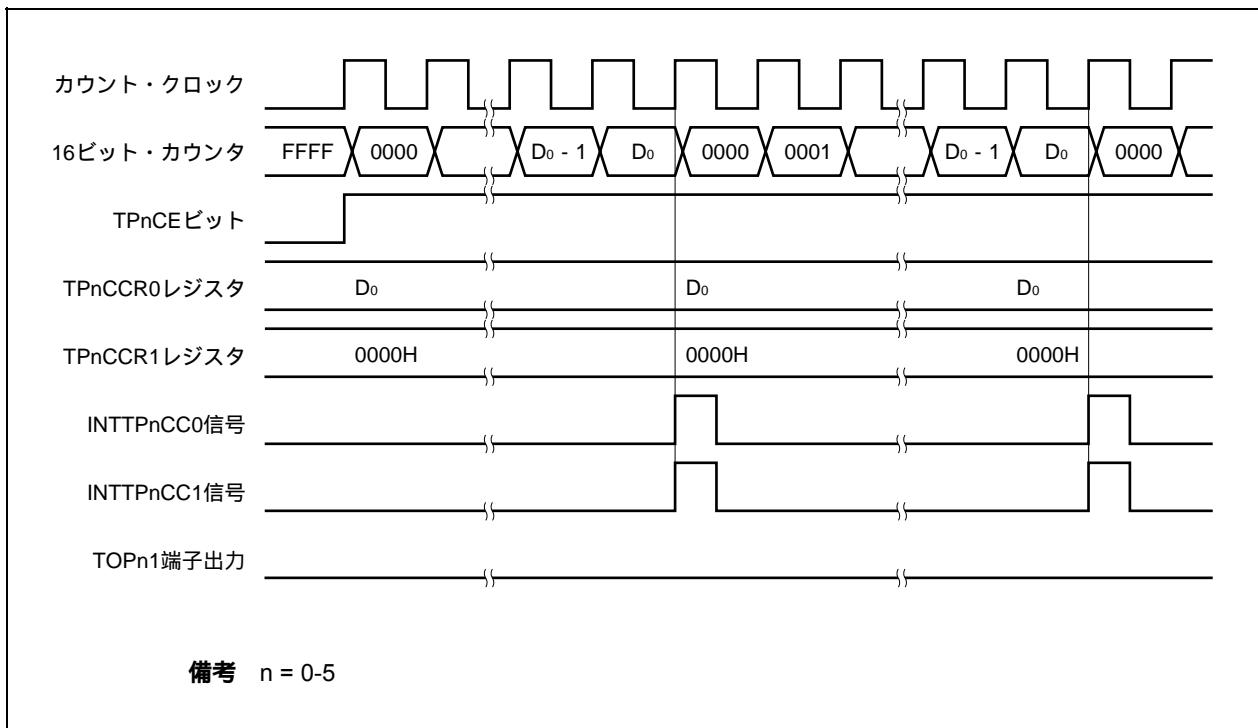
また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-5

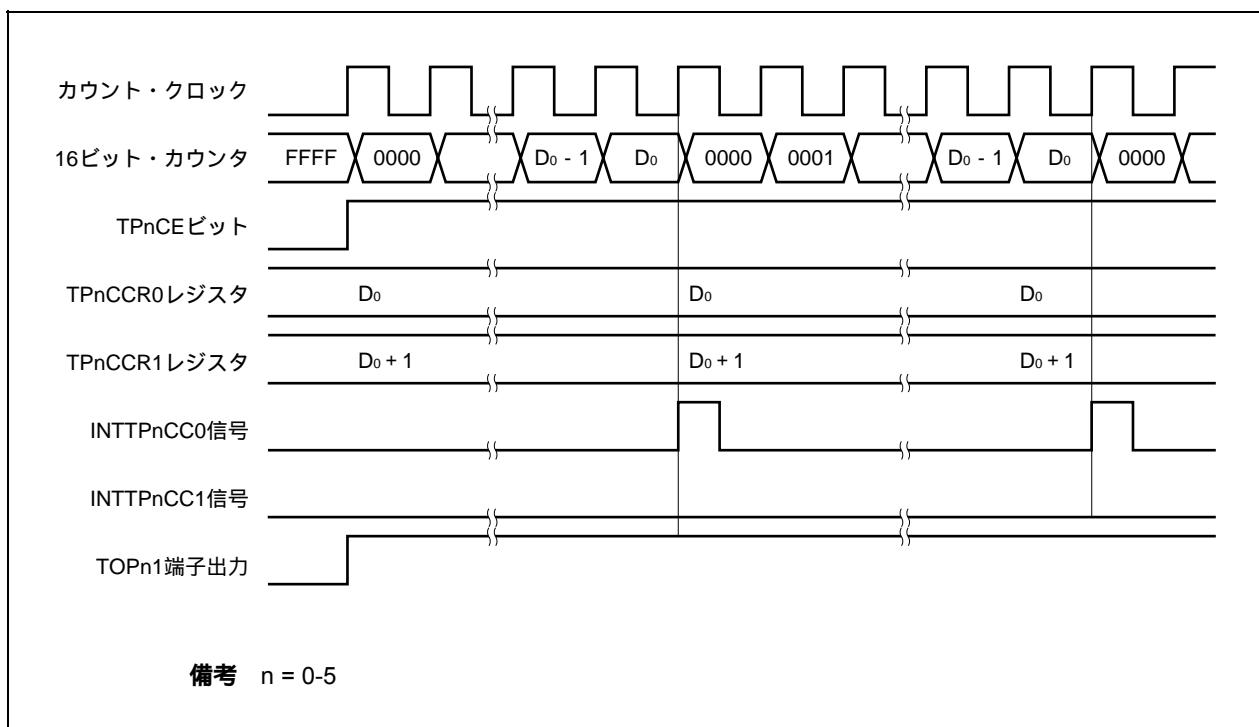
m = 0, 1

(b) PWM波形の0 % / 100 %出力

0 %波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。ただし, TPnCCR0レジスタの設定値がFFFFHの場合には, INTTPnPCC1信号が定期的に発生します。

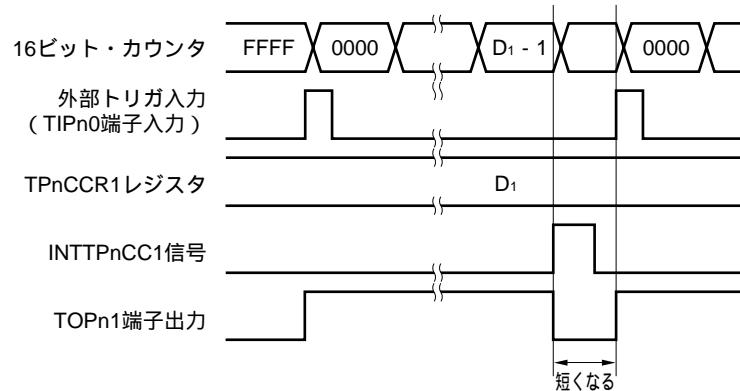


100 %波形を出力するためには, TPnCCR1レジスタに対して(TPnCCR0レジスタの設定値 + 1)の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



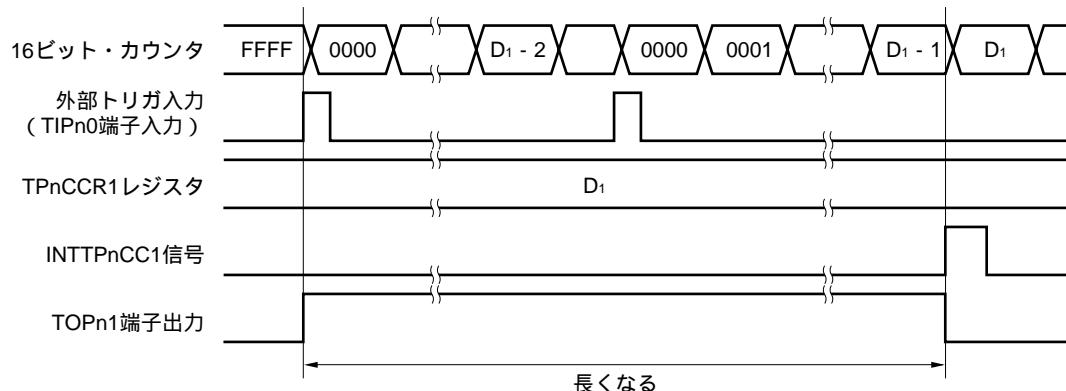
(c) トリガ検出とTPnCCR1レジスタとの一致の競合

INTTPnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。



備考 n = 0-5

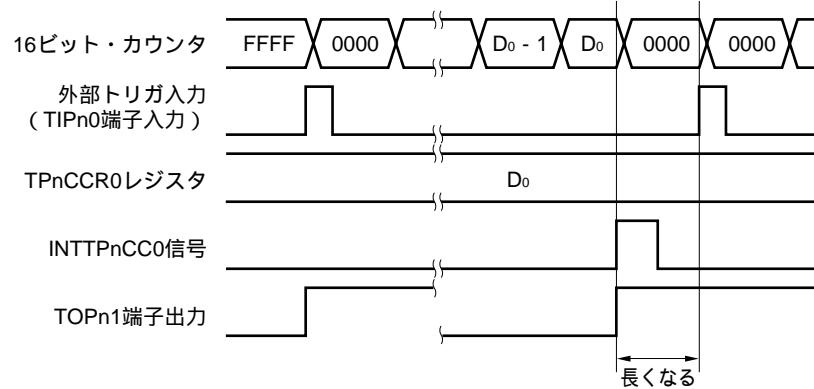
INTTPnCC1信号発生直前にトリガを検出した場合には、INTTPnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。



備考 n = 0-5

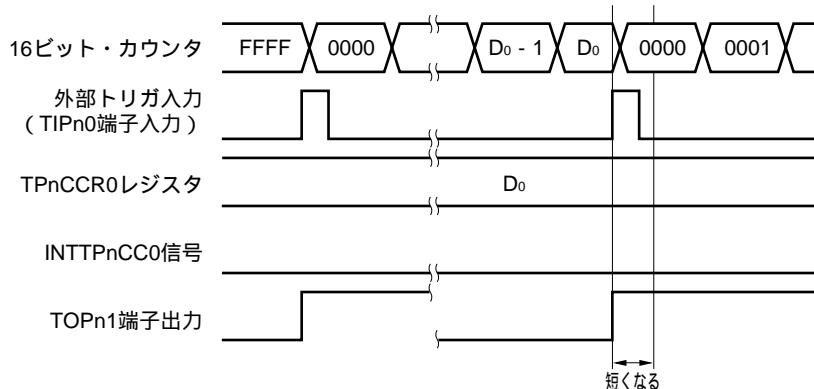
(d) トリガ検出とTPnCCR0レジスタとの一致の競合

INTTPnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPn1端子出力のアクティブ期間が、INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。



備考 n = 0-5

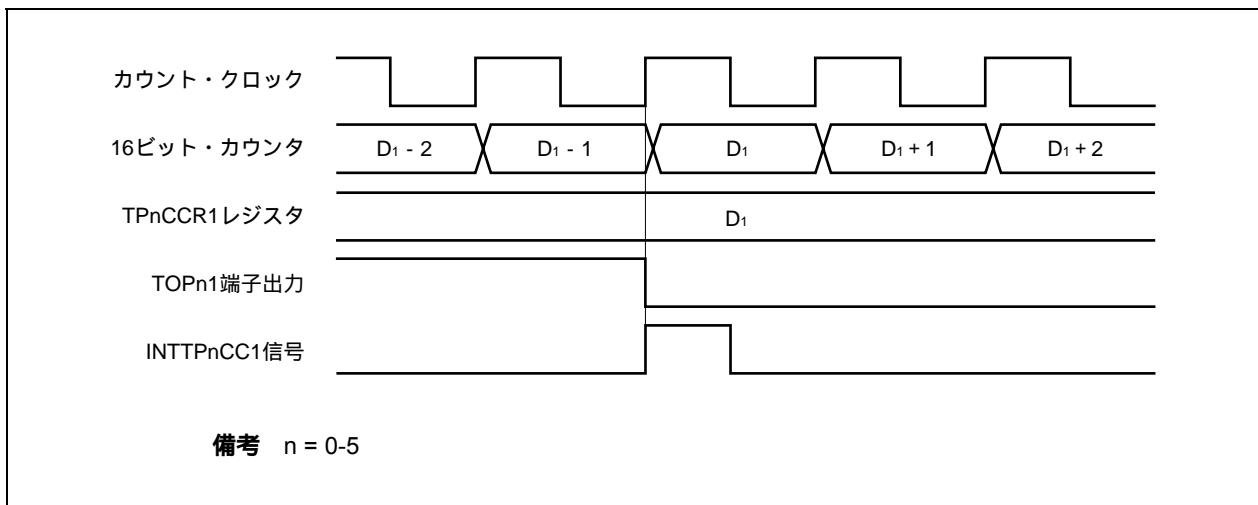
INTTPnCC0信号発生直前にトリガを検出した場合、INTTPnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



備考 n = 0-5

(e) コンペア一致割り込み要求信号(INTTPnCC1)の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致と同時に発生します。



通常、INTTPnCC1信号は、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止（トリガ待ち状態）中のときはインアクティブ・レベルを出力できます。

図7-20 ワンショット・パルス出力モードの構成図

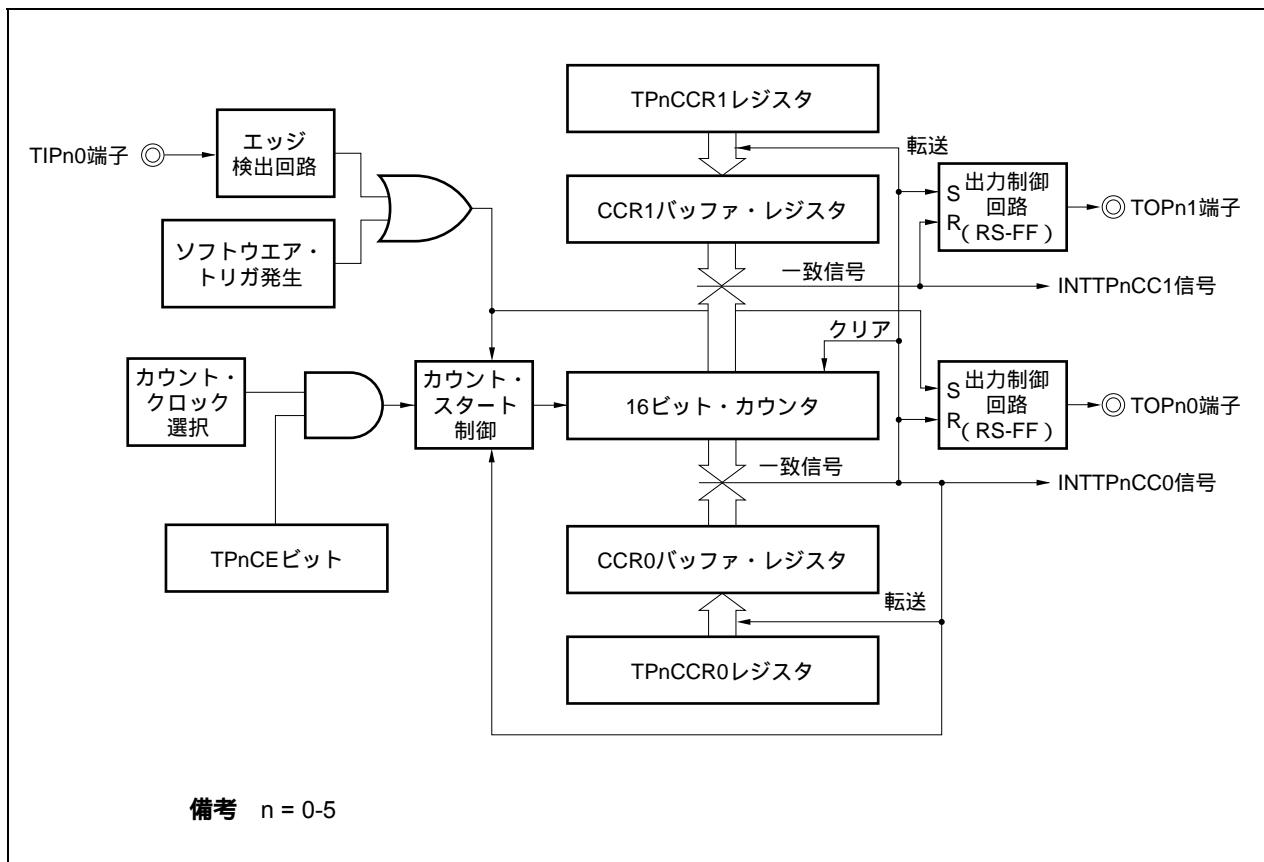
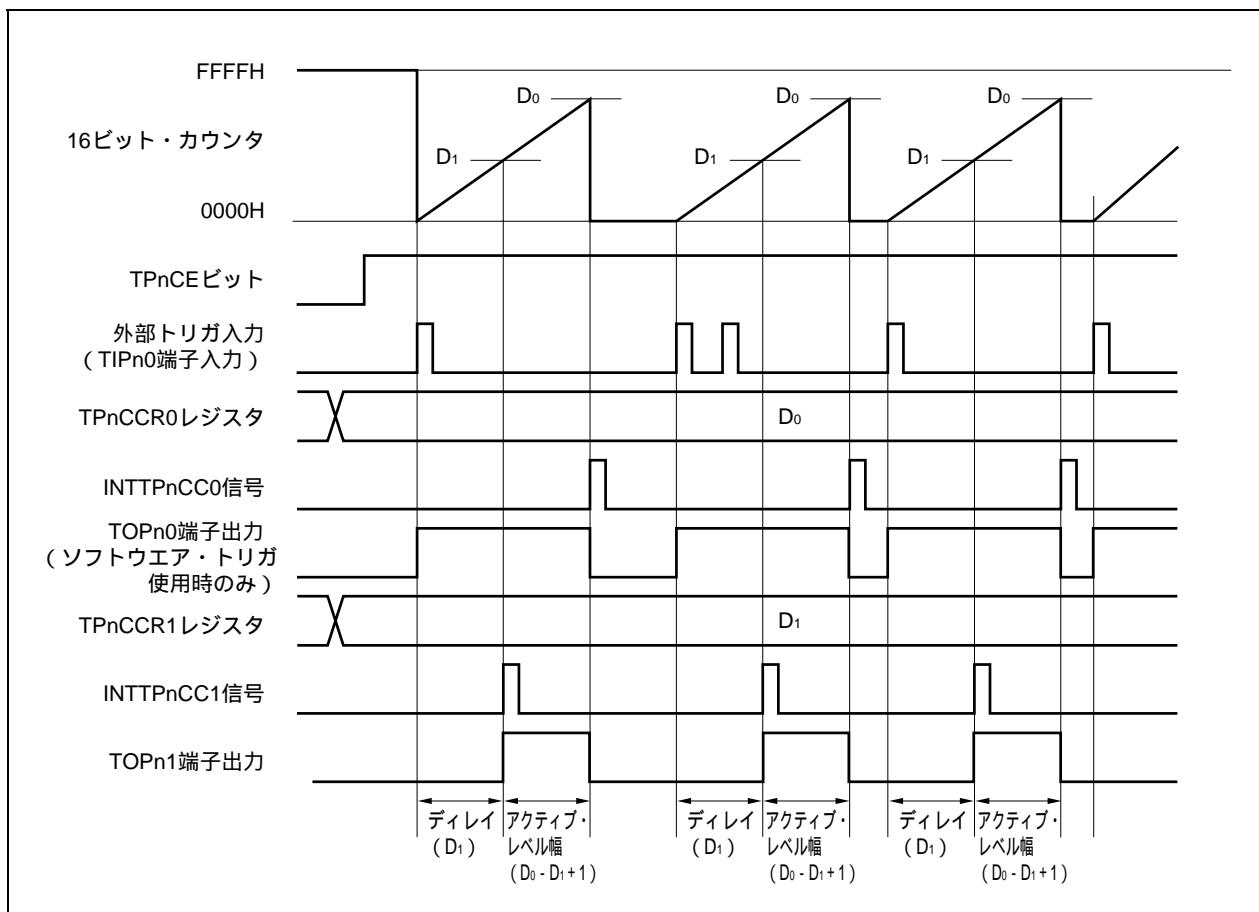


図7-21 ワンショット・パルス出力モードの基本タイミング



TPnCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPnPn1端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\begin{aligned} \text{アクティブ・レベル幅} &= (\text{TPnCCR0レジスタの設定値} - \text{TPnCCR1レジスタの設定値} + 1) \\ &\quad \times \text{カウント・クロック周期} \end{aligned}$$

コンペア一致割り込み要求信号(INTTPnPCC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号(INTTPnPCC1)は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ(TPnCTL1.TPnESTビット)のセット(1)があります。

備考 n = 0-5

m = 0, 1

図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)

	TPnCE				TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0	0/1	0/1	0/1
カウント・クロックの選択 ^{注1}							
0 : カウント動作停止 1 : カウント動作許可							

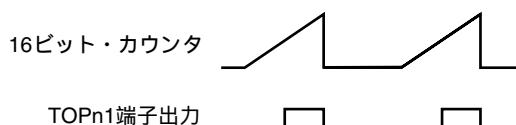
(b) TMPn制御レジスタ1 (TPnCTL1)

	TPnEST	TPnEEE				TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0/1	0/1	0	0	0	1	1
0, 1, 1 : ワンショット・パルス出力モード								
0 : TPnCKS0-TPnCKS2ビットで選択したカウント・クロックで動作 1 : 外部イベント・カウント入力信号でカウント動作								
“1”を書き込むことで、 ソフトウェア・トリガを発生								

(c) TMPnI/O制御レジスタ0 (TPnIOC0)

	TPnOL1	TPnOE1	TPnOL0	TPnOE0				
TPnIOC0	0	0	0	0	0/1	0/1	0/1 ^{注2}	0/1 ^{注2}
TOPn0端子出力禁止 1 : TOPn0端子出力許可								
TOPn0端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル								
TOPn1端子出力禁止 1 : TOPn1端子出力許可								
TOPn1端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ								

・TPnOL1ビット = 0の場合



・TPnOL1ビット = 1の場合

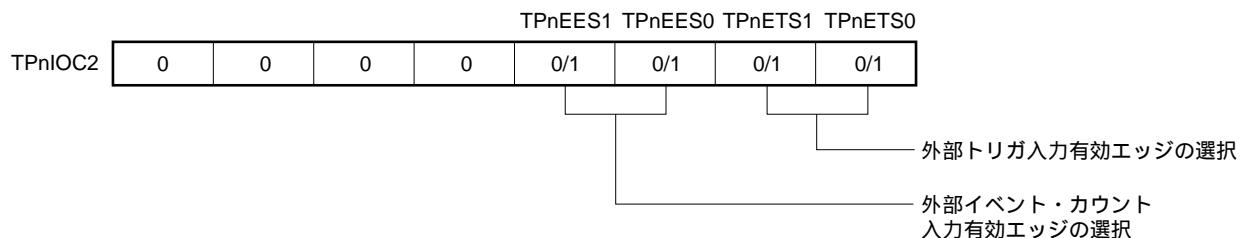


注1. TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

2. ワンショット・パルス出力モードでTOPn0端子を使用しない場合は，“0”に設定してください。

図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容(2/2)

(d) TMPnI/O制御レジスタ2(TPnIOC2)



(e) TMPnカウンタ・リード・バッファ・レジスタ(TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0, 1(TPnCCR0, TPnCCR1)

TPnCCR0レジスタにD₀を設定し、TPnCCR1レジスタにD₁を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D₁ + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = (D₁) × カウント・クロック周期

となります。

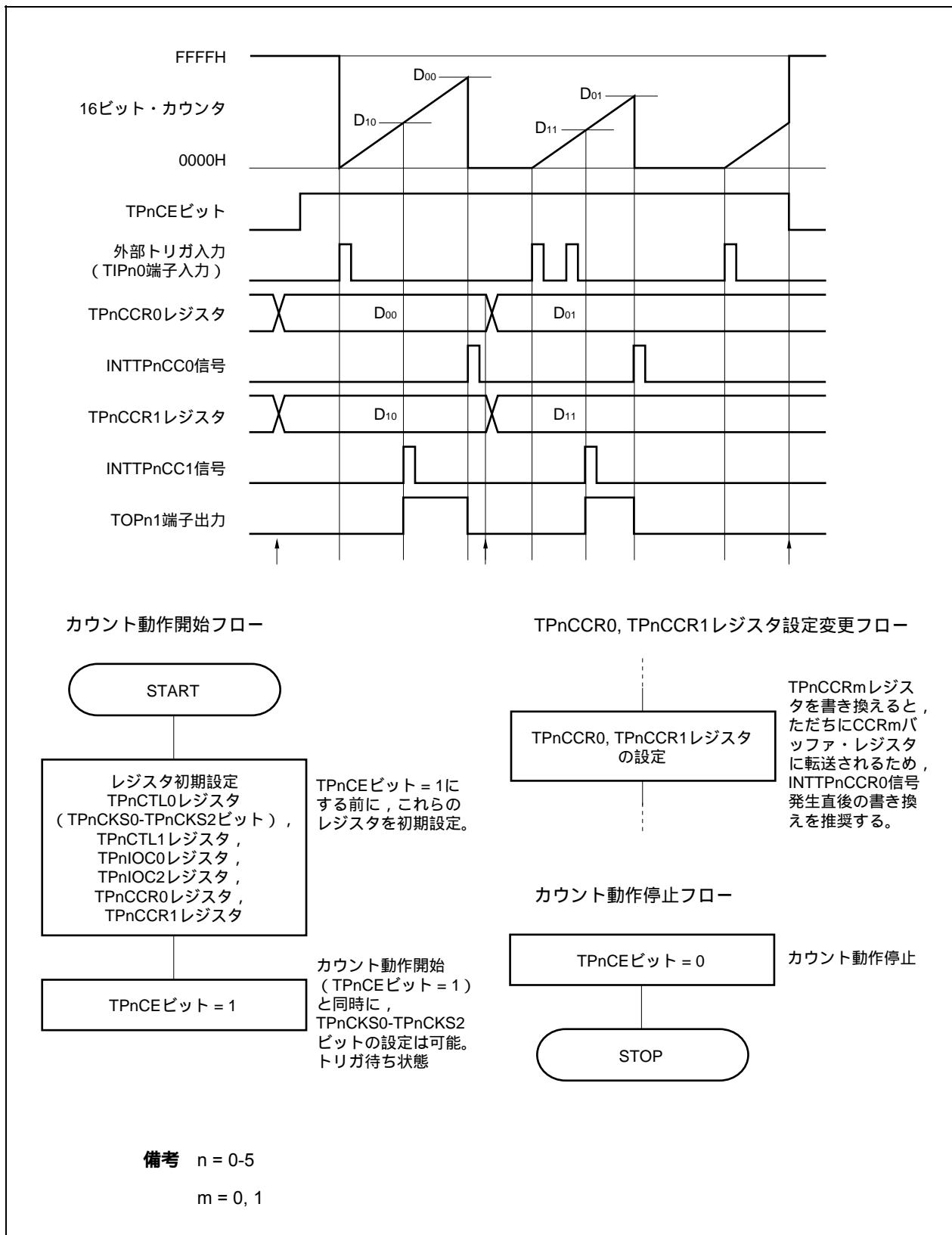
注意 ワンショット・パルス出力モードにおいて、TPnCCR1レジスタの設定値がTPnCCR0レジスタより大きい場合、ワンショット・パルスは出力しません。

備考1. TMPnI/O制御レジスタ1(TPnIOC1), TMPnオプション・レジスタ0(TPnOPT0)は、ワンショット・パルス出力モードでは使用しません。

2. n = 0-5

(1) ワンショット・パルス出力モード動作フロー

図7-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー

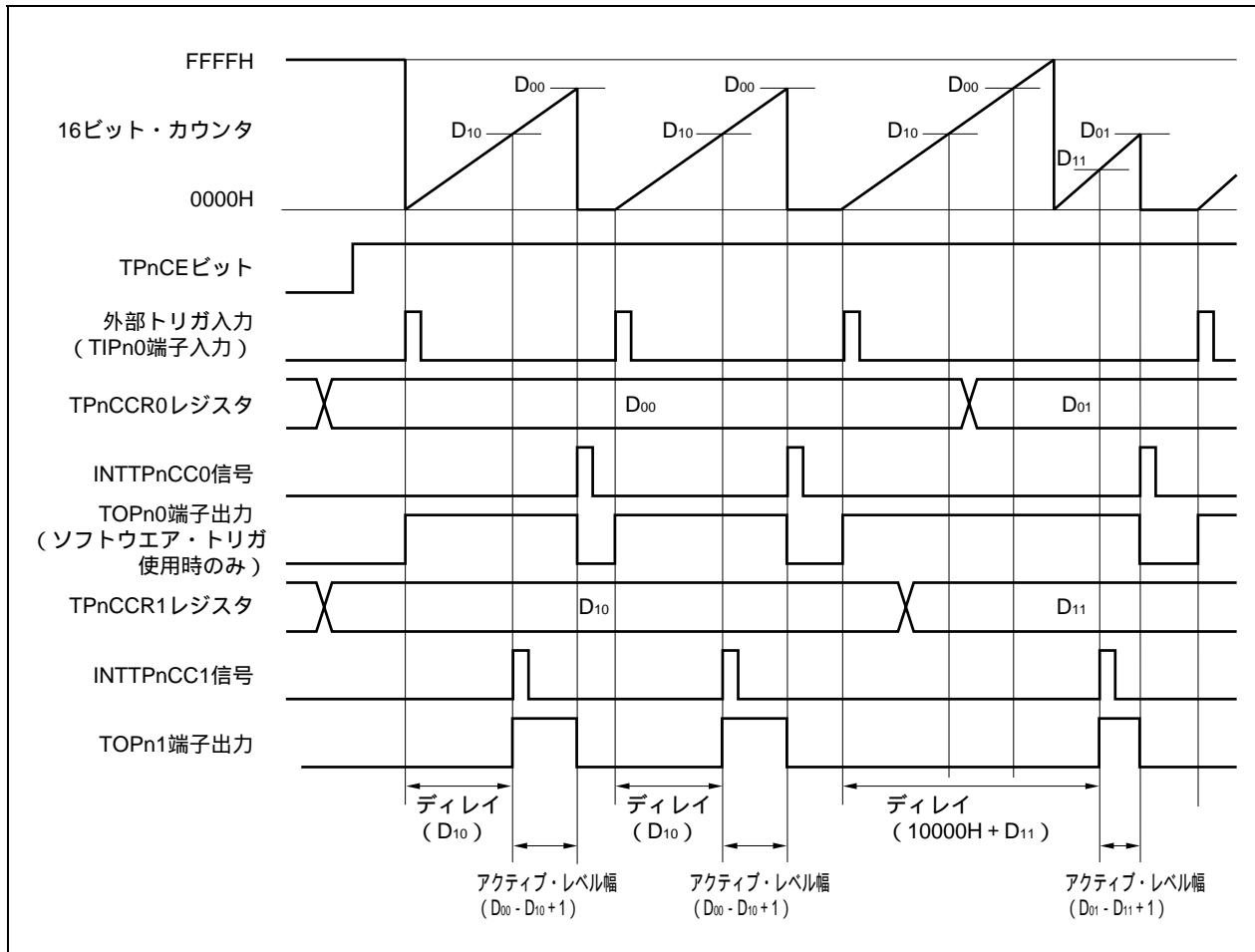


(2) ワンショット・パルス出力モード動作タイミング

(a) TPnCCRmレジスタの書き換えに関する注意事項

TPnCCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCRmレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合があるので注意してください。



TPnCCR0レジスタを D_{00} から D_{01} に、TPnCCR1レジスタを D_{10} から D_{11} に書き換える場合において、 $D_{00} > D_{01}$, $D_{10} > D_{11}$ の状態で、16ビット・カウンタのカウント値が D_{11} よりも大きく D_{10} よりも小さい状態のときTPnCCR1レジスタを書き換え、カウント値が D_{01} よりも大きく D_{00} よりも小さい状態でTPnCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、 D_{11} との一致でINTTPnCC1信号を発生してTOPnPn1端子出力をアクティブ・レベルにし、 D_{01} との一致でINTTPnCC0信号を発生してTOPnPn1端子出力をインアクティブにしてカウント動作を停止します。

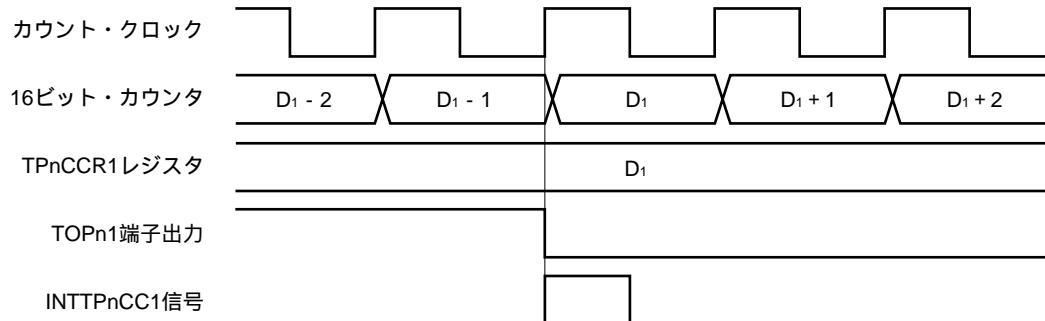
したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 $n = 0\text{--}5$

$m = 0, 1$

(b) コンペア一致割り込み要求信号(INTTPnCC1)の発生タイミング

ワンショット・パルス出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致と同時に発生します。



備考 n = 0-5

通常、INTTPnCC1信号は、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 n = 0-5

7.5.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット(1)することで、TOPn1端子からPWM波形を出力します。

また、TOPn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

図7-24 PWM出力モードの構成図

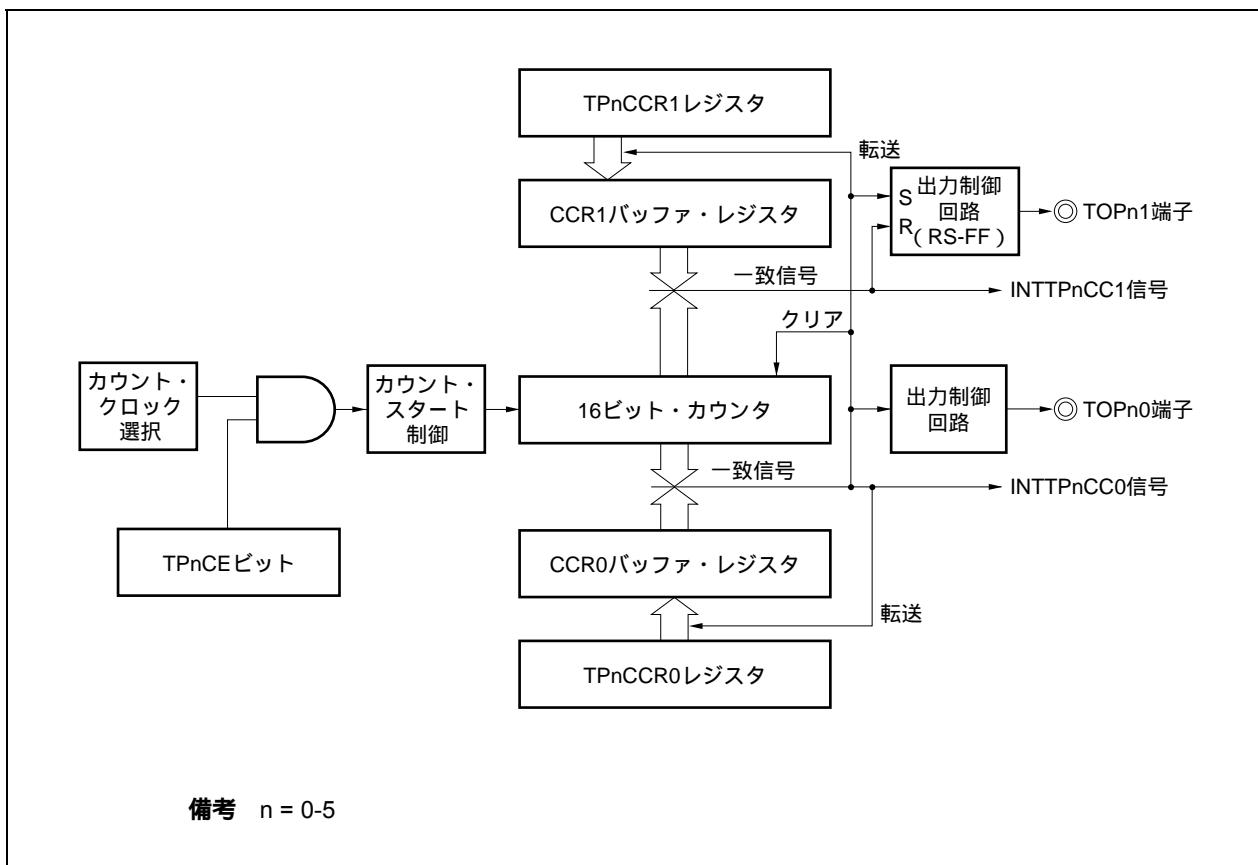
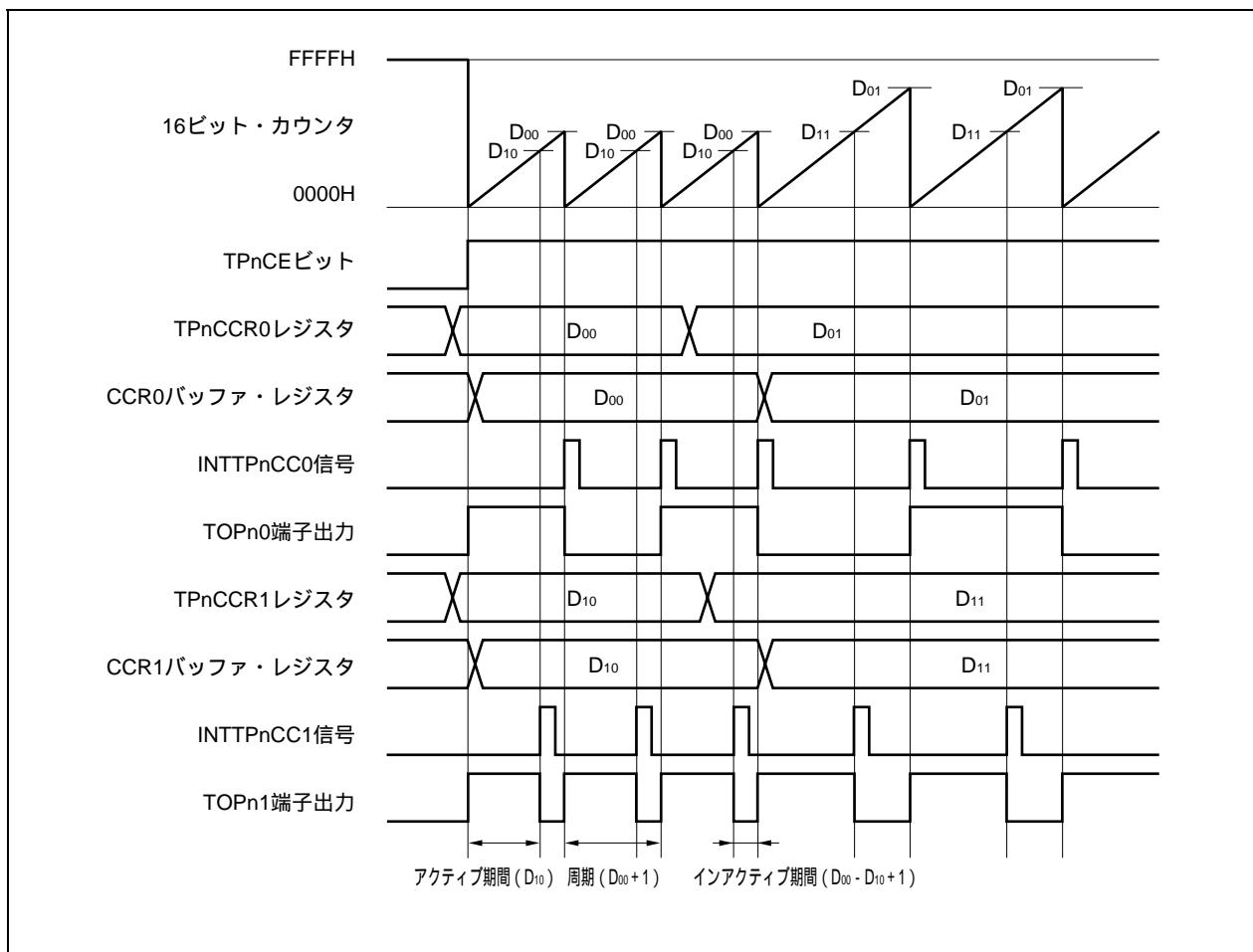


図7-25 PWM出力モードの基本タイミング



TPnCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPnCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TPnCCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TPnCCR1レジスタの設定値}) / (\text{TPnCCR0レジスタの設定値} + 1)$$

動作中にTPnCCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号 (INTTPnPCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号 (INTTPnPCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPnCCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCRmバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

備考 n = 0-5, m = 0, 1

図7-26 PWM出力モード動作時のレジスタ設定内容(1/2)

(a) TMPn制御レジスタ0(TPnCTL0)

	TPnCE				TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1	0	0	0	0/1	0/1	0/1
カウント・クロックの選択 ^{注1}							
0 : カウント動作停止 1 : カウント動作許可							

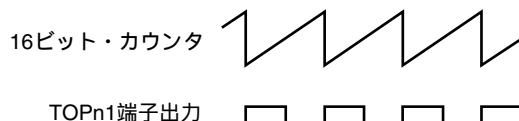
(b) TMPn制御レジスタ1(TPnCTL1)

	TPnEST	TPnEEE				TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0	0	0/1	0	0	1	0	0
1, 0, 0 : PWM出力モード								
0 : TPnCKS0-TPnCKS2ビットで選択したカウント・クロックで動作 1 : 外部イベント・カウント入力信号でカウント動作								

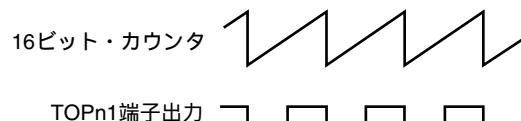
(c) TMPnI/O制御レジスタ0(TPnIOC0)

	TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0	0	0	0
0 : TOPn0端子出力禁止 1 : TOPn0端子出力許可				
TOPn0端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル				
0 : TOPn1端子出力禁止 1 : TOPn1端子出力許可				
TOPn1端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ				

・TPnOL1ビット = 0の場合



・TPnOL1ビット = 1の場合

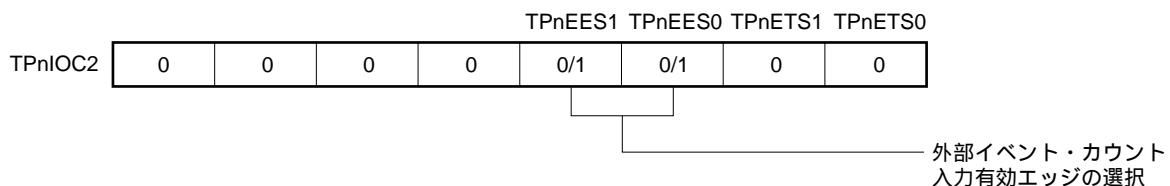


注1. TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

2. PWM出力モードでTOPn0端子を使用しない場合は，“0”に設定してください。

図7-26 PWM出力モード動作時のレジスタ設定内容(2/2)

(d) TMPnI/O制御レジスタ2(TPnIOC2)



(e) TMPnカウンタ・リード・バッファ・レジスタ(TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0, 1(TPnCCR0, TPnCCR1)

TPnCCR0レジスタにD₀を設定し、TPnCCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント・クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント・クロック周期}$$

となります。

備考1. TMPnI/O制御レジスタ1(TPnIOC1), TMPnオプション・レジスタ0(TPnOPT0)は、PWM出力モードでは使用しません。

2. n = 0-5

(1) PWM出力モード動作フロー

図7-27 PWM出力モード使用時のソフトウェア処理フロー(1/2)

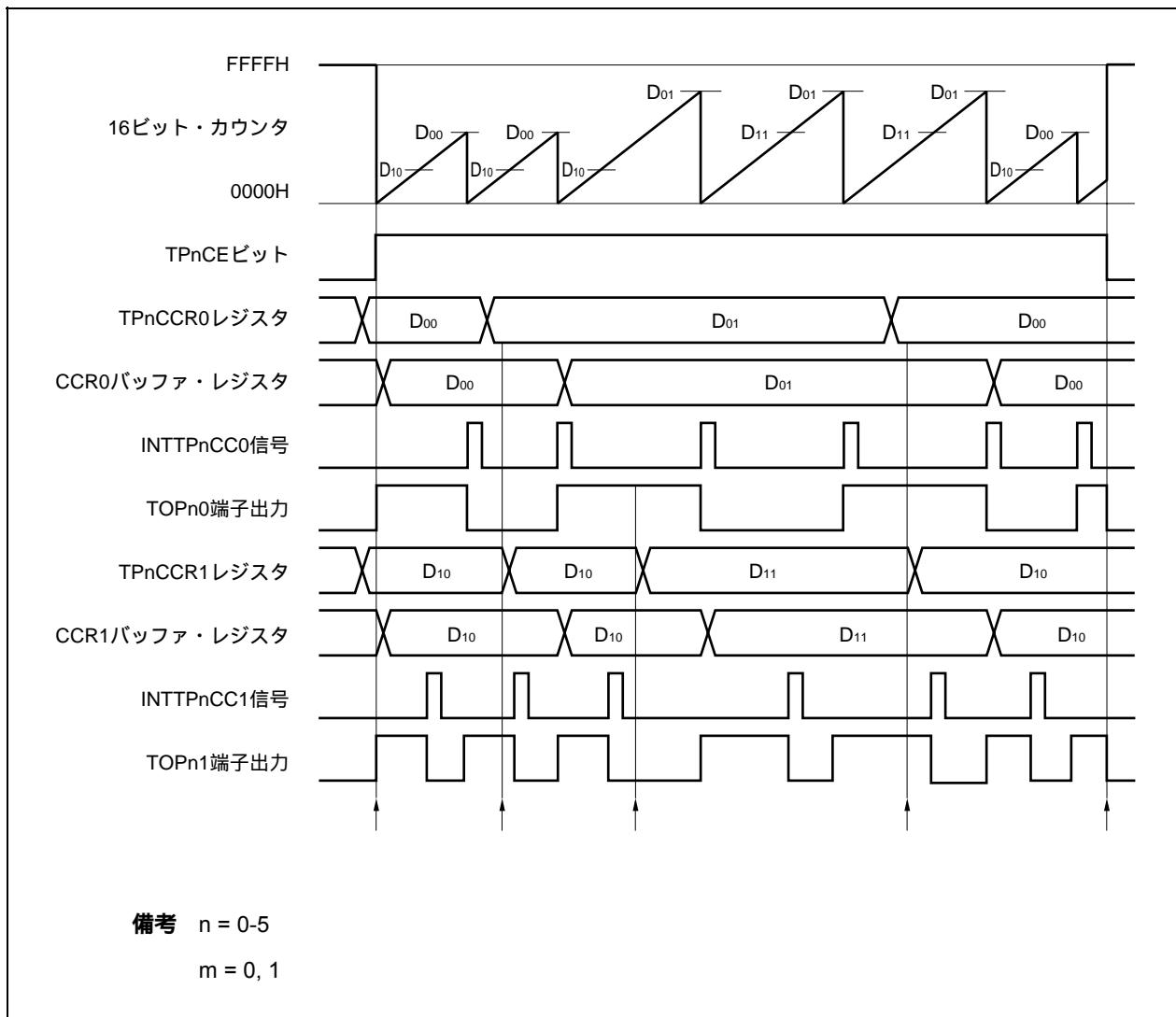
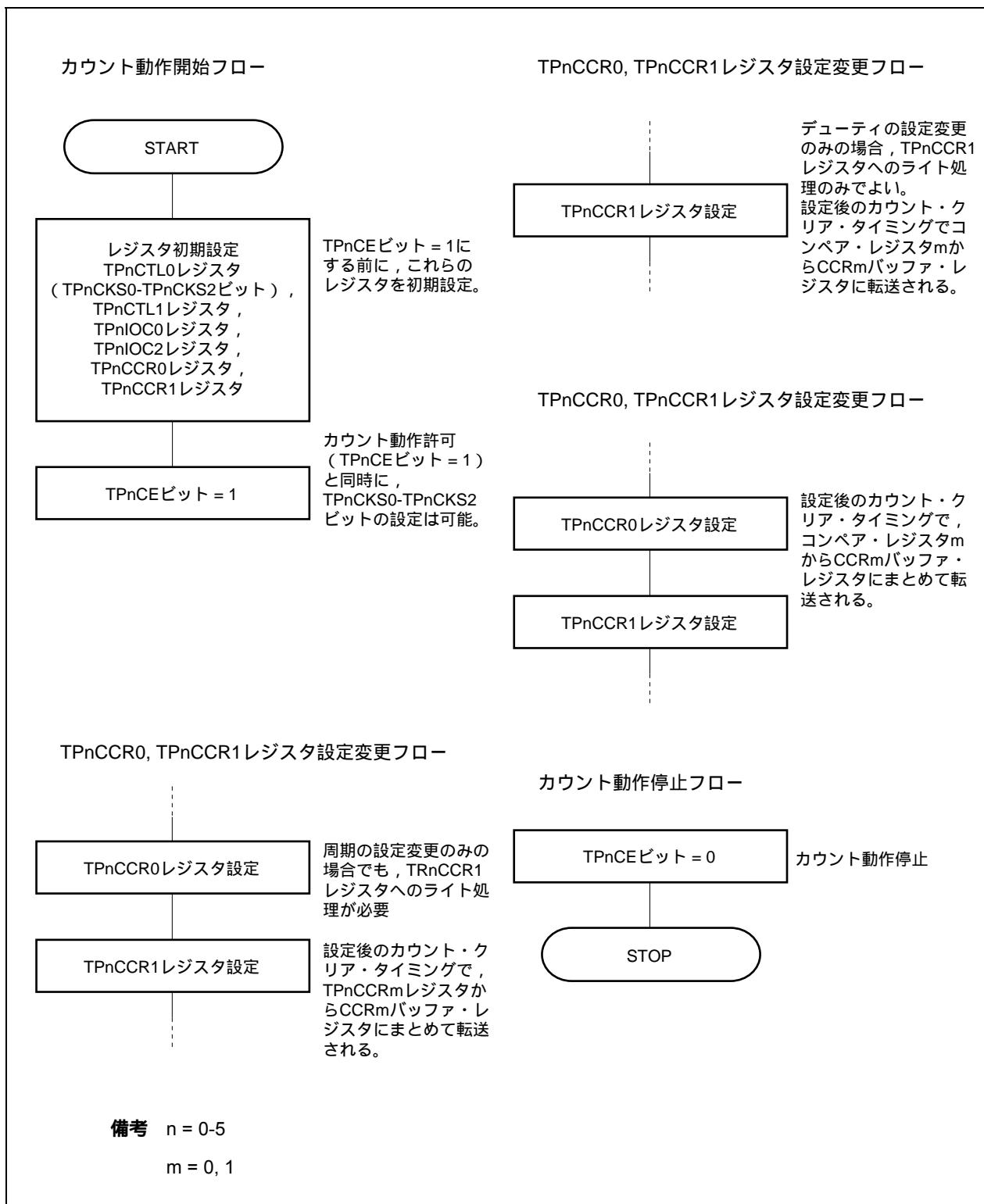


図7-27 PWM出力モード使用時のソフトウェア処理フロー (2/2)

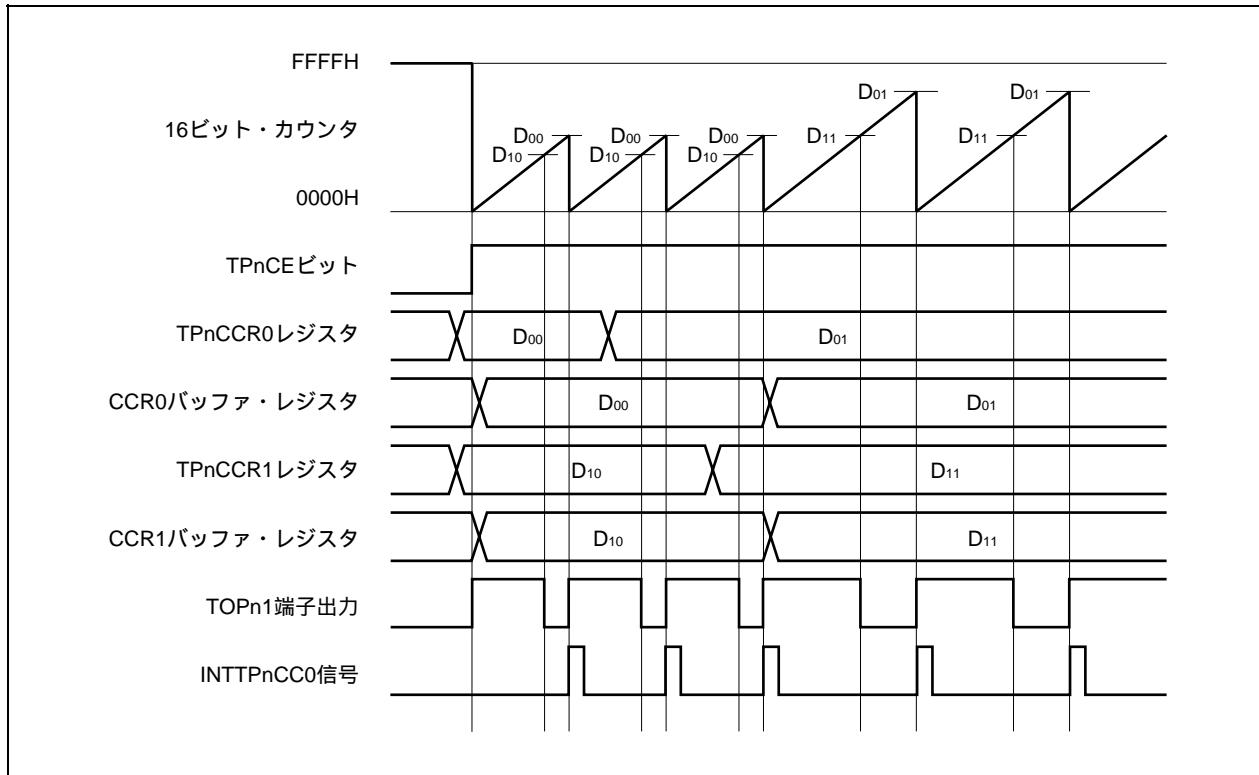


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRmレジスタの書き換えを行う場合には、INTTPnPCC0信号を検出後に書き換えてください。



TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、その後でTPnCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、その後でTPnCCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

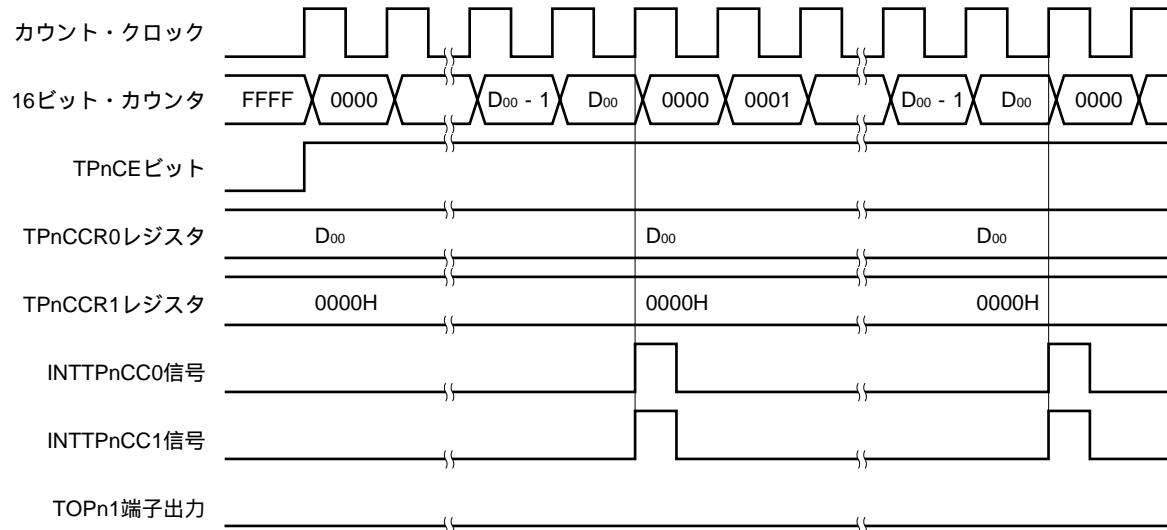
TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnPCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TPnCCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0-5, m = 0, 1

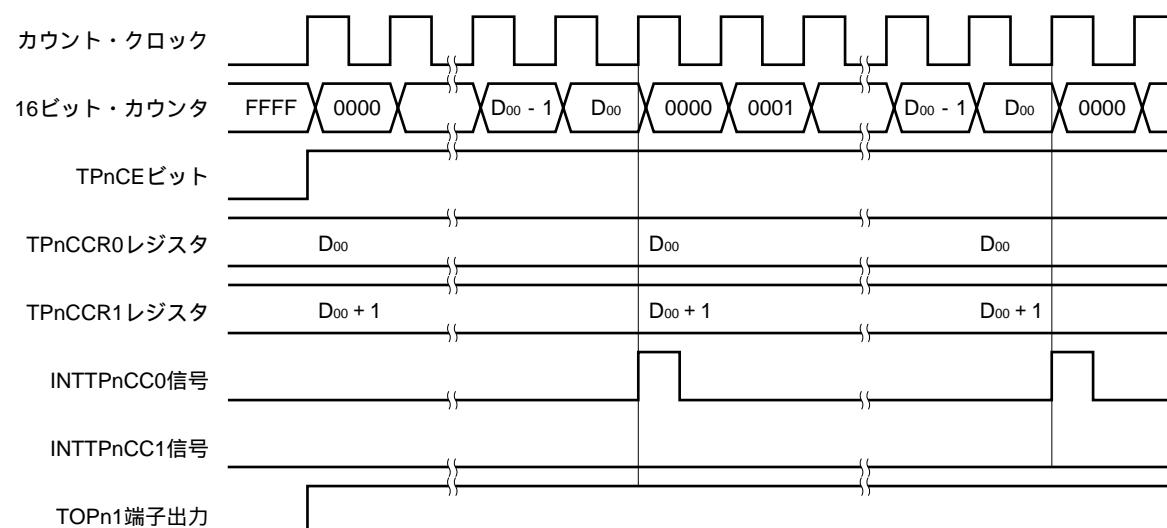
(b) PWM波形の0 % / 100 %出力

0 %波形を出力するためには, TPnCCR1レジスタに対して0000Hを設定します。ただし, TPnCCR0レジスタの設定値がFFFFHの場合には, INTTPnCC1信号が定期的に発生します。



備考 n = 0-5

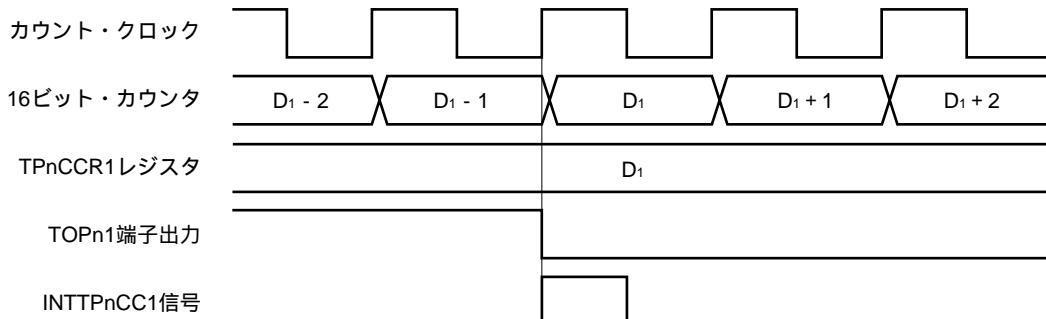
100 %波形を出力するためには, TPnCCR1レジスタに対して(TPnCCR0レジスタの設定値 + 1)の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には, 100 %出力はできません。



備考 n = 0-5

(c) コンペア一致割り込み要求信号(INTTPnCC1)の発生タイミング

PWM出力モードにおけるINTTPnCC1信号の発生タイミングは、ほかのINTTPnCC1信号と異なり、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致と同時に発生します。



備考 n = 0-5

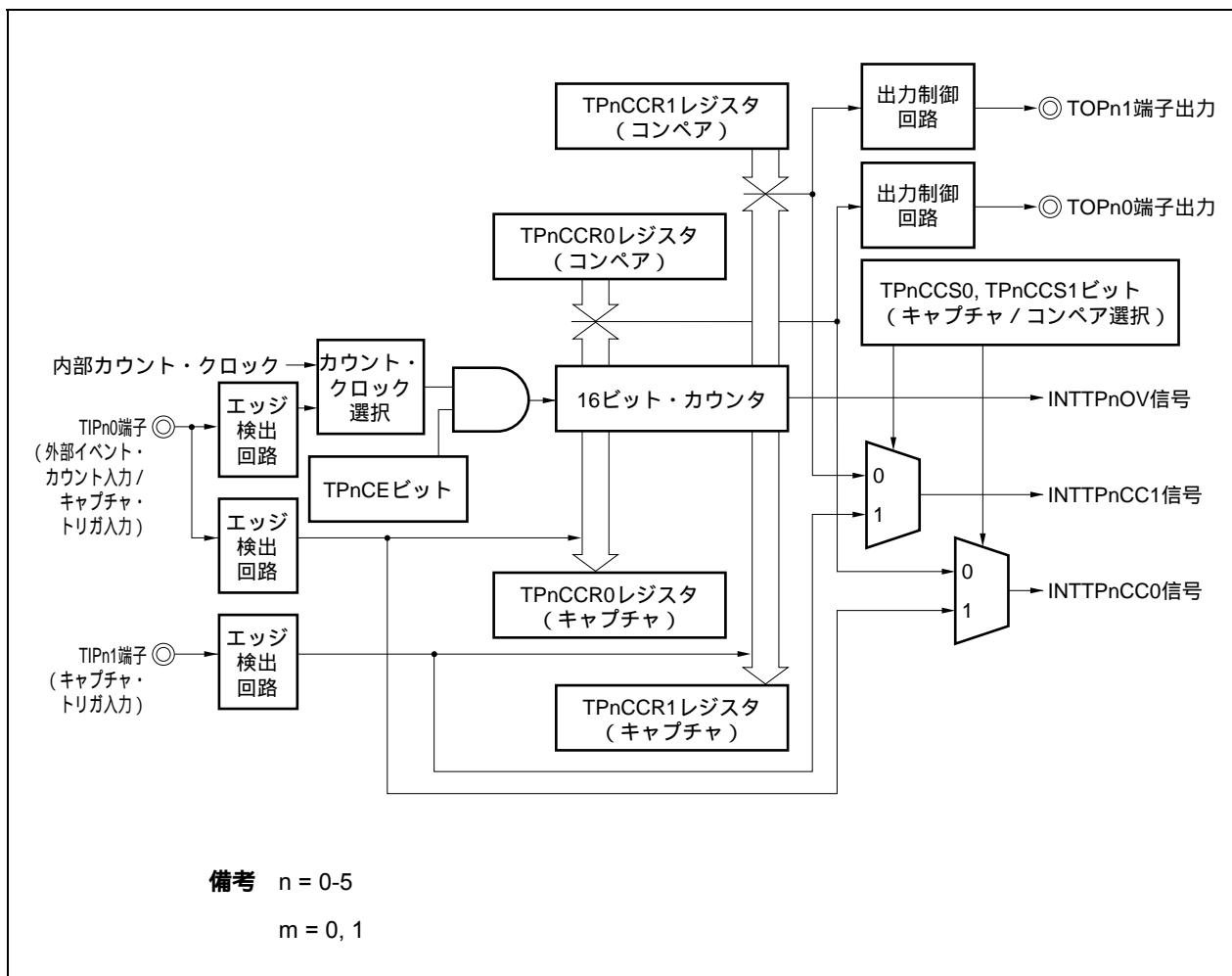
通常、INTTPnCC1信号は、16ビット・カウンタのカウント値とTPnCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPn1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.5.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPnCCRmレジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-28 フリー・ランニング・タイマ・モードの構成図

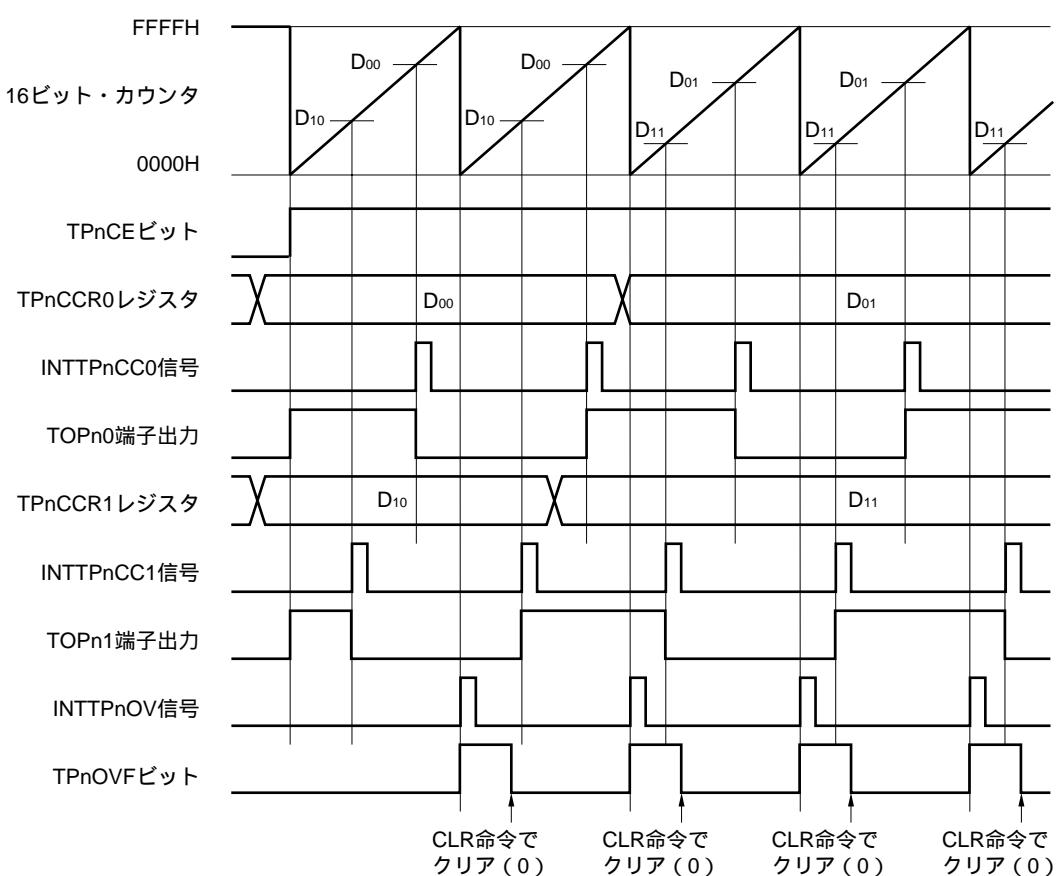


TPnCEビットをセット(1)することで、カウント動作を開始し、TOPn0, TOPn1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTPnCCM)を発生し、TOPnm端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TPnCCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、隨時書き換えた値が反映され、カウント値と比較されます。

図7-29 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



備考 n = 0-5

m = 0, 1

TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-30 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

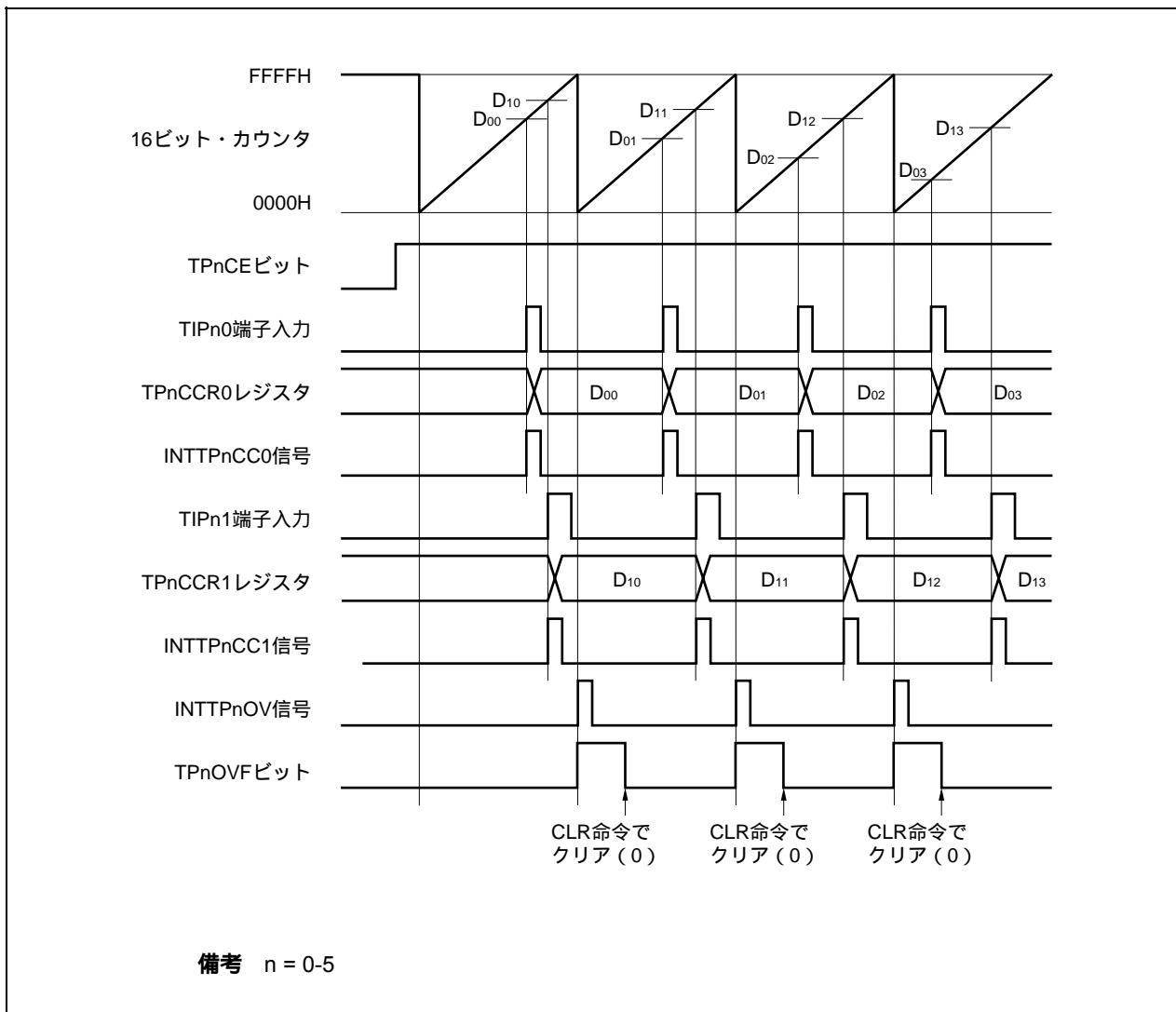


図7-31 フリー・ランニング・タイマモード動作時のレジスタ設定内容(1/2)

(a) TMPn制御レジスタ0(TPnCTL0)

	TPnCE	TPnCKS2	TPnCKS1	TPnCKS0
TPnCTL0	0/1 0	0	0	0 0/1 0/1 0/1
				カウント・クロックの選択注 0: カウント動作停止 1: カウント動作許可

注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

(b) TMPn制御レジスタ1(TPnCTL1)

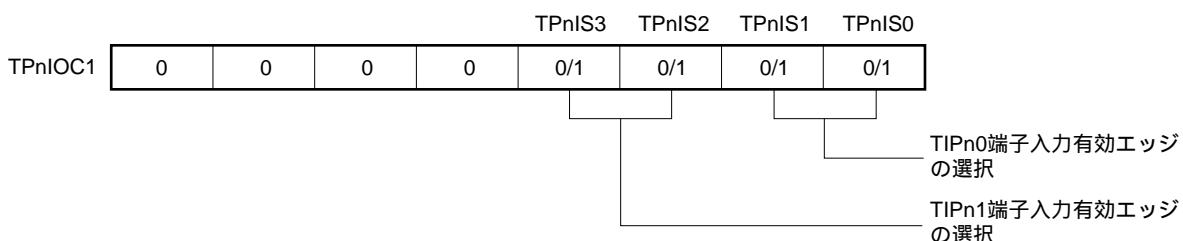
	TPnEST	TPnEEE	TPnMD2	TPnMD1	TPnMD0
TPnCTL1	0 0	0/1 0	0 1	0 0	1 1
					1, 0, 1: フリー・ランニング・モード 0: TPnCKS0-TPnCKS2ビットで選択したカウント・クロックで動作 1: 外部イベント・カウント入力信号でカウント動作

(c) TMPnI/O制御レジスタ0(TPnIOC0)

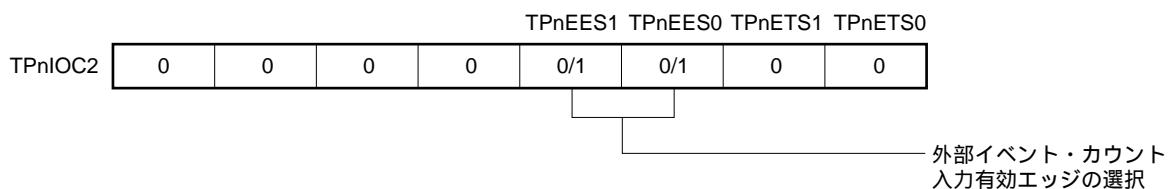
	TPnOL1	TPnOE1	TPnOL0	TPnOE0
TPnIOC0	0 0	0 0	0/1 0/1	0/1 0/1
				0: TOPn0端子出力禁止 1: TOPn0端子出力許可 TOPn0端子の動作禁止状態での出力レベルの設定 0: ロウ・レベル 1: ハイ・レベル 0: TOPn1端子出力禁止 1: TOPn1端子出力許可 TOPn1端子の動作禁止状態での出力レベルの設定 0: ロウ・レベル 1: ハイ・レベル

図7-31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容(2/2)

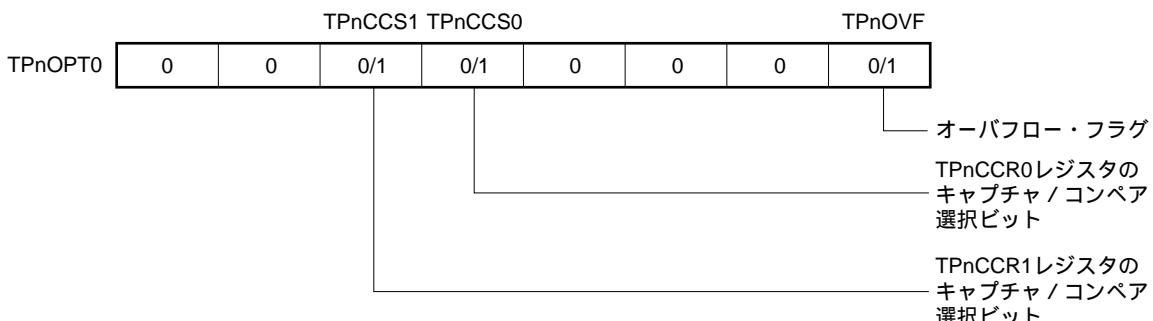
(d) TMPnI/O制御レジスタ1(TPnIOC1)



(e) TMPnI/O制御レジスタ2(TPnIOC2)



(f) TMPnオプション・レジスタ0(TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ(TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ/コンペア・レジスタ0, 1(TPnCCR0, TPnCCR1)

TPnOPT0.TPnCCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRmレジスタにDmを設定した場合、カウンタが(Dm + 1)になるタイミングでINTTPnCCm信号を発生し、TOPnm端子出力を反転します。

備考 n = 0-5

m = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(コンペア機能)(1/2)

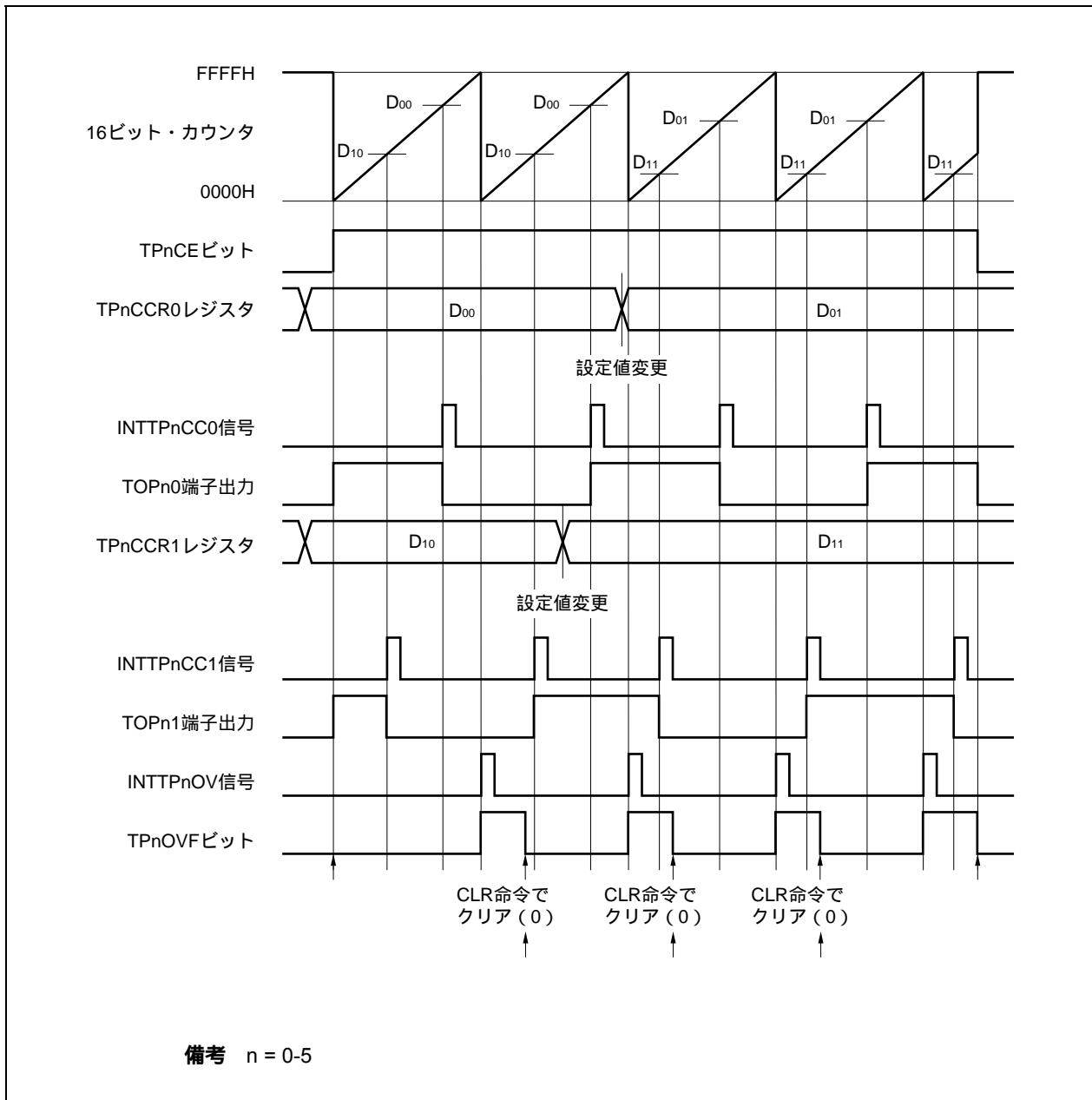
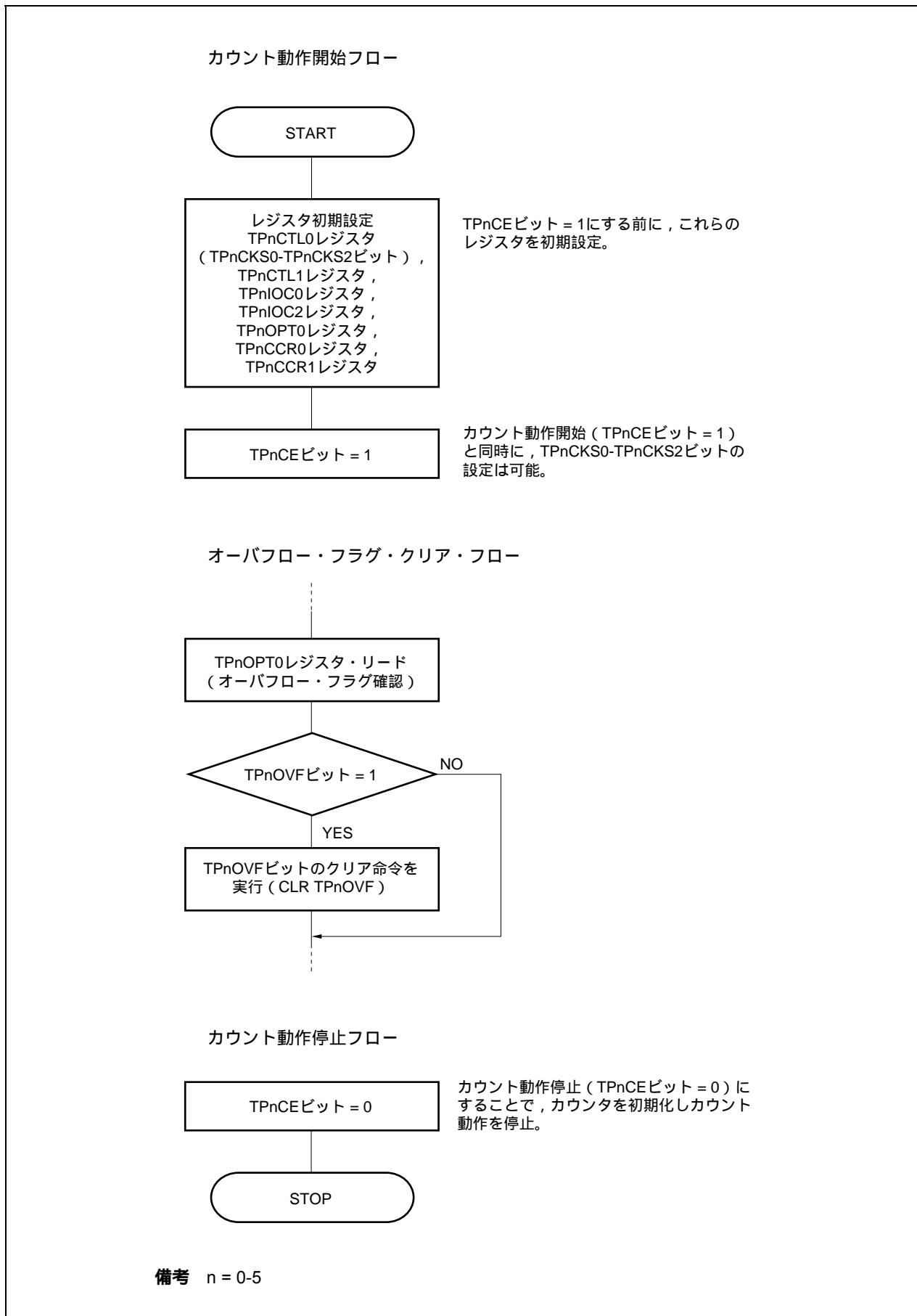


図7-32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(コンペア機能)(2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7-33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能)(1/2)

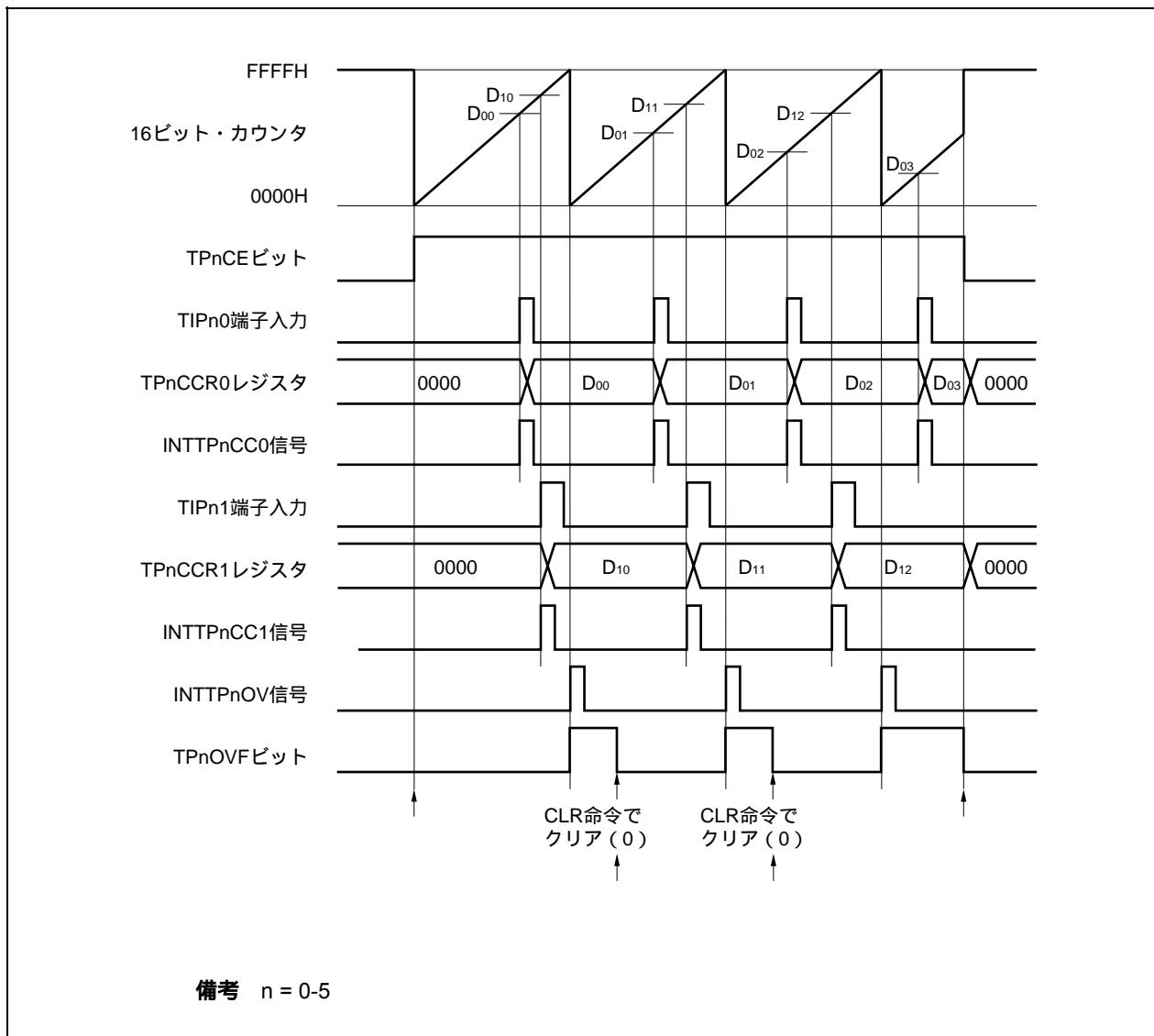
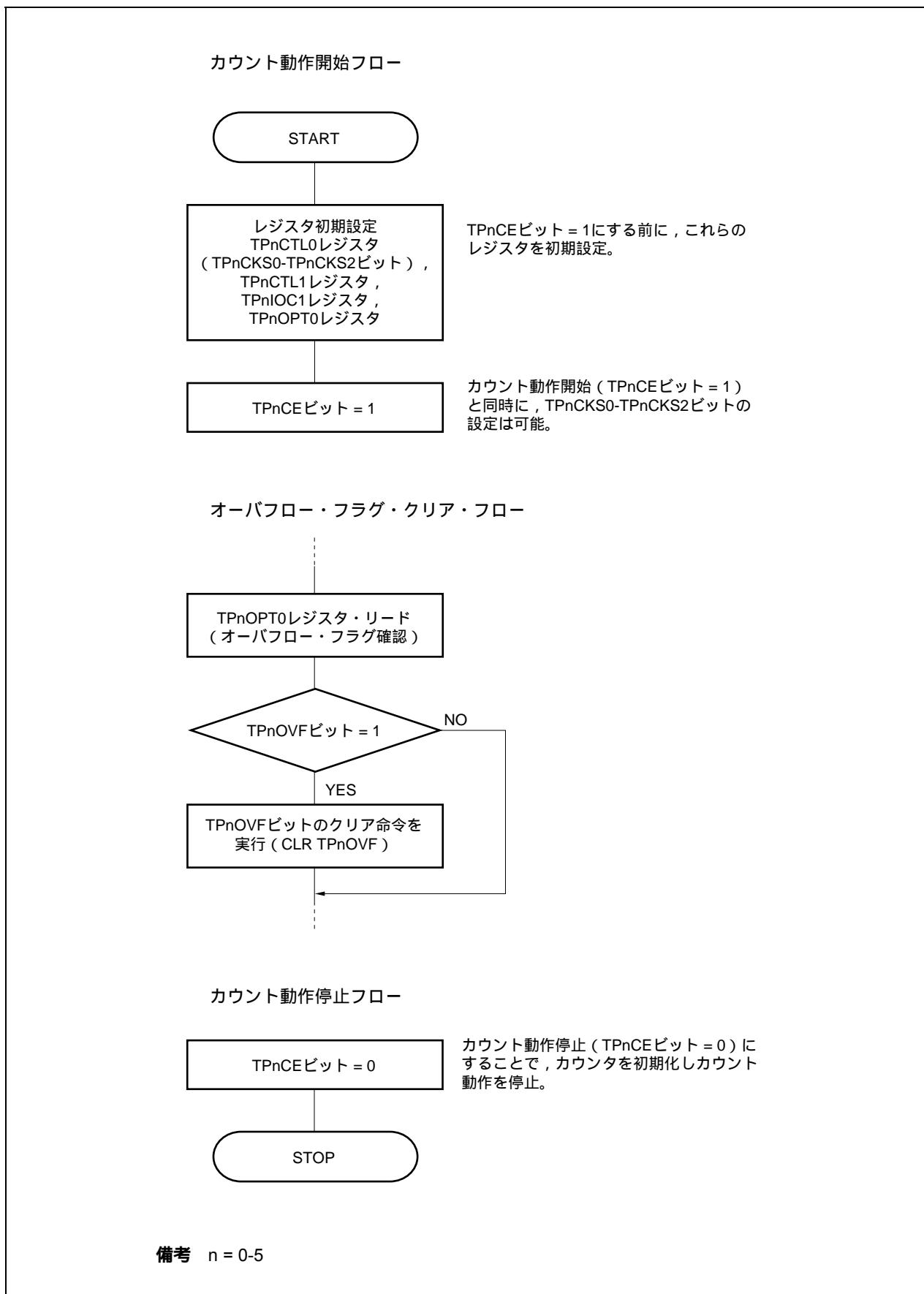


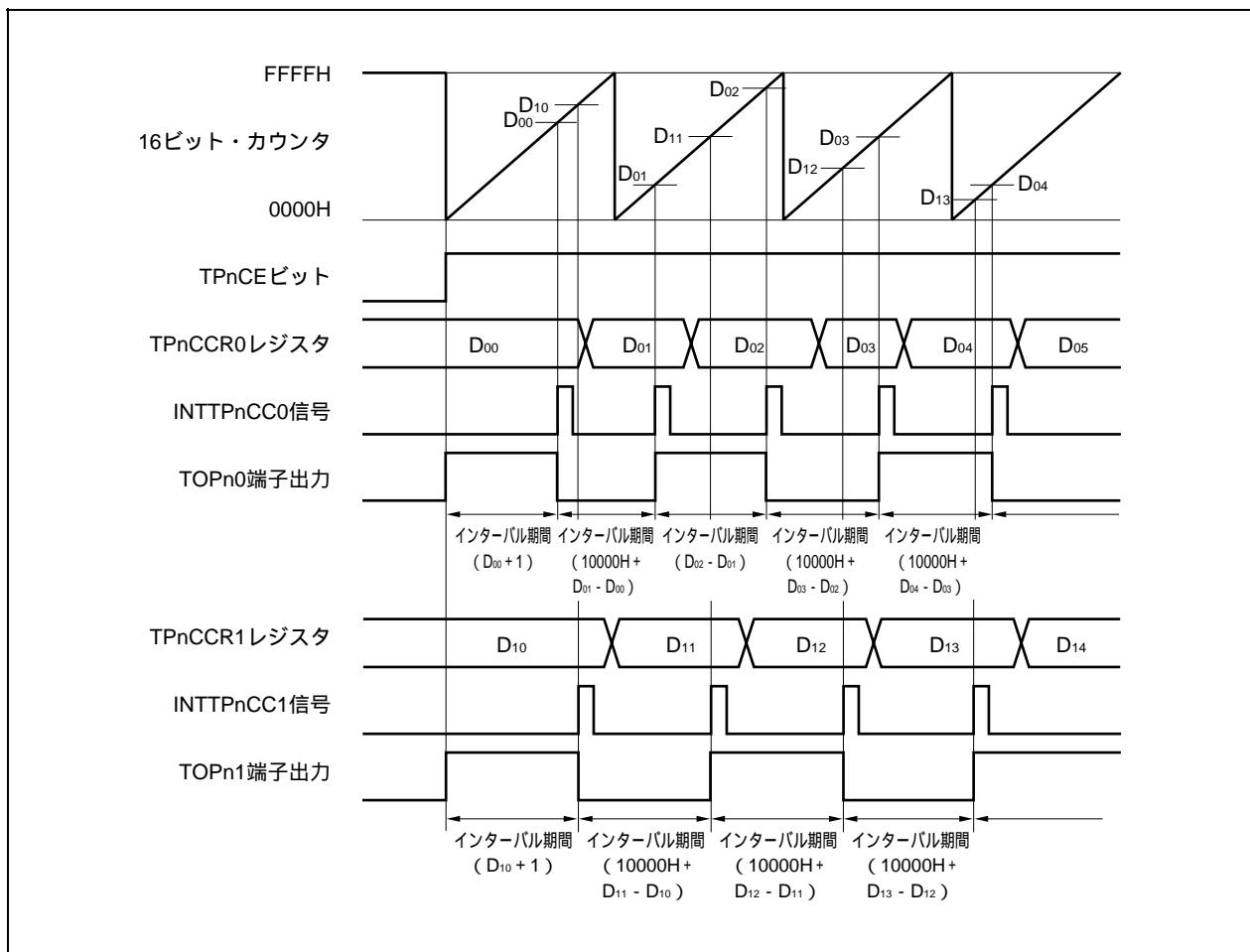
図7-33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能)(2/2)



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCm信号を検出したときの割り込み処理中に、対応するTPnCCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

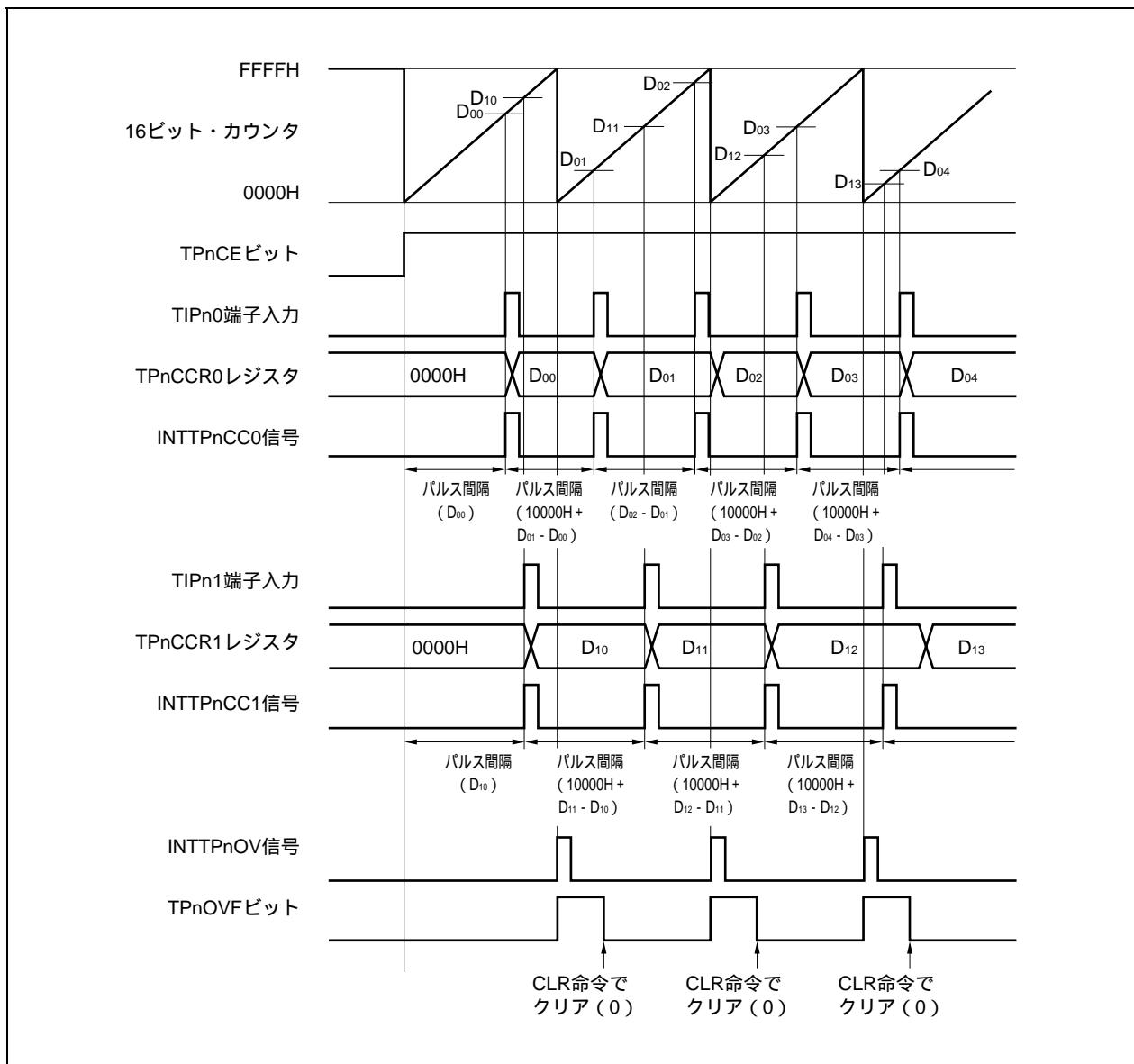
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0-5

m = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPnCCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTPnCCm信号に同期してTPnCCRmレジスタの値をリードし、同一キャプチャ・レジスタの前回のリード・データとの差分を求めることでパルス幅を算出できます。

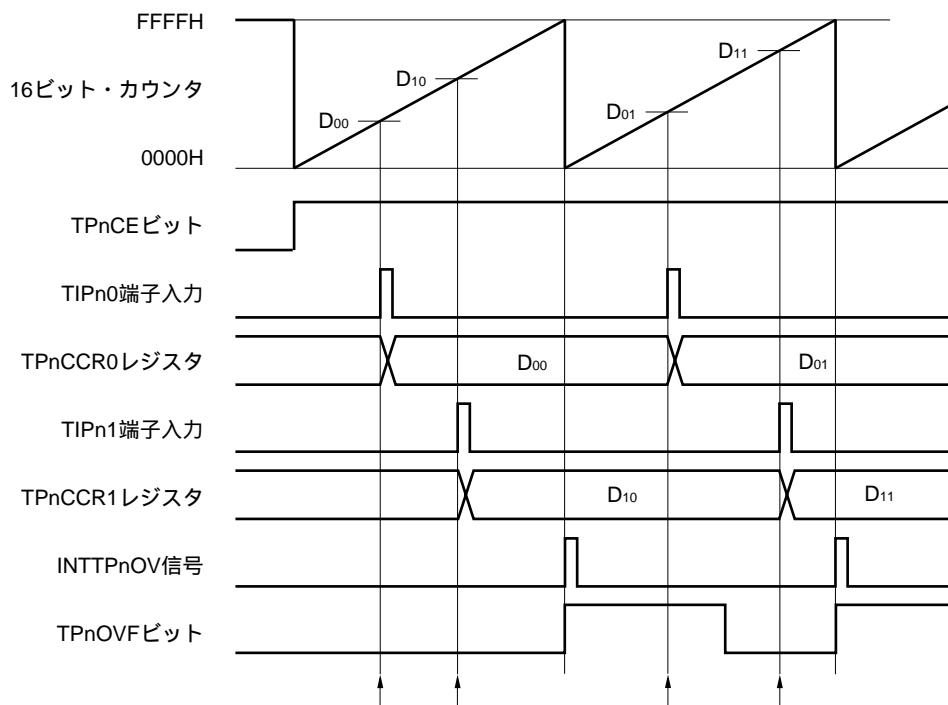
備考 n = 0-5

m = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバフローの処理方法

2つのキャプチャを使用する場合には、オーバフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。

TPnCCR0レジスタをリードする。

オーバフロー・フラグをリードする。 オーバフロー・フラグが“1”だった場合、クリア(0)する。

オーバフロー・フラグが“1”なので、パルス幅は($10000H + D_{01} - D_{00}$)で求められます。

TPnCCR1レジスタをリードする。

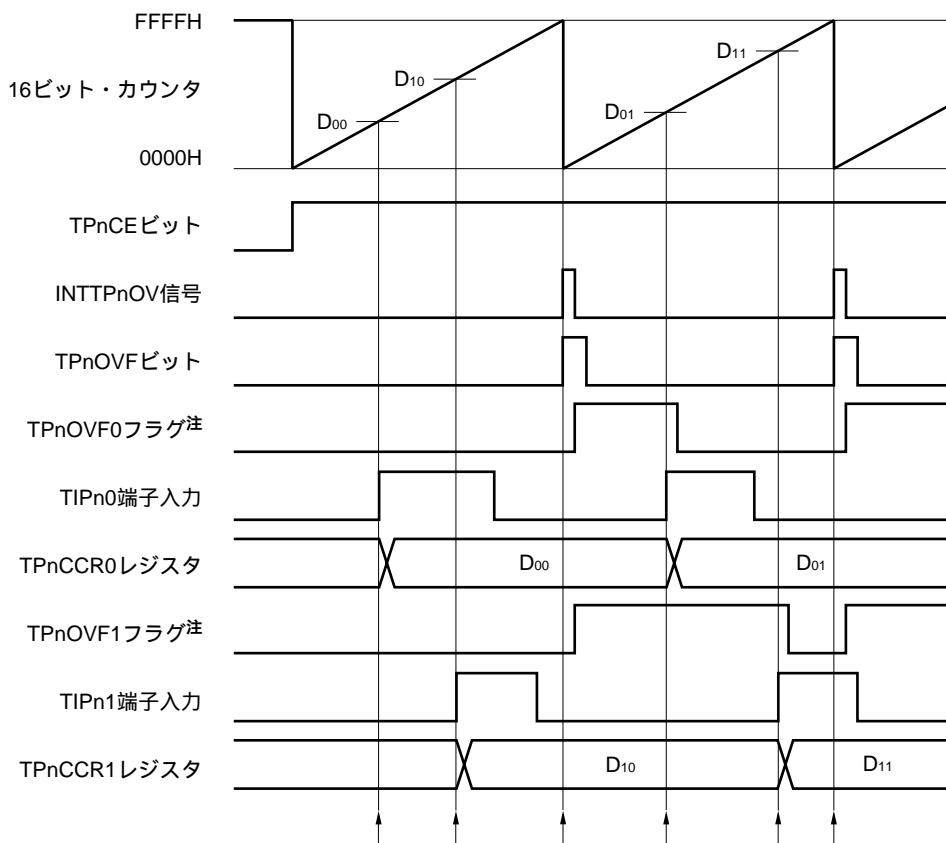
オーバフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバフロー・フラグが“0”なので、パルス幅は($D_{11} - D_{10}$)で求められます(NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例(オーバフロー割り込みを使用)



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCR0レジスタをリードする(TIPn0端子入力の初期値設定)。

TPnCCR1レジスタをリードする(TIPn1端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、TPnOVF0, TPnOVF1フラグをセット(1)し、オーバフロー・フラグをクリア(0)する。

TPnCCR0レジスタをリードする。

TPnOVF0フラグをリードする。TPnOVF0フラグが“1”だった場合、クリア(0)する。

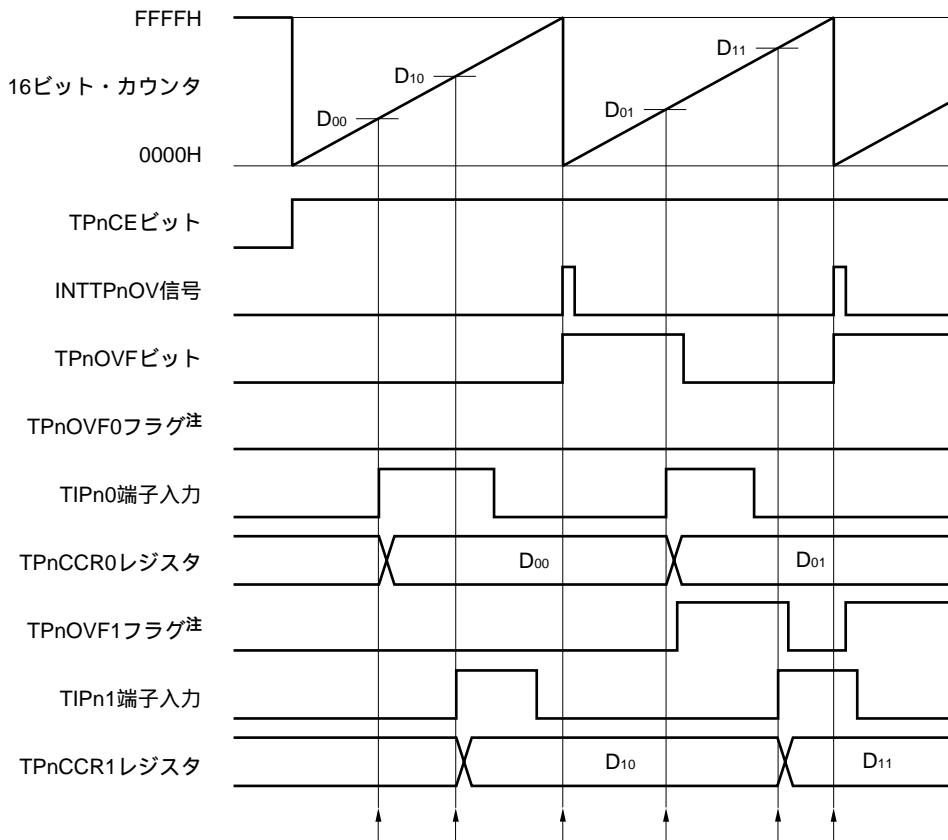
TPnOVF0フラグが“1”なので、パルス幅は($10000H + D_{01} - D_{00}$)で求められます。

TPnCCR1レジスタをリードする。

TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア(0)する(クリア(0)されたのはTPnOVF0フラグであり、TPnOVF1フラグは“1”的ままで)。

TPnOVF1フラグが“1”なので、パルス幅は($10000H + D_{11} - D_{10}$)で求められます(OK)。
と同じです。

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用しない）



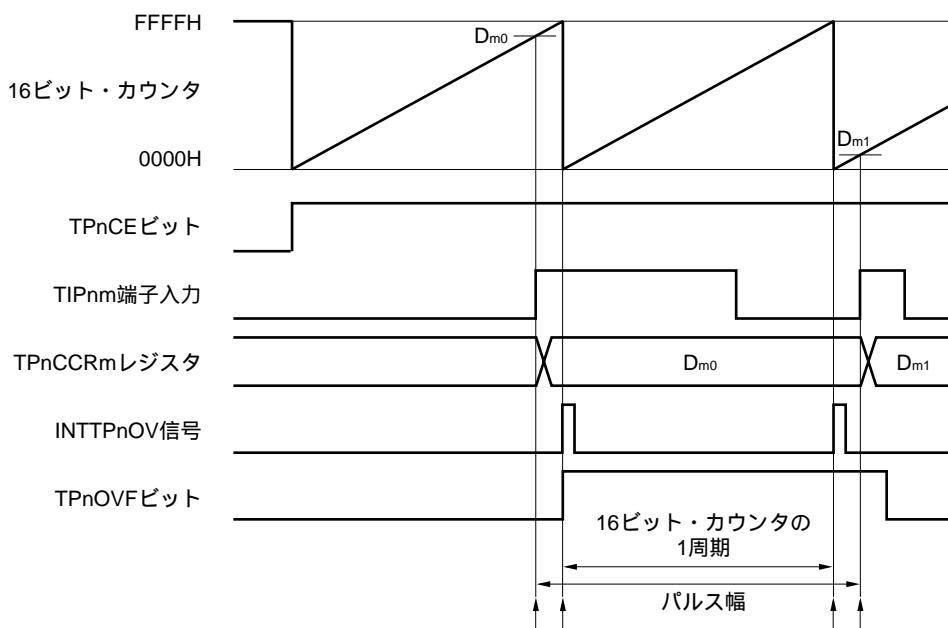
注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- TPnCCR0レジスタをリードする（TIPn0端子入力の初期値設定）。
- TPnCCR1レジスタをリードする（TIPn1端子入力の初期値設定）。
- オーバフローが発生する。ソフトウェアでは何もしない。
- TPnCCR0レジスタをリードする。
- オーバフロー・フラグをリードする。オーバフロー・フラグが“1”だった場合、TPnOVF1フラグのみをセット（1）し、オーバフロー・フラグをクリア（0）する。
- オーバフロー・フラグが“1”なので、パルス幅は（10000H + D₀₁ - D₀₀）で求められます。
- TPnCCR1レジスタをリードする。
- オーバフロー・フラグをリードする。オーバフロー・フラグはでクリア（0）されているので“0”がリードされる。
- TPnOVF1フラグをリードする。TPnOVF1フラグが“1”だった場合、クリア（0）する。
- TPnOVF1フラグが“1”なので、パルス幅は（10000H + D₁₁ - D₁₀）で求められます（OK）。
- と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。

キャプチャ・トリガの間隔が長いときの悪い例



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TPnCCRmレジスタをリードする (TIPnm端子入力の初期値設定)。

オーバフローが発生する。ソフトウェアでは何もしない。

2回目のオーバフローが発生する。ソフトウェアでは何もしない。

TPnCCRmレジスタをリードする。

オーバフロー・フラグをリードする。オーバフロー・フラグが“1”だった場合、クリア(0)する。

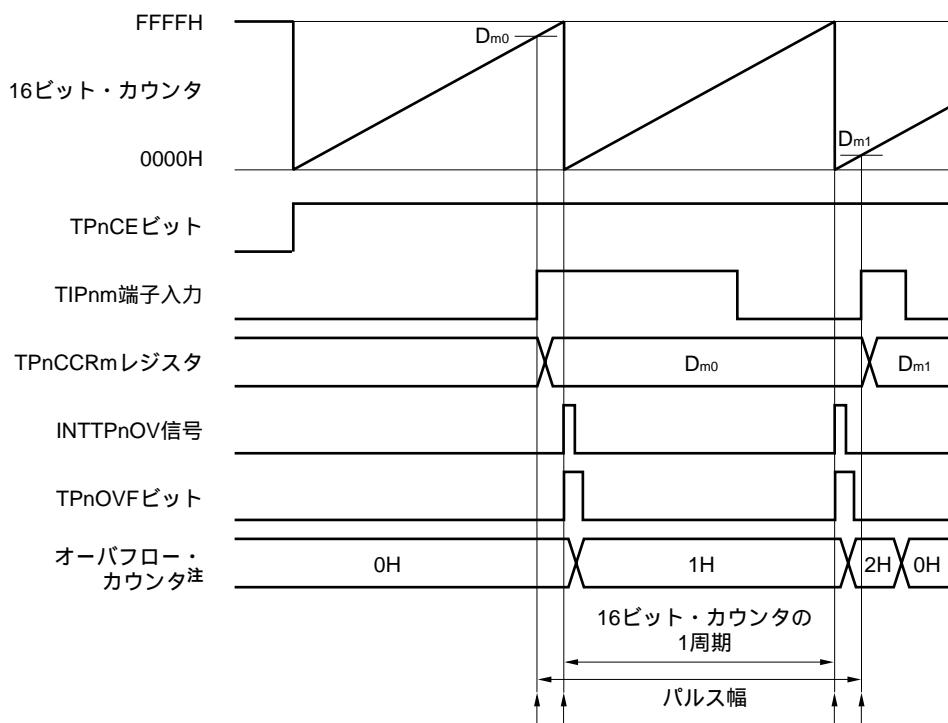
オーバフロー・フラグが“1”なので、パルス幅は($10000H + D_{m1} - D_{m0}$)で求められます(NG)。

実際には、2回のオーバフローが発生しているので、パルス幅は、($20000H + D_{m1} - D_{m0}$)になるはずです。

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPnCCRmレジスタをリードする (TIPnm端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア(0)する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント(+1)し、オーバフロー・フラグをクリア(0)する。

TPnCCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は($N \times 10000H + D_{m1} - D_{m0}$)で求められる。

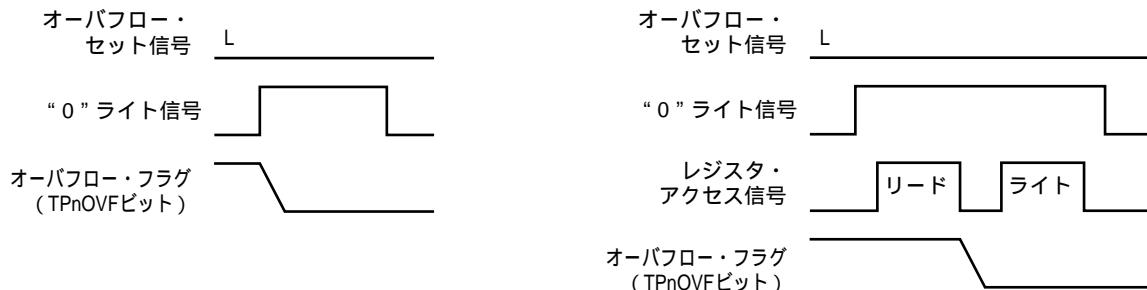
この例では、2回のオーバフローが発生しているので、パルス幅は、($20000H + D_{m1} - D_{m0}$)になります。

オーバフロー・カウンタをクリア(0H)する。

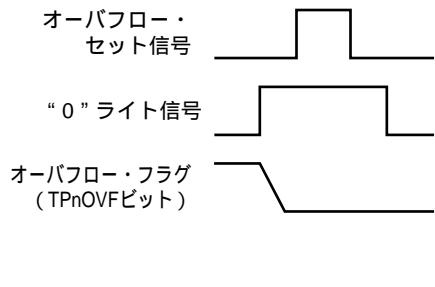
(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TPnOVFビットをCLR命令でクリア(0)する方法と、TPnOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。

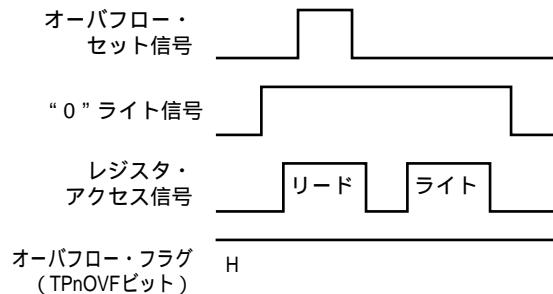
(i) “0”ライト時の動作(セットとの競合なし) (iii) “0”クリア時の動作(セットとの競合なし)



(ii) “0”ライト時の動作(セットとの競合)



(iv) “0”クリア時の動作(セットとの競合)



備考 n = 0-5

オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのため、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生のタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始し、TIPnm端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTPnCCm)が発生したあと、TPnCCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIPn0, TIPn1端子のいずれか1本を使用してください。使用しない端子は、TPnIOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPn0端子固定ですので、TIPn1端子のパルス幅を測定してください。このとき、TPnIOC1.TPnIS1, TPnIS0ビット = 00(キャプチャ・トリガ入力(TIPn0端子)：エッジ検出なし)に設定してください。

図7-34 パルス幅測定モードの構成図

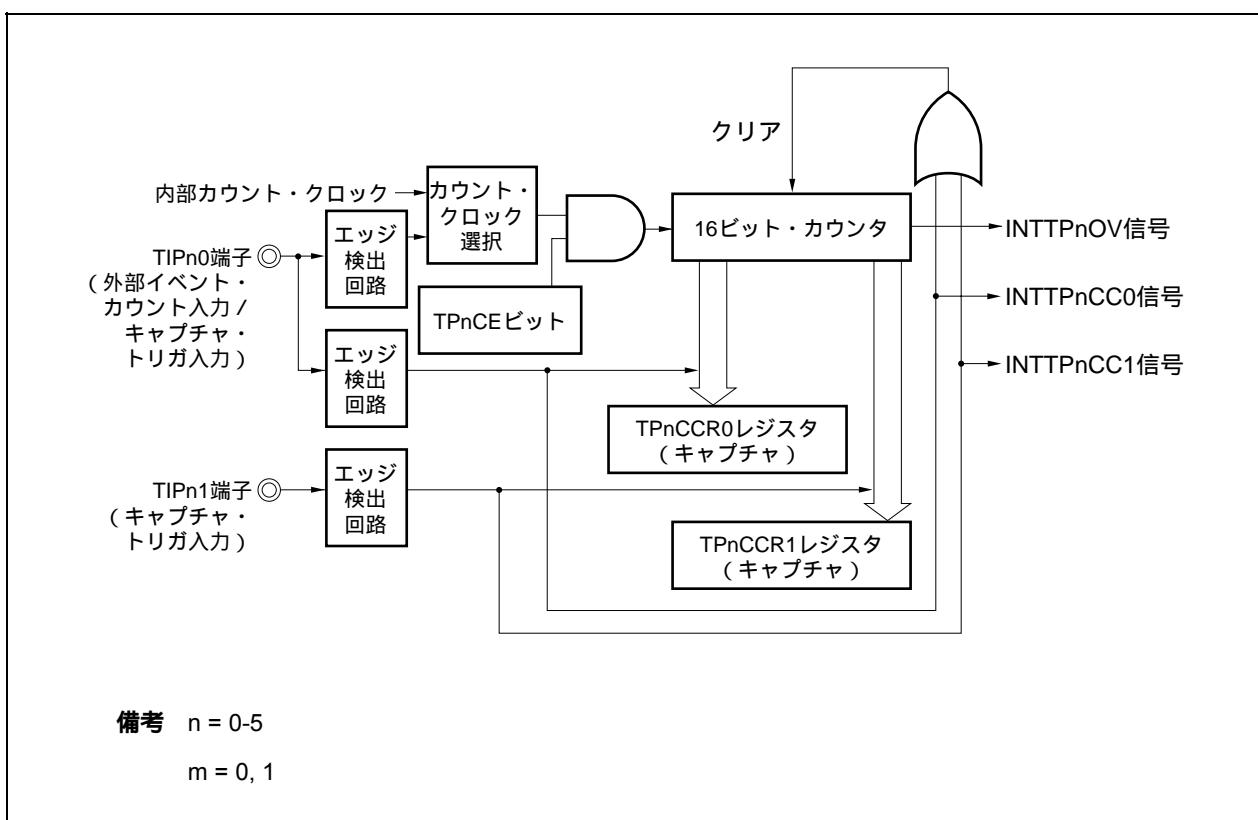
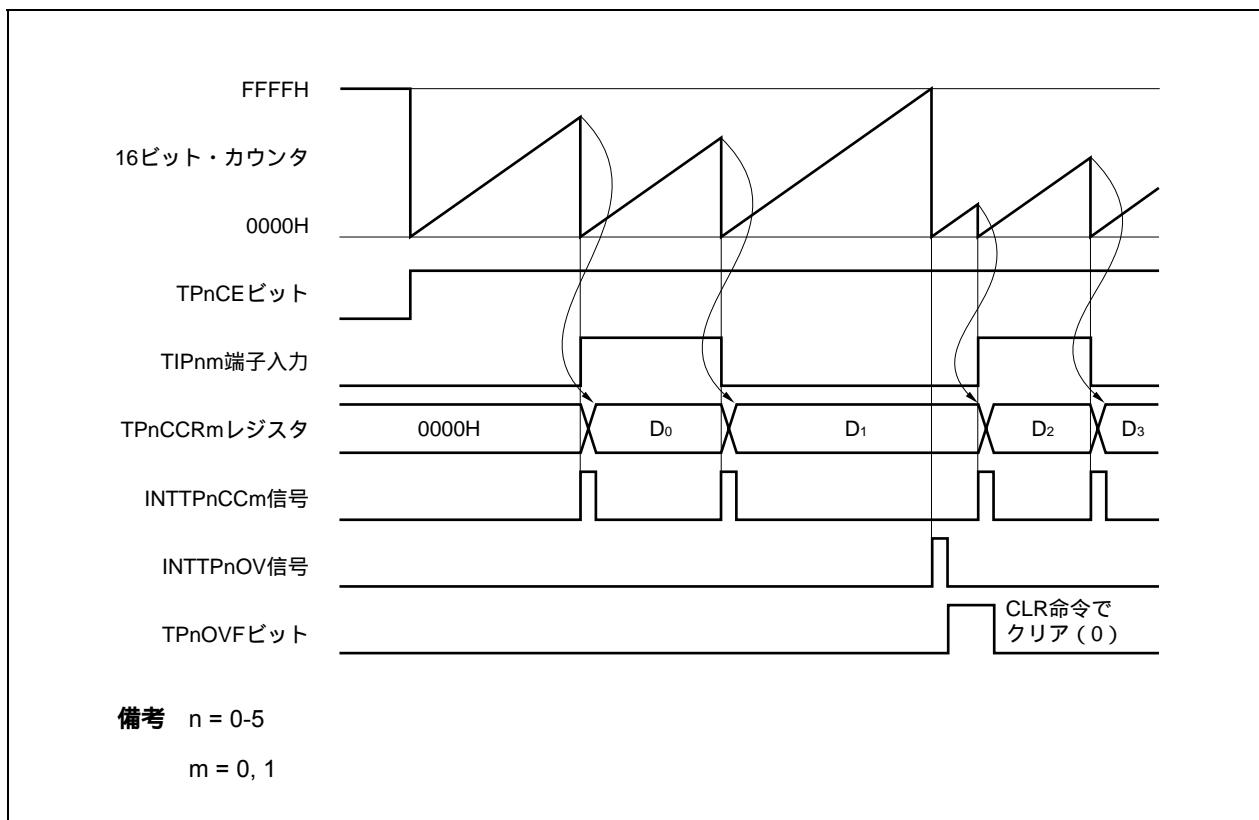


図7-35 パルス幅測定モードの基本タイミング



TPnCEビットをセット(1)することで、カウント動作を開始します。その後、TIPnm端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTPnCCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント・クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

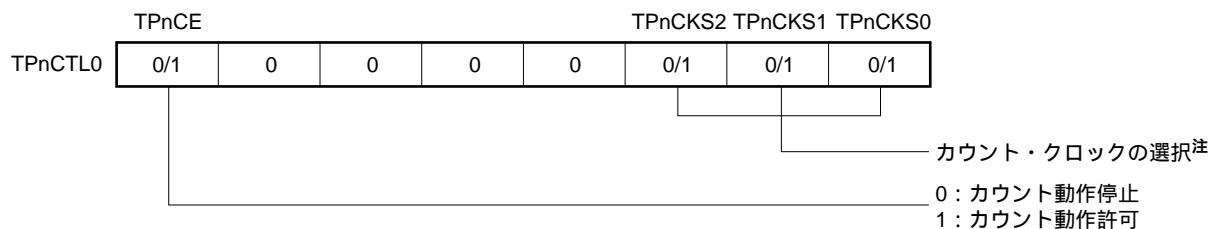
$$\begin{aligned}\text{パルス幅} &= (10000H \times \text{TPnOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \\ &\quad \times \text{カウント・クロック周期}\end{aligned}$$

備考 n = 0-5

m = 0, 1

図7-36 パルス幅測定モード動作時のレジスタ設定内容(1/2)

(a) TMPn制御レジスタ0(TPnCTL0)

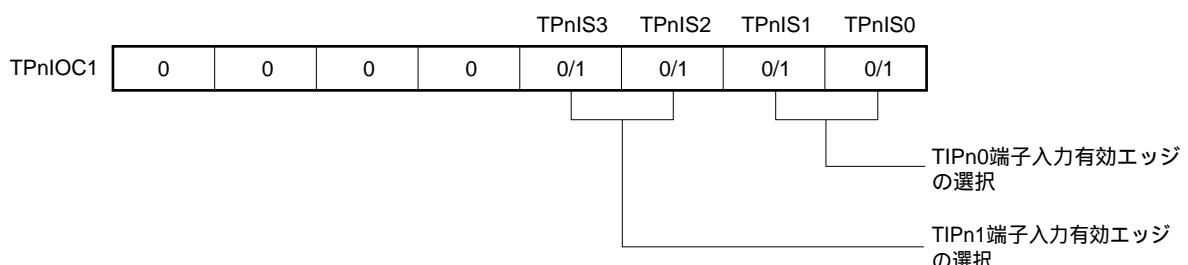


^注 TPnEEEビット = 1のときは設定が無効になります。

(b) TMPn制御レジスタ1(TPnCTL1)



(c) TMPnI/O制御レジスタ1(TPnIOC1)



(d) TMPnI/O制御レジスタ2(TPnIOC2)

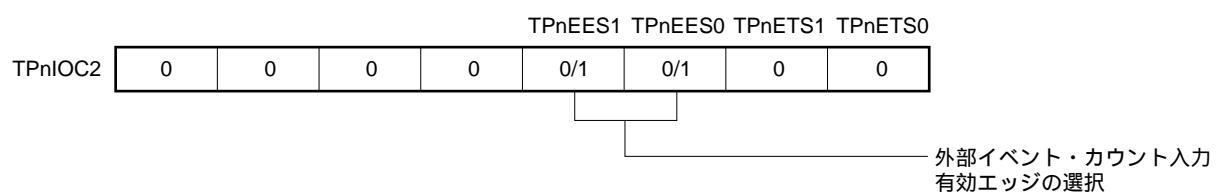


図7-36 パルス幅測定モード動作時のレジスタ設定内容(2/2)

(e) TMPnオプション・レジスタ0(TPnOPT0)

TPnOPT0	TPnCCS1 TPnCCS0							TPnOVF
	0	0	0	0	0	0	0/1	
								オーバフロー・フラグ

(f) TMPnカウンタ・リード・バッファ・レジスタ(TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMPnキャプチャ/コンペア・レジスタ0, 1(TPnCCR0, TPnCCR1)

TIPnm端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

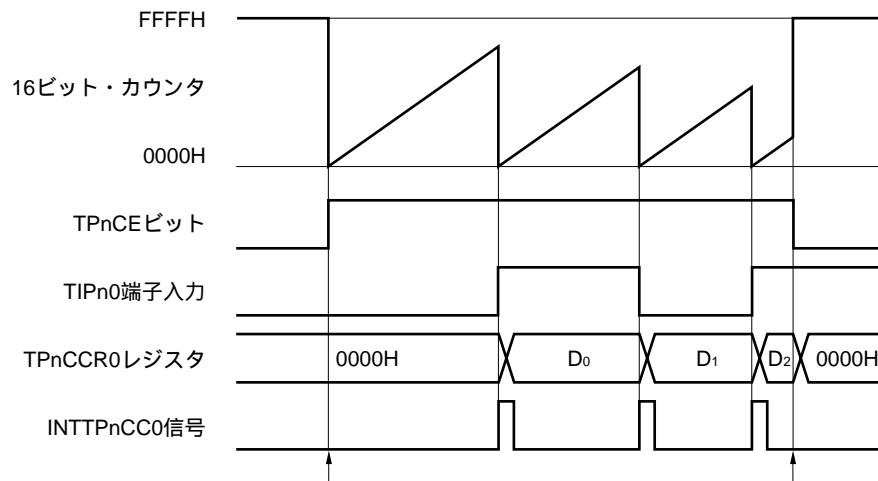
備考1. パルス幅測定モードでは、TMPnI/O制御レジスタ0(TPnIOC0)は使用しません。

2. n = 0-5

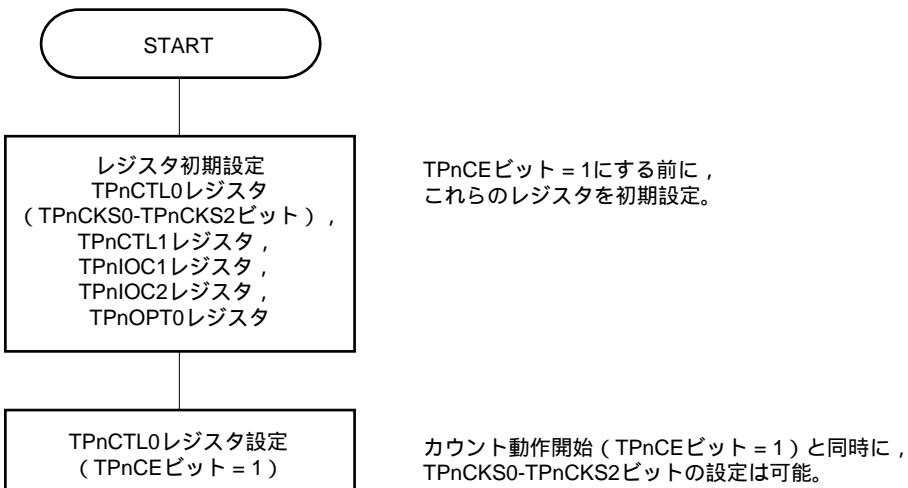
m = 0, 1

(1) パルス幅測定モード動作フロー

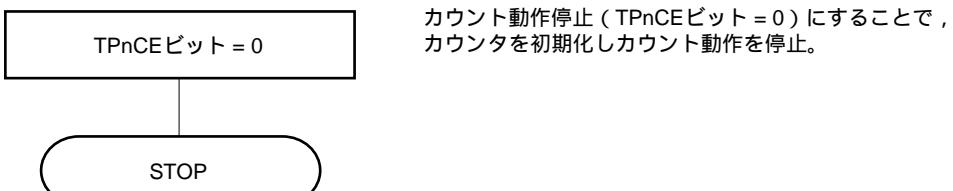
図7-37 パルス幅測定モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



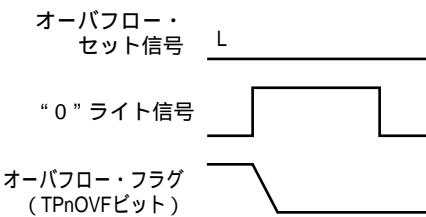
備考 n = 0-5

(2) パルス幅測定モード動作タイミング

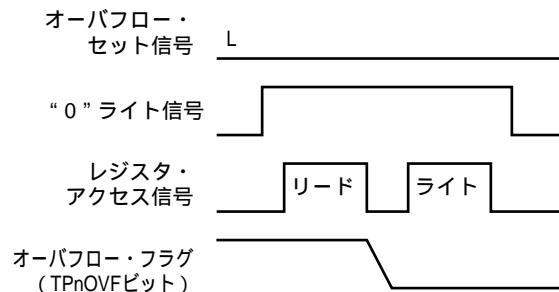
(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TPnOVFビットをCLR命令でクリア(0)する方法と、TPnOPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TPnOVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。

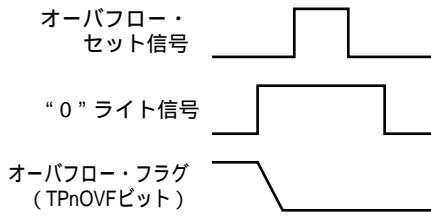
(i) “0”ライト時の動作(セットとの競合なし)



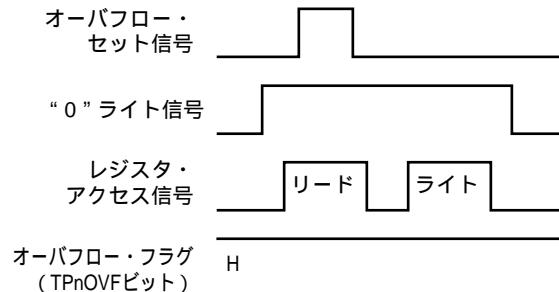
(iii) “0”クリア時の動作(セットとの競合なし)



(ii) “0”ライト時の動作(セットとの競合)



(iv) “0”クリア時の動作(セットとの競合)



備考 n = 0-5

オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生のタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

7.5.8 タイマ出力動作説明

次にTOPn0, TOPn1端子の動作、および出力レベルを示します。

表7-4 各モードによるタイマ出力制御

動作モード	TOPn1端子	TOPn0端子
インターバル・タイマ・モード	方形波出力	-
外部イベント・カウント・モード	方形波出力	-
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力(コンペア機能のときのみ)	
パルス幅測定モード	-	

備考 n = 0-5

表7-5 タイマ出力制御ビットによるTOPn0, TOPn1端子の真理値表

TPnIOC0.TPnOLmビット	TPnIOC0.TPnOE _m ビット	TPnCTL0.TPnCEビット	TOPnm端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル、 カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル、 カウント開始後はロウ・レベル

備考 n = 0-5

m = 0, 1

7.6 セレクタ機能

V850ES/JG2ではTMPのキャプチャ・トリガ入力を、ポートの兼用端子と周辺I/O (TMP, UARTA) 信号とで選択が可能です。

この機能を利用して、次のことが可能です。

- TMP1のTIP10, TIP11入力信号を、ポートのタイマ兼用端子 (TIP10, TIP11端子) とUARTAの受信兼用端子 (RXDA0, RXDA1) とで選択。

UARTA0, UARTA1のRXDA0, RXDA1信号を選択すると、UARTAのLIN受信転送レートのバー・レート誤差算出として使用

- 注意1.** セレクタ機能を使用する場合は、接続されるTMPをキャプチャ・トリガ入力に設定してください。
2. セレクタ機能を設定する場合は、接続される周辺I/O (TMP, UARTA) を動作禁止にしてから設定してください。

セレクタ機能によるキャプチャ入力の設定は次のレジスタで設定します。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0レジスタは、TMP1のキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF308H

	7	6	5	④	③	2	1	0
SELCNT0	0	0	0	ISEL4	ISEL3	0	0	0

ISEL4	TIP11入力信号選択 (TMP1)
0	TIP11端子入力
1	RXDA1端子入力

ISEL3	TIP10入力信号選択 (TMP1)
0	TIP10端子入力
1	RXDA0端子入力

注意1. ISEL3, ISEL4の各ビットを“1”に設定する場合は、対応する機能端子をキャプチ

ャ入力に設定してください。

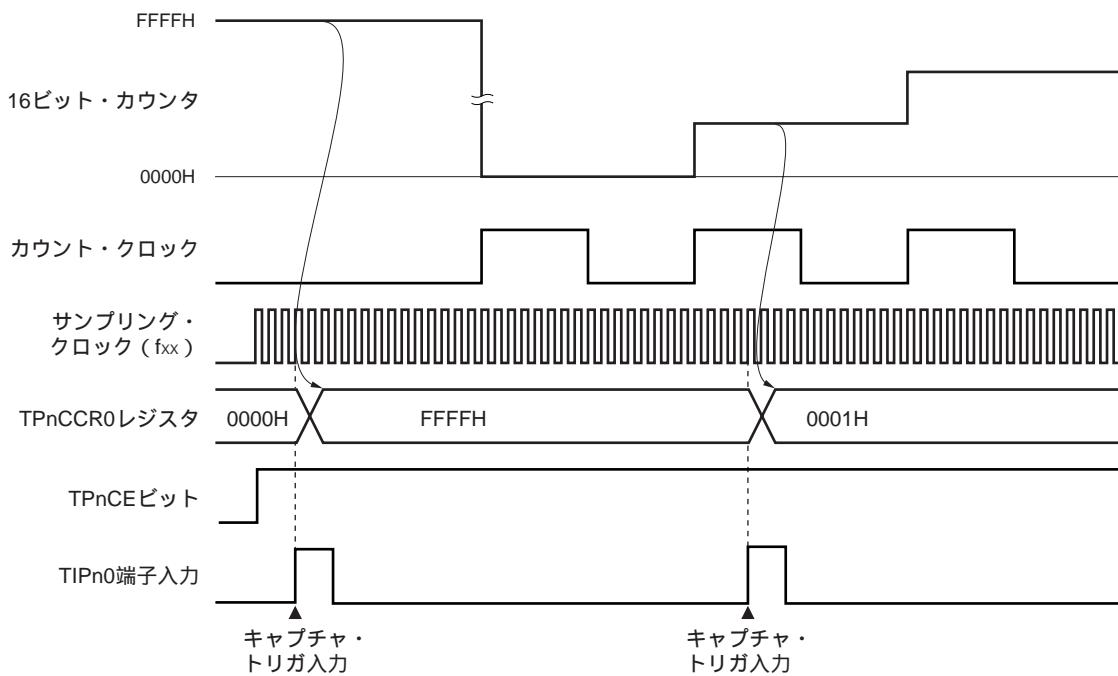
2. ビット7-5, 2-0には必ず0を設定してください。

7.7 注意事項

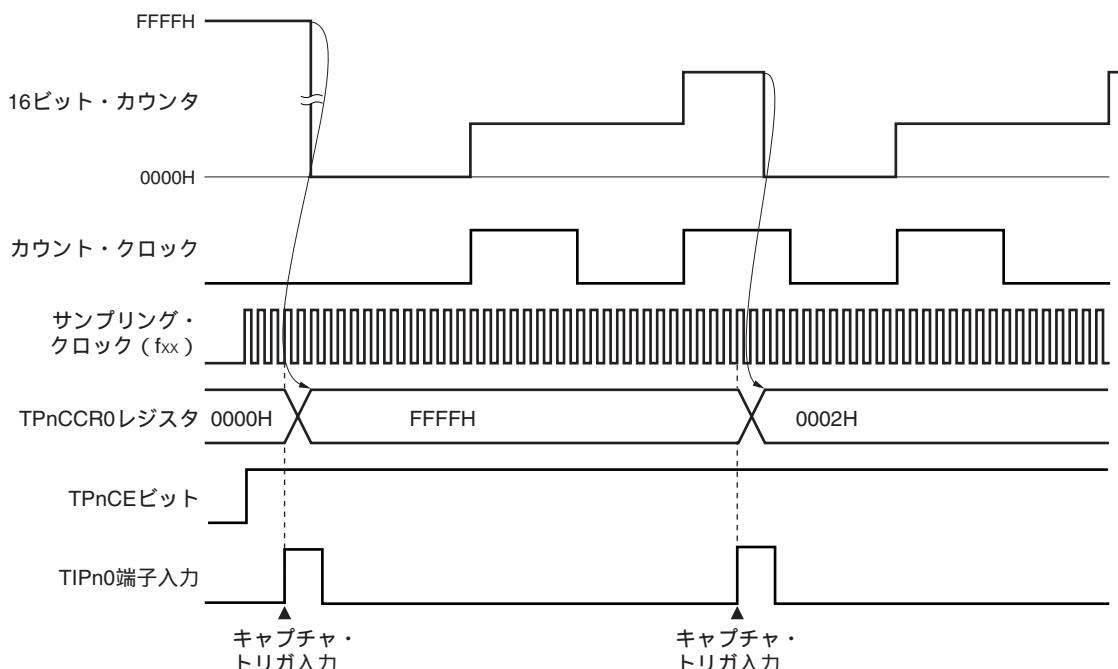
(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPnCCR0、TPnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。

(a) フリー・ランニング・タイマ・モード



(b) パルス幅測定モード



第8章 16ビット・タイマ/イベント・カウンタQ(TMQ)

タイマQ(TMQ)は、16ビットのタイマ/イベント・カウンタです。

V850ES/JG2は、TMQ0を内蔵しています。

8.1 概 要

TMQ0の概要を次に示します。

- | | |
|-------------------------|-------|
| ・クロック選択 | : 8通り |
| ・キャプチャ・トリガ入力端子 | : 4本 |
| ・外部イベント・カウント入力端子 | : 1本 |
| ・外部トリガ入力端子 | : 1本 |
| ・タイマ・カウンタ | : 1本 |
| ・キャプチャ / コンペア・レジスタ | : 4本 |
| ・キャプチャ / コンペア一致割り込み要求信号 | : 4本 |
| ・タイマ出力端子 | : 4本 |

8.2 機 能

TMQ0の機能を次に示します。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・外部トリガ・パルス出力
- ・ワンショット・パルス出力
- ・PWM出力
- ・フリー・ランニング・タイマ
- ・パルス幅測定

8.3 構成

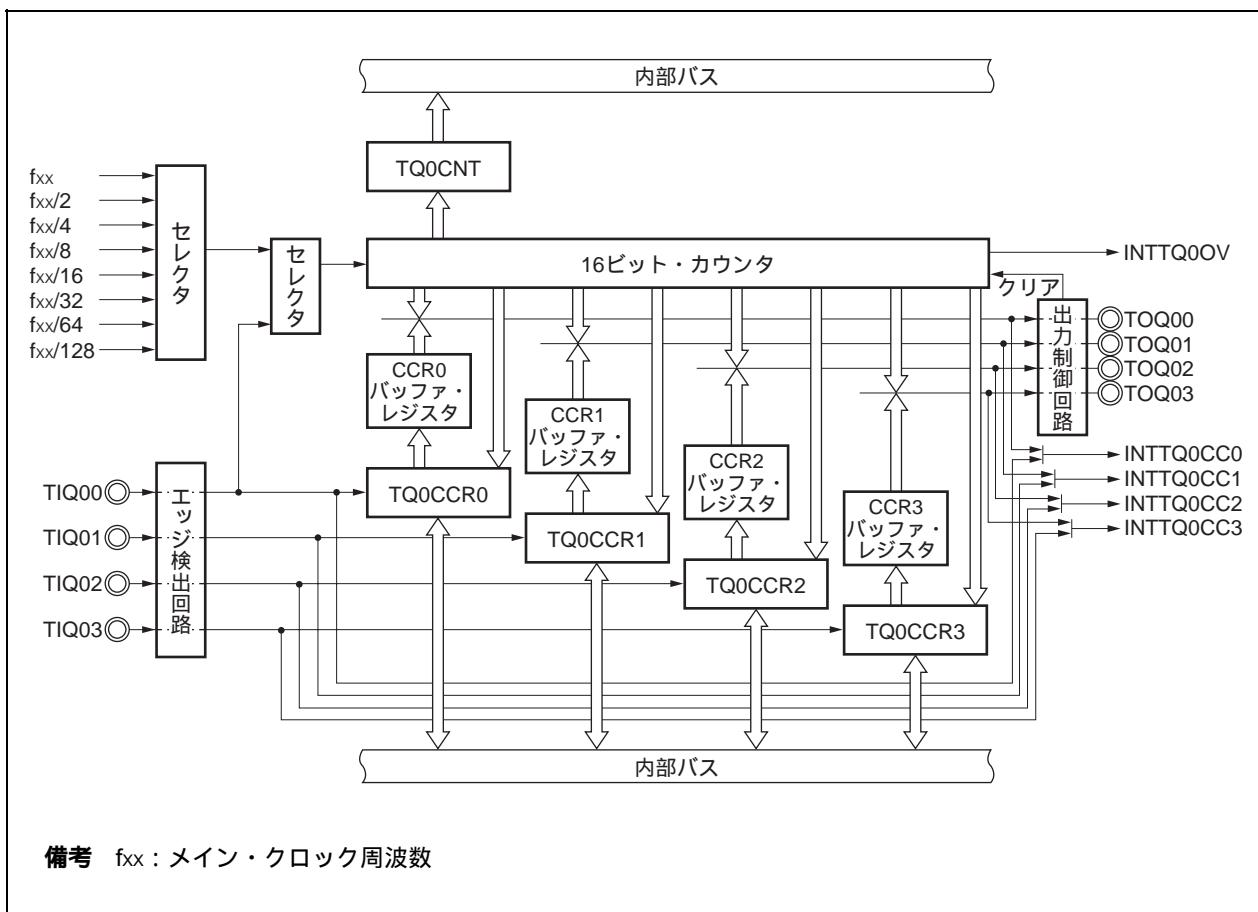
TMQ0は、次のハードウェアで構成されています。

表8-1 TMQ0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT) CCR0-CCR3バッファ・レジスタ
タイマ入力	4本 (TIQ00 ^{注1} -TIQ03端子)
タイマ出力	4本 (TOQ00-TOQ03端子)
制御レジスタ ^{注2}	TMQ0制御レジスタ0, 1 (TQ0CTL0, TQ0CTL1) TMQ0I/O制御レジスタ0-2 (TQ0IOC0-TQ0IOC2) TMQ0オプション・レジスタ0 (TQ0OPT0)

- 注1. TIQ00端子には、キャプチャ・トリガ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。
2. TIQ00-TIQ03, TOQ00-TOQ03端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

図8-1 TMQ0のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQ0CNTレジスタでリードできます。

TQ0CTL0.TQ0CEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTQ0CNTレジスタをリードすると、0000Hがリードされます。

リセットによりTQ0CEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR0レジスタをコンペア・レジスタとして使用するとき、TQ0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号（INTTQ0CC0）を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR1レジスタをコンペア・レジスタとして使用するとき、TQ0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号（INTTQ0CC1）を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR2レジスタをコンペア・レジスタとして使用するとき、TQ0CCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号（INTTQ0CC2）を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR3レジスタをコンペア・レジスタとして使用するとき、TQ0CCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号（INTTQ0CC3）を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQ00-TIQ03端子に入力される有効エッジを検出します。有効エッジは、TQ0IOC1, TQ0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQ00-TOQ03端子の出力を制御します。TOQ00-TOQ03端子の出力は、TQ0IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

8.4 レジスタ

TMQ0を制御するレジスタを次に示します。

- ・ TMQ0制御レジスタ0 (TQ0CTL0)
- ・ TMQ0制御レジスタ1 (TQ0CTL1)
- ・ TMQ0I/O制御レジスタ0 (TQ0IOC0)
- ・ TMQ0I/O制御レジスタ1 (TQ0IOC1)
- ・ TMQ0I/O制御レジスタ2 (TQ0IOC2)
- ・ TMQ0オプション・レジスタ0 (TQ0OPT0)
- ・ TMQ0キャプチャ / コンペア・レジスタ0 (TQ0CCR0)
- ・ TMQ0キャプチャ / コンペア・レジスタ1 (TQ0CCR1)
- ・ TMQ0キャプチャ / コンペア・レジスタ2 (TQ0CCR2)
- ・ TMQ0キャプチャ / コンペア・レジスタ3 (TQ0CCR3)
- ・ TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

備考 TIQ00-TIQ03, TOQ00-TOQ03端子の機能を使用する場合は、表4-15 ポート端子を兼用端子として使用する場合を参照してください。

(1) TMQ0制御レジスタ0 (TQ0CTL0)

TQ0CTL0レジスタは、TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TQ0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時 : 00H	R/W	アドレス : FFFFF540H							
TQ0CTL0	(7) TQ0CE	6 0	5 0	4 0	3 0	2 TQ0CKS2	1 TQ0CKS1	0 TQ0CKS0	

TQ0CE	TMQ0の動作の制御
0	TMQ0動作禁止 (TMQ0を非同期にリセット) ^注
1	TMQ0動作許可。TMQ0動作開始

TQ0CKS2 TQ0CKS1 TQ0CKS0			内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TQ0OPT0.TQ0OVFビット、16ビット・カウンタ、タイマ出力 (TOQ00-TOQ03端子)。

- 注意1.** TQ0CKS2-TQ0CKS0ビットは、TQ0CEビット = 0のときに設定してください。TQ0CEビットを“0”から“1”に設定するときに、同時にTQ0CKS2-TQ0CKS0ビットを設定できます。
- 2.** ビット3-6には必ず“0”を設定してください。

備考 fxx : メイン・クロック周波数

(2) TMQ0制御レジスタ1(TQ0CTL1)

TQ0CTL1レジスタは、TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF541H

	7	⑥	⑤	4	3	2	1	0
TQ0CTL1	0	TQ0EST	TQ0EEE	0	0	TQ0MD2	TQ0MD1	TQ0MD0

TQ0EST	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 : TQ0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 : TQ0ESTビットへの“1”ライトをトリガとして、PWM波形を出力

TQ0EEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TQ0CTL0.TQ0CK0-TQ0CK2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う) TQ0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。

TQ0MD2	TQ0MD1	TQ0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1. TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力が選択されます。
3. TQ0EEE, TQ0MD2-TQ0MD0ビットは、TQ0CTL0.TQ0CEビット = 0のときに設定してください(TQ0CEビット = 1のときの同値書き込みは可能)。TQ0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。
4. ビット3, 4, 7は必ず“0”を設定してください。

(3) TMQ0I/O制御レジスタ0 (TQ0IOC0)

TQ0IOC0レジスタは、タイマ出力 (TOQ00-TOQ03端子) を制御する8ビット・レジスタです。
8/1ビット単位でリード / ライト可能です。
リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF542H

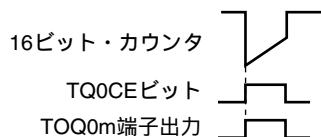
	7	⑥	5	④	3	②	1	①
TQ0IOC0	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0

TQ0OLm	TOQ0m端子出力レベルの設定 (m = 0-3) ^注
0	TOQ0m端子ハイ・レベル・スタート
1	TOQ0m端子ロウ・レベル・スタート

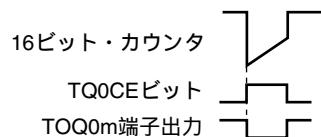
TQ0OE ^m	TOQ0m端子出力の設定 (m = 0-3)
0	タイマ出力禁止 ・ TQ0OLmビット = 0のときTOQ0m端子からロウ・レベルを出力 ・ TQ0OLmビット = 1のときTOQ0m端子からハイ・レベルを出力
1	タイマ出力許可 (TOQ0m端子から方形波を出力)

注 TQ0OLmビットの指定によるタイマ出力端子 (TOQ0m) の出力レベルを次に示します。

・ TQ0OLmビット = 0の場合



・ TQ0OLmビット = 1の場合



- 注意1. TQ0OLm, TQ0OE^mビットは, TQ0CTL0.TQ0CEビット = 0のとき
に書き換えてください (TQ0CEビット = 1のときの同値書き込みは
可能)。誤って書き換えた場合は, TQ0CEビットをクリア (0) し
てから再設定してください。
2. TQ0CEビット = 0, TQ0OE^mビット = 0の状態において, TQ0OLmビ
ットを操作した場合でも, TOQ0m端子の出力レベルは変化します。

備考 m = 0-3

(4) TMQ0I/O制御レジスタ1(TQ0IOC1)

TQ0IOC1レジスタは、キャプチャ・トリガ入力信号(TIQ00-TIQ03端子)に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF543H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号(TIQ03端子)の有効エッジの設定
0	0	エッジ検出なし(キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号(TIQ02端子)の有効エッジの設定
0	0	エッジ検出なし(キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号(TIQ01端子)の有効エッジの設定
0	0	エッジ検出なし(キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号(TIQ00端子)の有効エッジの設定
0	0	エッジ検出なし(キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0IS7-TQ0IS0ビットは,TQ0CTL0.TQ0CEビット=0のときに書き換えてください(TQ0CEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は,TQ0CEビットをクリア(0)してから再設定してください。
2. TQ0IS7-TQ0IS0ビットは,フリー・ランニング・タイマ・モードと,パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMQ0I/O制御レジスタ2(TQ0IOC2)

TQ0IOC2レジスタは、外部イベント・カウント入力信号(TIQ00端子)、外部トリガ入力信号(TIQ00端子)に対する有効エッジを制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF544H

TQ0IOC2	7	6	5	4	3	2	1	0
	0	0	0	0	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号(TIQ00端子)の有効エッジの設定
0	0	エッジ検出なし(外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0ETS1	TQ0ETS0	外部トリガ入力信号(TIQ00端子)の有効エッジの設定
0	0	エッジ検出なし(外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは, TQ0CTL0.TQ0CEビット = 0のときに書き換えてください(TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TQ0CEビットをクリア(0)してから再設定してください。
2. TQ0EES1, TQ0EES0ビットは, TQ0CTL1.TQ0EEEビット = 1, または外部イベント・カウント・モード(TQ0CTL1.TQ0MD2-TQ0MD0ビット = 001)に設定したときのみ有効です。
 3. TQ0ETS1, TQ0ETS0ビットは, 外部トリガ・パルス出力モード(TQ0CTL1.TQ0MD2-TQ0MD0ビット = 010), ワンショット・パルス出力モード(TQ0CTL1.TQ0MD2-TQ0MD0ビット = 011)に設定したときのみ有効です。

(6) TMQ0オプション・レジスタ0 (TQ0OPT0)

TQ0OPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF545H

TQ0OPT0	7	6	5	4	3	2	1	①
	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	0	0	0	TQ0OVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択

TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。

TQ0OVF	TMQ0のオーバフロー検出
セット(1)	オーバフロー発生
リセット(0)	TQ0OVFビットへの0ライトまたはTQ0CTL0.TQ0CEビット = 0 <ul style="list-style-type: none"> ・ TQ0OVFビットは、カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット(1)されます。 ・ TQ0OVFビットがセット(1)されると同時に、割り込み要求信号(INTTQ0OV)が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTQ0OV信号は発生しません。 ・ TQ0OVFビット = 1のときにTQ0OVFビットまたはTQ0OPT0レジスタをリードしてもTQ0OVFビットはクリアされません。 ・ TQ0OVFビットはリード/ライト可能ですが、ソフトウェアでTQ0OVFビットをセット(1)することはできません。“1”をライトしてもTMQ0の動作に影響はありません。

注意1. TQ0CCS3-TQ0CCS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください(TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。

2. ビット1-3には必ず“0”を設定してください。

備考 m = 0-3

(7) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 0000H R/W アドレス : FFFFF546H

TQ0CCR0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]

(a) コンペア・レジスタとしての機能

TQ0CCR0レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTQ0CC0)を発生し、TOQ00端子出力を許可している場合、TOQ00端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TQ0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア(0000H)します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力(TIQ00端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力(TIQ00端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR0レジスタに格納し、16ビット・カウンタをクリア(0000H)します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても、TQ0CCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8-2 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(8) TMQ0キャプチャ/コンペア・レジスタ1(TQ0CCR1)

TQ0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：FFFFF548H

TQ0CCR1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(a) コンペア・レジスタとしての機能

TQ0CCR1レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTQ0CC1)を発生し、TOQ01端子出力を許可している場合、TOQ01端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力(TIQ01端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力(TIQ01端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR1レジスタに格納し、16ビット・カウンタをクリア(0000H)します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても、TQ0CCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(9) TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2)

TQ0CCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR2レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 0000H R/W アドレス : FFFFF54AH

TQ0CCR2	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(a) コンペア・レジスタとしての機能

TQ0CCR2レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタ値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTQ0CC2)を発生し、TOQ02端子出力を許可している場合、TOQ02端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力(TIQ02端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力(TIQ02端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR2レジスタに格納し、16ビット・カウンタをクリア(0000H)します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても、TQ0CCR2レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(10) TMQ0キャプチャ/コンペア・レジスタ3(TQ0CCR3)

TQ0CCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタに設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR3レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 0000H R/W アドレス : FFFFF54CH

TQ0CCR3	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(a) コンペア・レジスタとしての機能

TQ0CCR3レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号(INTTQ0CC3)を発生し、TOQ03端子出力を許可している場合、TOQ03端子出力を反転します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力(TIQ03端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力(TIQ03端子)の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR3レジスタに格納し、16ビット・カウンタをクリア(0000H)します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても、TQ0CCR3レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表8-5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	-

(11) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタは、16ビットのカウント値をリードできるリード・バッファ・レジスタです。

TQ0CTL0.TQ0CEビット = 1のときにTQ0CNTレジスタをリードすると、16ビット・カウンタのカウント値をリードできます。

16ビット単位でリードのみ可能です。

TQ0CEビット = 0のとき、TQ0CNTレジスタは0000Hになります。このときにTQ0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTQ0CEビット = 0になるため、TQ0CNTレジスタは0000Hになります。

注意 次に示す状態において、TQ0CNTレジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時 : 0000H R アドレス : FFFFF54EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CNT	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]	[]

8.5 動 作

TMQ0には次のような動作があります。

動 作	TQ0CTL1.TQ0ESTビット (ソフトウェア・トリガ・ビット)	TIQ00端子 (外部トリガ入力)	キャプチャ / コンペア・レジスタの設定	コンペア・レジスタの書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

- 注1. 外部イベント・カウント・モードを使用する場合、TIQ00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない(TQ0IOC1.TQ0IS1, TQ0IS0ビットを“00”)に設定してください。
2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択(TQ0CTL1.TQ0EEEビット = 0に設定)してください。

8.5.1 インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000)

インターバル・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTQ0CC0)を発生します。また、TOQ00端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタを使用しません。

図8-2 インターバル・タイマの構成図

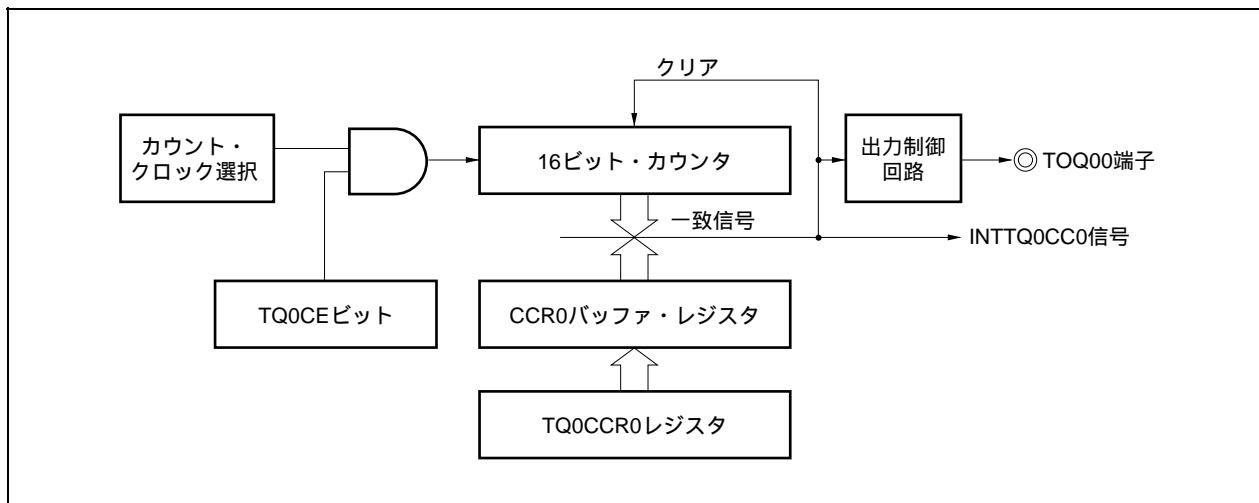
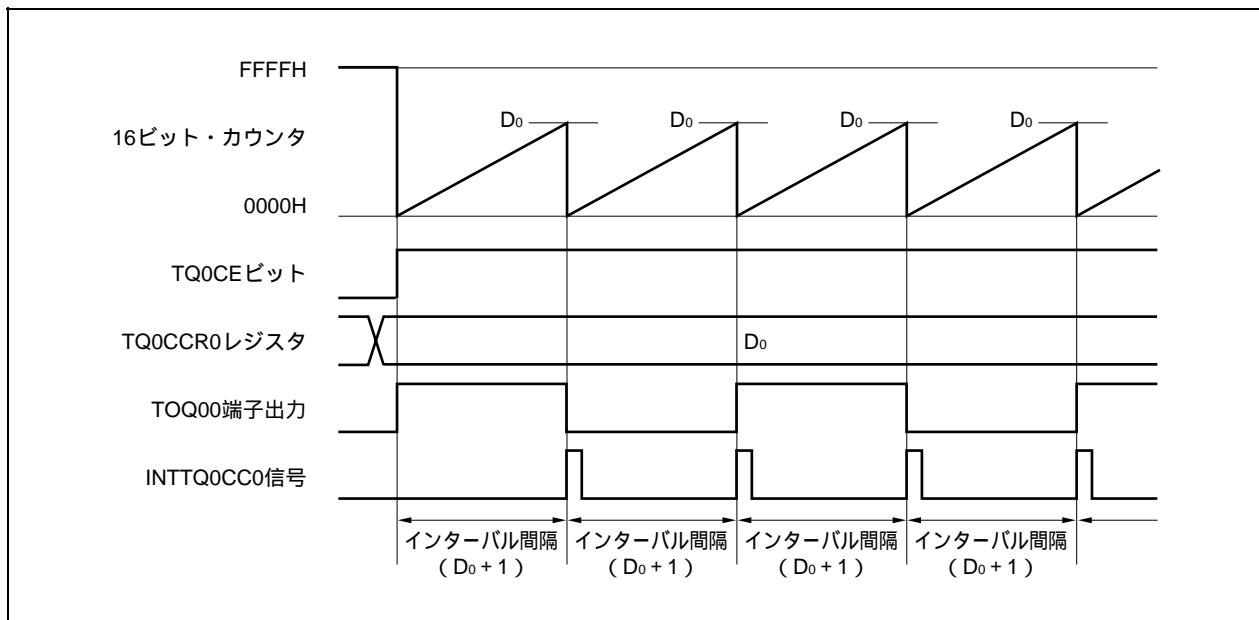


図8-3 インターバル・タイマ・モード動作の基本タイミング



TQ0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQ00端子出力を反転します。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQ00端子出力を反転させて、コンペア一致割り込み要求信号(INTTQ0CC0)を発生します。

インターバル間隔は次のようにになります。

$$\text{インターバル間隔} = (\text{TQ0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容(1/2)

(a) TMQ0制御レジスタ0 (TQ0CTL0)

	TQ0CE		TQ0CKS2 TQ0CKS1 TQ0CKS0		
TQ0CTL0	0/1	0	0	0	0/1
	カウント・クロックの選択				
	0: カウント動作停止 1: カウント動作許可				

(b) TMQ0制御レジスタ1 (TQ0CTL1)

	TQ0EST TQ0EEE		TQ0MD2 TQ0MD1 TQ0MD0		
TQ0CTL1	0	0	0/1注	0	0
	0, 0, 0 : インターバル・タイマ・モード				
	0 : TQ0CKS0-TQ0CKS2ビットで選択 したカウント・クロックで動作 1 : 外部イベント・カウント入力信号 でカウント動作				

注 割り込み要求信号(INTTQ0CC0, INTTQ0CCk)を割り込みマスク・フラグ(TQ0CCMK0, TQ0CCMKk)でマスク設定し、タイマ出力(TOQ0k)する場合だけ、1に設定することを許可します。ただし、TQ0CCR0, TQ0CCRkレジスタの設定値は、同値にしてください(8.5.1(2)(d) TQ0CCR1-TQ0CCR3レジスタの動作参照)(k=1-3)。

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
								0 : TOQ00端子出力禁止 1 : TOQ00端子出力許可
								TOQ00端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル
								0 : TOQ01端子出力禁止 1 : TOQ01端子出力許可
								TOQ01端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル
								0 : TOQ02端子出力禁止 1 : TOQ02端子出力許可
								TOQ02端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル
								0 : TOQ03端子出力禁止 1 : TOQ03端子出力許可
								TOQ03端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル

(d) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(e) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

(f) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

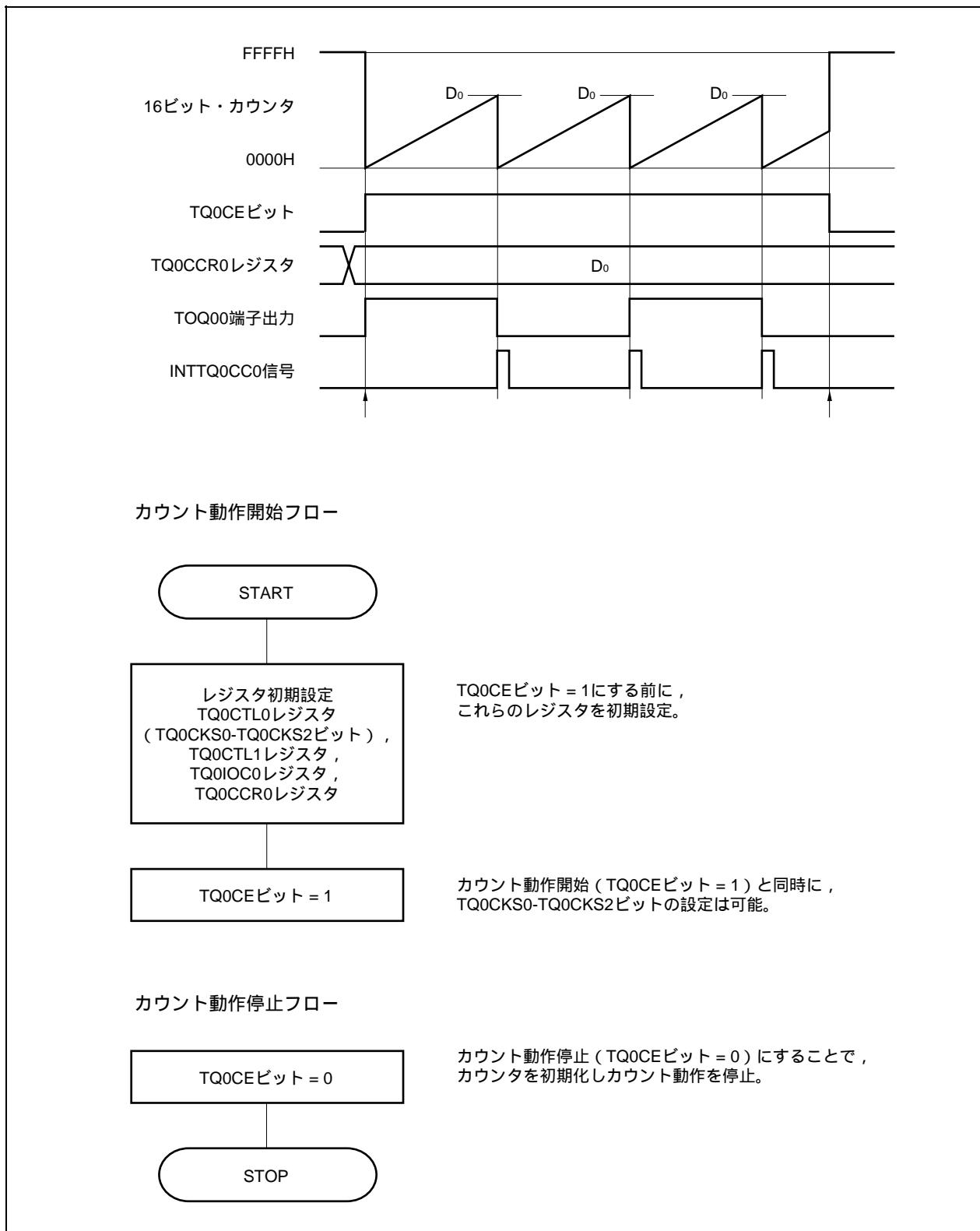
インターバル・タイマ・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。

したがって、割り込みマスク・フラグ (TQ0CCMK1-TQ0CCMK3) でマスク設定しておいてください。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1)、TMQ0I/O制御レジスタ2 (TQ0IOC2)、TMQ0オプション・レジスタ0 (TQ0OPT0) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

図8-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

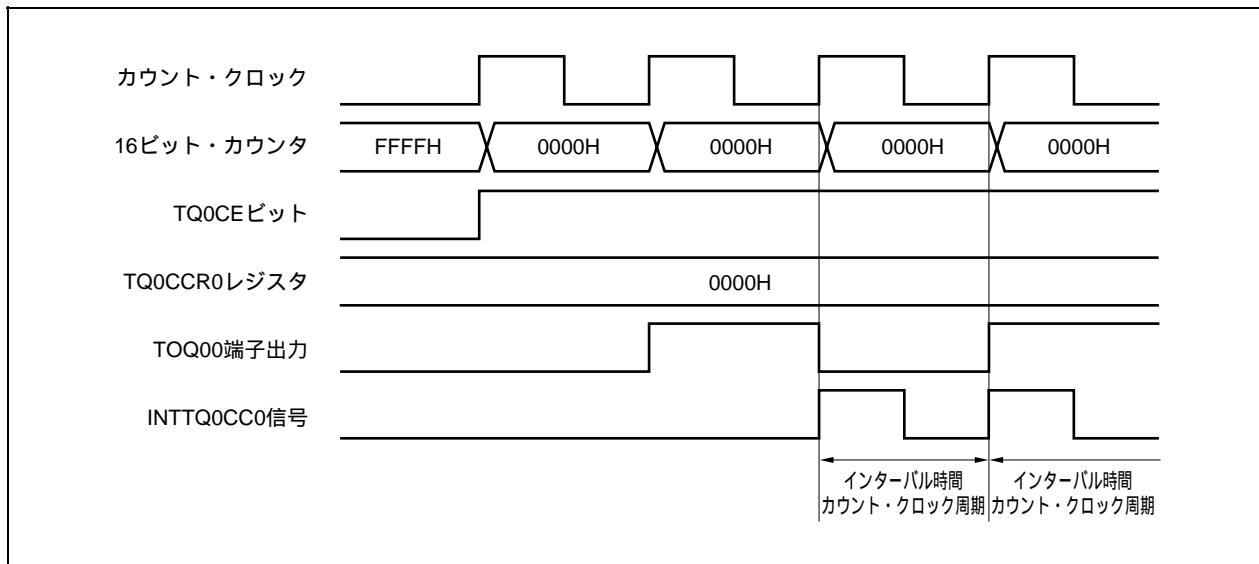


(2) インターバル・タイマ・モード動作タイミング

(a) TQ0CCR0レジスタに0000Hを設定した場合の動作

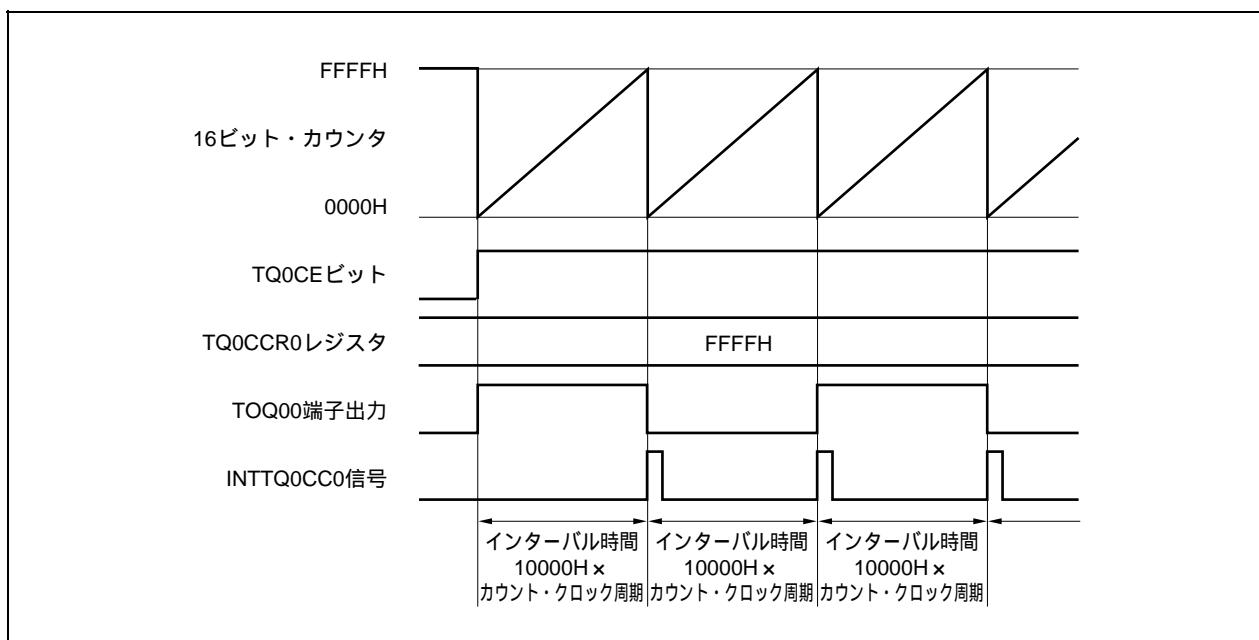
TQ0CCR0 レジスタに0000Hを設定した場合、2クロック目以降のカウント・クロックごとに INTTQ0CC0信号を発生し、TOQ00端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TQ0CCR0レジスタにFFFFHを設定した場合の動作

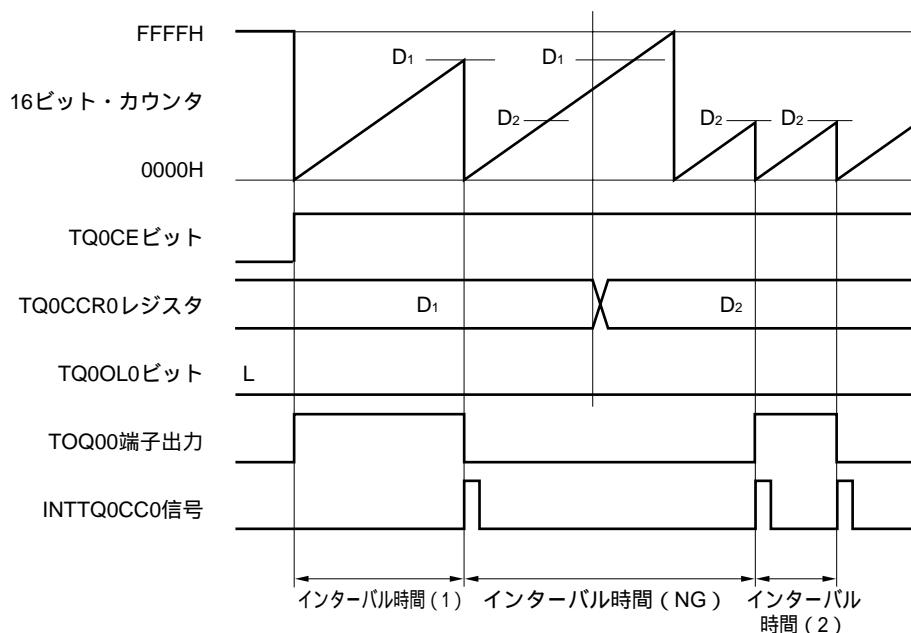
TQ0CCR0 レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、 INTTQ0CC0信号を発生し、TOQ00端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTQ0OV) は発生せず、オーバフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット(1)されません。



(c) TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合があるので注意してください。



備考 インターバル時間 (1) : $(D_1 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (2) : $(D_2 + 1) \times \text{カウント・クロック周期}$

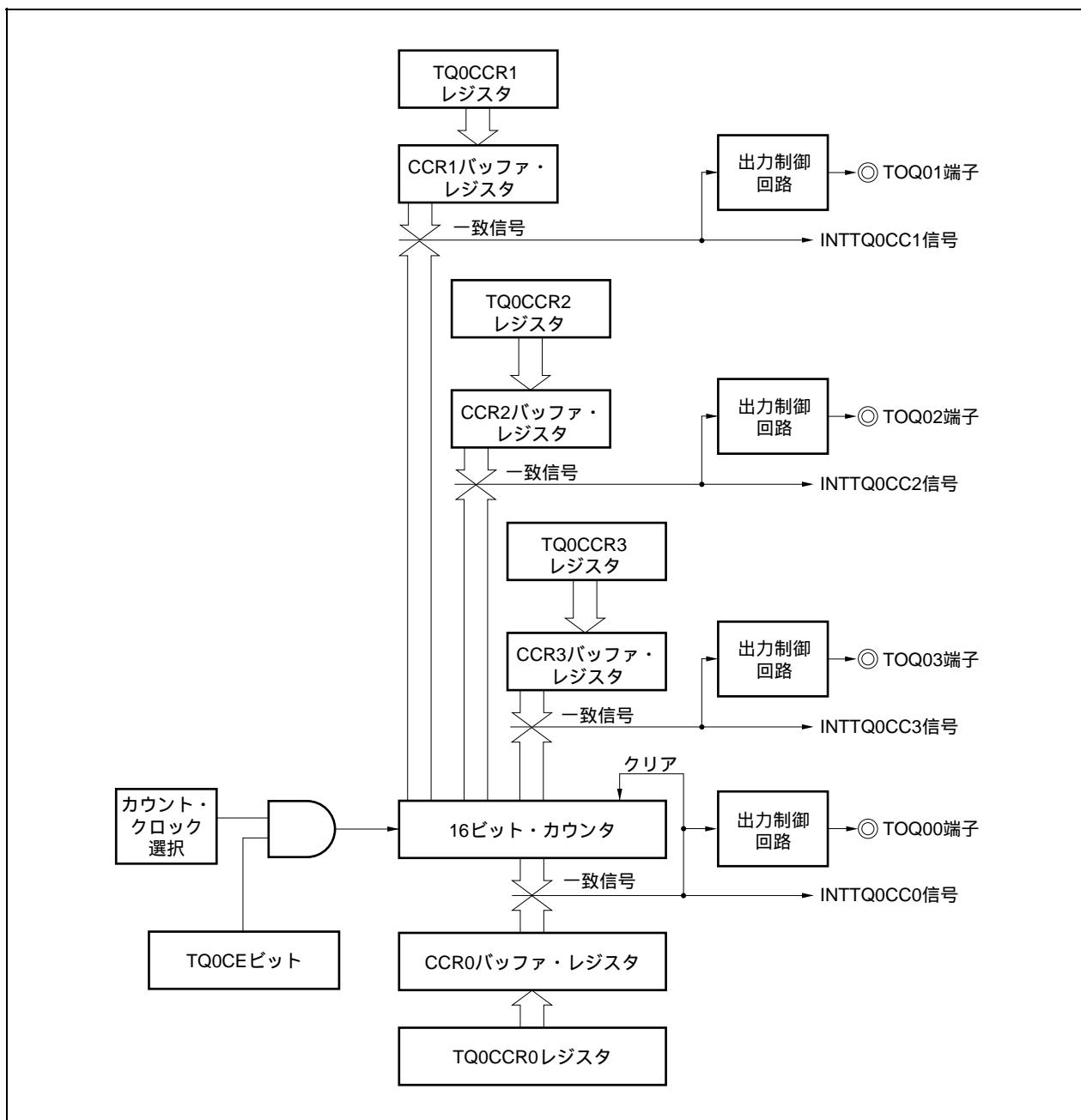
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQ0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQ0CC0信号を発生しTOQ00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTQ0CC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTQ0CC0信号が発生する場合があります。

(d) TQ0CCR1-TQ0CCR3レジスタの動作

図8-6 TQ0CCR1-TQ0CCR3レジスタの構成図

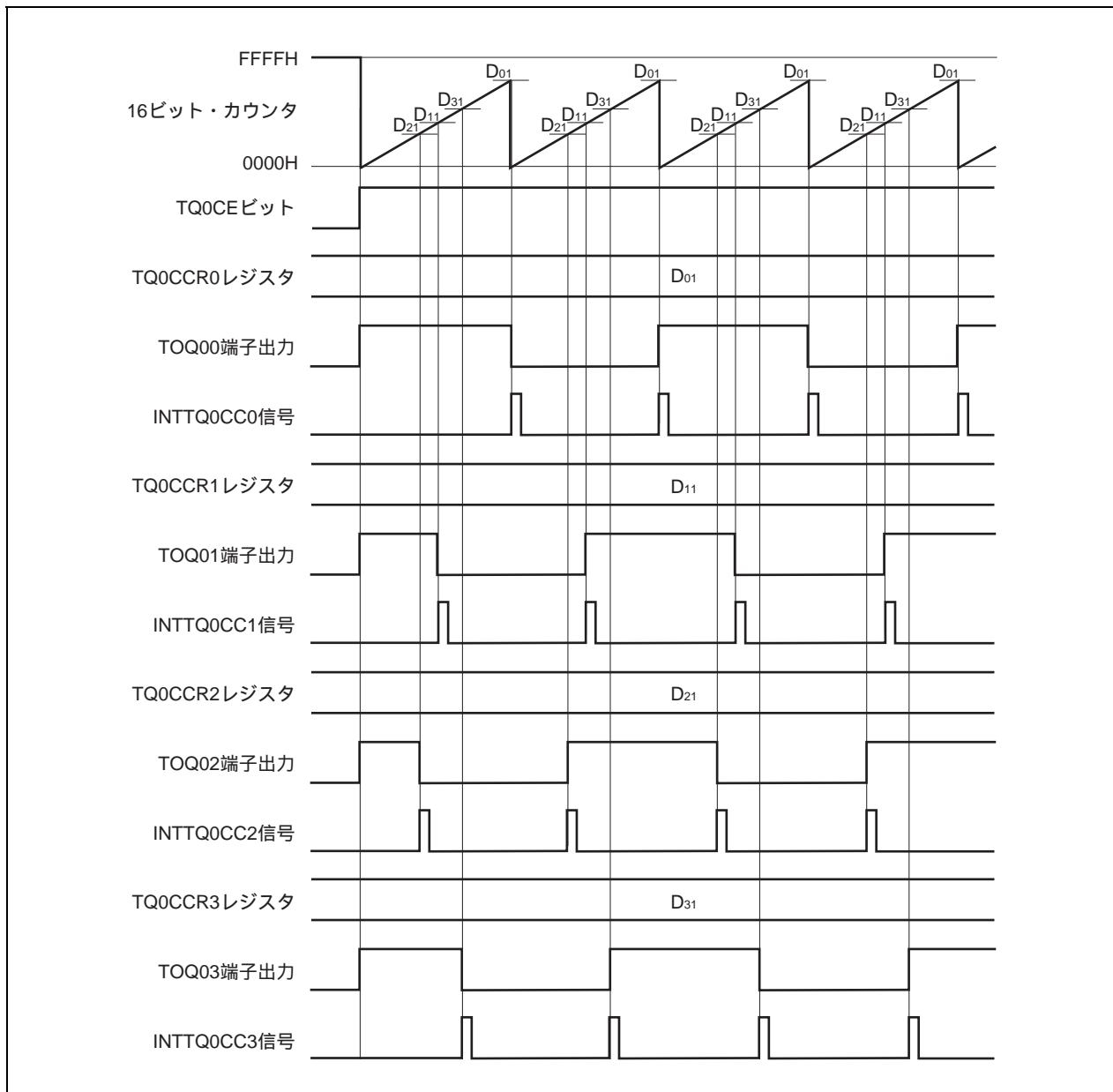


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCk信号が発生します。また、同じタイミングでTOQ0k端子出力は反転します。

TOQ0k端子出力は、TOQ00端子出力と同じ周期の方形波を出力します。

備考 k = 1-3

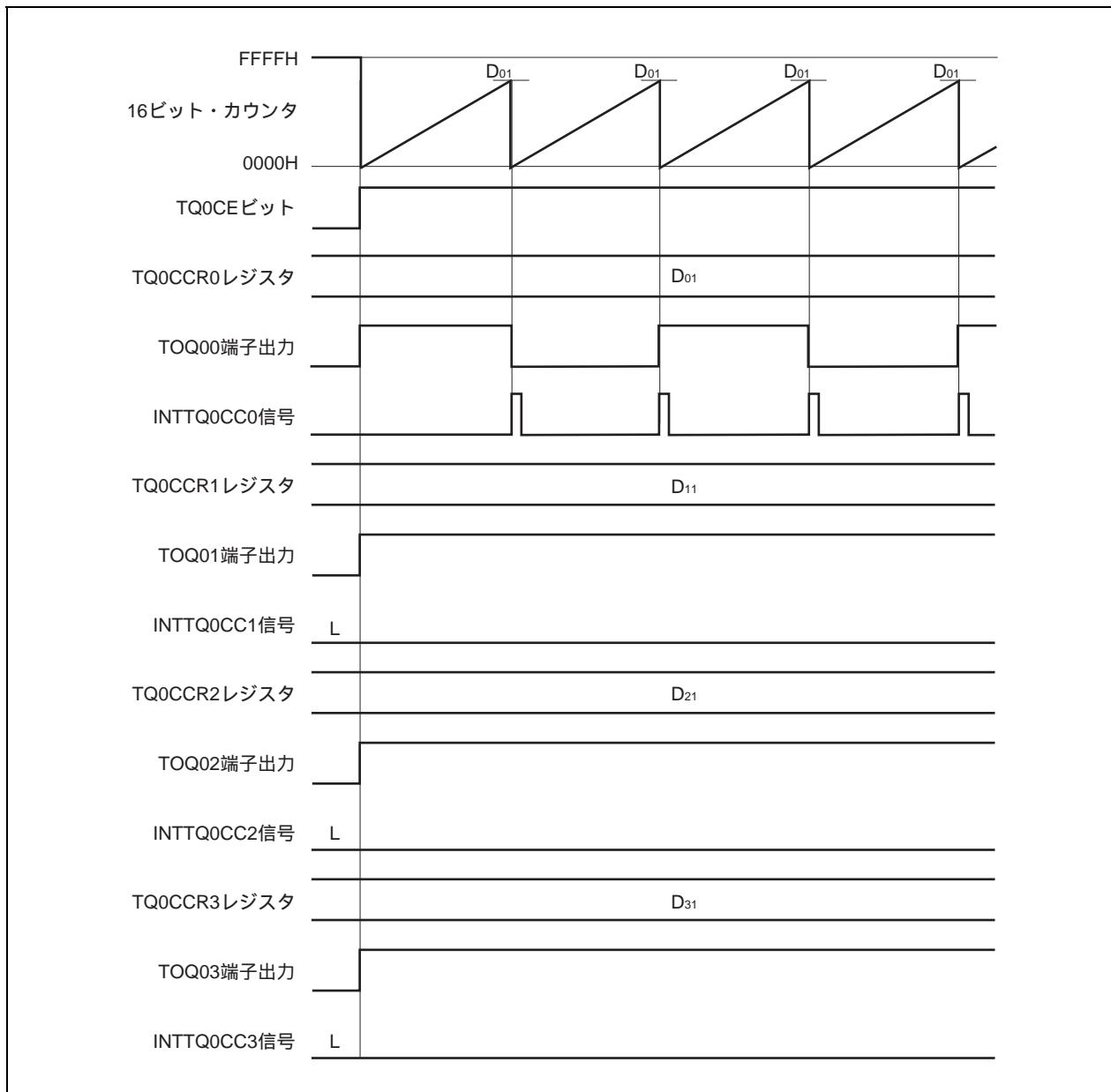
図8-7 D₀₁ D_{k1}の場合のタイミング図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウント値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCK信号は発生しません。また、TOQ0k端子出力も変化しません。

備考 k = 1-3

図8-8 D₀₁ < D_{k1}の場合のタイミング図



8.5.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)

外部イベント・カウント・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントするごとに割り込み要求信号 (INTTQ0CC0) を発生します。TOQ00端子は使用できません。

外部イベント・カウント・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタは使用しません。

図8-9 外部イベント・カウント・モードの構成図

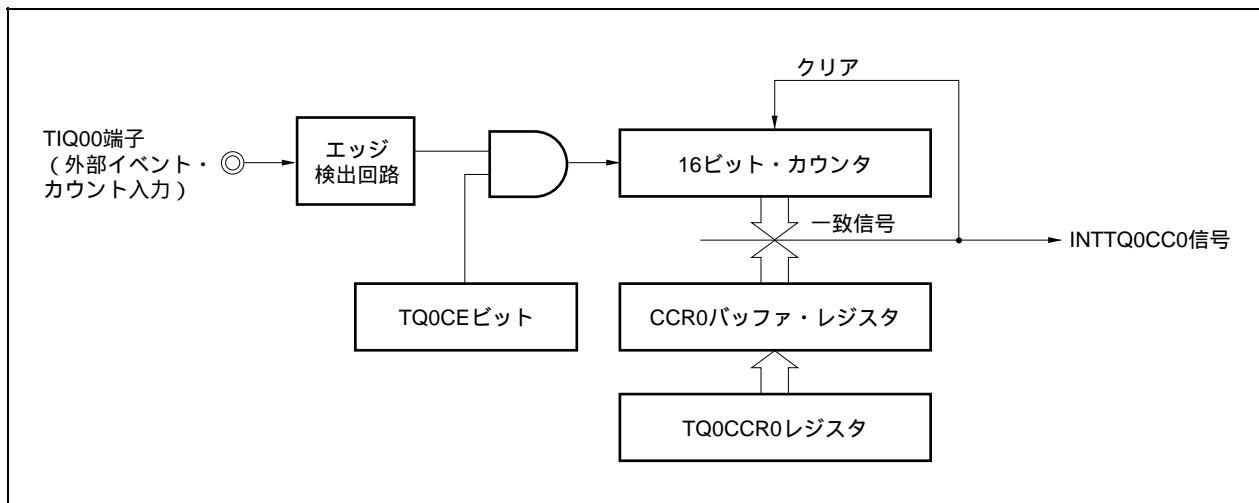
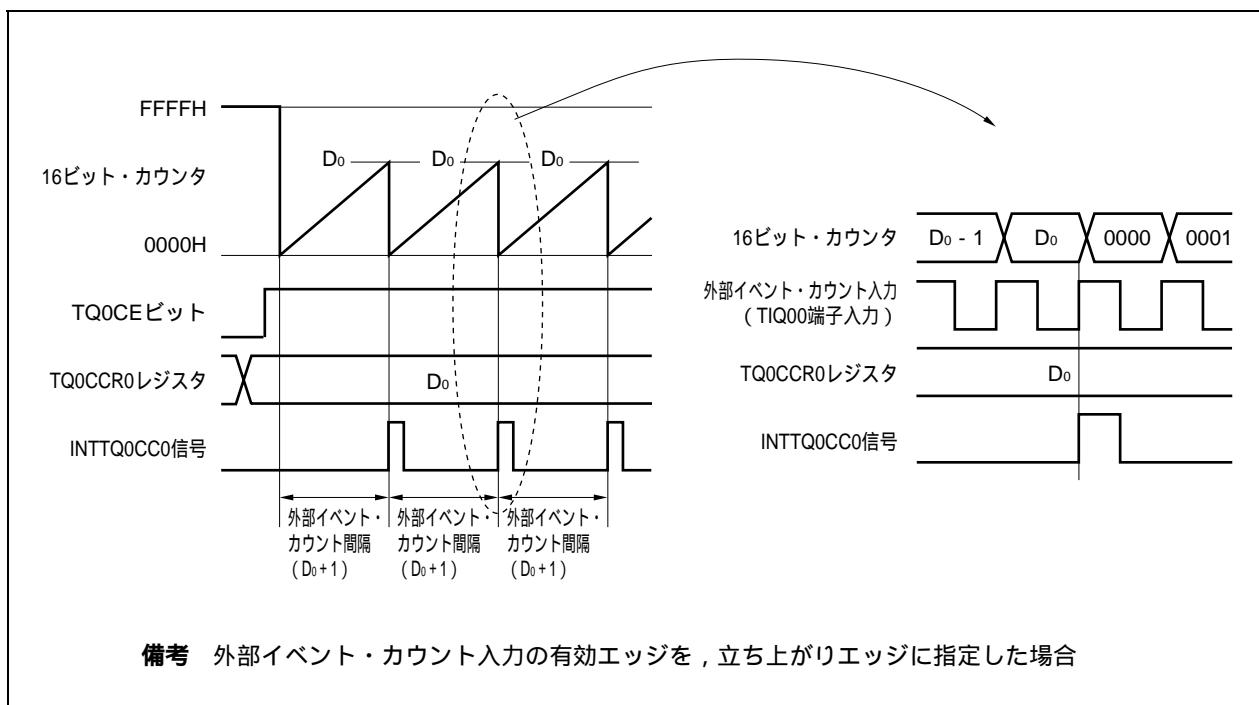


図8-10 外部イベント・カウント・モードの基本タイミング



TQ0CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

INTTQ0CC0信号は、外部イベント・カウント入力の有効エッジを (TQ0CCR0レジスタに設定した値 + 1) 回検出するごとに発生します。

図8-11 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

(a) TMQ0制御レジスタ0 (TQ0CTL0)

	TQ0CE		TQ0CKS2		TQ0CKS1		TQ0CKS0	
TQ0CTL0	0/1	0	0	0	0	0	0	0
								0 : カウント動作停止 1 : カウント動作許可

(b) TMQ0制御レジスタ1 (TQ0CTL1)

	TQ0EST		TQ0EEE		TQ0MD2		TQ0MD1		TQ0MD0	
TQ0CTL1	0	0	0	0	0	0	0	1		
								0, 0, 1 :	外部イベント・カウント・モード	

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

	TQ0OL3		TQ0OE3		TQ0OL2		TQ0OE2		TQ0OL1		TQ0OE1		TQ0OL0		TQ0OE0	
TQ0IOC0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
								0 : TOQ00端子出力禁止 0 : TOQ01端子出力禁止 0 : TOQ02端子出力禁止 0 : TOQ03端子出力禁止								

(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)

	TQ0EES1		TQ0EES0		TQ0ETS1		TQ0ETS0	
TQ0IOC2	0	0	0	0	0/1	0/1	0	0
								外部イベント・カウント 入力有効エッジの選択

(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

図8-11 外部イベント・カウント・モード動作時のレジスタ設定内容(2/2)

(f) TMQ0キャプチャ/コンペア・レジスタ0(TQ0CCR0)

TQ0CCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号(INTTQ0CC0)を発生します。

(g) TMQ0キャプチャ/コンペア・レジスタ1-3(TQ0CCR1-TQ0CCR3)

外部イベント・カウント・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号(INTTQ0CC1-INTTQ0CC3)が発生します。

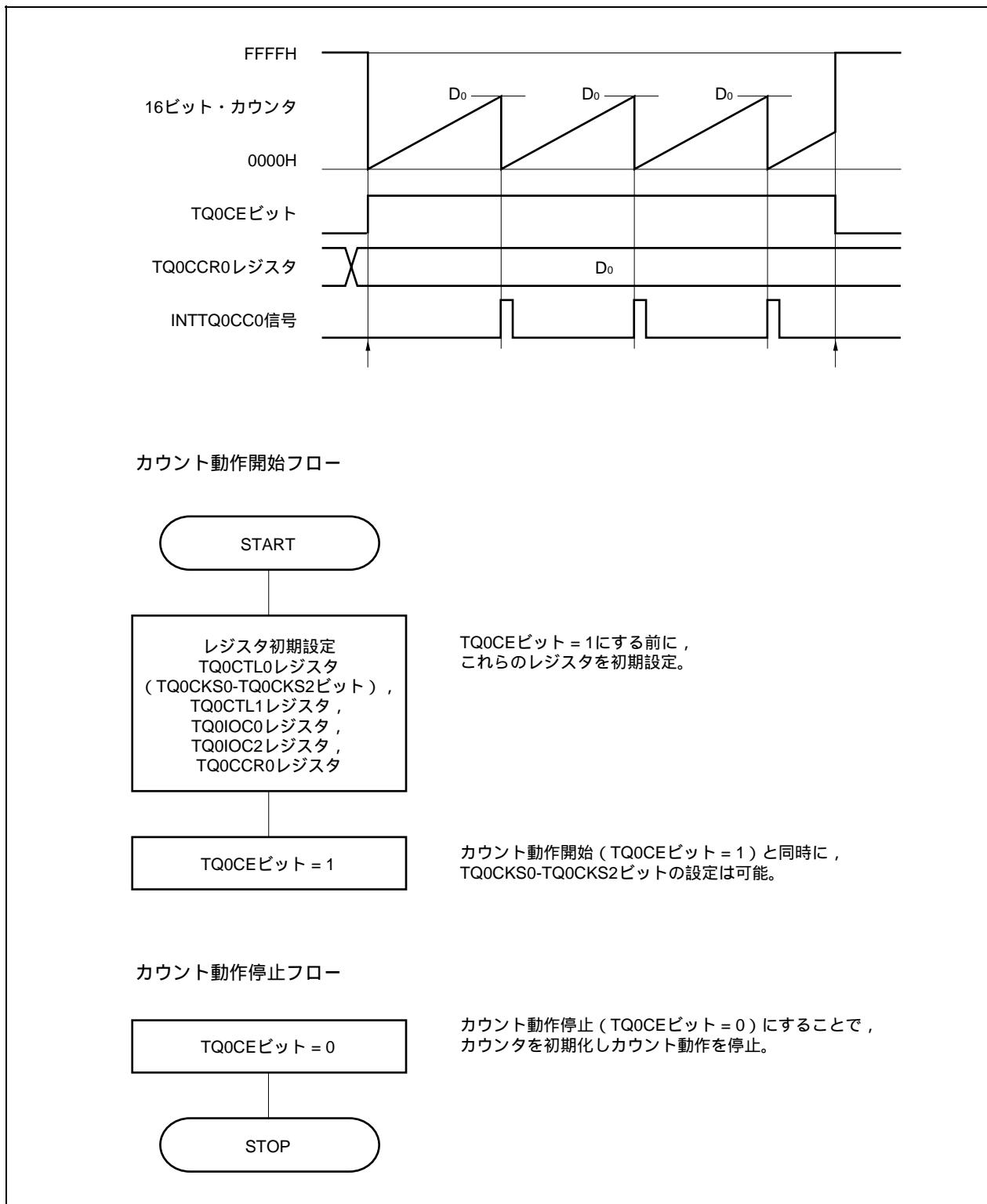
したがって、割り込みマスク・フラグ(TQ0CCMK1-TQ0CCMK3)でマスク設定しておいてください。

注意 カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQ00端子からのみ入力できます。このとき、TQ0IOC1.TQ0IS1, TQ0IS0ビット=00(キャプチャ・トリガ入力(TIQ00端子):エッジ検出なし)に設定してください。

備考 TMQ0I/O制御レジスタ1(TQ0IOC1), TMQ0オプション・レジスタ0(TQ0OPT0)は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

図8-12 外部イベント・カウント・モード使用時のソフトウェア処理フロー

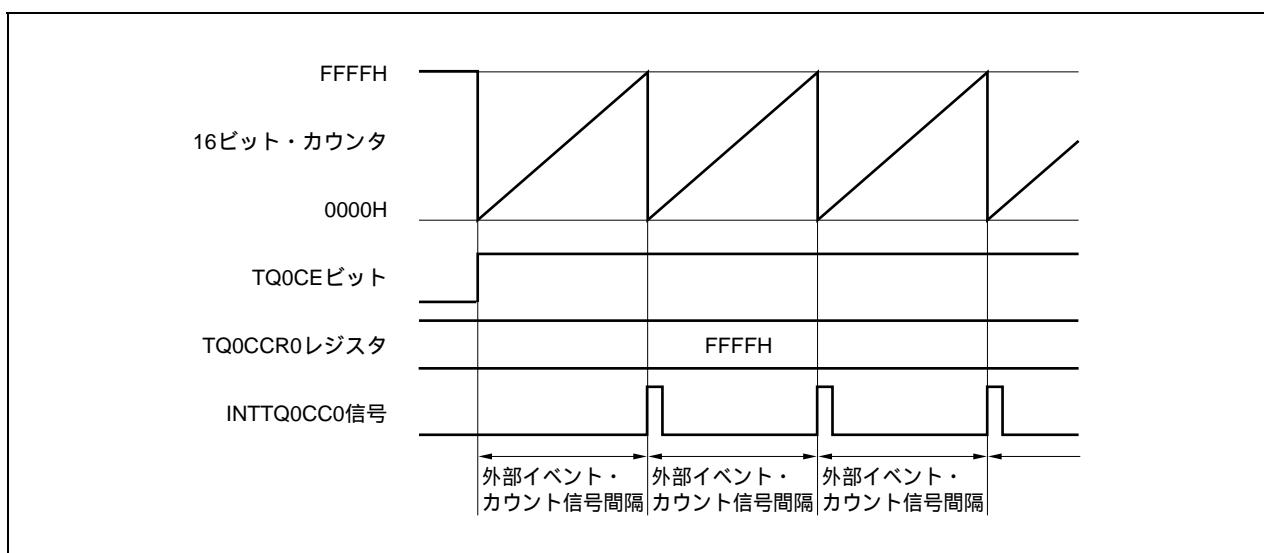


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モード時, TQ0CCR0レジスタには, 0000Hを設定しないでください。
2. 外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください
(TQ0CTL1.TQ0MD2-TQ0MD0ビット = 000, TQ0CTL1.TQ0EEEビット = 1)。

(a) TQ0CCR0レジスタにFFFFHを設定した場合の動作

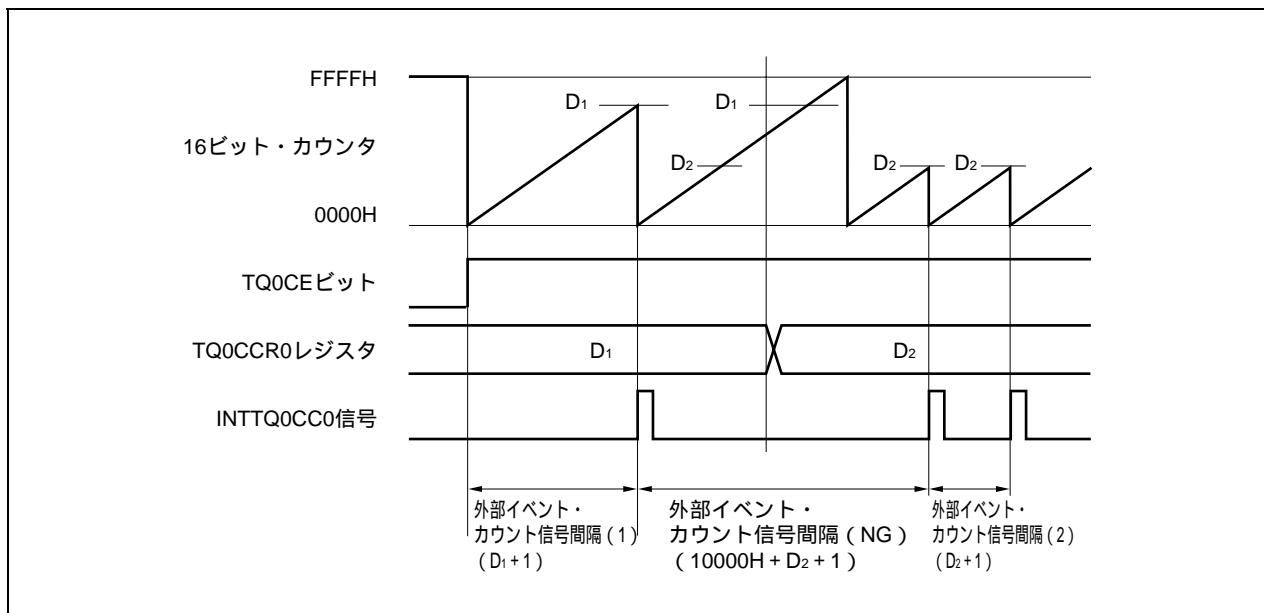
TQ0CCR0レジスタにFFFFHを設定した場合, 16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTQ0CC0信号を発生します。このとき, TQ0OPT0.TQ0OVFビットはセットされません。



(b) TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合があるので注意してください。



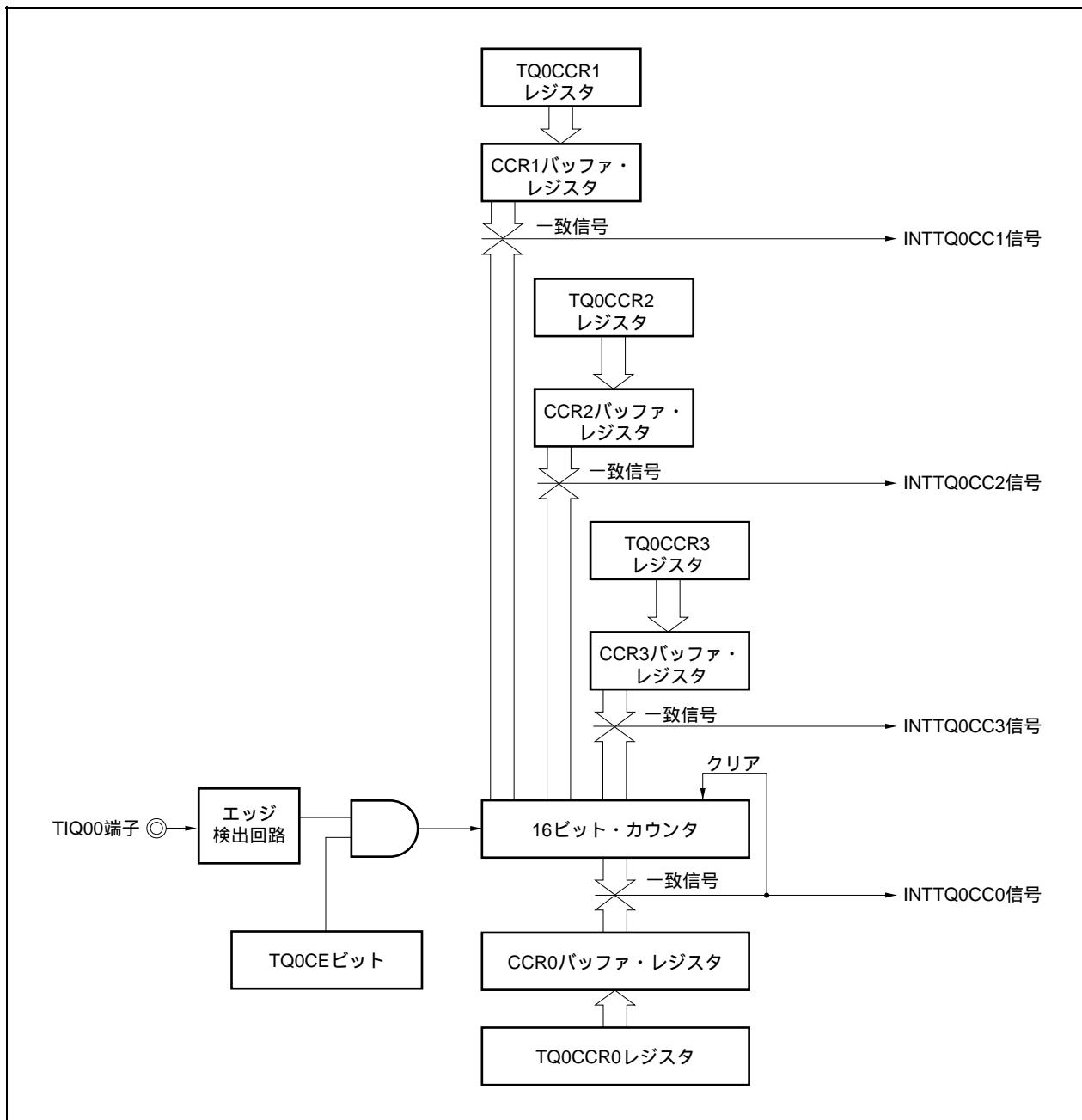
カウント値がD₂よりも大きくD₁よりも小さい状態において、TQ0CCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTQ0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTQ0CC0信号は発生せずに、「(10000H + D₂ + 1)回」の有効エッジ数でINTTQ0CC0信号が発生する場合があります。

(c) TQ0CCR1-TQ0CCR3レジスタの動作

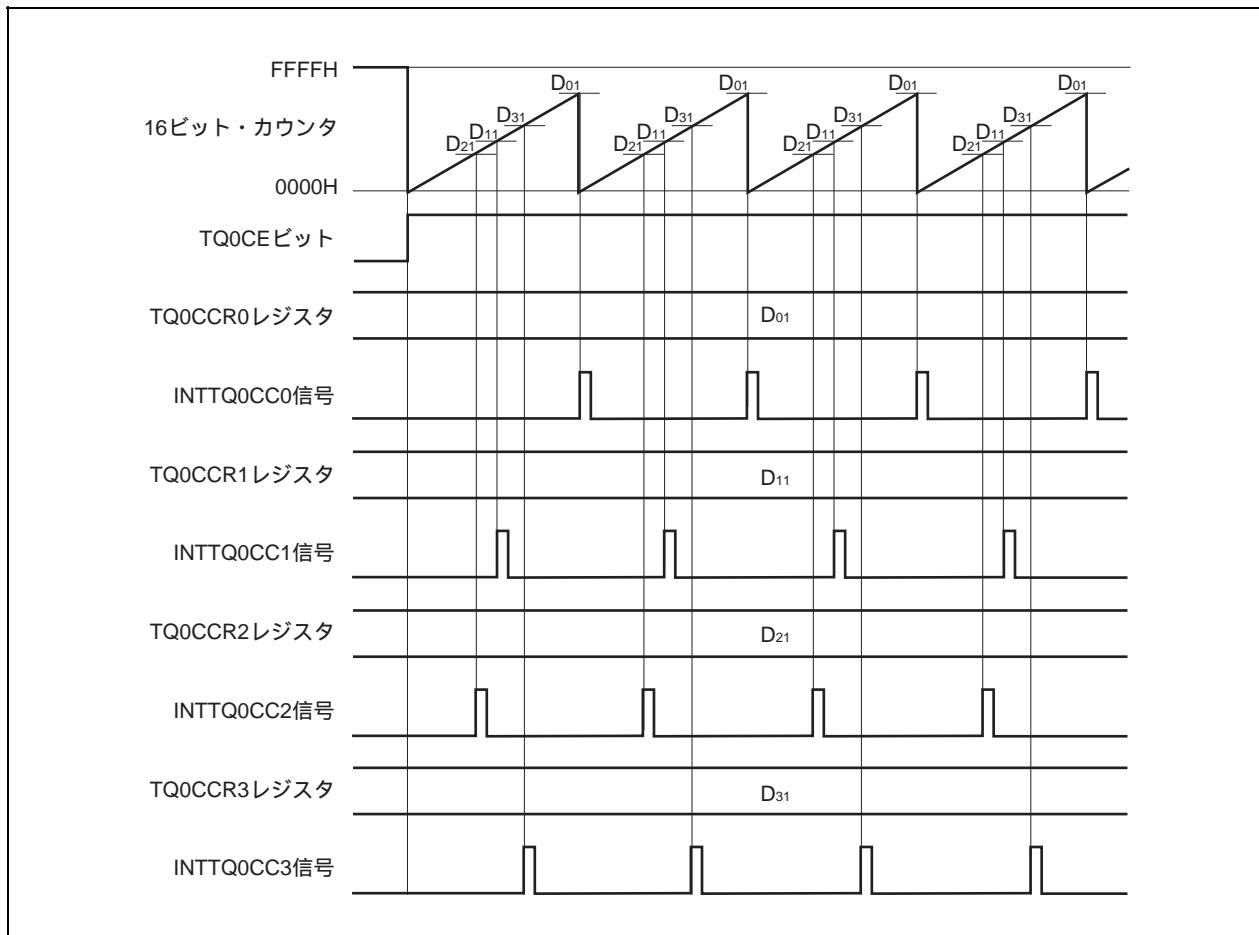
図8-13 TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCK信号が発生します。

備考 k = 1-3

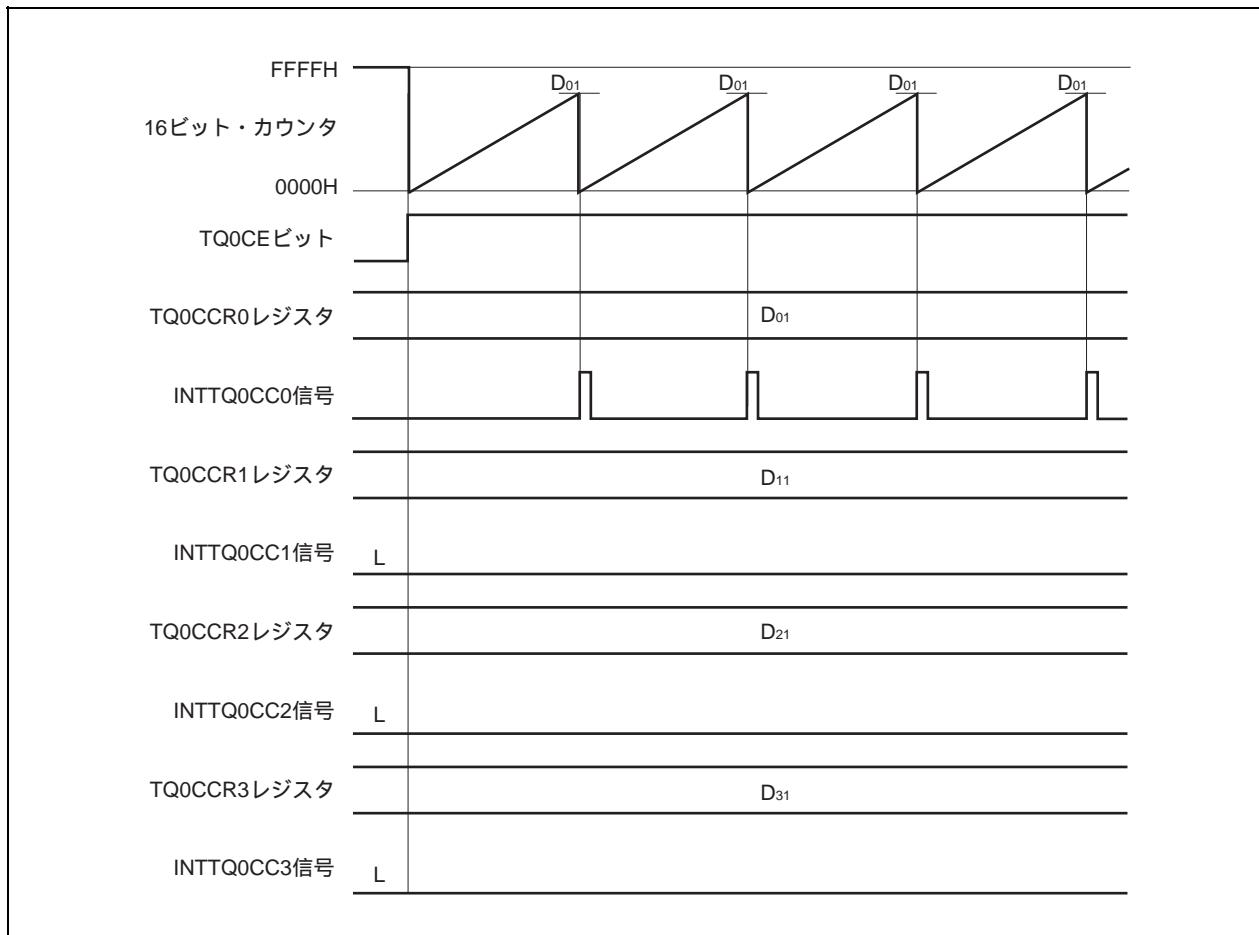
図8-14 D₀₁ D_{k1}の場合のタイミング図



TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウント値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCk信号は発生しません。

備考 $k = 1\text{-}3$

図8-15 $D_{01} < D_{k1}$ の場合のタイミング図



8.5.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)

外部トリガ・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子から最大3相のPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQ00端子から、PWM波形の1周期を半周期とする方形波を出力できます。

図8-16 外部トリガ・パルス出力モードの構成図

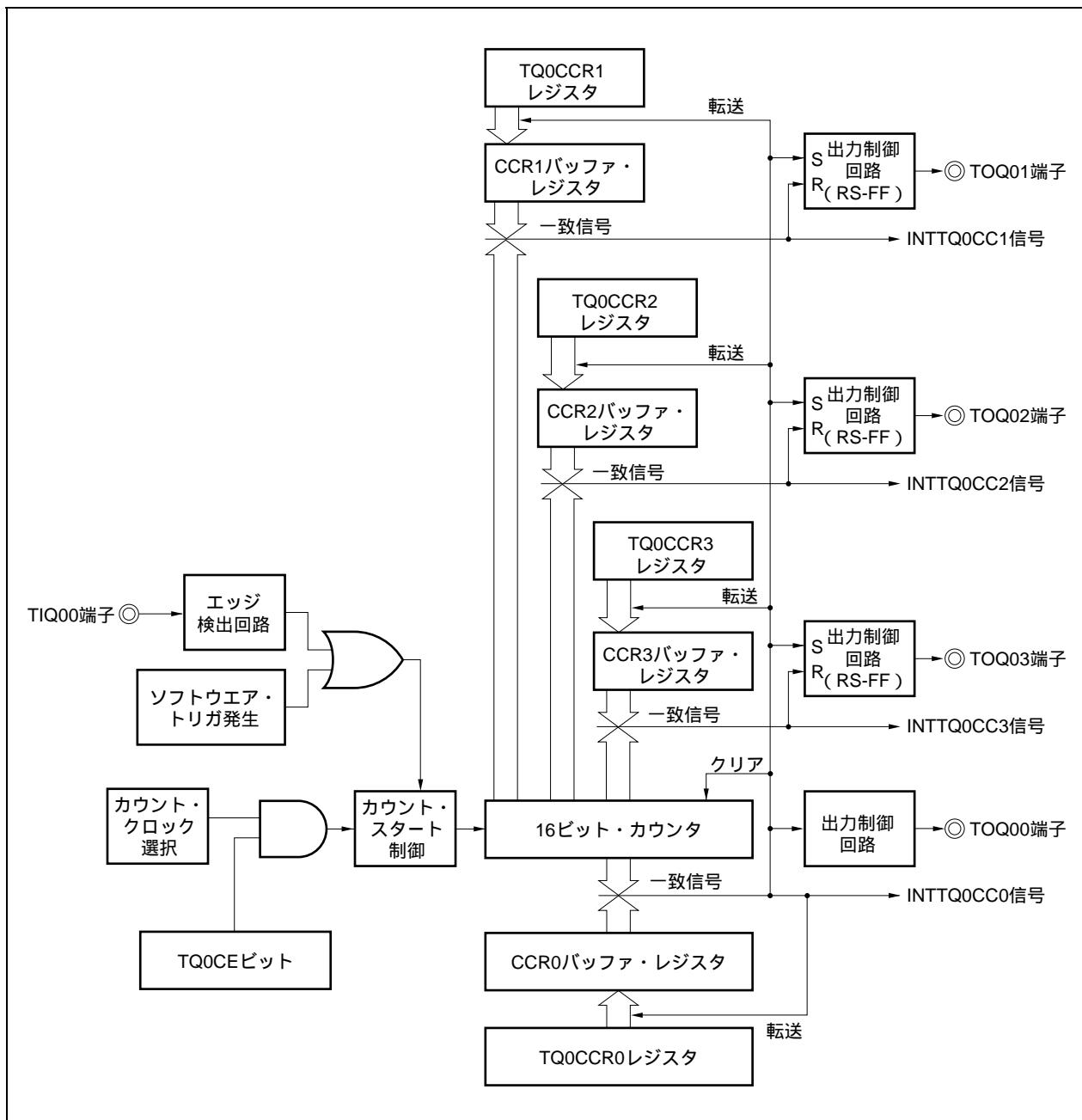
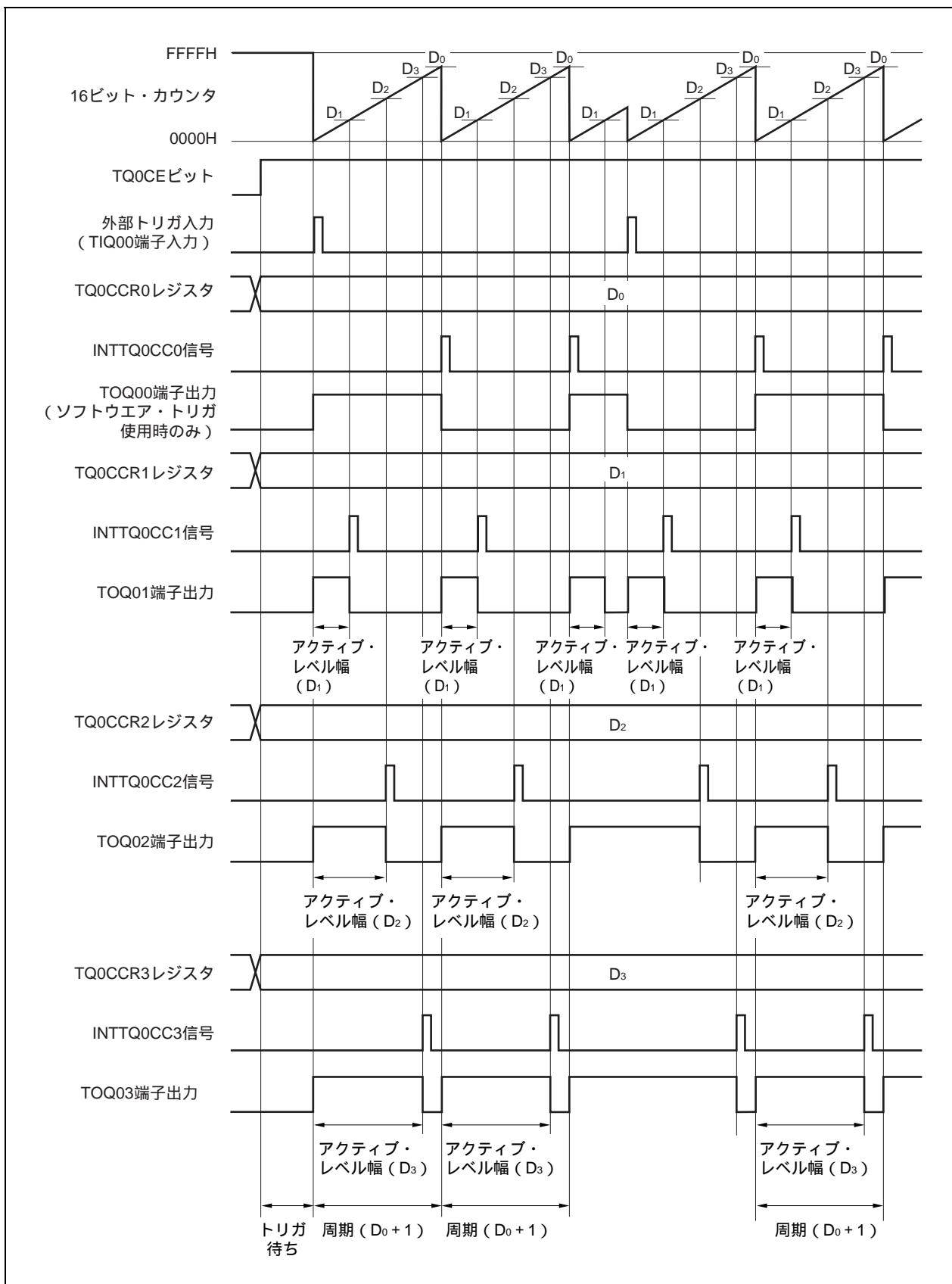


図8-17 外部トリガ・パルス出力モードの基本タイミング



TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOQ0k端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOQ00端子出力は反転します。TOQ0k端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQ0CCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQ0CCRkレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1)$$

コンペア一致割り込み要求信号(INTTQ0CC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号(INTTQ0CCK)は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

TQ0CCRmレジスタに設定した値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRmバッファ・レジスタに転送されます。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ(TQ0CTL1.TQ0ESTビット)のセット(1)があります。

備考 k = 1-3

m = 0-3

図8-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容(1/3)

(a) TMQ0制御レジスタ0(TQ0CTL0)

	TQ0CE		TQ0CKS2		TQ0CKS1		TQ0CKS0	
TQ0CTL0	0/1	0	0	0	0	0/1	0/1	0/1
カウント・クロックの選択 ^注								
0 : カウント動作停止 1 : カウント動作許可								

注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

図8-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

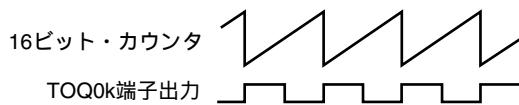
(b) TMQ0制御レジスタ1 (TQ0CTL1)

	TQ0EST		TQ0EEE		TQ0MD2		TQ0MD1	TQ0MD0
TQ0CTL1	0	0/1	0/1	0	0	0	1	0
							0, 1, 0 : 外部トリガ・パルス出力モード 0 : TQ0CKS0-TQ0CKS2ビットで選択したカウント・クロックで動作 1 : 外部イベント入力信号でカウント動作 “1”を書き込むことで、ソフトウェア・トリガを発生	

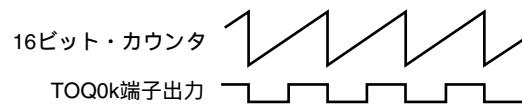
(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1注	0/1注
							0 : TOQ00端子出力禁止 1 : TOQ00端子出力許可 TOQ00端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル	
							0 : TOQ01端子出力禁止 1 : TOQ01端子出力許可 TOQ01端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ	
							0 : TOQ02端子出力禁止 1 : TOQ02端子出力許可 TOQ02端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ	
							0 : TOQ03端子出力禁止 1 : TOQ03端子出力許可 TOQ03端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ	

・ TQ0OLkビット = 0の場合



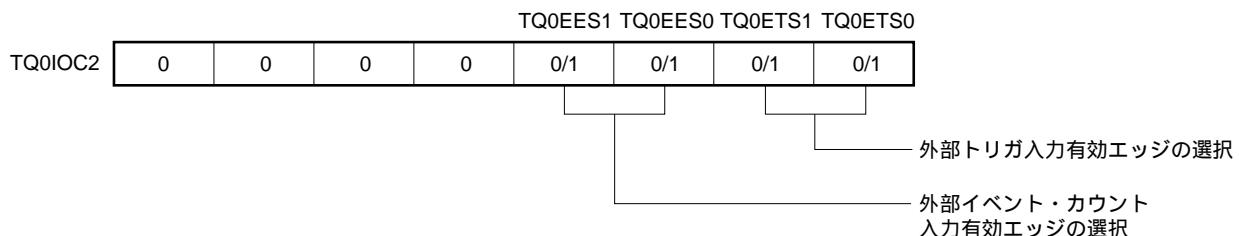
・ TQ0OLkビット = 1の場合



注 外部トリガ・パルス出力モードでTOQ00端子を使用しない場合は，“0”に設定してください。

図8-18 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0 レジスタに D_0 を設定し、TQ0CCR1 レジスタに D_1 を、TQ0CCR2 レジスタに D_2 を、
TQ0CCR3 レジスタに D_3 を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント・クロック周期}$$

$$\text{TOQ01端子からのPWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント・クロック周期}$$

$$\text{TOQ02端子からのPWM波形のアクティブ・レベル幅} = D_2 \times \text{カウント・クロック周期}$$

$$\text{TOQ03端子からのPWM波形のアクティブ・レベル幅} = D_3 \times \text{カウント・クロック周期}$$

となります。

- 備考1.** TMQ0I/O制御レジスタ1 (TQ0IOC1)、TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部トリガ・パルス出力モードでは使用しません。
2. TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2)、TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3) の更新は、TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1) への書き込みにより有効になります。

(1) 外部トリガ・パルス出力モード動作フロー

図8-19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー(1/2)

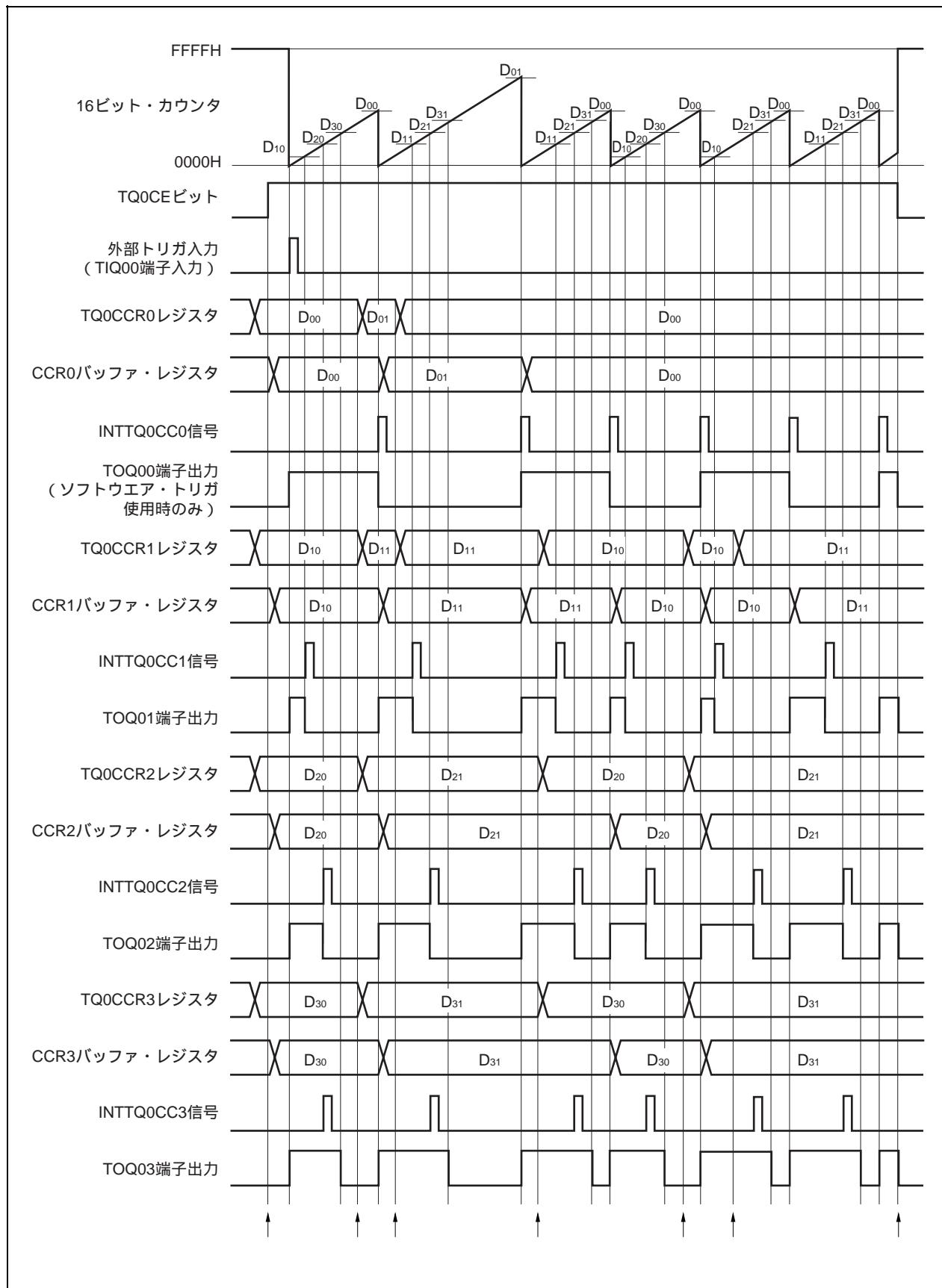
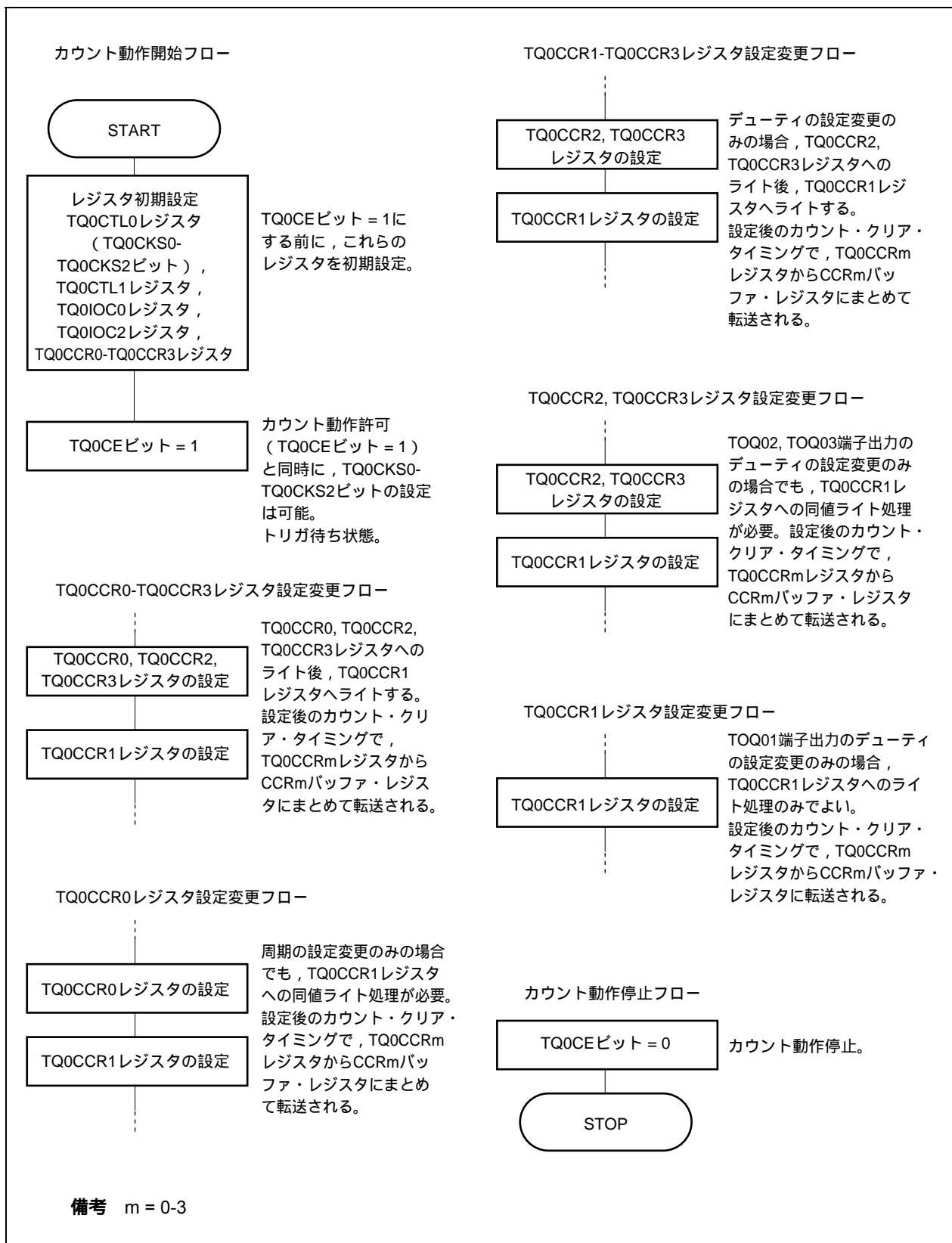


図8-19 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

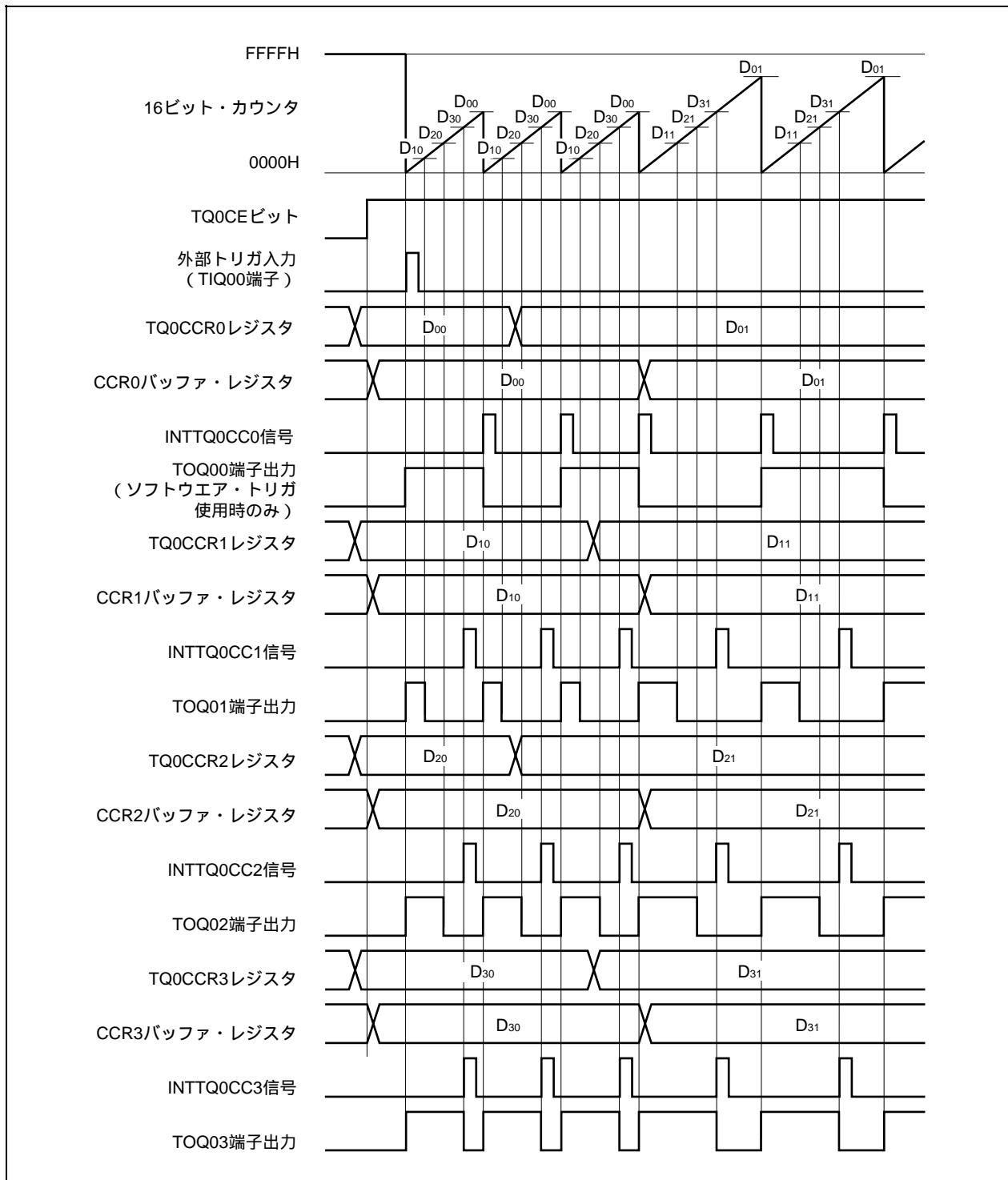


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、その後でTQ0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、その後でTQ0CCR1レジスタに同値をライトしてください。

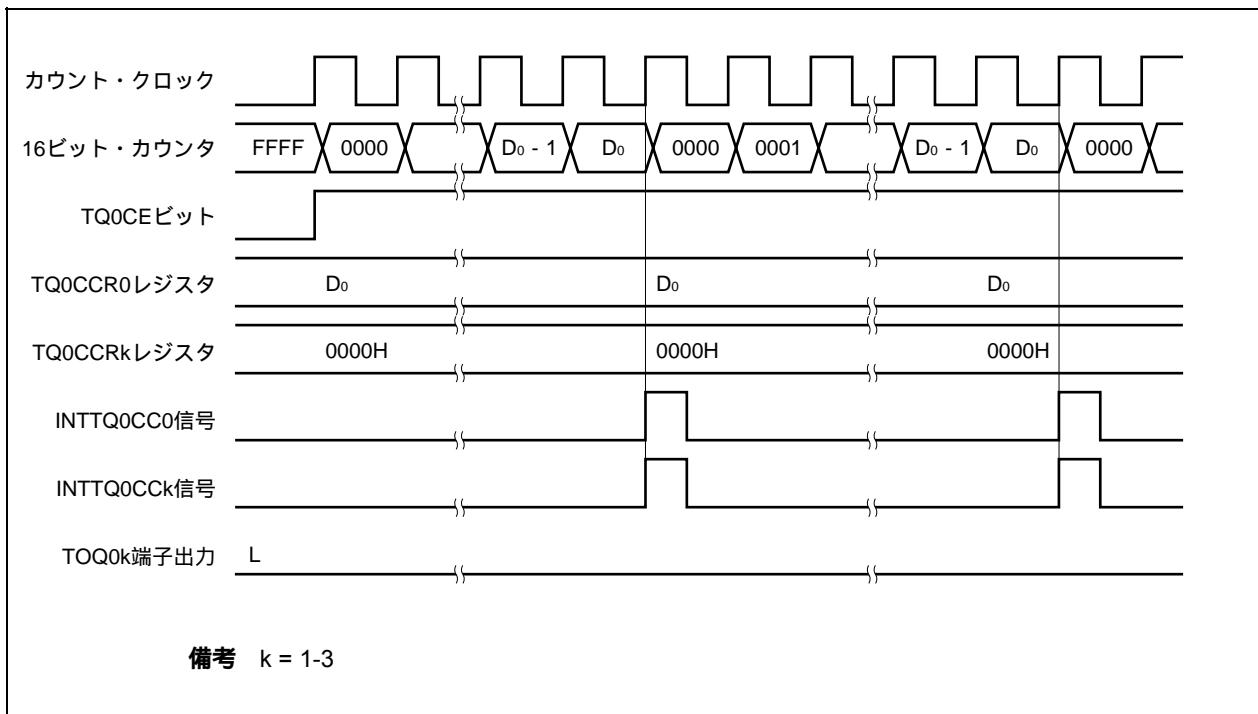
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQ0CCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

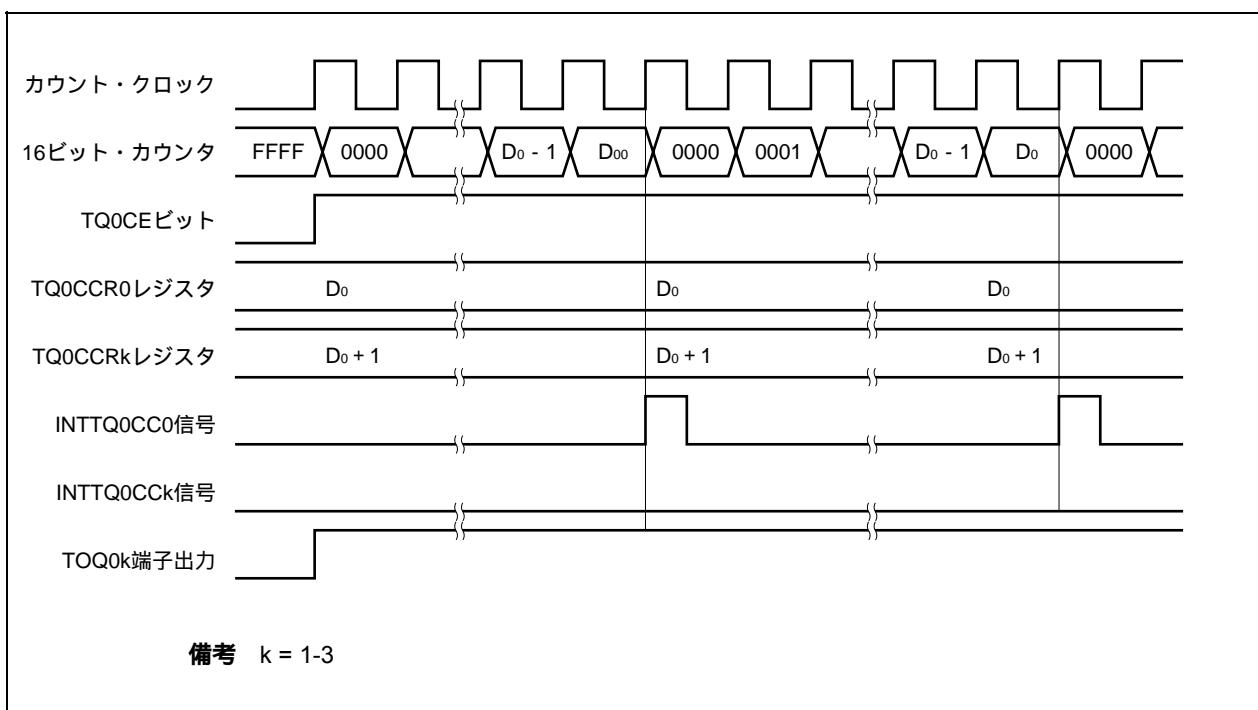
備考 m = 0-3

(b) PWM波形の0 % / 100 %出力

0 %波形を出力するためには、TQ0CCRkレジスタに対して0000Hを設定します。ただし、TQ0CCR0レジスタの設定値がFFFFHの場合には、INTTQ0CCk信号が定期的に発生します。

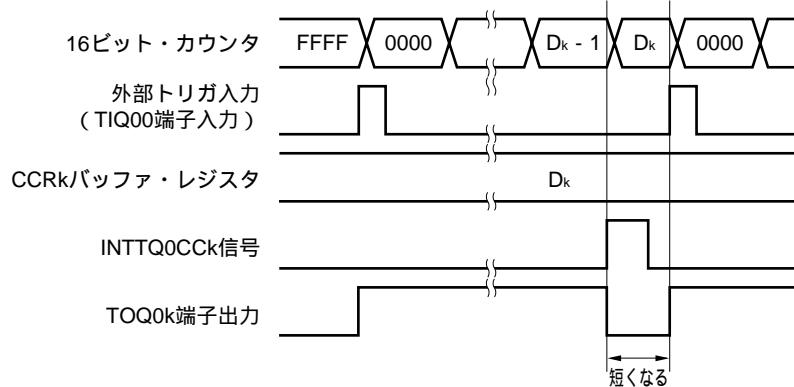


100 %波形を出力するためには、TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



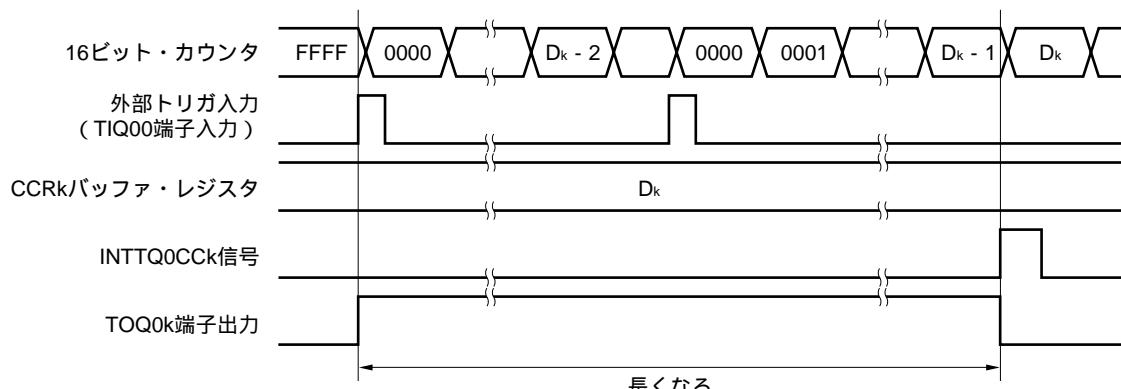
(c) トリガ検出とCCRkバッファ・レジスタとの一致の競合

INTTQ0CCK信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。



備考 k = 1-3

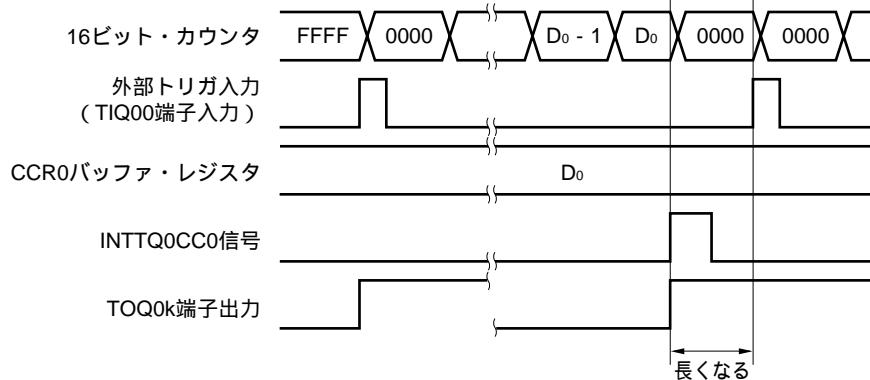
INTTQ0CCK信号発生直前にトリガを検出した場合には、INTTQ0CCK信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQ0k端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。



備考 k = 1-3

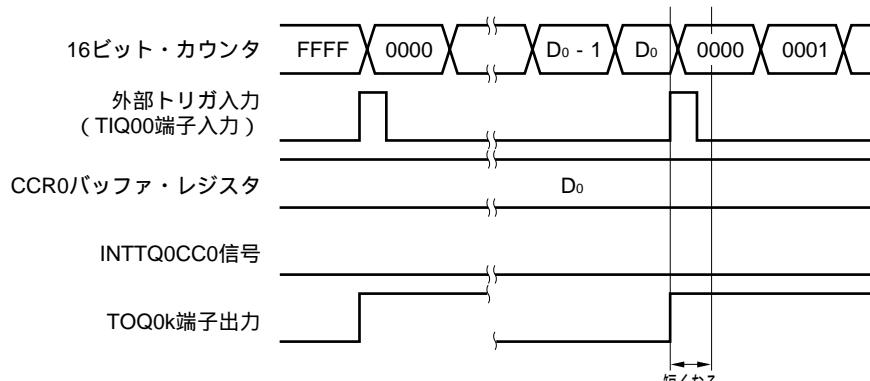
(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTQ0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOQ0k端子出力のアクティブ期間が、INTTQ0CC0信号発生からトリガ検出までの分だけ長くなります。



備考 k = 1-3

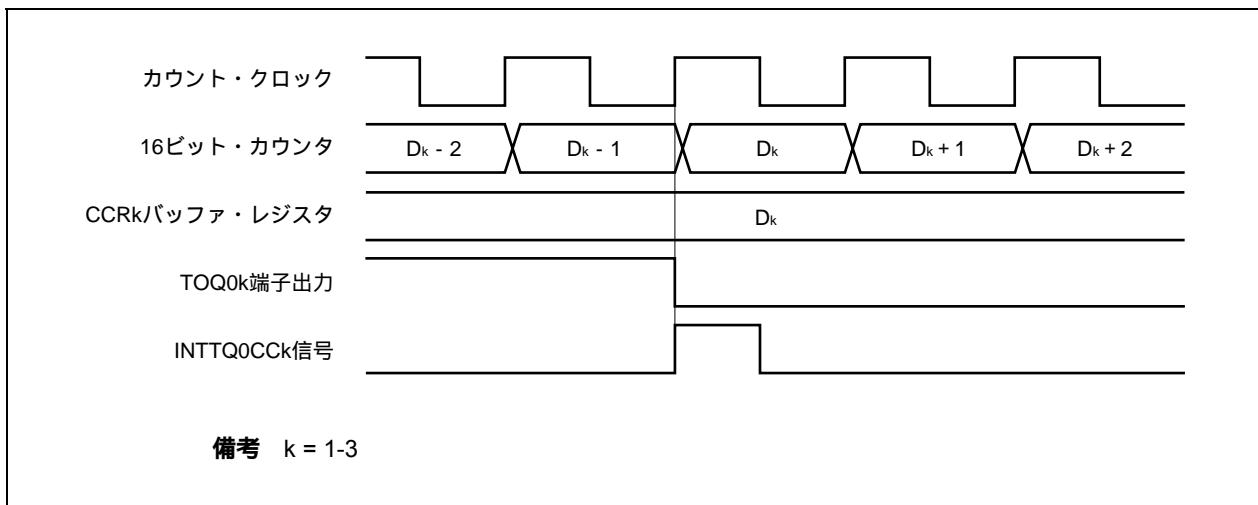
INTTQ0CC0信号発生直前にトリガを検出した場合、INTTQ0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



備考 k = 1-3

(e) コンペア一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのINTTQ0CCK信号と異なり、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.5.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)

ワンショット・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQ00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止（トリガ待ち状態）中のときはインアクティブ・レベルを出力できます。

図8-20 ワンショット・パルス出力モードの構成図

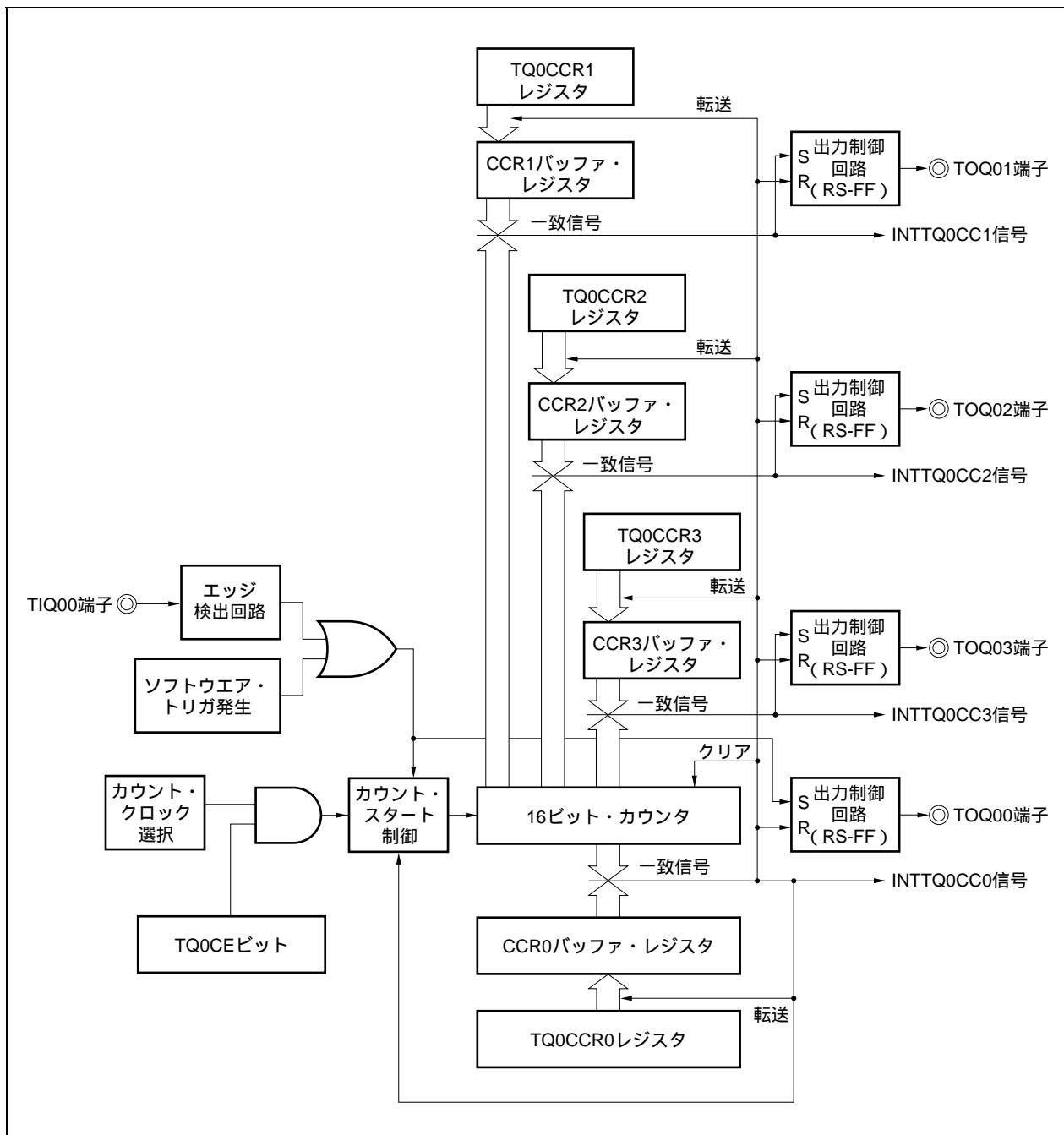
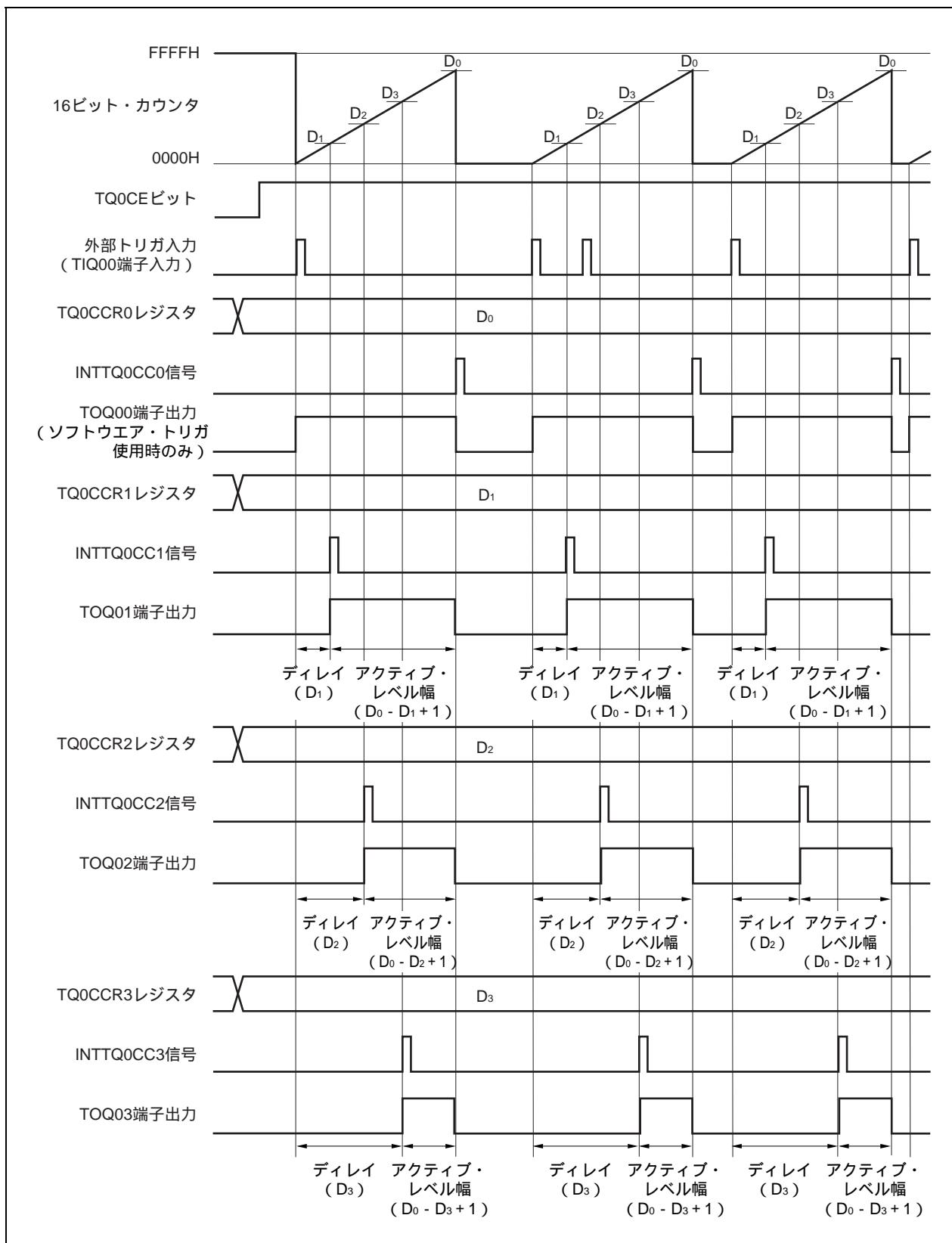


図8-21 ワンショット・パルス出力モードの基本タイミング



TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0K端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタをFFFFHにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TQ0CCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\begin{aligned}\text{アクティブ・レベル幅} &= (\text{TQ0CCR0レジスタの設定値} - \text{TQ0CCRkレジスタの設定値} + 1) \\ &\quad \times \text{カウント・クロック周期}\end{aligned}$$

コンペア一致割り込み要求信号(INTTQ0CC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペア一致割り込み要求信号(INTTQ0CCK)は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ(TQ0CTL1.TQ0ESTビット)のセット(1)があります。

備考 k = 1-3

図8-22 ワンショット・パルス出力モード動作時のレジスタ設定内容(1/3)

(a) TMQ0制御レジスタ0 (TQ0CTL0)

	TQ0CE TQ0CKS2 TQ0CKS1 TQ0CKS0							
TQ0CTL0	0/1	0	0	0	0	0/1	0/1	0/1
								カウント・クロックの選択 ^注
								0 : カウント動作停止 1 : カウント動作許可

(b) TMQ0制御レジスタ1 (TQ0CTL1)

	TQ0EST TQ0EEE TQ0MD2 TQ0MD1 TQ0MD0							
TQ0CTL1	0	0/1	0/1	0	0	0	1	1
								0, 1, 1 : ワンショット・パルス出力モード
								0 : TQ0CKS0-TQ0CKS2ビットで選択したカウント・クロックで動作 1 : 外部イベント・カウント入力信号でカウント動作
								“1”を書き込むことで、 ソフトウェア・トリガを発生

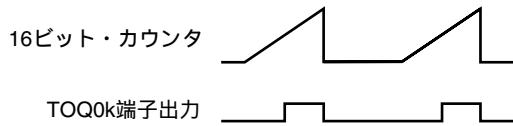
注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

図8-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

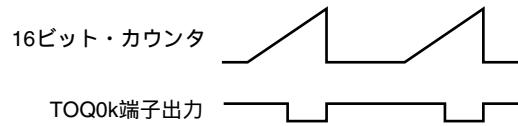
(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1注	0/1注
							0 : TOQ00端子出力禁止 1 : TOQ00端子出力許可	
							TOQ00端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル	
							0 : TOQ01端子出力禁止 1 : TOQ01端子出力許可	
							TOQ01端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ	
							0 : TOQ02端子出力禁止 1 : TOQ02端子出力許可	
							TOQ02端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ	
							0 : TOQ03端子出力禁止 1 : TOQ03端子出力許可	
							TOQ03端子出力のアクティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ	

・ TQ0OLkビット = 0の場合



・ TQ0OLkビット = 1の場合



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)

	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0
TQ0IOC2	0	0	0	0
			外部トリガ入力有効エッジの選択	
			外部イベント・カウント入力有効エッジの選択	

(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

注 ワンショット・パルス出力モードでTOQ00端子を使用しない場合は、"0"に設定してください。

図8-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し、TQ0CCRkレジスタにD_kを設定した場合、

$$\text{ワンショット・パルスのアクティブ・レベル幅} = (D_0 - D_k + 1) \times \text{カウント・クロック周期}$$

$$\text{ワンショット・パルスの出力ディレイ期間} = (D_k) \times \text{カウント・クロック周期}$$

となります。

注意 ワンショット・パルス出力モードにおいて、TQ0CCRkレジスタの設定値が、TQ0CCR0レジスタより大きい場合、ワンショット・パルスは出力しません。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は、ワンショット・パルス出力モードでは使用しません。

2. k = 1-3

(1) ワンショット・パルス出力モード動作フロー

図8-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

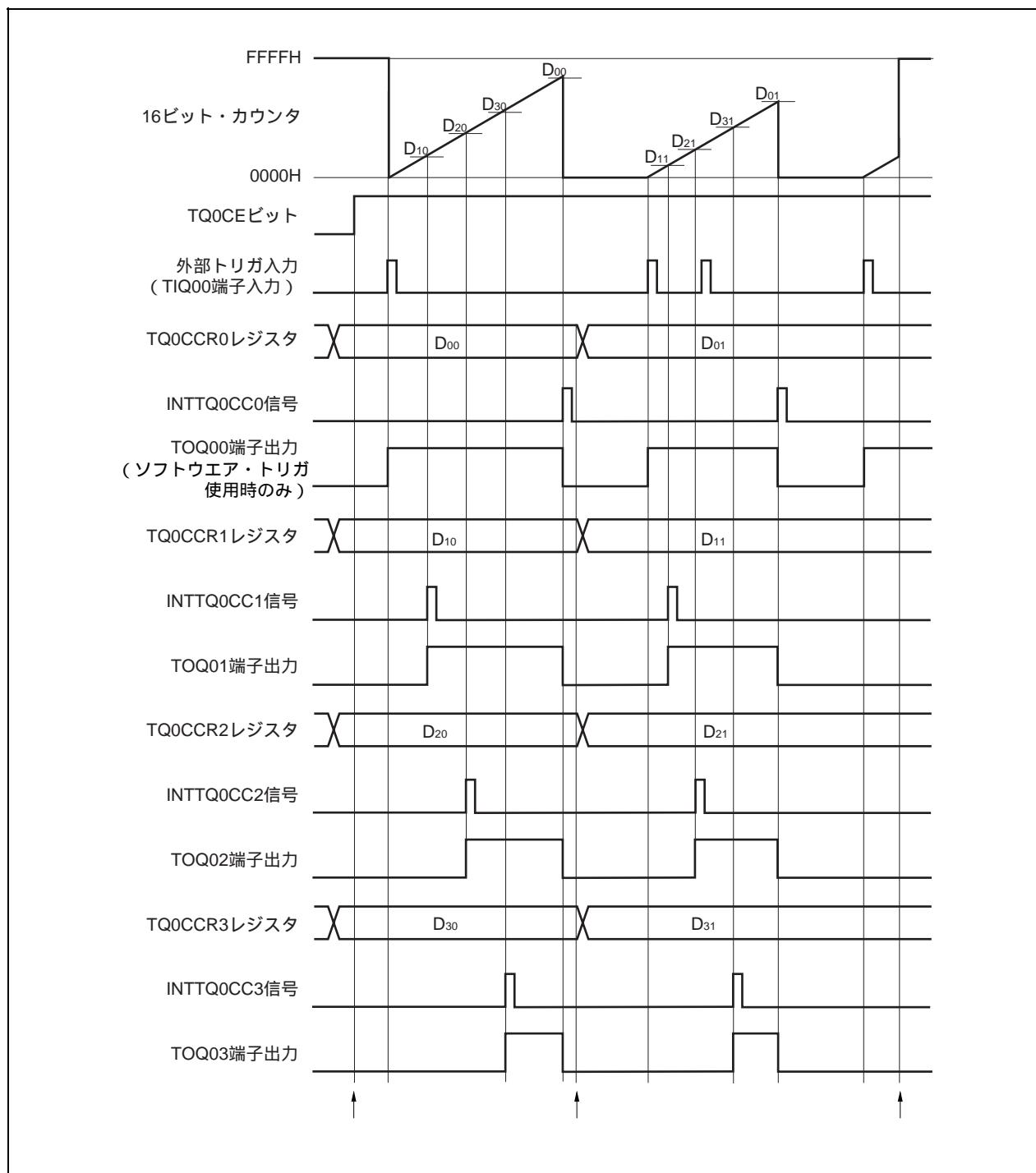
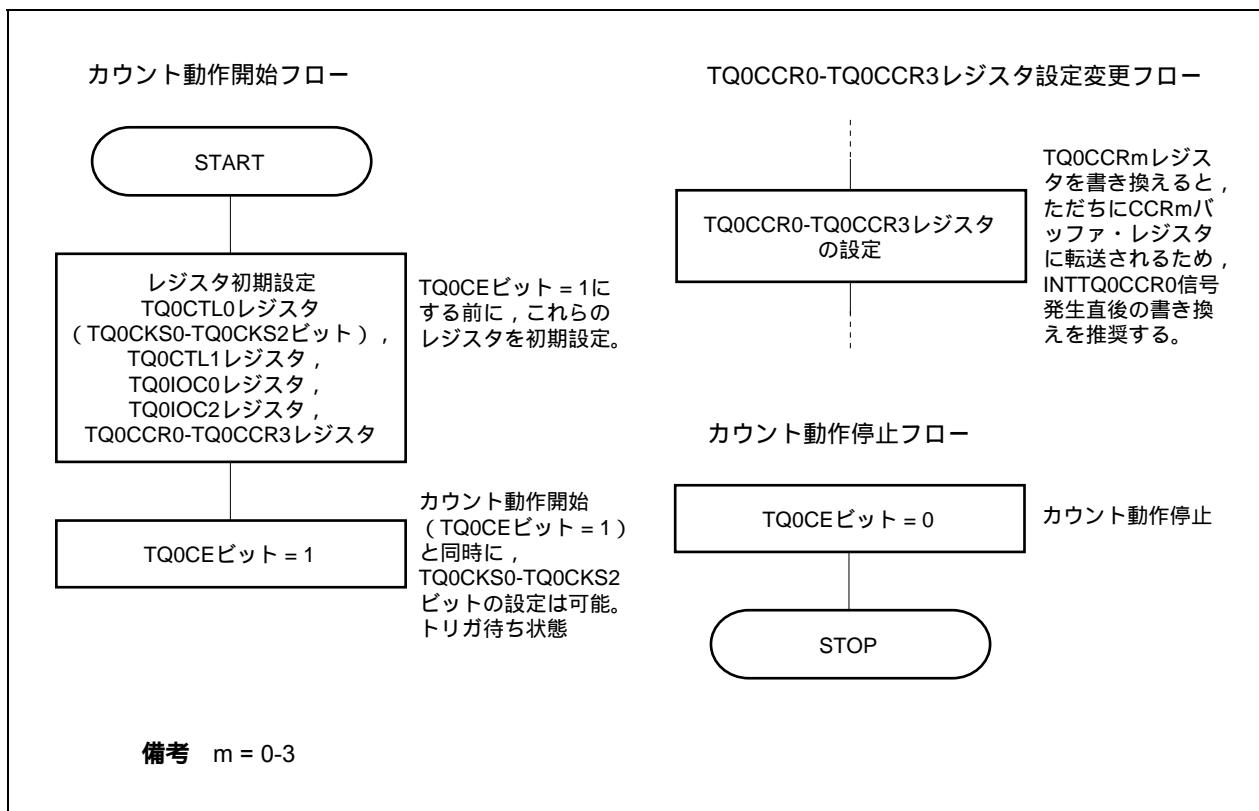


図8-23 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)

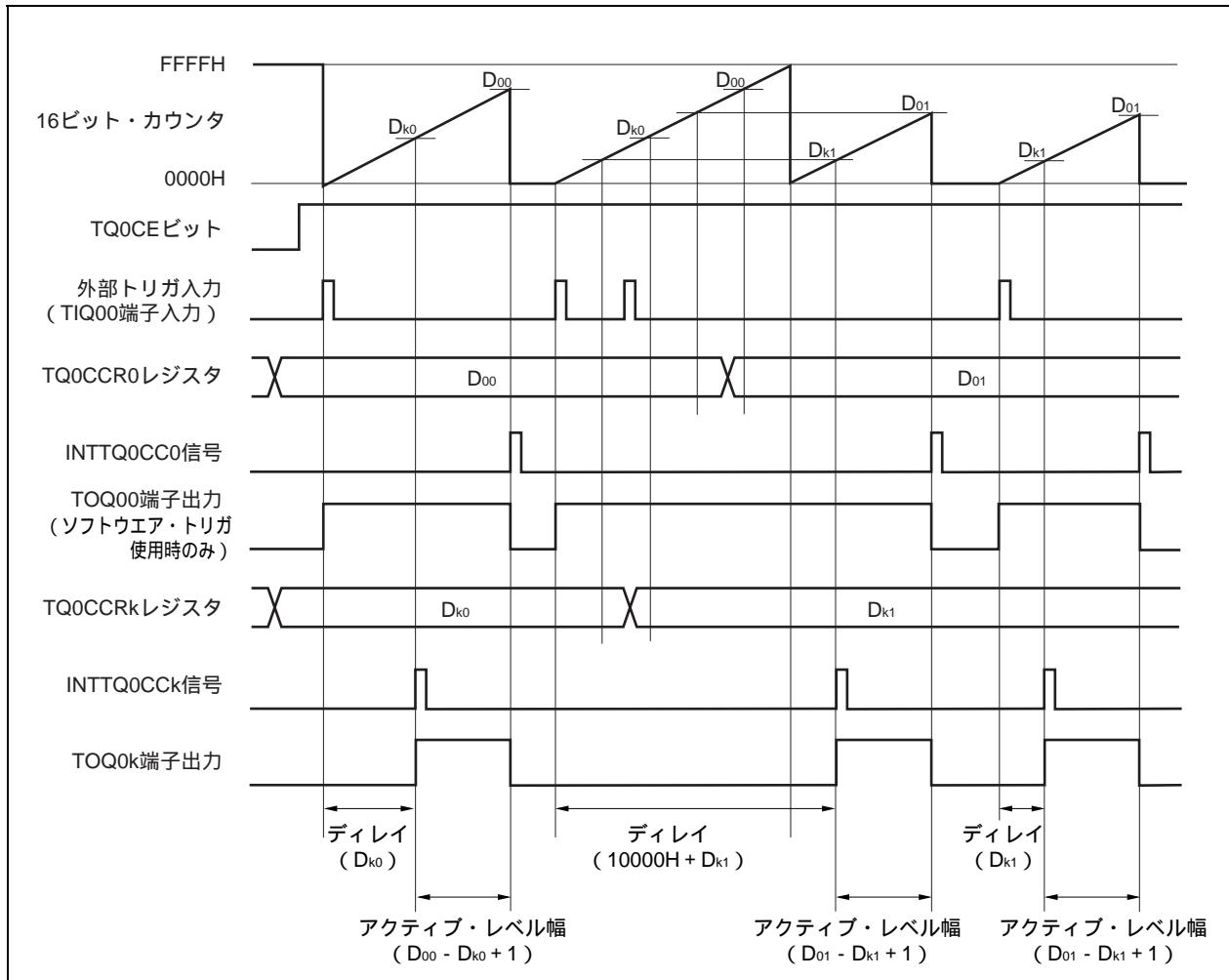


(2) ワンショット・パルス出力モード動作タイミング

(a) TQ0CCRmレジスタの書き換えに関する注意事項

TQ0CCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合があるので注意してください。



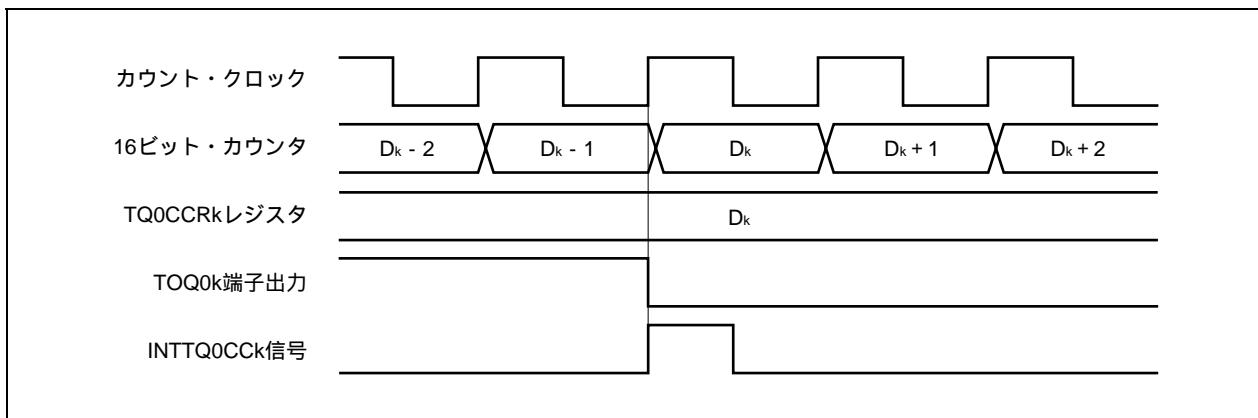
TQ0CCR0レジスタをD₀₀からD₀₁に、TQ0CCRkレジスタをD_{k0}からD_{k1}に書き換える場合において、D₀₀ > D₀₁, D_{k0} > D_{k1}の状態で、16ビット・カウンタのカウント値がD_{k1}よりも大きくD_{k0}よりも小さい状態のときTQ0CCRkレジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTQ0CCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D_{k1}との一致でINTTQ0CCK信号を発生してTOQ0k端子出力をアクティブ・レベルにし、D₀₁との一致でINTTQ0CC0信号を発生してTOQ0k端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 k = 1-3

(b) コンペア一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

ワンショット・パルス出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのINTTQ0CCK信号と異なり、16ビット・カウンタのカウント値とTQ0CCRKレジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウント値とTQ0CCRKレジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

備考 $k = 1-3$

8.5.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)

PWM出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、TOQ01-TOQ03端子からPWM波形を出力します。

また、TOQ00端子から、PWM波形の1周期を半周期とするパルスを出力します。

図8-24 PWM出力モードの構成図

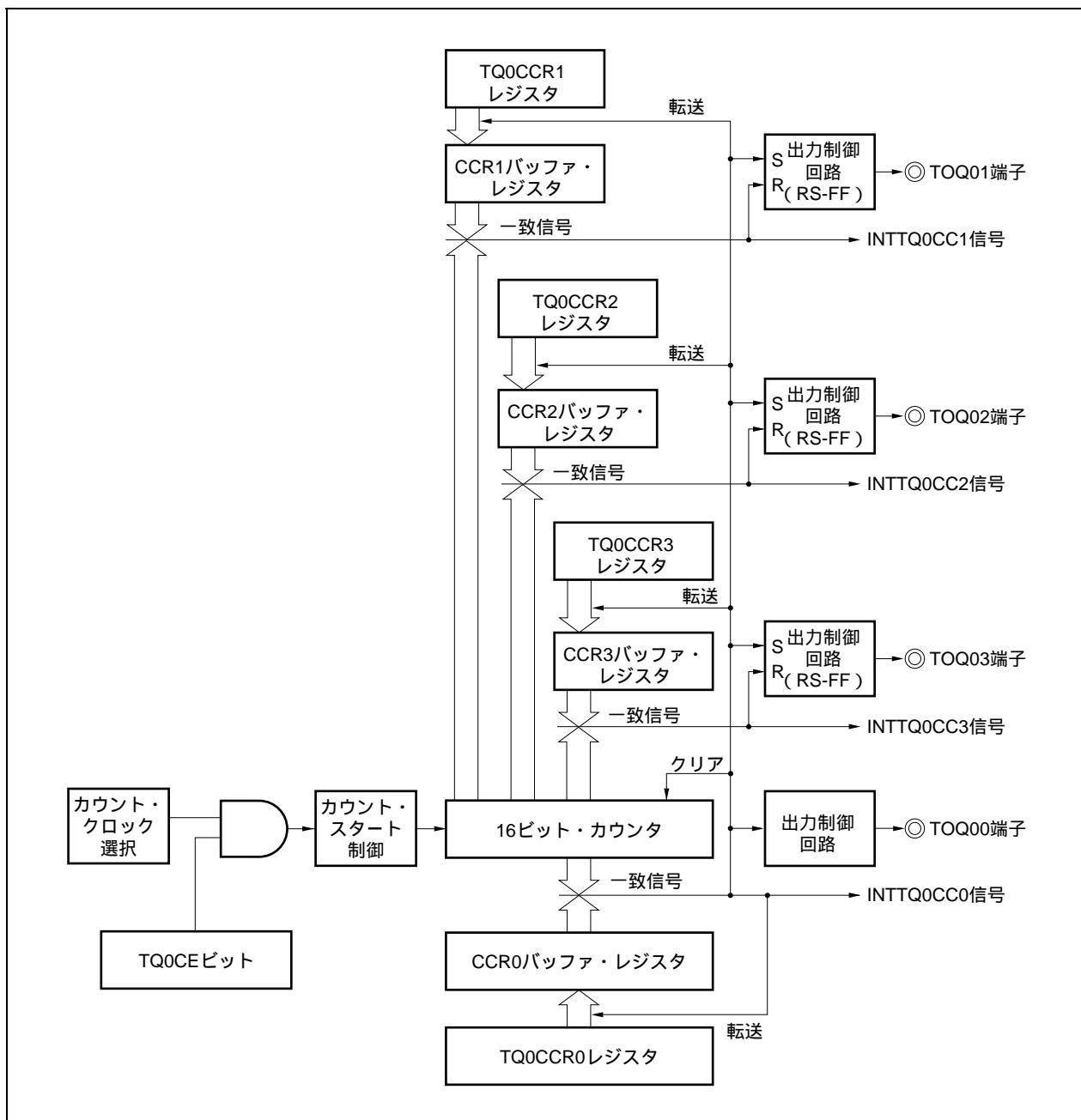
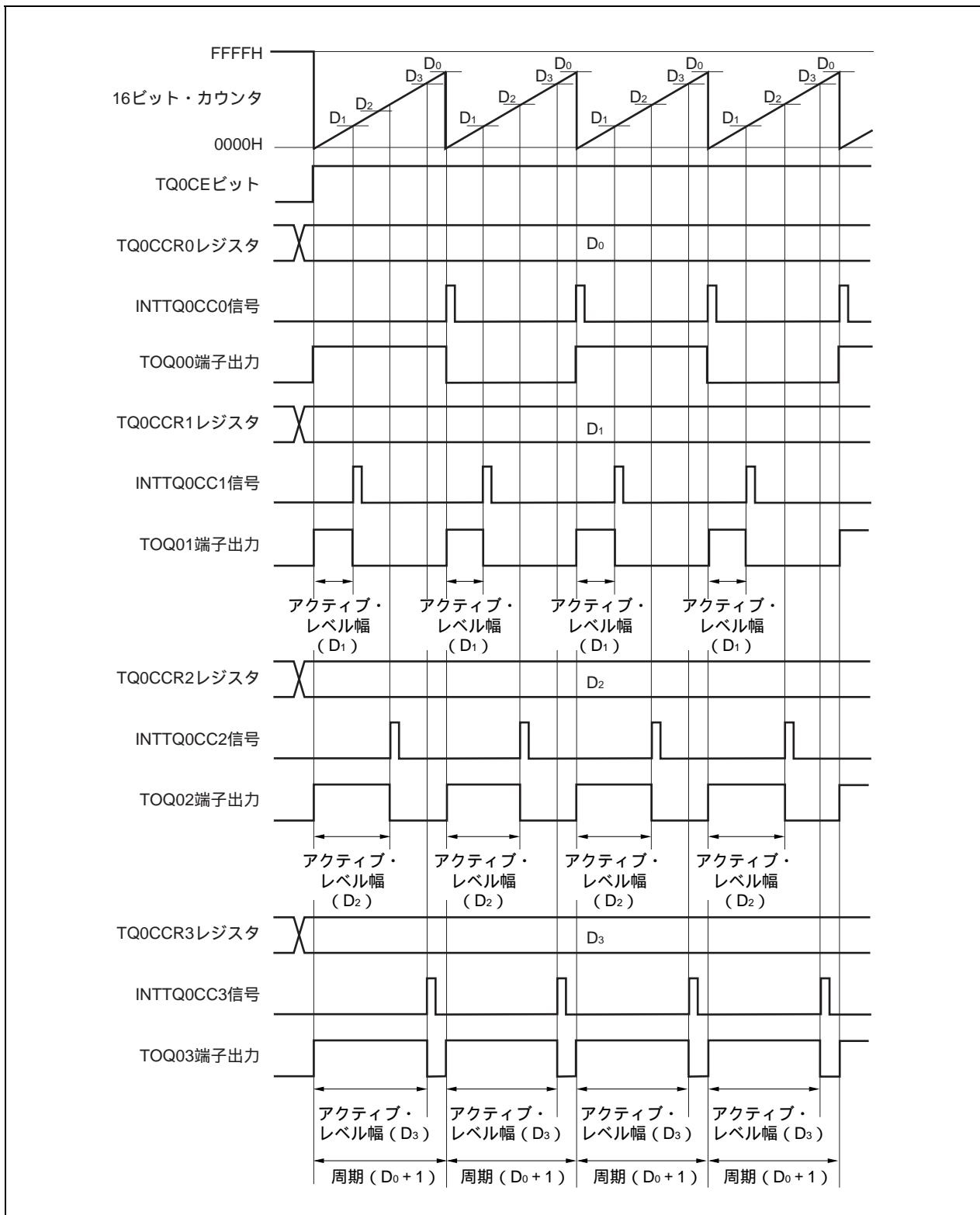


図8-25 PWM出力モードの基本タイミング



TQ0CEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOQ0K端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQ0CCRkレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQ0CCRkレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1)$$

動作中にTQ0CCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペア一致割り込み要求信号(INTTQ0CC0)は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号(INTTQ0CCK)は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3

m = 0-3

図8-26 PWM出力モード動作時のレジスタ設定内容(1/3)

(a) TMQ0制御レジスタ0(TQ0CTL0)

	TQ0CE				TQ0CKS2		TQ0CKS1	TQ0CKS0
TQ0CTL0	0/1	0	0	0	0	0/1	0/1	0/1
								カウント・クロックの選択 ^注
								0 : カウント動作停止 1 : カウント動作許可

(b) TMQ0制御レジスタ1(TQ0CTL1)

	TQ0EST		TQ0EEE		TQ0MD2		TQ0MD1	TQ0MD0
TQ0CTL1	0	0	0/1	0	0	1	0	0
								1, 0, 0 : PWM出力モード
								0 : TQ0CKS0-TQ0CKS2ビットで選択したカウント・クロックで動作 1 : 外部イベント・カウント入力信号でカウント動作

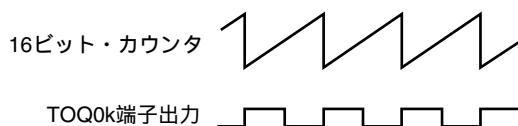
注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

図8-26 PWM出力モード動作時のレジスタ設定内容 (2/3)

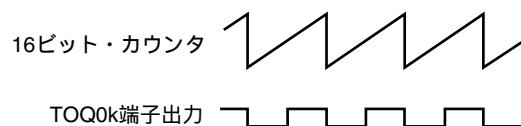
(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1注	0/1注
							0 : TOQ00端子出力禁止 1 : TOQ00端子出力許可	TOQ00端子の動作禁止状態 での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル
							0 : TOQ01端子出力禁止 1 : TOQ01端子出力許可	TOQ01端子出力のアク ティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ
							0 : TOQ02端子出力禁止 1 : TOQ02端子出力許可	TOQ02端子出力のアク ティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ
							0 : TOQ03端子出力禁止 1 : TOQ03端子出力許可	TOQ03端子出力のアク ティブ・レベル指定 0 : ハイ・アクティブ 1 : ロウ・アクティブ

・TQ0OLkビット = 0の場合



・TQ0OLkビット = 1の場合



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)

	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0
TQ0IOC2	0	0	0	0
	0/1	0/1	0	0

外部イベント・カウント
入力有効エッジの選択

(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

注 PWM出力モードでTOQ00端子を使用しない場合は、"0"に設定してください。

図8-26 PWM出力モード動作時のレジスタ設定内容(3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3(TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し、TQ0CCRkレジスタにD_kを設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント・クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_k \times \text{カウント・クロック周期}$$

となります。

- 備考**
1. TMQ0I/O制御レジスタ1(TQ0IOC1), TMQ0オプション・レジスタ0(TQ0OPT0)は、PWM出力モードでは使用しません。
 2. TMQ0キャプチャ/コンペア・レジスタ2(TQ0CCR2), TMQ0キャプチャ/コンペア・レジスタ3(TQ0CCR3)の更新は、TMQ0キャプチャ/コンペア・レジスタ1(TQ0CCR1)への書き込みにより有効になります。

(1) PWM出力モード動作フロー

図8-27 PWM出力モード使用時のソフトウェア処理フロー(1/2)

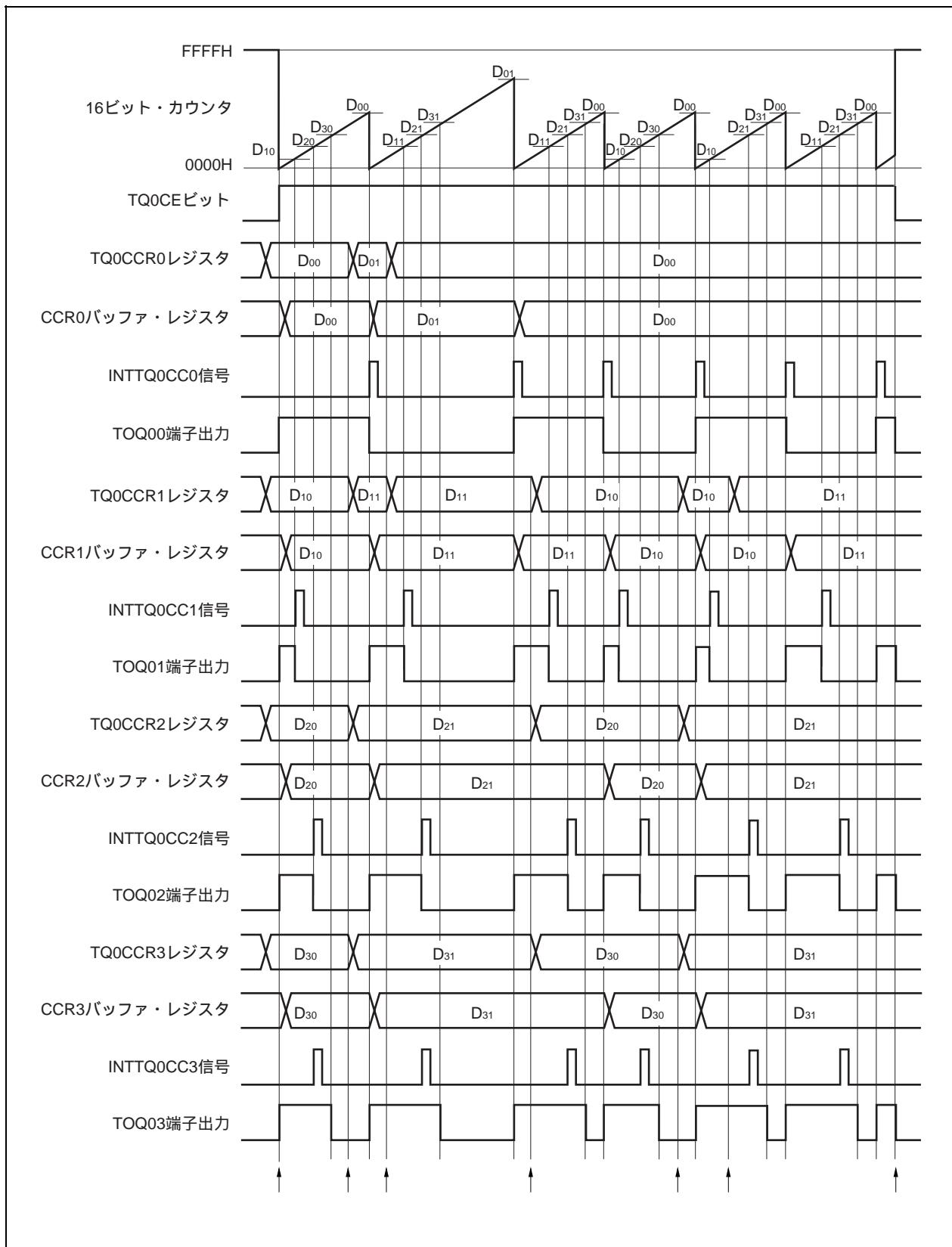
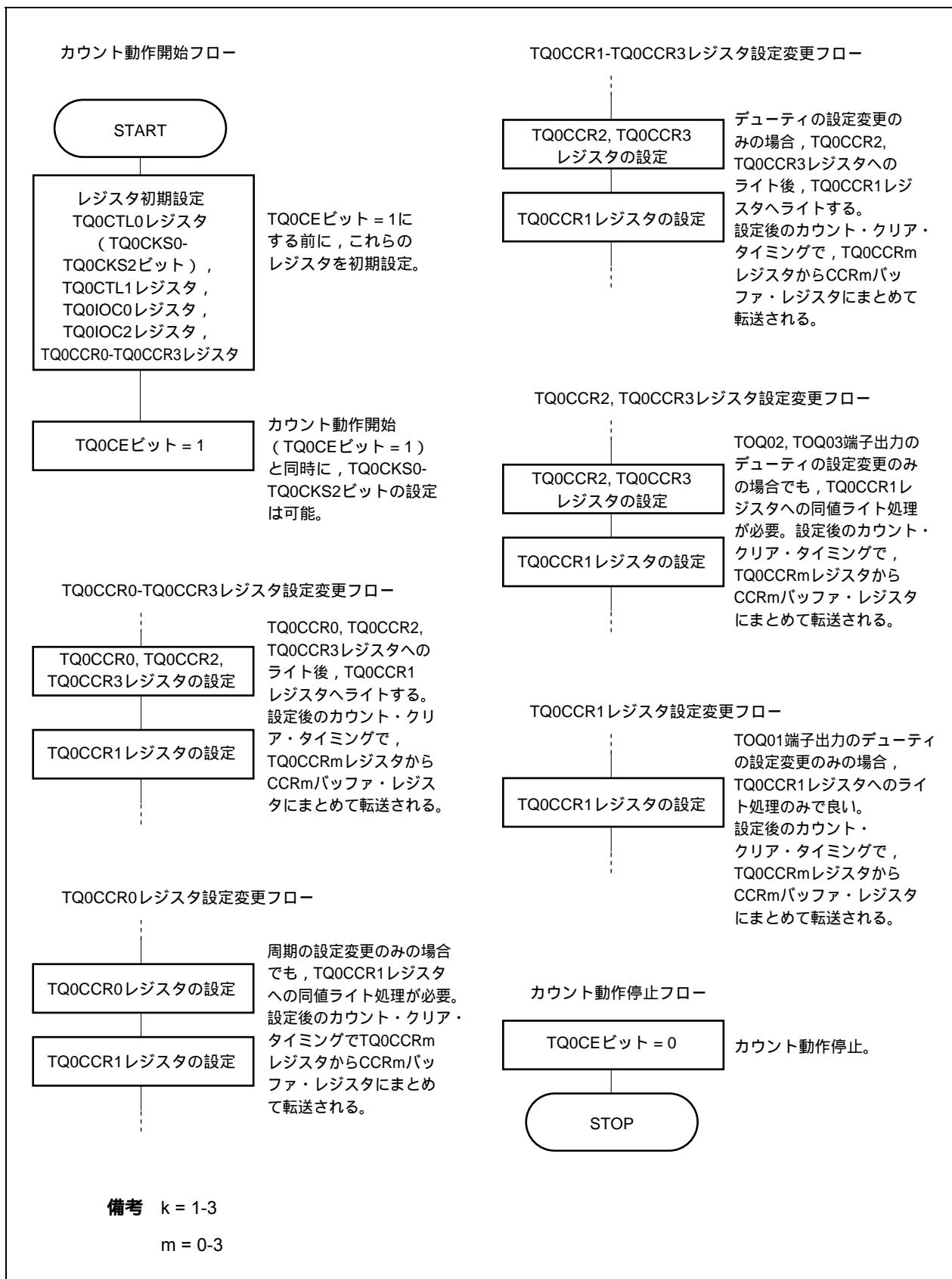


図8-27 PWM出力モード使用時のソフトウェア処理フロー(2/2)

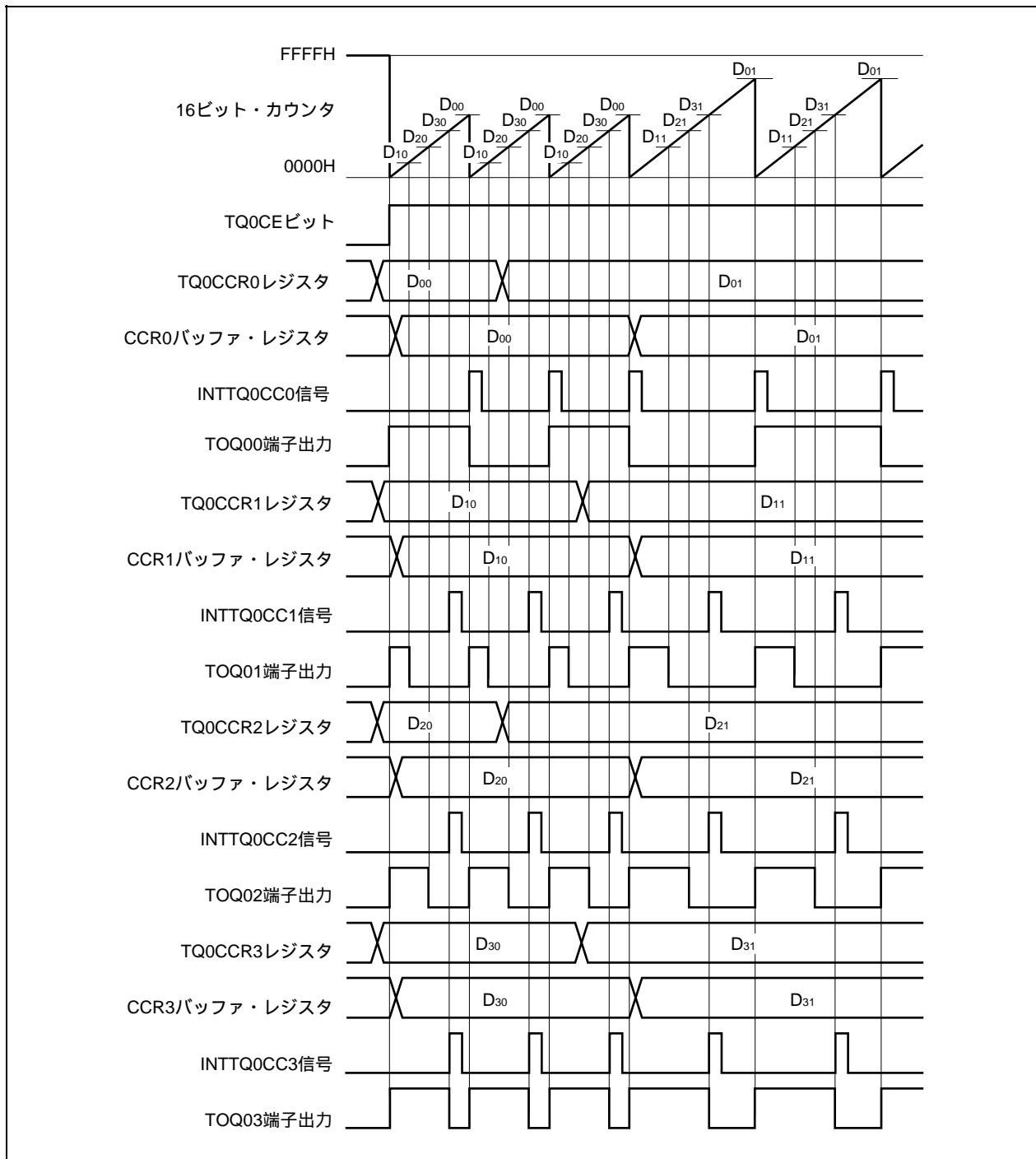


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC1信号を検出後に書き換えてください。



TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、その後でTQ0CCR1レジスタに同値をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、その後でTQ0CCR1レジスタに同値をライトしてください。

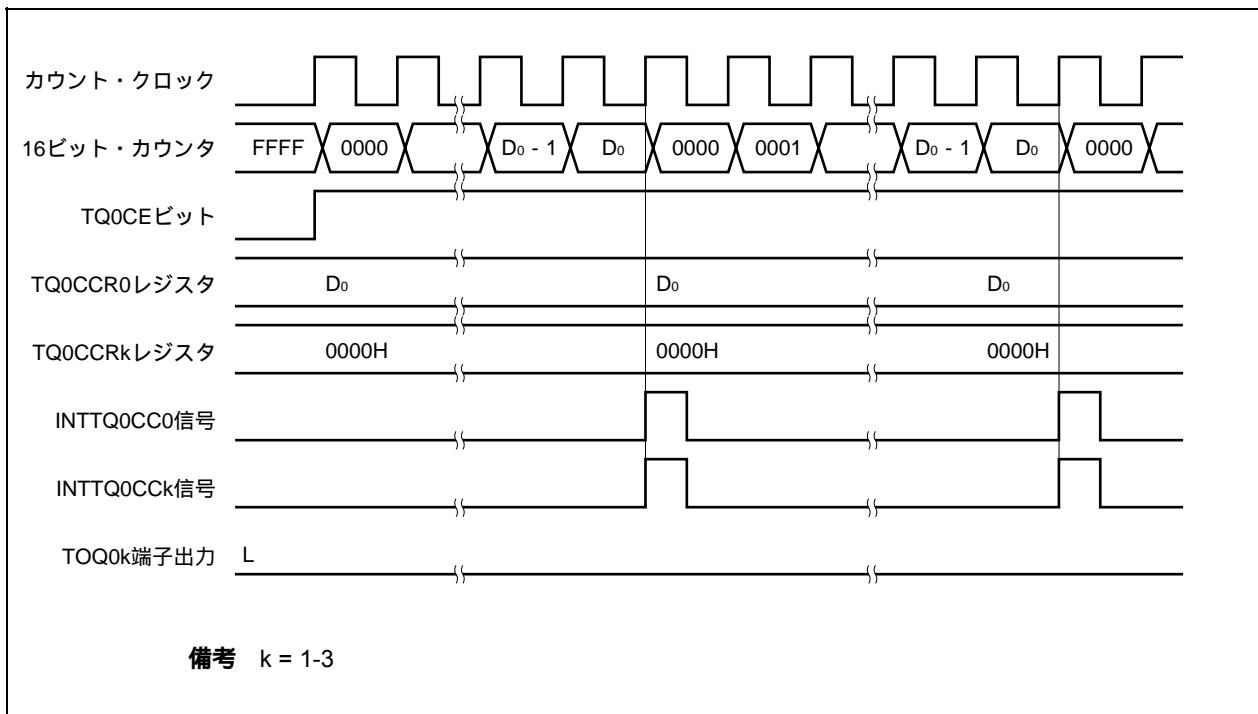
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQ0CCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

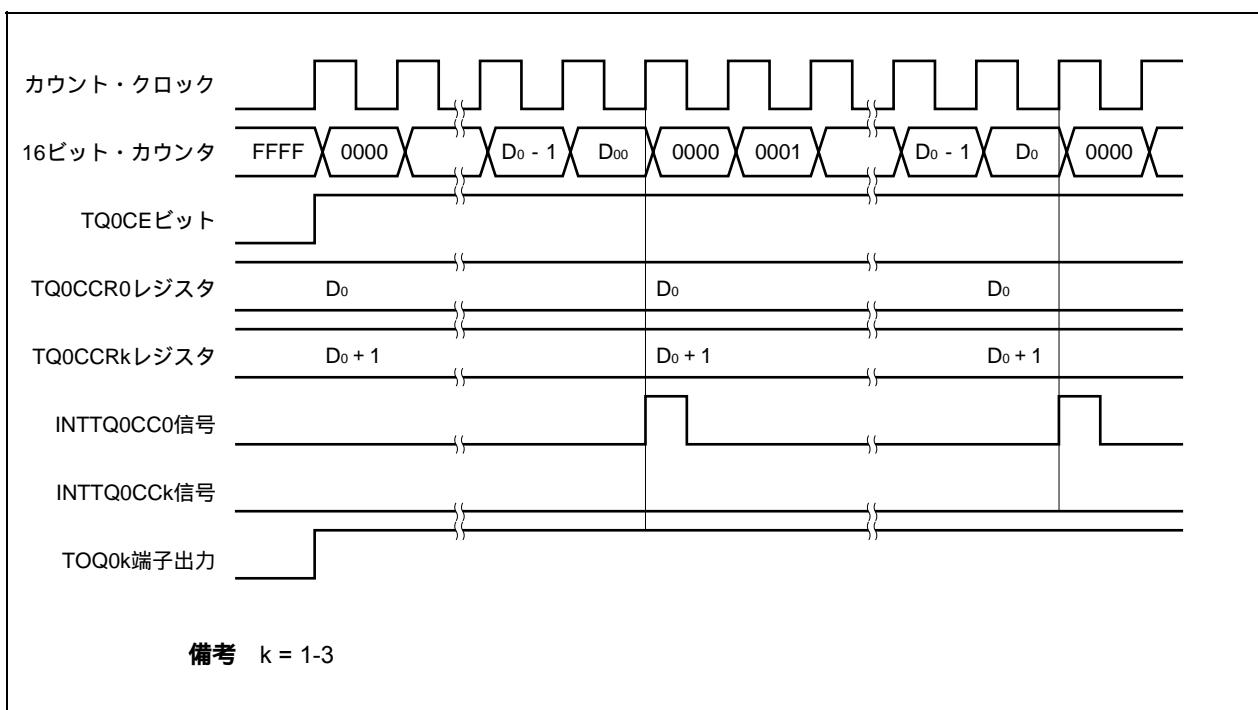
備考 m = 0-3

(b) PWM波形の0 % / 100 %出力

0 %波形を出力するためには、TQ0CCRkレジスタに対して0000Hを設定します。ただし、TQ0CCR0レジスタの設定値がFFFFHの場合には、INTTQ0CCk信号が定期的に発生します。

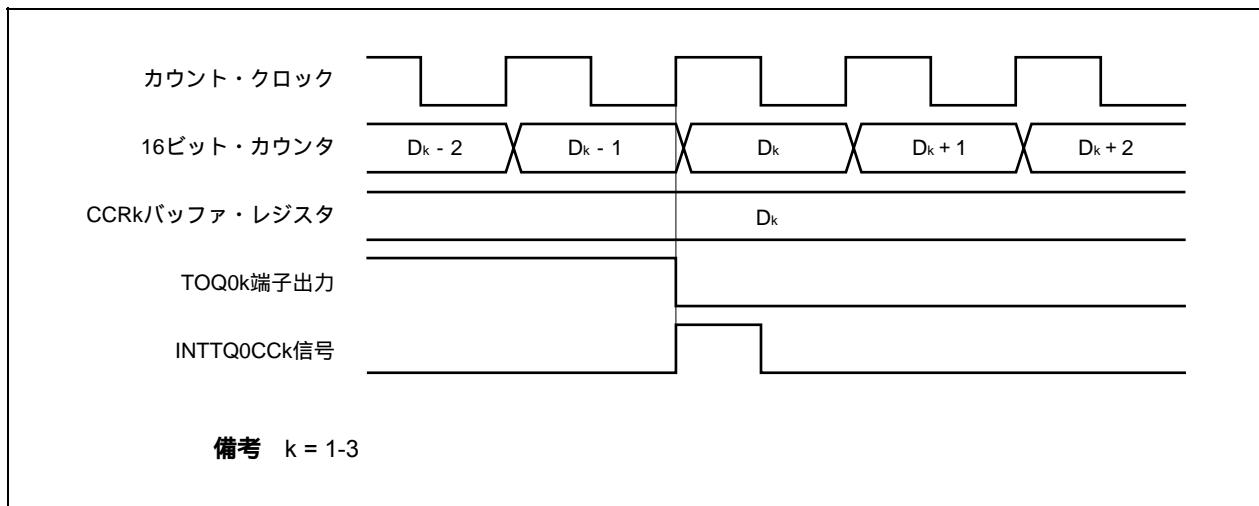


100 %波形を出力するためには、TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペア一致割り込み要求信号(INTTQ0CCK)の発生タイミング

PWM出力モードにおけるINTTQ0CCK信号の発生タイミングは、ほかのINTTQ0CCK信号と異なり、16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致と同時に発生します。



通常、INTTQ0CCK信号は、16ビット・カウンタのカウント値とTQ0CCRkレジスタの値との一致後、次のカウント・アップに同期して発生します。

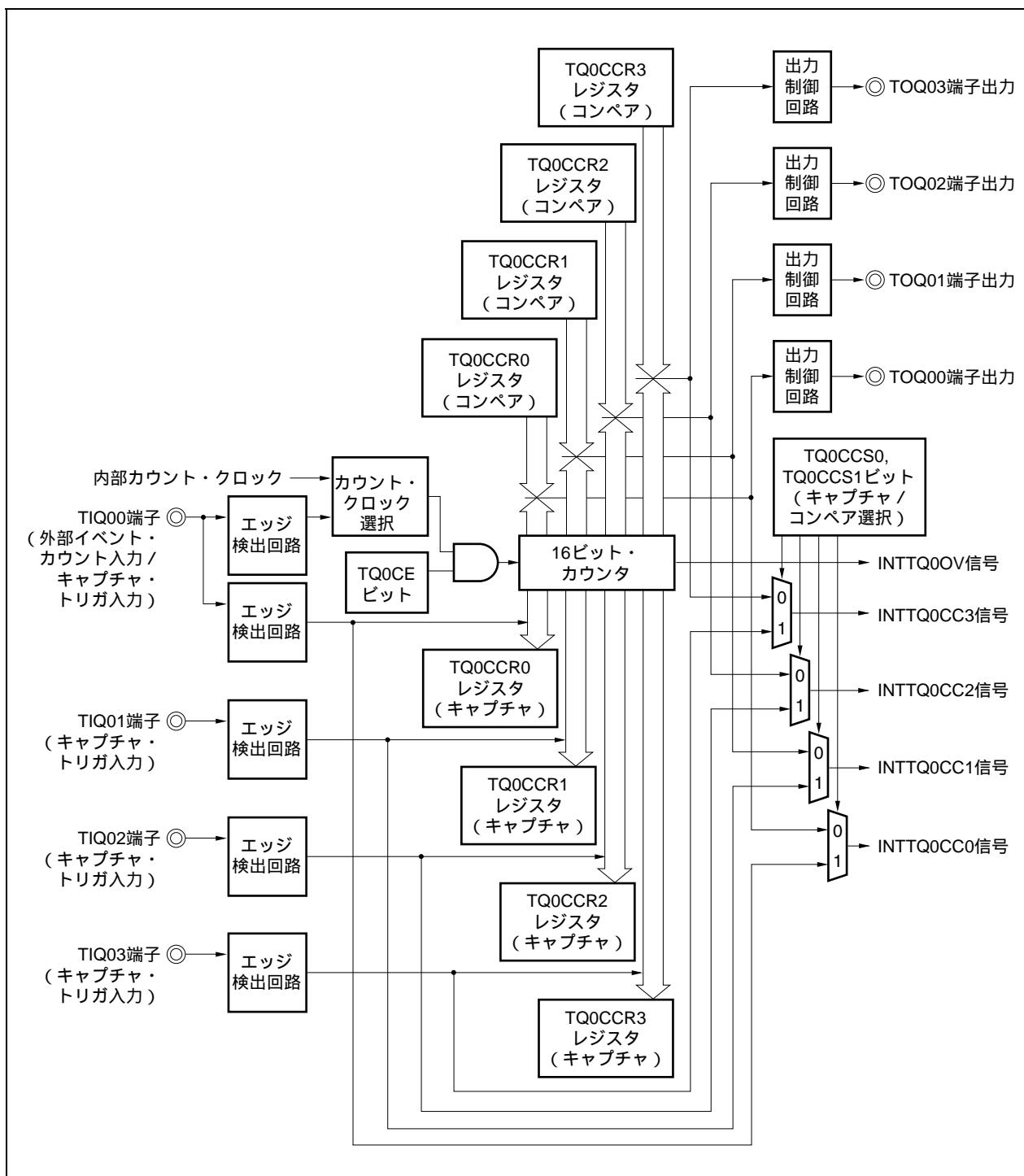
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0k端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

8.5.6 フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101)

フリー・ランニング・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始します。このときのTQ0CCRmレジスタの動作は、TQ0OPT0.TQ0CCS0, TQ0CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

備考 m = 0-3

図8-28 フリー・ランニング・タイマ・モードの構成図

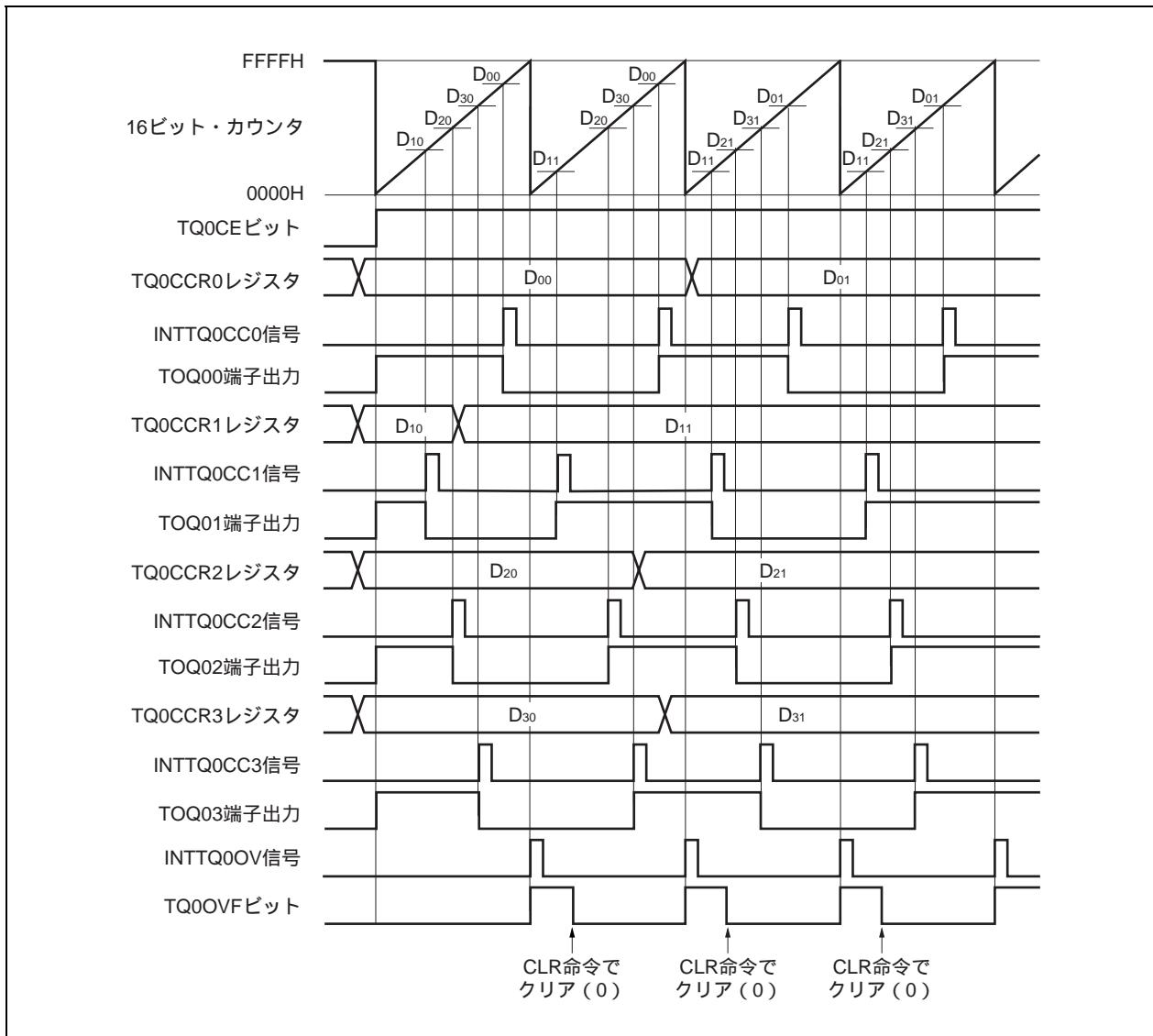


TQ0CEビットをセット(1)することで、カウント動作を開始し、TOQ00-TOQ03端子出力を反転します。その後、16ビット・カウンタのカウント値とTQ0CCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTQ0CCm)を発生し、TOQ0m端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

TQ0CCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、隨時書き換えた値が反映され、カウント値と比較されます。

図8-29 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、キャプチャ割り込み要求信号(INTTQ0CCm)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

図8-30 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

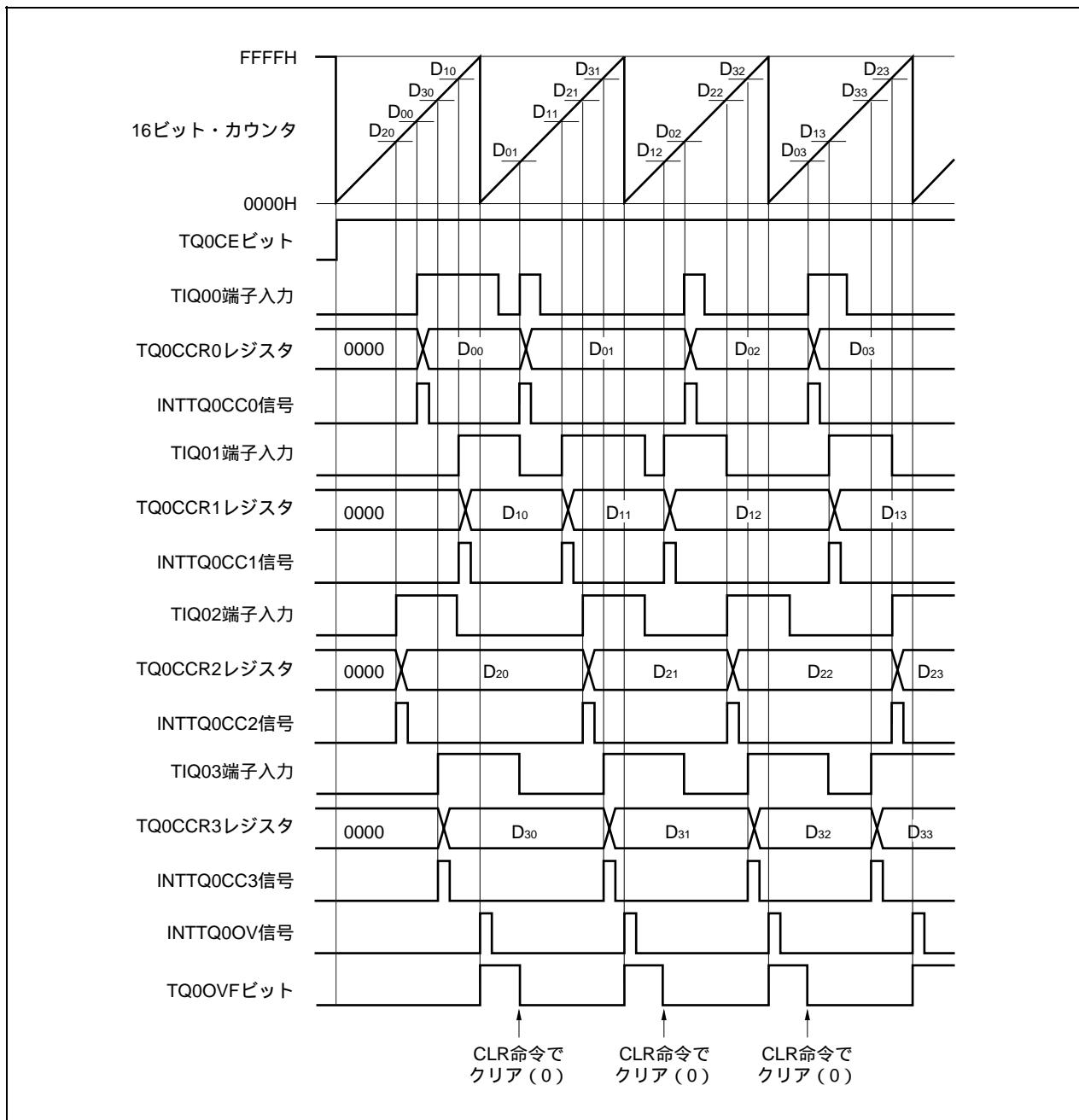


図8-31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容(1/3)

(a) TMQ0制御レジスタ0(TQ0CTL0)

	TQ0CE	TQ0CKS2 TQ0CKS1 TQ0CKS0					
TQ0CTL0	0/1	0	0	0	0/1	0/1	0/1
カウント・クロックの選択 ^注							
0 : カウント動作停止 1 : カウント動作許可							

注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQ0制御レジスタ1(TQ0CTL1)

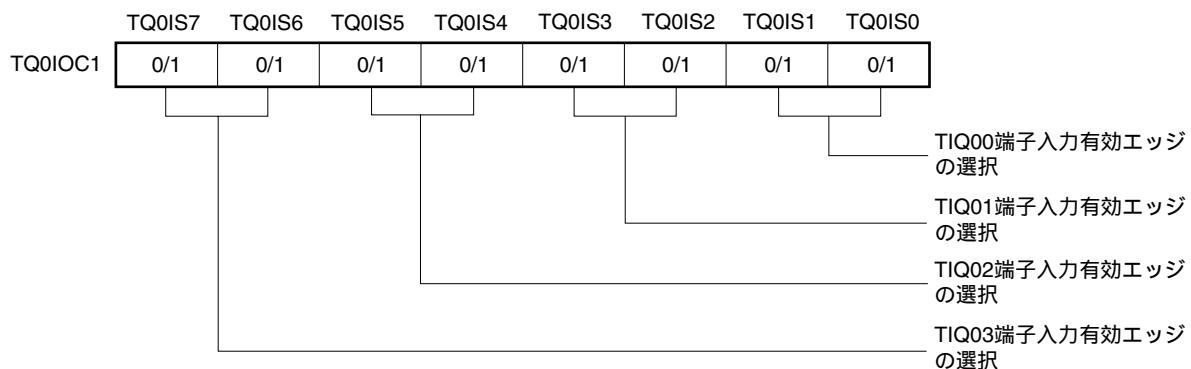
	TQ0EST	TQ0EEE	TQ0MD2 TQ0MD1 TQ0MD0					
TQ0CTL1	0	0	0/1	0	0	1	0	1
1, 0, 1 : フリー・ランニング・モード								
0 : TQ0CKS0-TQ0CKS2ビットで選択したカウント・クロックで動作								
1 : 外部イベント・カウント入力信号でカウント動作								

(c) TMQ0I/O制御レジスタ0(TQ0IOC0)

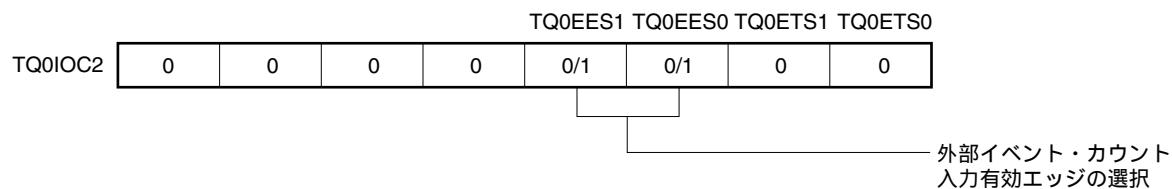
	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
0 : TOQ00端子出力禁止 1 : TOQ00端子出力許可								
TOQ00端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル								
0 : TOQ01端子出力禁止 1 : TOQ01端子出力許可								
TOQ01端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル								
0 : TOQ02端子出力禁止 1 : TOQ02端子出力許可								
TOQ02端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル								
0 : TOQ03端子出力禁止 1 : TOQ03端子出力許可								
TOQ03端子の動作禁止状態での出力レベルの設定 0 : ロウ・レベル 1 : ハイ・レベル								

図8-31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

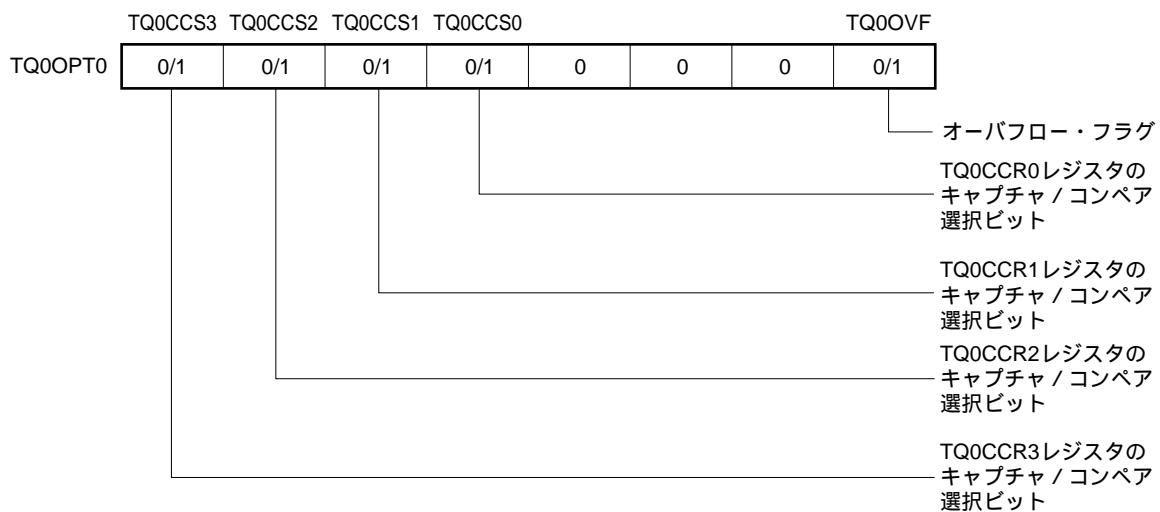
(d) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(e) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(f) TMQ0オプション・レジスタ0 (TQ0OPT0)



(g) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図8-31 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0OPT0.TQ0CCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIQ0m端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TQ0CCRmレジスタにD_mを設定した場合、カウンタが(D_m + 1)になるタイミングでINTTQ0CCm信号を発生し、TOQ0m端子出力を反転します。

備考 m = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図8-32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(コンペア機能)(1/2)

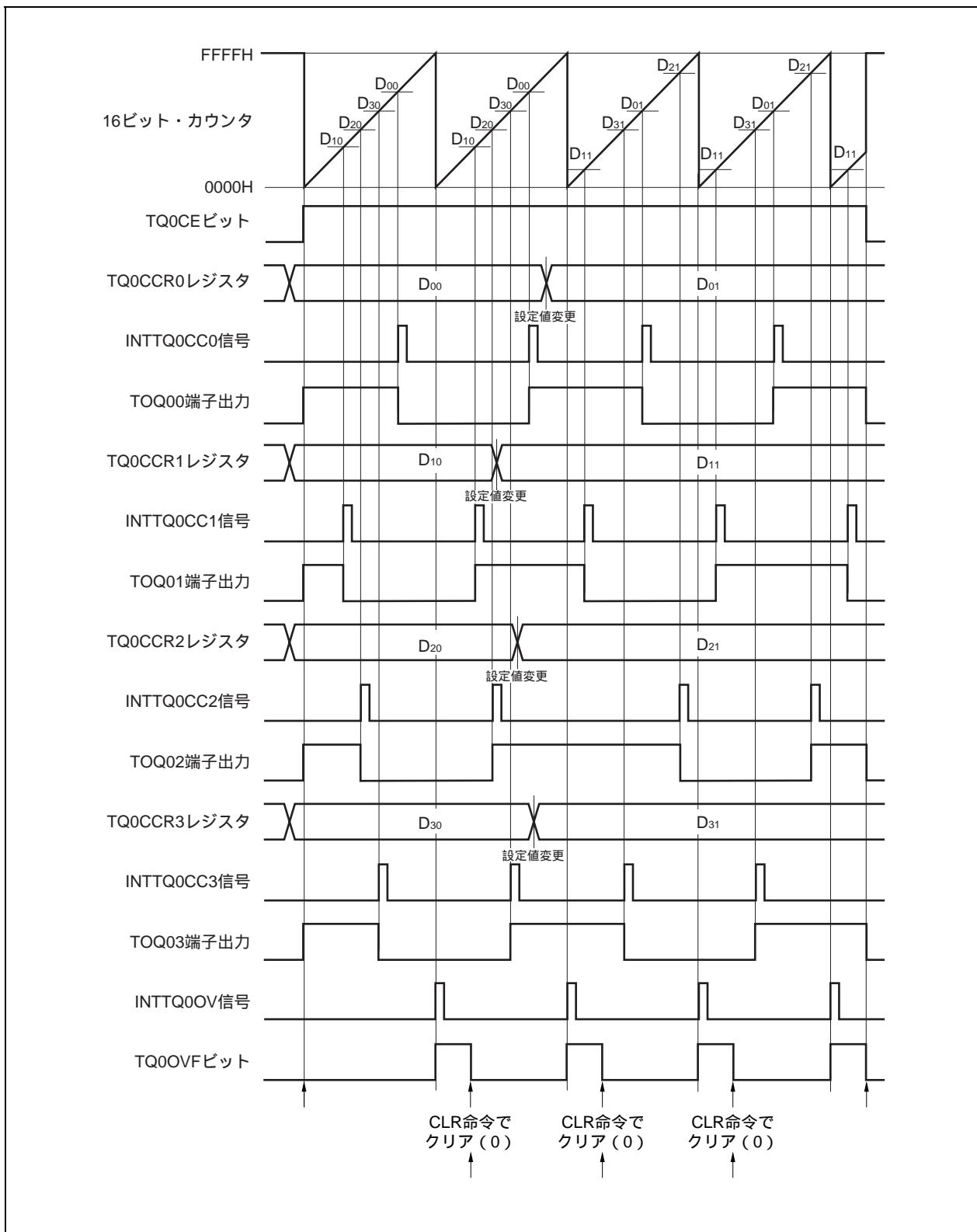
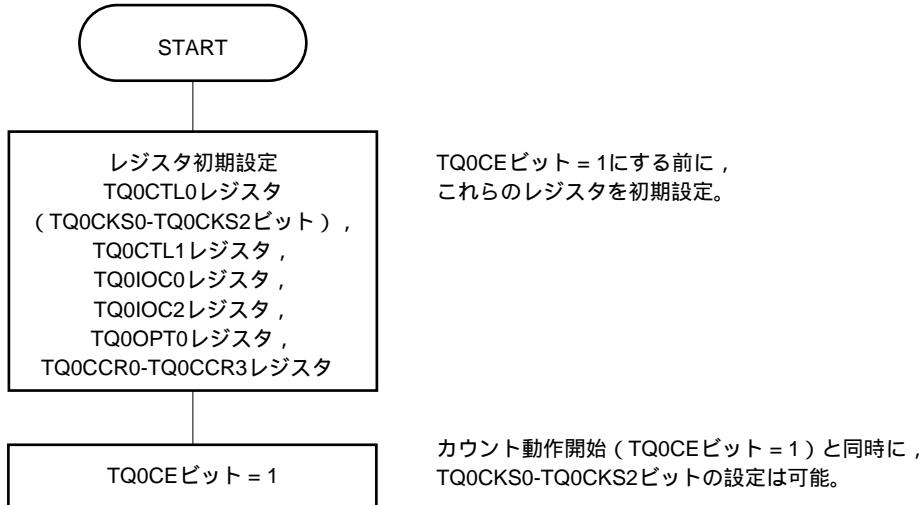
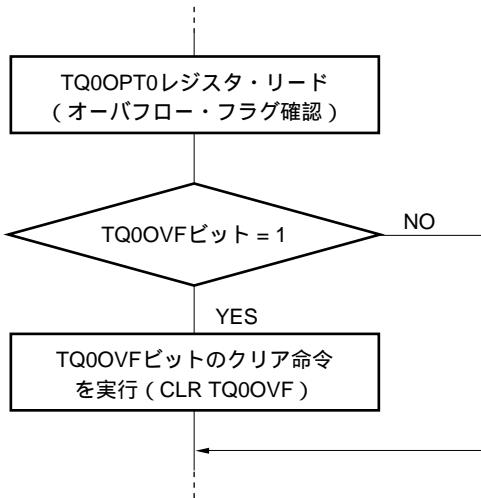


図8-32 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）(2/2)

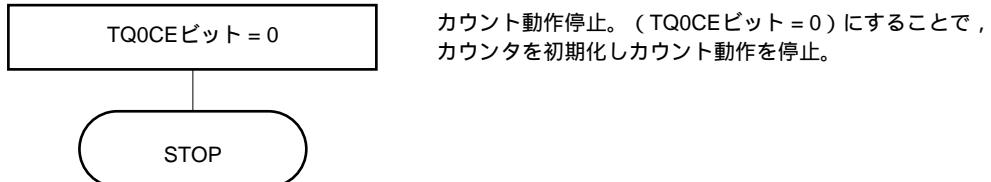
カウント動作開始フロー



オーバフロー・フラグ・クリア・フロー



カウント動作停止フロー



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図8-33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能)(1/2)

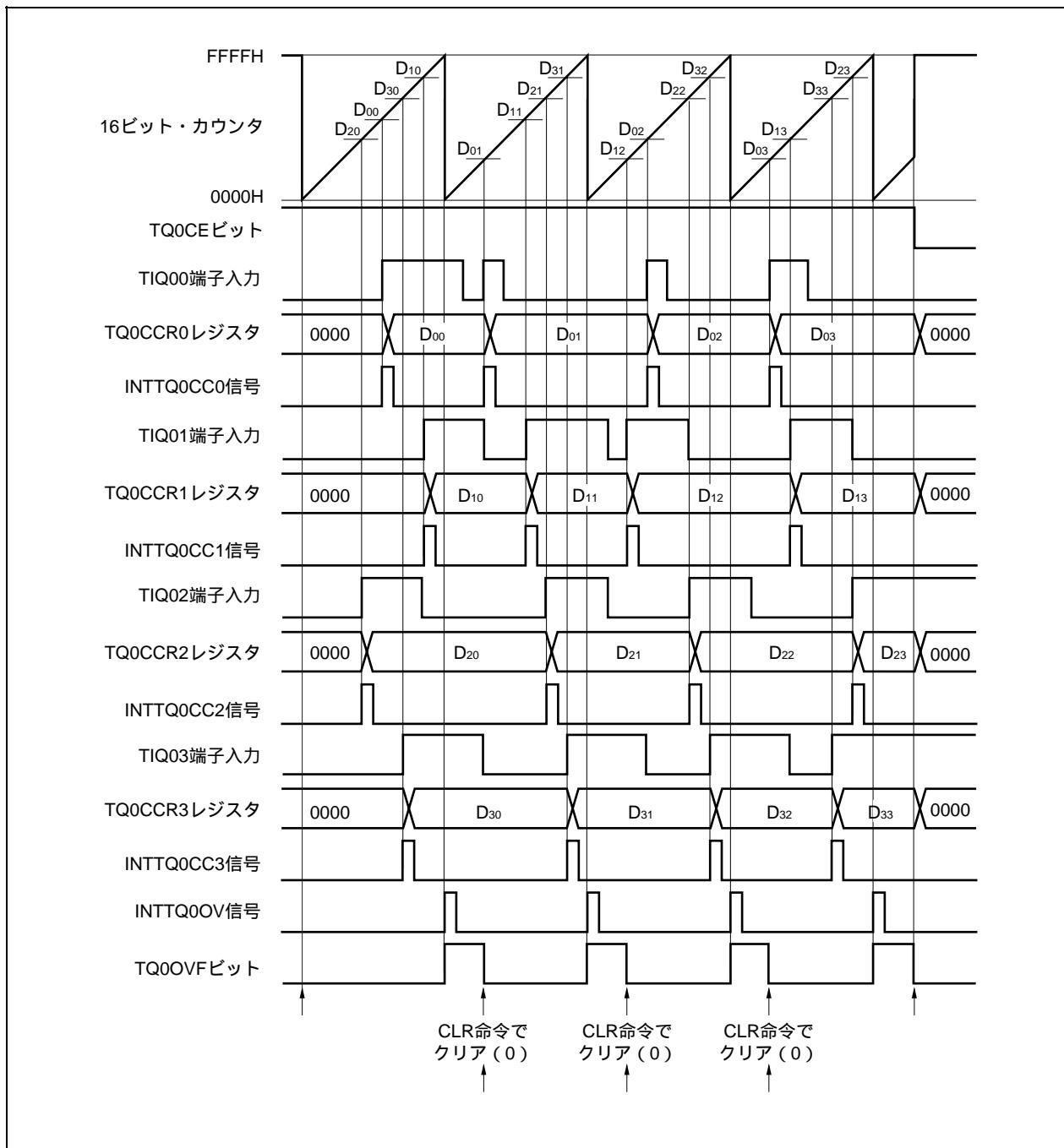
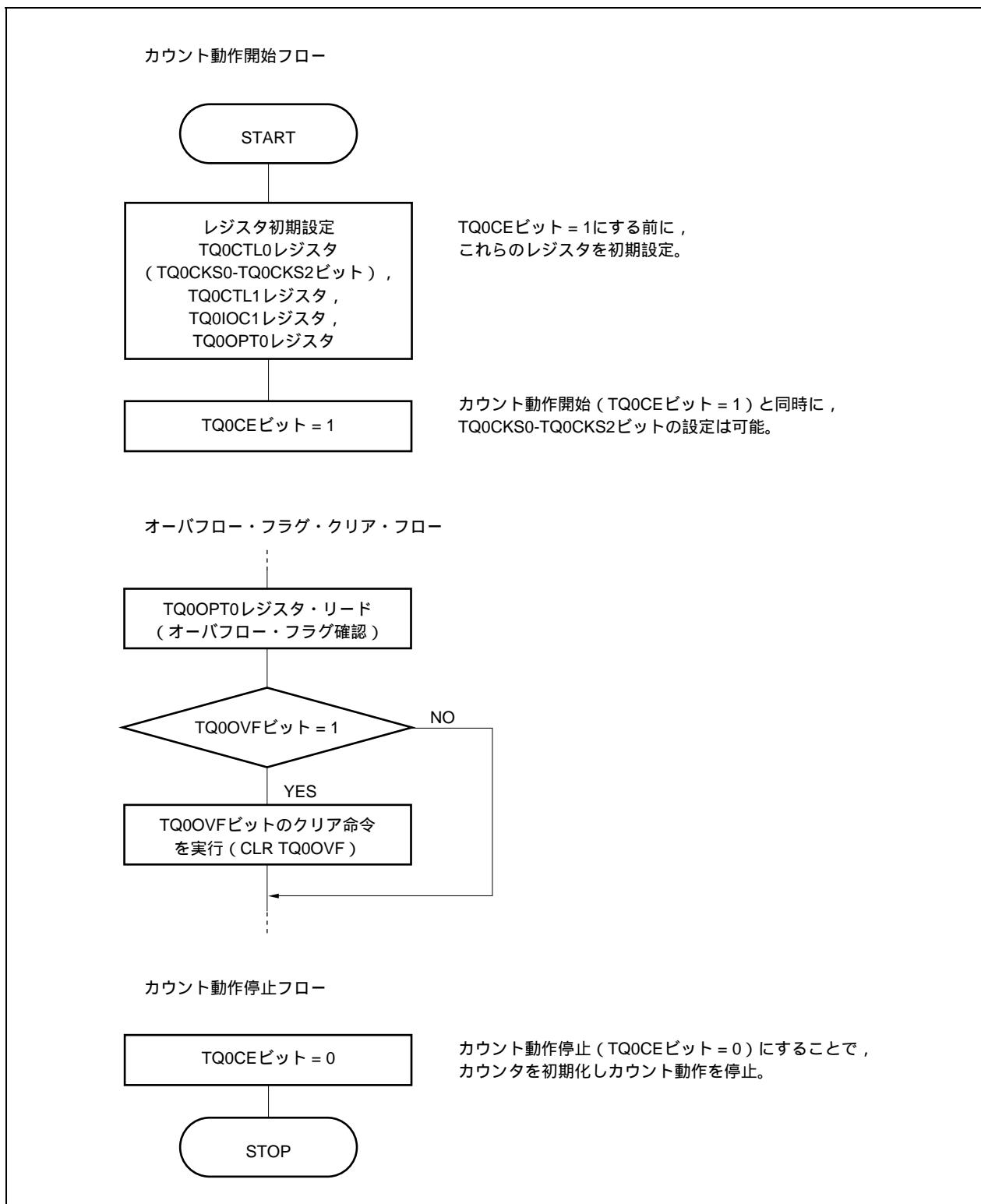


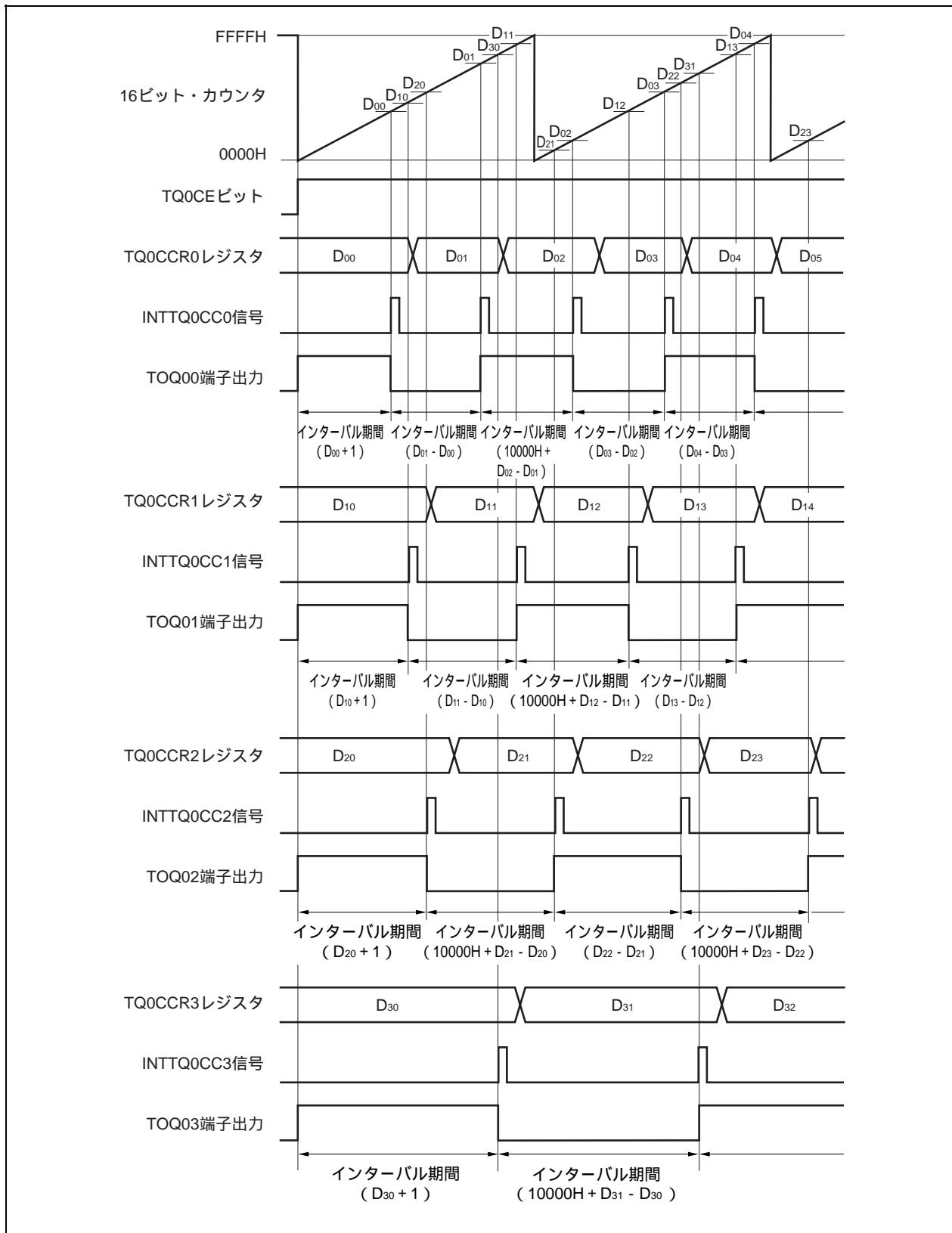
図8-33 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能)(2/2)



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TQ0CCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTQ0CCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTQ0CCm信号を検出したときの割り込み処理中に、対応するTQ0CCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

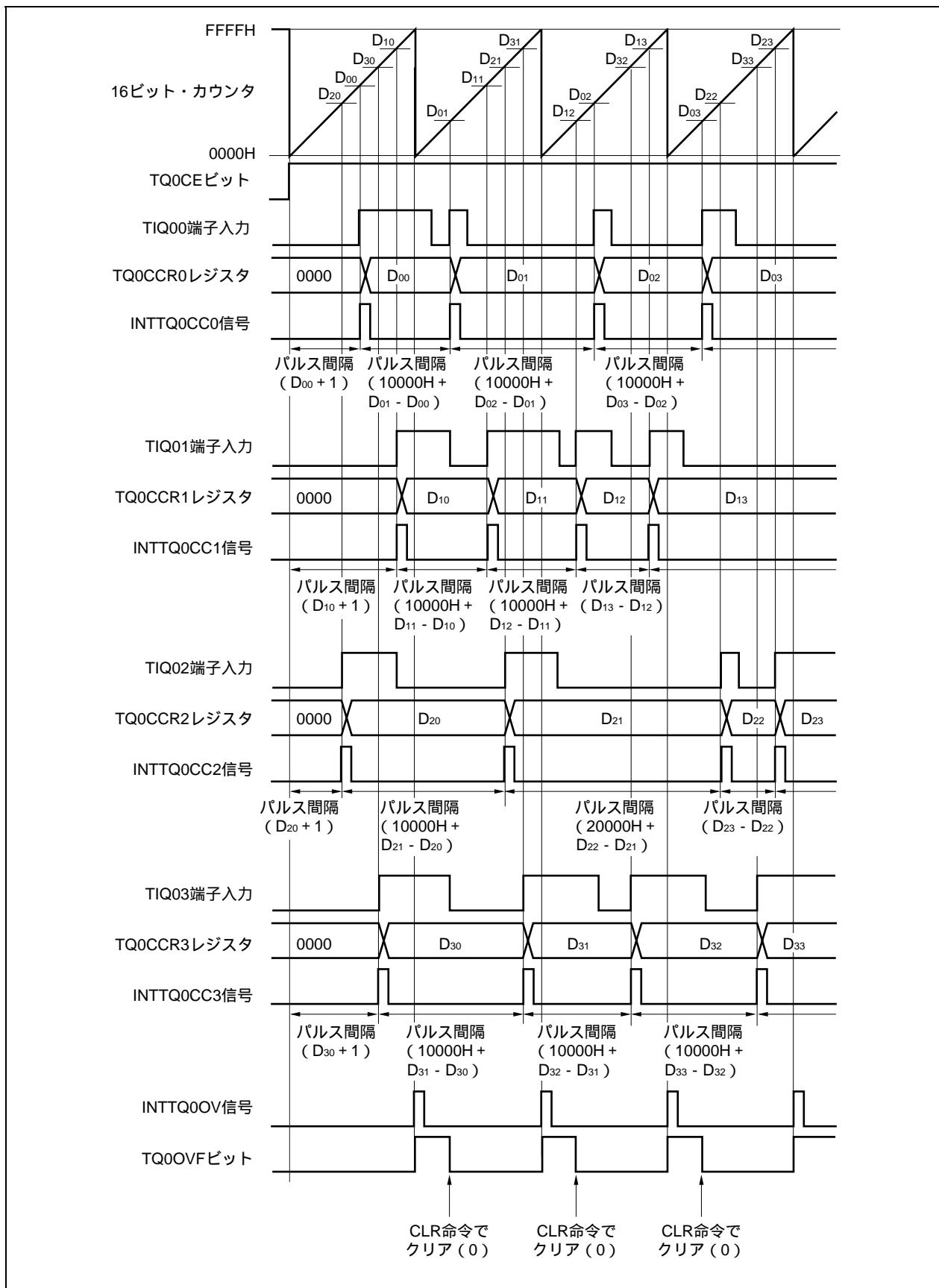
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $m = 0\text{-}3$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQ0CCRMレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTQ0CCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



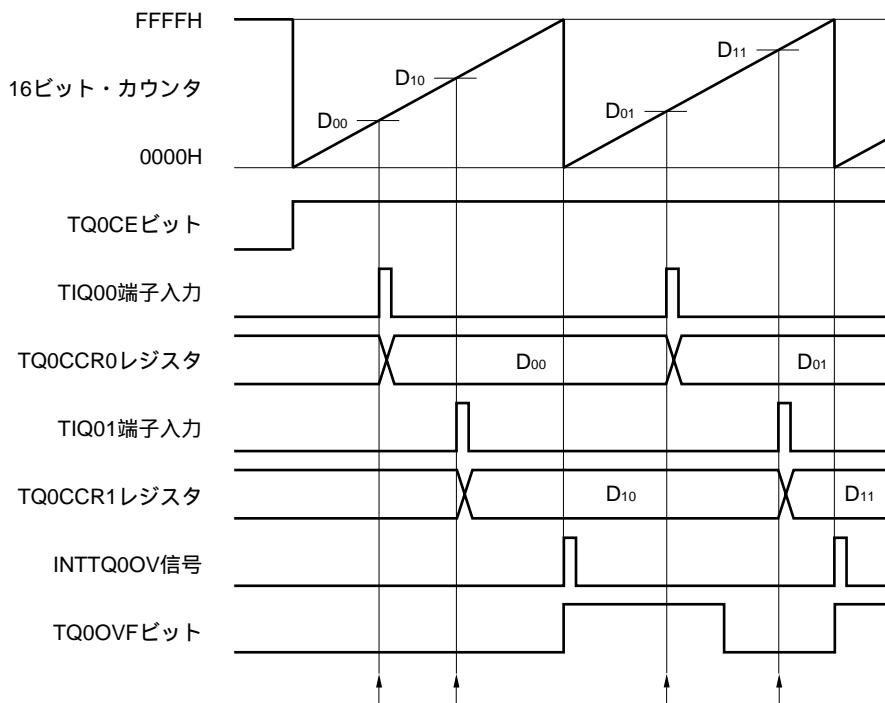
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTQ0CCm信号に同期してTQ0CCRmレジスタの値をリードし、同一キヤプチャ・レジスタの前回のリード・データとの差分を求ることでパルス幅を算出できます。

備考 m = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。

TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。

TQ0CCR0レジスタをリードする。

オーバフロー・フラグをリードする。 オーバフロー・フラグが“1”だった場合、クリア(0)する。

オーバフロー・フラグが“1”なので、パルス幅は($10000H + D_{01} - D_{00}$)で求められます。

TQ0CCR1レジスタをリードする。

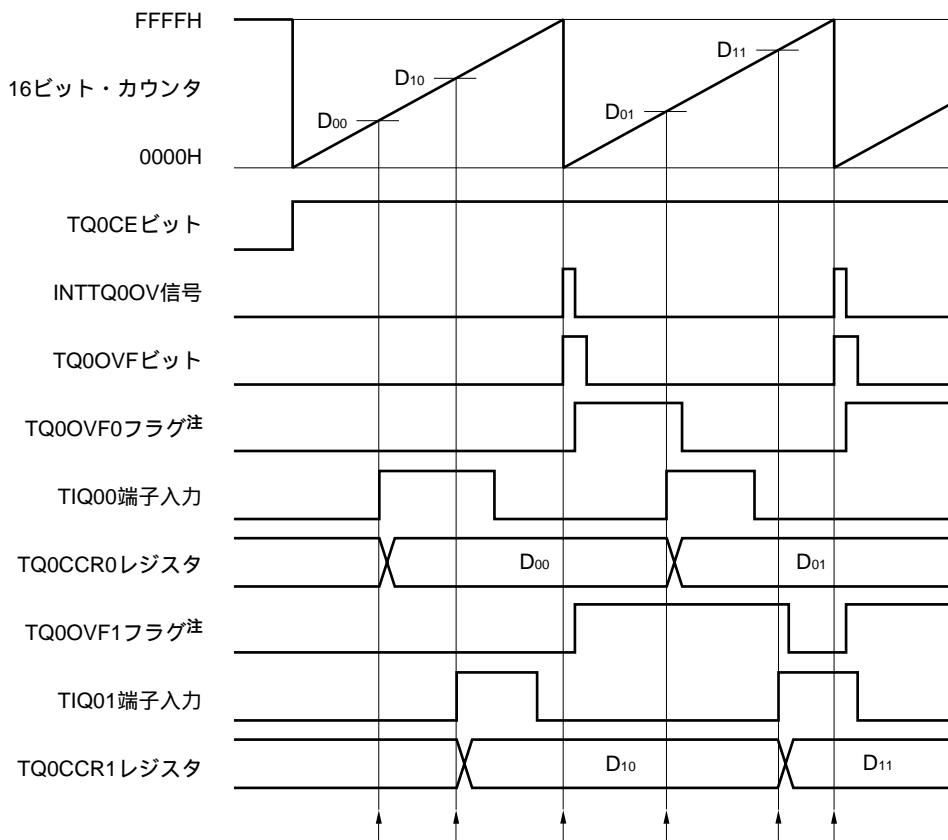
オーバフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバフロー・フラグが“0”なので、パルス幅は($D_{11} - D_{10}$)で求められます(NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用）



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。

TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。

オーバフローが発生する。オーバフロー割り込み処理の中で、TQ0OVF0, TQ0OVF1フラグをセット(1)し、オーバフロー・フラグをクリア(0)する。

TQ0CCR0レジスタをリードする。

TQ0OVF0フラグをリードする。 TQ0OVF0フラグが“1”だった場合、クリア(0)する。

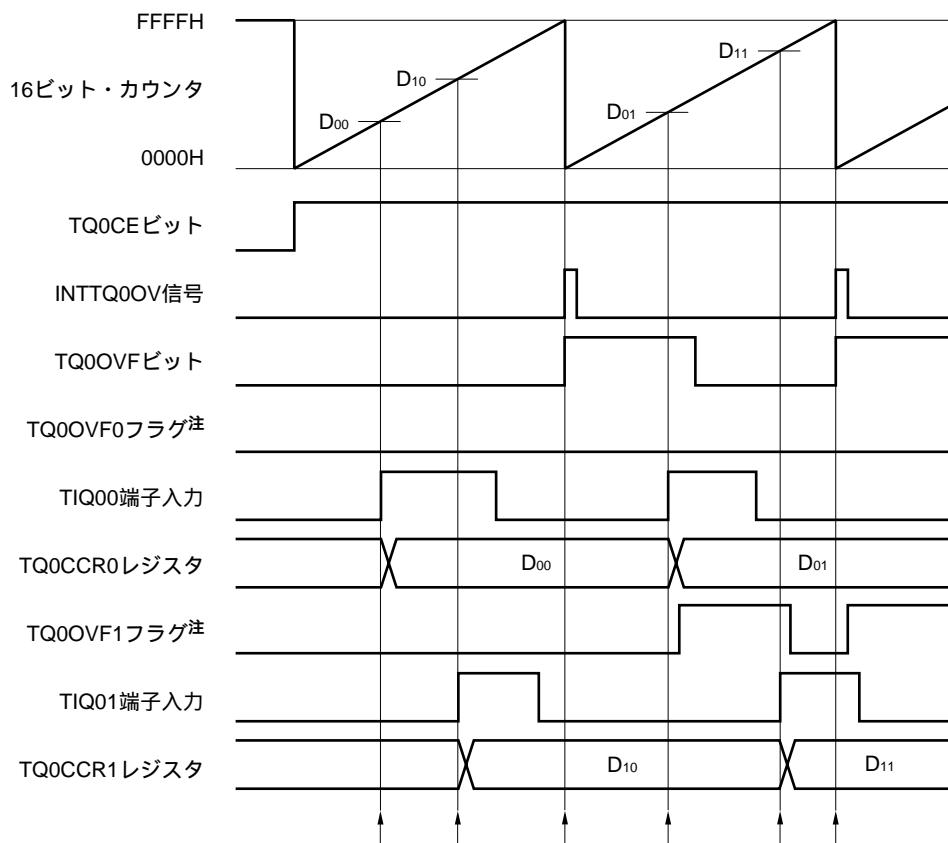
TQ0OVF0フラグが“1”なので、パルス幅は($10000H + D_{01} - D_{00}$)で求められます。

TQ0CCR1レジスタをリードする。

TQ0OVF1フラグをリードする。 TQ0OVF1フラグが“1”だった場合、クリア(0)する（でクリア(0)されたのはTQ0OVF0フラグであり、TQ0OVF1フラグは“1”的ままで）。

TQ0OVF1フラグが“1”なので、パルス幅は($10000H + D_{11} - D_{10}$)で求められます（OK）。と同じです。

2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用しない）



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。

TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。

オーバフローが発生する。ソフトウェアでは何もしない。

TQ0CCR0レジスタをリードする。

オーバフロー・フラグをリードする。オーバフロー・フラグが“1”だった場合、TQ0OVF1フラグのみをセット(1)し、オーバフロー・フラグをクリア(0)する。

オーバフロー・フラグが“1”なので、パルス幅は($10000H + D_{01} - D_{00}$)で求められます。

TQ0CCR1レジスタをリードする。

オーバフロー・フラグをリードする。オーバフロー・フラグはでクリア(0)されているので“0”がリードされる。

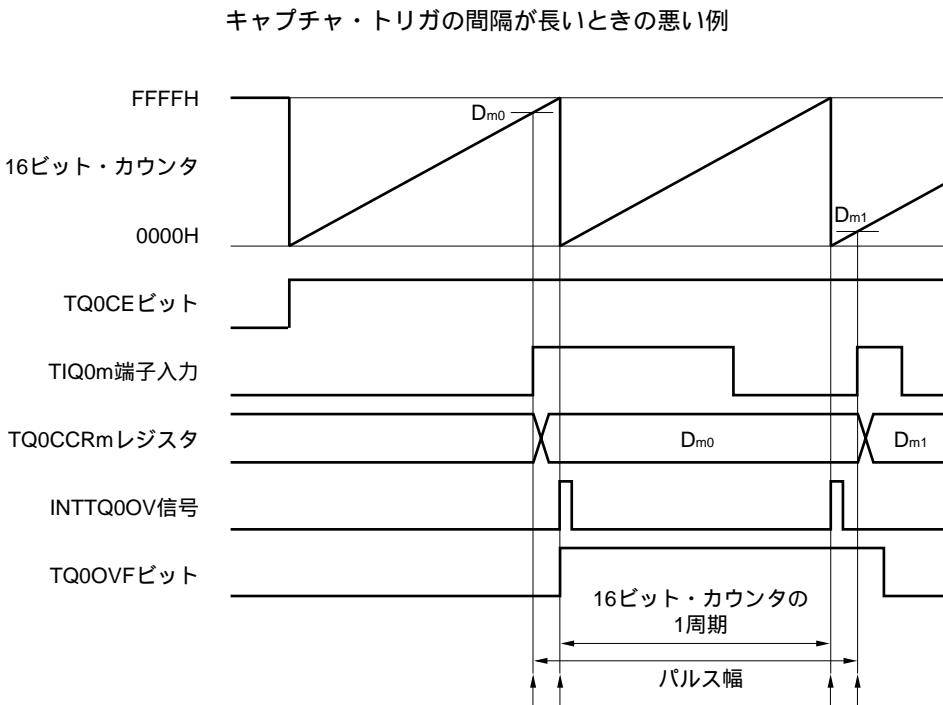
TQ0OVF1フラグをリードする。TQ0OVF1フラグが“1”だった場合、クリア(0)する。

TQ0OVF1フラグが“1”なので、パルス幅は($10000H + D_{11} - D_{10}$)で求められます(OK)。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCRmレジスタをリードする (TIQ0m端子入力の初期値設定)。

オーバフローが発生する。ソフトウェアでは何もしない。

2回目のオーバフローが発生する。ソフトウェアでは何もしない。

TQ0CCRmレジスタをリードする。

オーバフロー・フラグをリードする。オーバフロー・フラグが“1”だった場合、クリア(0)する。

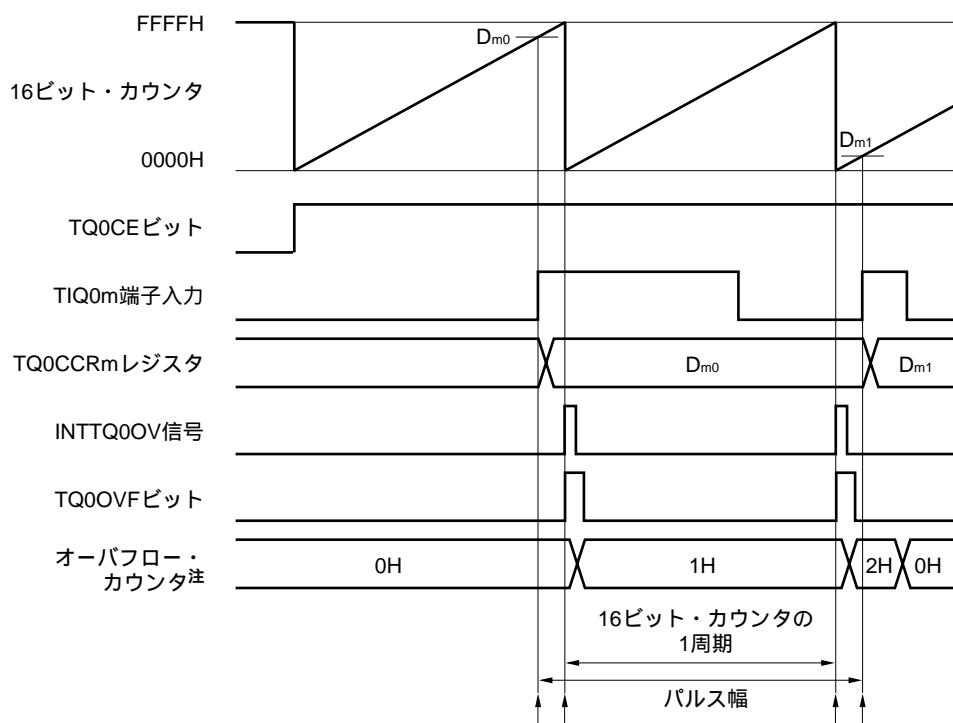
オーバフロー・フラグが“1”なので、パルス幅は($10000H + D_{m1} - D_{m0}$)で求められます(NG)。

実際には、2回のオーバフローが発生しているので、パルス幅は、($20000H + D_{m1} - D_{m0}$)になるはずです。

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCRmレジスタをリードする（TIQ0m端子入力の初期値設定）。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア（0）する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア（0）する。

TQ0CCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

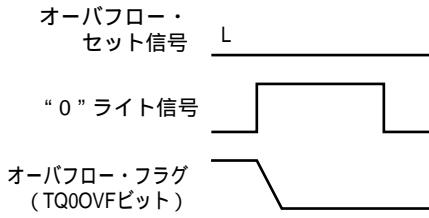
この例では、2回のオーバフローが発生しているので、パルス幅は $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア（0H）する。

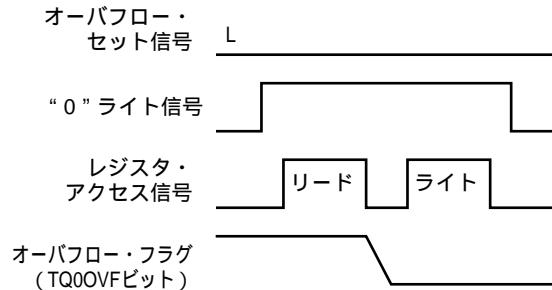
(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TQ0OVFビットをCLR命令でクリア(0)する方法と、TQ0OPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TQ0OVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。

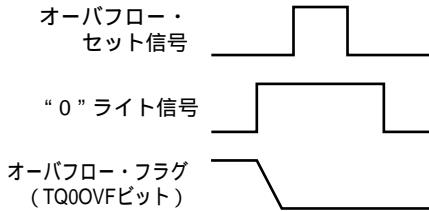
(i) “0”ライト時の動作(セットとの競合なし)



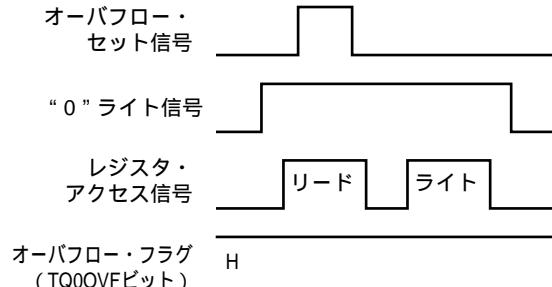
(iii) “0”クリア時の動作(セットとの競合なし)



(ii) “0”ライト時の動作(セットとの競合)



(iv) “0”クリア時の動作(セットとの競合)



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのため、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生のタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

8.5.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)

パルス幅測定モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始し、TIQ0m端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTQ0CCm)が発生したあと、TQ0CCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIQ00-TIQ03端子のいずれか1本を使用してください。使用しない端子は、TQ0IOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQ00端子固定ですので、TIQ0k端子のパルス幅を測定してください。このとき、TQ0IOC1.TQ0IS1, TQ0IS0ビット = 00(キャプチャ・トリガ入力(TIQ00端子)：エッジ検出なし)に設定してください。

備考 m = 0-3

k = 1-3

図8-34 パルス幅測定モードの構成図

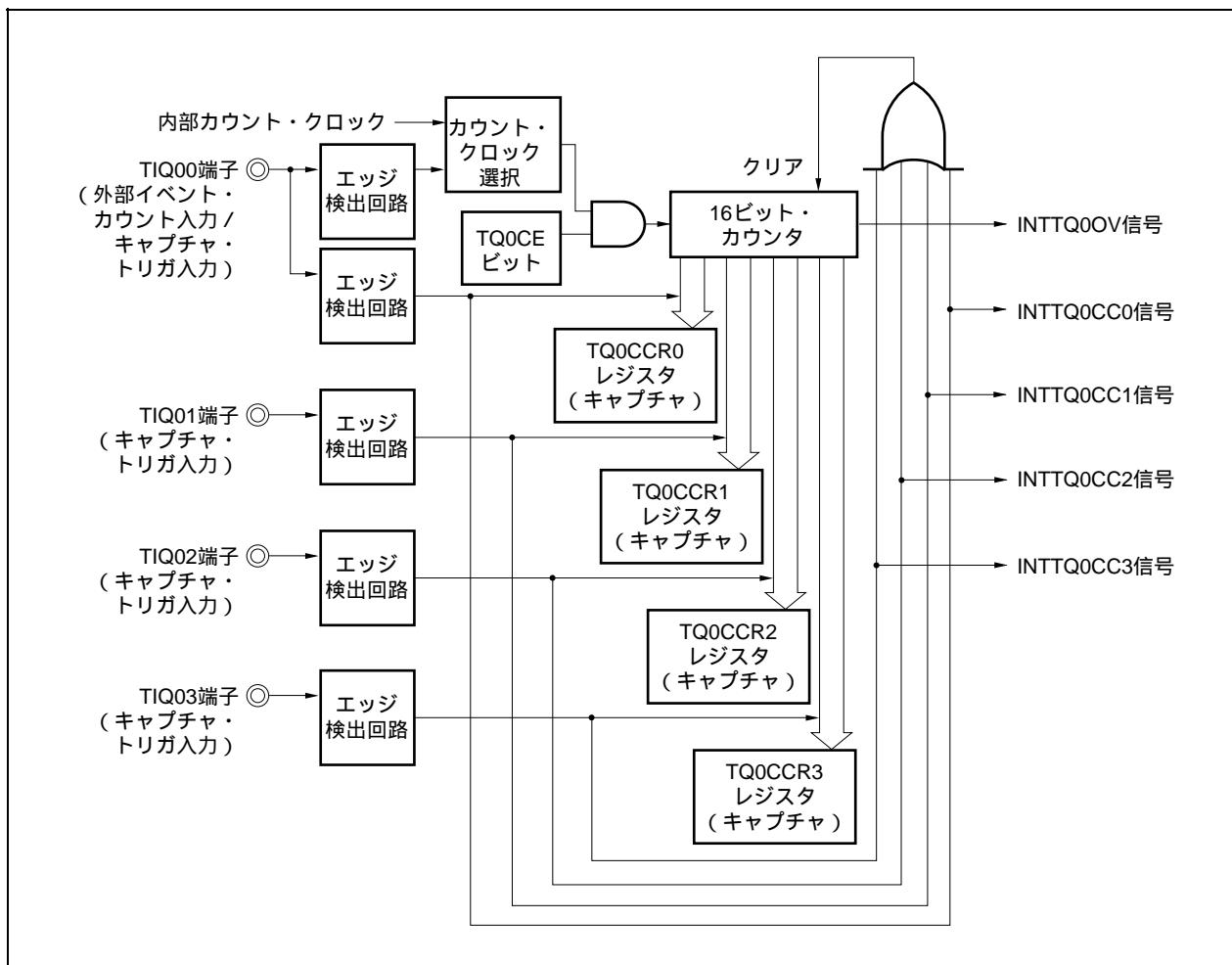
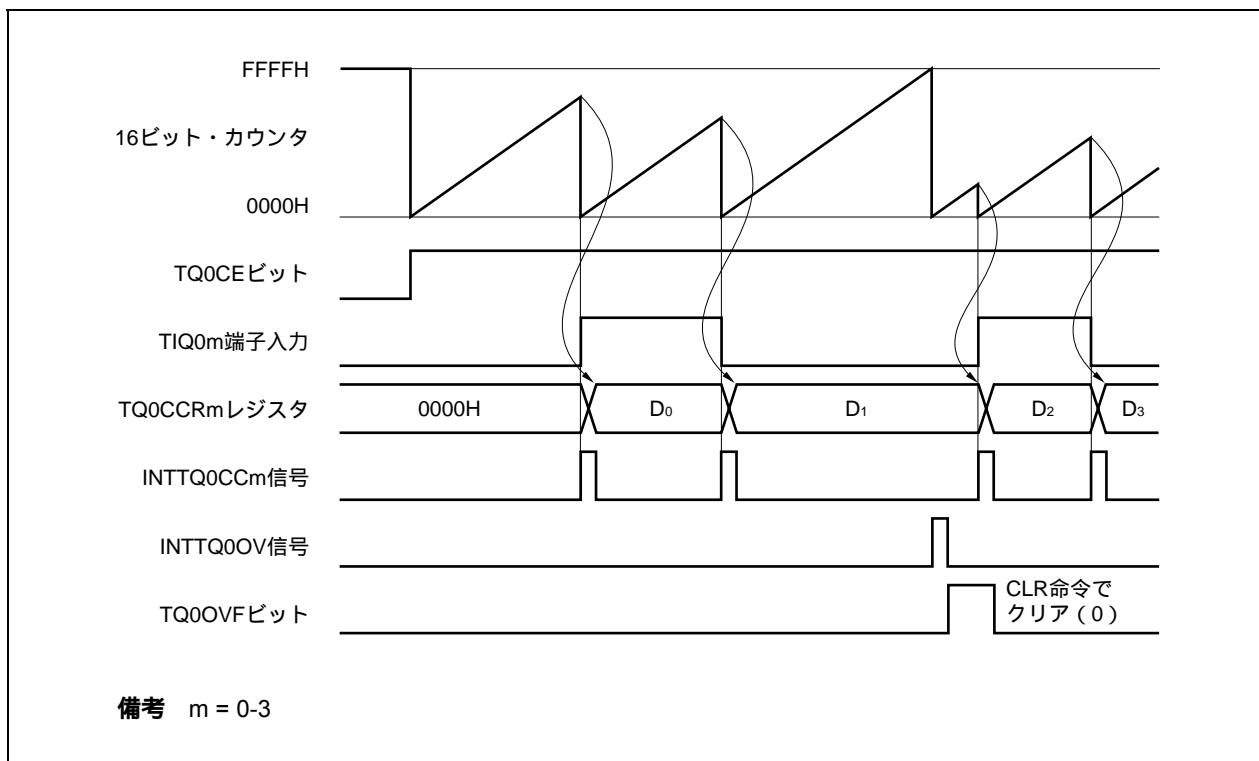


図8-35 パルス幅測定モードの基本タイミング



TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTQ0CCm)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント・クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

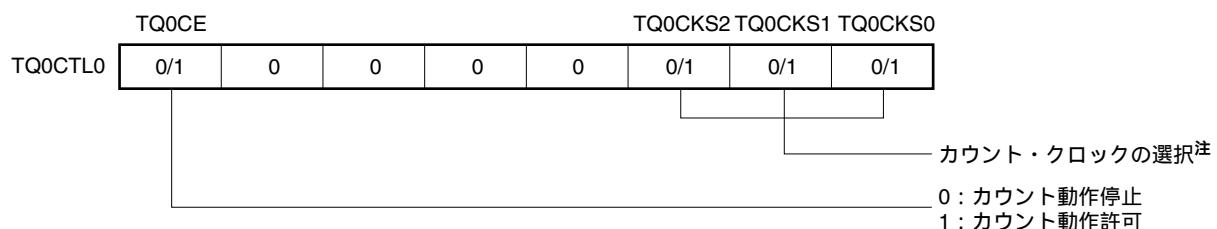
オーバフロー・フラグがセット(1)した場合、パルス幅は次のように求められます。

$$\begin{aligned}\text{パルス幅} &= (10000H \times \text{TQ0OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \\ &\quad \times \text{カウント・クロック周期}\end{aligned}$$

備考 m = 0-3

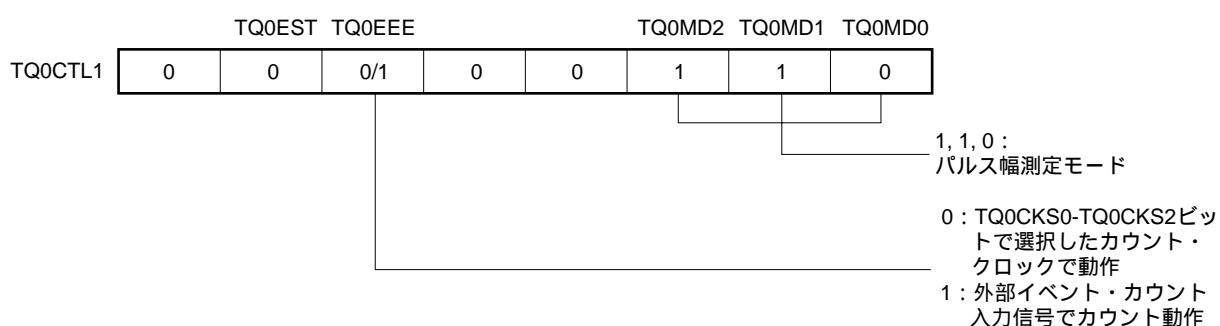
図8-36 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TMQ0制御レジスタ0 (TQ0CTL0)

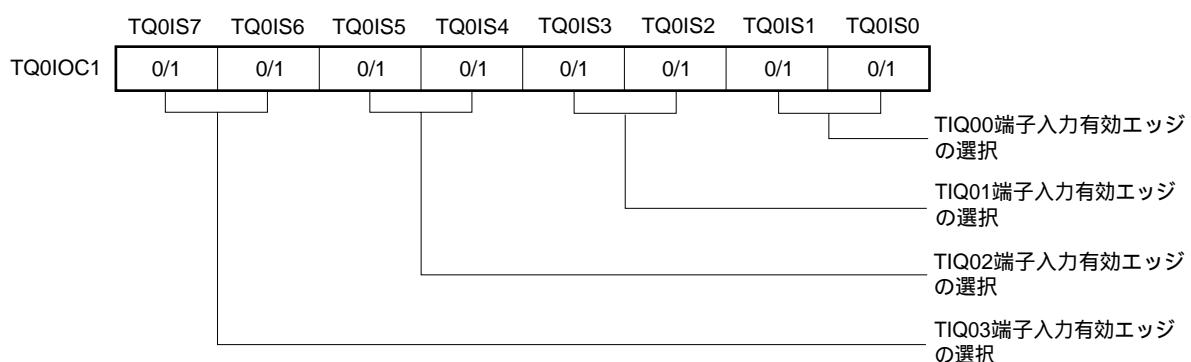


注 TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)

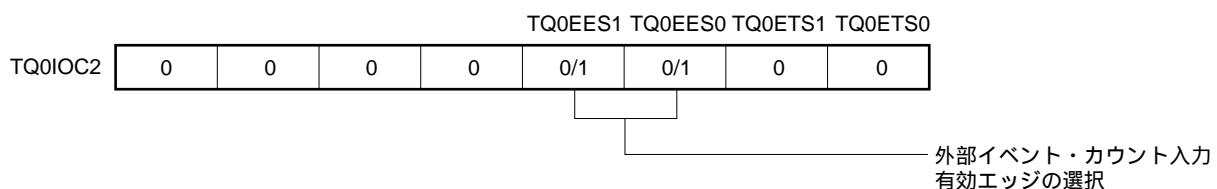


図8-36 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMQ0オプション・レジスタ0 (TQ0OPT0)

TQ0OPT0	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	TQ0OVF		
	0	0	0	0	0	0	0/1

□ オーバフロー・フラグ

(f) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

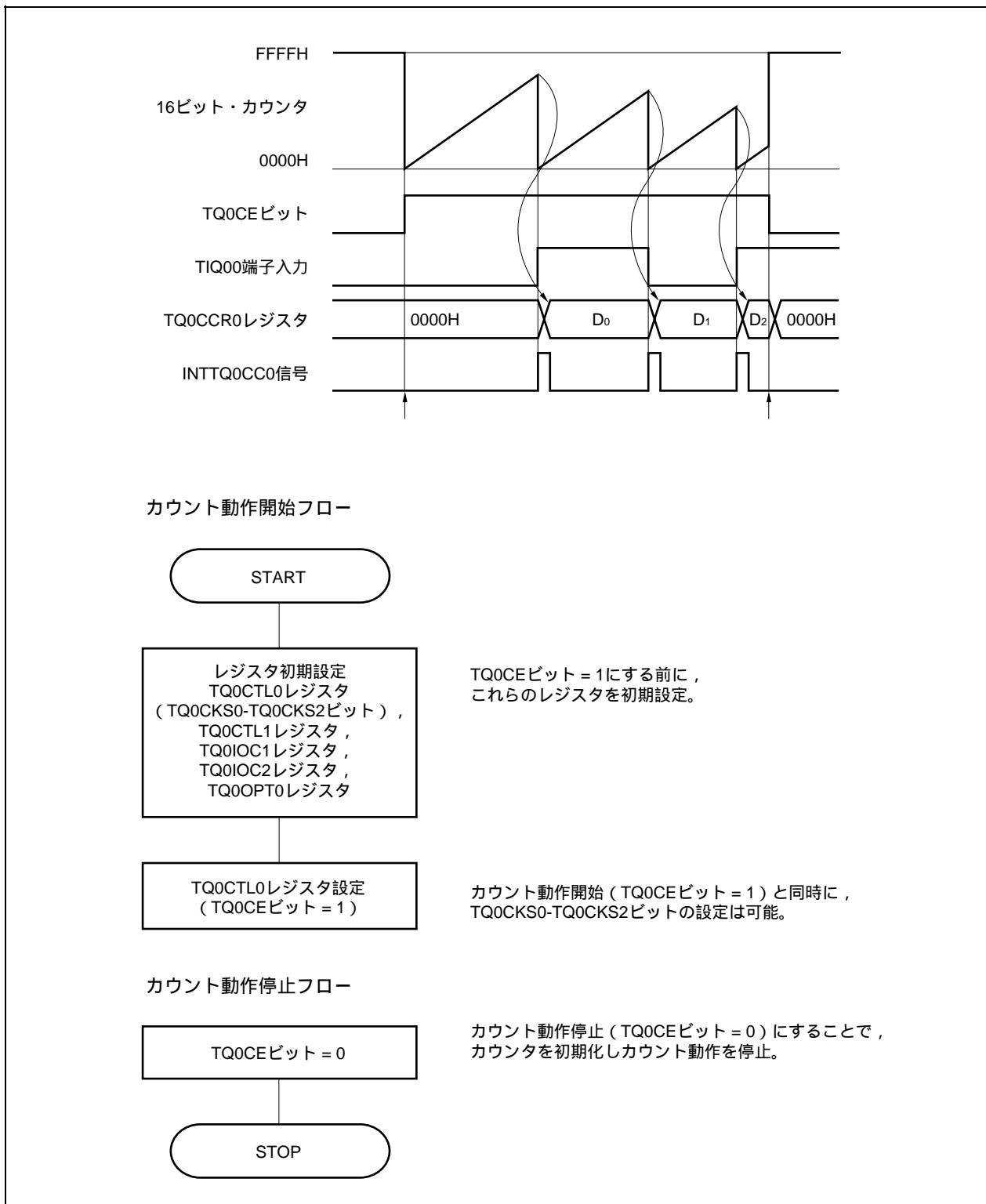
TIQ0m端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

備考1. パルス幅測定モードでは、TMQ0I/O制御レジスタ0 (TQ0IOC0) は使用しません。

2. m = 0-3

(1) パルス幅測定モード動作フロー

図8-37 パルス幅測定モード使用時のソフトウェア処理フロー

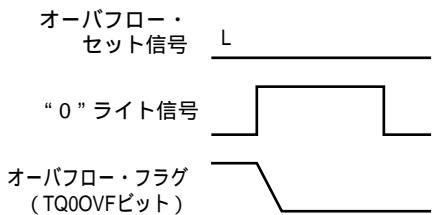


(2) パルス幅測定モード動作タイミング

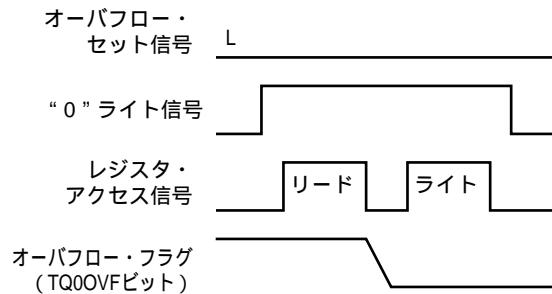
(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア(0)する方法は、TQ0OVFビットをCLR命令でクリア(0)する方法と、TQ0OPT0レジスタに8ビット・データ(ビット0は“0”)をライトする方法がありますが、確実にオーバフローを検出するために、TQ0OVFビット = 1をリードしたあと、ビット操作命令でクリア(0)してください。

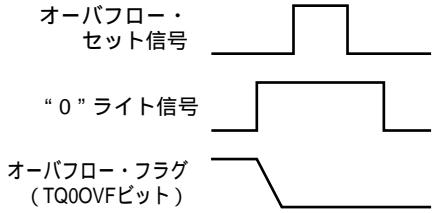
(i) “0”ライト時の動作(セットとの競合なし)



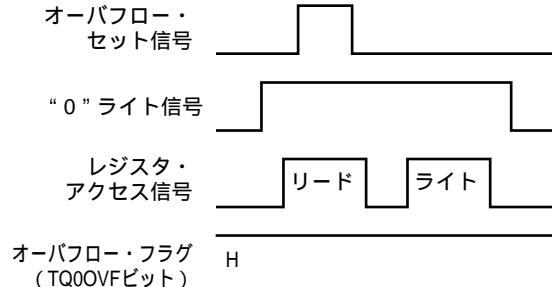
(iii) “0”クリア時の動作(セットとの競合なし)



(ii) “0”ライト時の動作(セットとの競合)



(iv) “0”クリア時の動作(セットとの競合)



オーバフロー・フラグをクリア(0)する場合には、リードしてオーバフロー・フラグがセット(1)されていることを確認したあと、CLR命令でクリア(0)してください。確認せずに0をライトすると、オーバフローのセット情報を“0”ライトで消してしまう場合があります(上図の(ii))。そのために、実際にはオーバフローが発生したにもかかわらず、ソフトウェアではオーバフローしていないと判断することになります。

オーバフロー・フラグをCLR命令でクリア(0)するときに、CLR命令の実行とオーバフロー発生のタイミングが競合した場合、クリア命令実行後もオーバフロー・フラグはセット(1)されたままになります。

8.5.8 タイマ出力動作説明

次にTOQ00-TOQ03端子の動作、および出力レベルを示します。

表8-6 各モードによるタイマ出力制御

動作モード	TOQ00端子	TOQ01端子	TOQ02端子	TOQ03端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	方形波出力	-		
外部トリガ・パルス出力モード		外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード	方形波出力	ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力(コンペア機能のときのみ)			
パルス幅測定モード		-		

表8-7 タイマ出力制御ビットによるTOQ00-TOQ03端子の真理値表

TQ0IOC0.TQ0OLmビット	TQ0IOC0.TQ0OE _m ビット	TQ0CTL0.TQ0CEビット	TOQ0m端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル、 カウント開始後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル、 カウント開始後はロウ・レベル

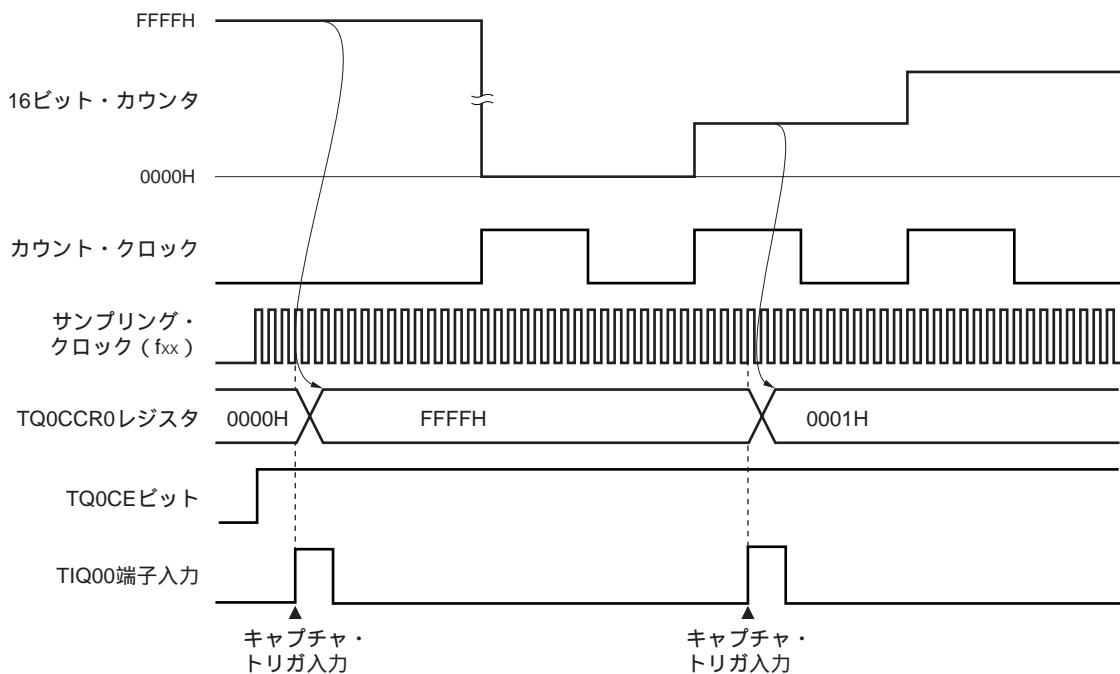
備考 m = 0-3

8.6 注意事項

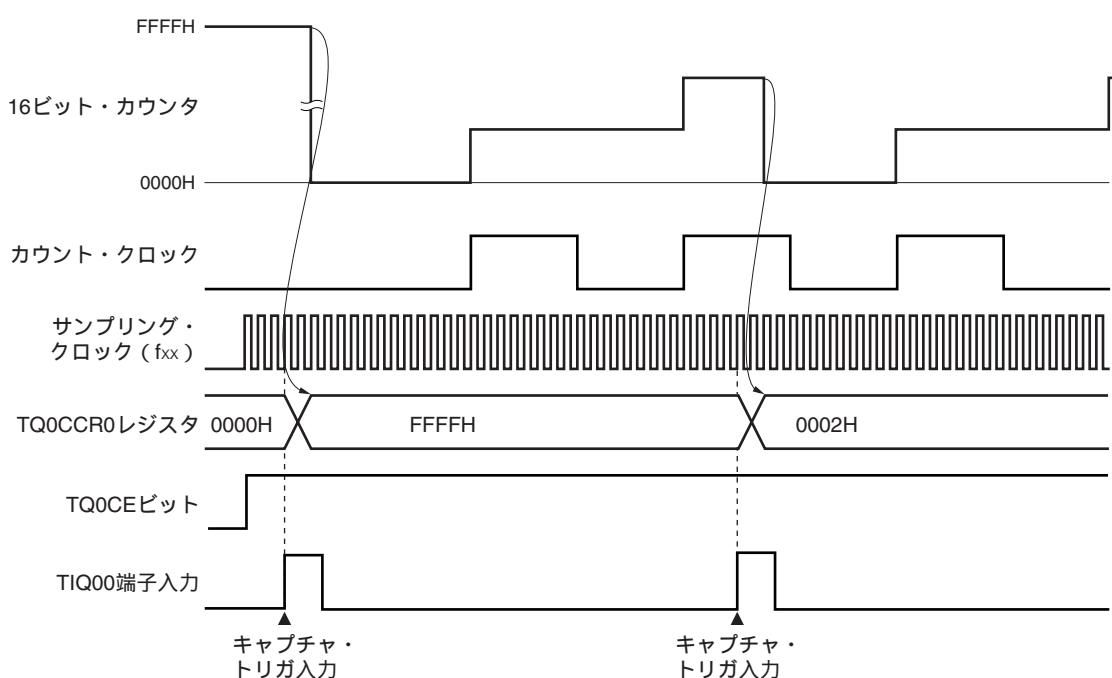
(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQ0CEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCR0, TQ0CCR1, TQ0CCR2, TQ0CCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。

(a) フリー・ランニング・タイマ・モード



(b) パルス幅測定モード



第9章 16ビット・インターバル・タイマM(TMM)

9.1 概 要

- ・インターバル機能
- ・クロック選択×8
- ・16ビット・カウンタ×1(タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ×1(タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

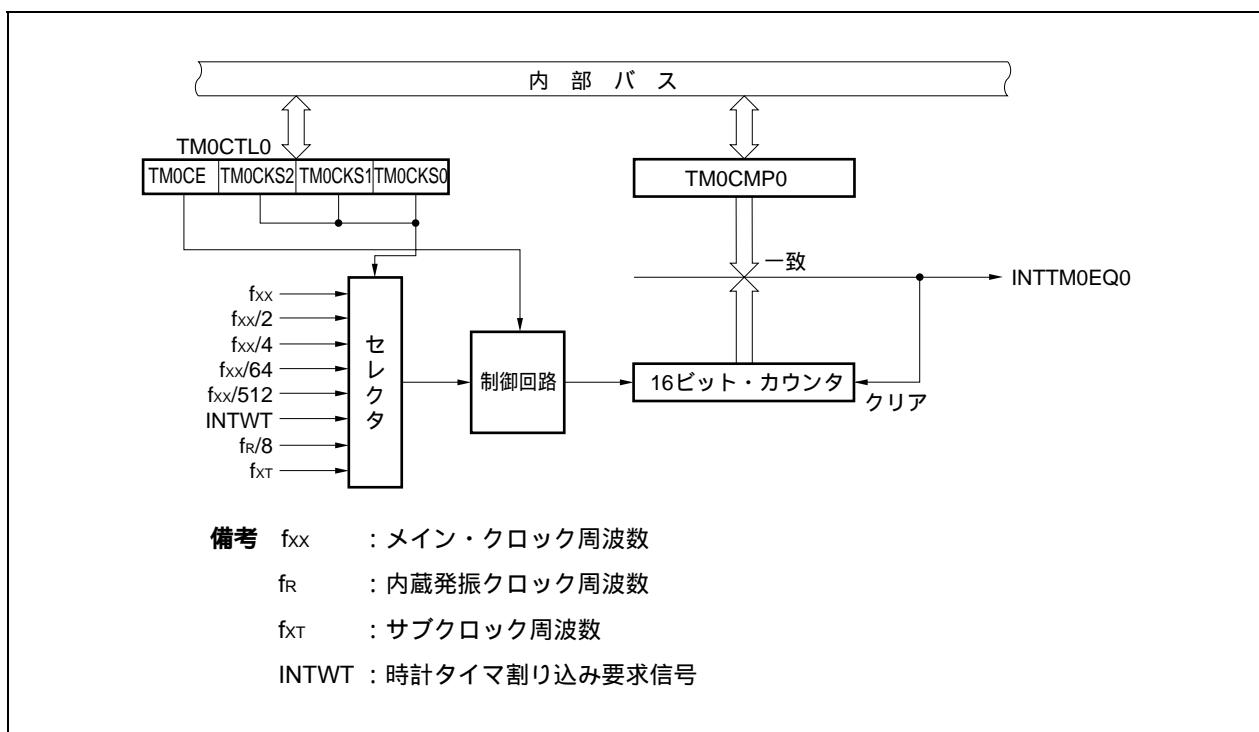
9.2 構成

TMM0は、次のハードウェアで構成されています。

表9-1 TMM0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0 (TM0CMP0)
制御レジスタ	TMM0制御レジスタ0 (TM0CTL0)

図9-1 TMM0のブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード／ライトできません。

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TM0CTL0.TM0CEビット = 1のとき、TM0CMP0レジスタの書き換えは禁止です。

リセット時 : 0000H R/W アドレス : FFFFF694H

TM0CMP0	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

9.3 レジスタ

(1) TMM0制御レジスタ0(TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時 : 00H R/W アドレス : FFFFF690H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可 / 禁止指定
0	TMM0動作禁止(16ビット・カウンタを非同期にリセット)。動作クロック供給停止
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始

TM0CEビットにより、TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア(0)すると、TMM0の内部クロックは停止(ロウ・レベル固定)し、16ビット・カウンタが非同期にリセットされます。

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/64
1	0	0	fxx/512
1	0	1	INTWT
1	1	0	fR/8
1	1	1	fXT

注意1. TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。

TM0CEビットを“0”から“1”に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定できません。

2. ビット3-6には必ず“0”を設定してください。

備考 fxx : メイン・クロック周波数

fR : 内蔵発振クロック周波数

fXT : サブクロック周波数

9.4 動 作

注意 TM0CMP0レジスタには、FFFFHを設定しないでください。

9.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TM0CTL0.TM0CEビットをセット(1)することで、任意のインターバル間隔にて割り込み要求信号(INTTM0EQ0)を発生します。

図9-2 インターバル・タイマの構成図

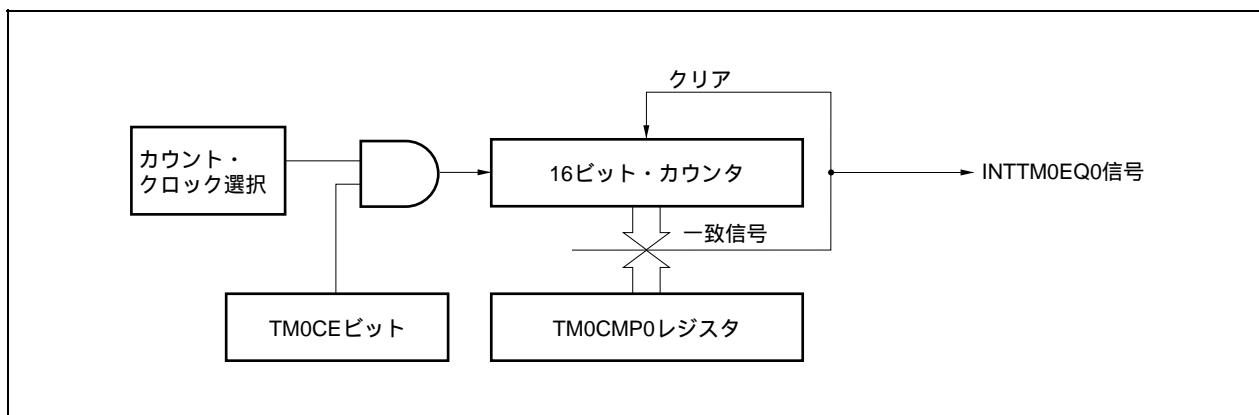
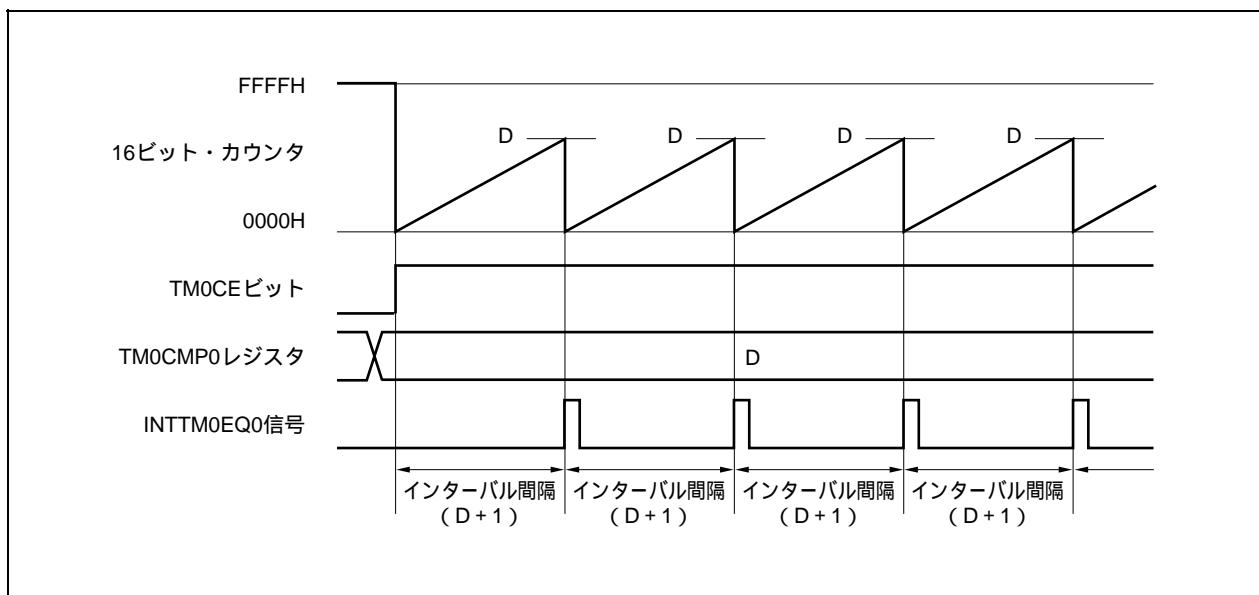


図9-3 インターバル・タイマ・モード動作の基本タイミング



TM0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTM0EQ0)を発生します。

インターバル間隔は次のようにになります。

$$\text{インターバル間隔} = (\text{TM0CMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図9-4 インターバル・タイマ・モード動作時のレジスタ設定内容

(a) TMM0制御レジスタ0(TM0CTL0)

	TM0CE					TM0CKS2	TM0CKS1	TM0CKS0
TM0CTL0	0/1	0	0	0	0	0/1	0/1	0/1
								カウント・クロックの選択 0: カウント動作停止 1: カウント動作許可

(b) TMM0コンペア・レジスタ0(TM0CMP0)

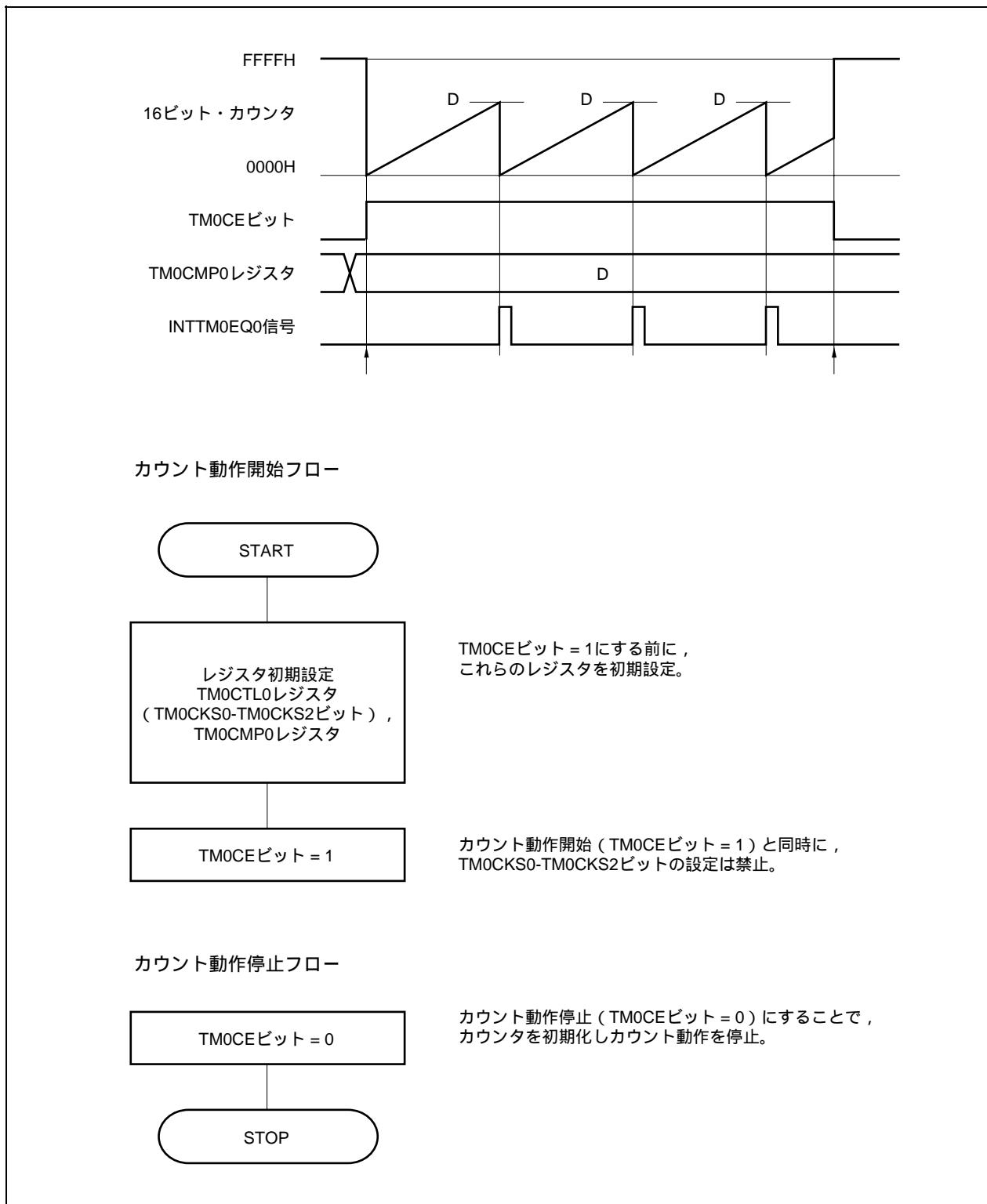
TM0CMP0レジスタにDを設定した場合、

$$\text{インターバル間隔} = (D + 1) \times \text{カウント・クロック周期}$$

となります。

(1) インターバル・タイマ・モード動作フロー

図9-5 インターバル・タイマ・モード使用時のソフトウェア処理フロー



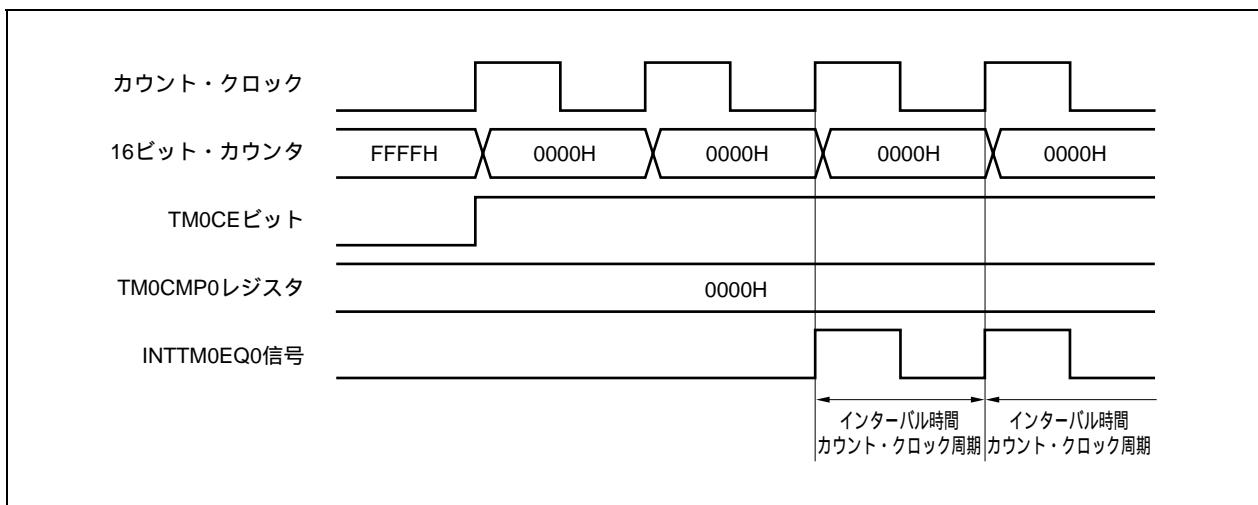
(2) インターバル・タイマ・モード動作タイミング

注意 TM0CMP0レジスタには, FFFFHを設定しないでください。

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

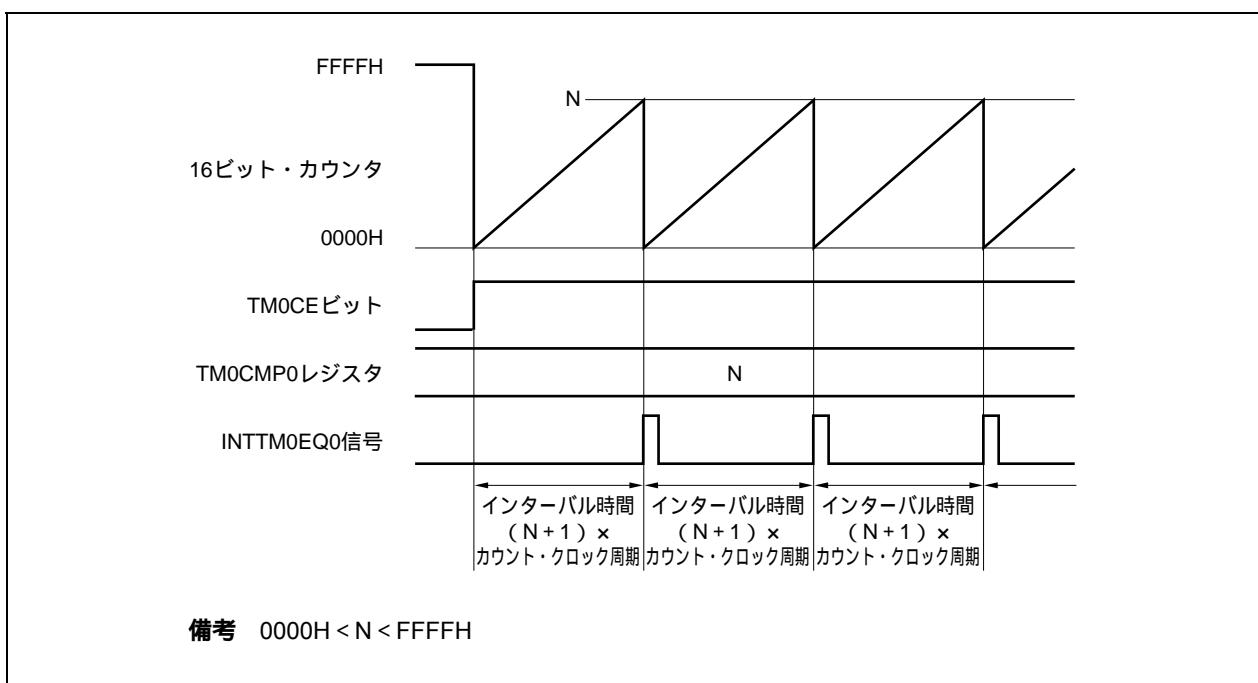
TM0CMP0レジスタに0000Hを設定した場合, カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは, 常に0000Hとなります。



(b) TM0CMP0レジスタにNを設定した場合の動作

TM0CMP0レジスタにNを設定した場合, 16ビット・カウンタはNまでカウント動作を行い, 次のカウント・アップ・タイミングに同期して, 16ビット・カウンタを0000Hにクリアし, INTTM0EQ0信号を発生します。



9.4.2 注意事項

(1) TM0CTL0.TM0CEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
fx _x	2/f _{xx}
f _{xx} /2	6/f _{xx}
f _{xx} /4	24/f _{xx}
f _{xx} /64	128/f _{xx}
f _{xx} /512	1024/f _{xx}
INTWT	INTWT信号の2回目の立ち上がり
f _R /8	16/f _R
f _{XT}	2/f _{XT}

(2) TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。

TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0.TM0CEビットをクリア(0)してから再設定してください。

第10章 時計タイマ機能

10.1 機能

時計タイマには、次のような機能があります。

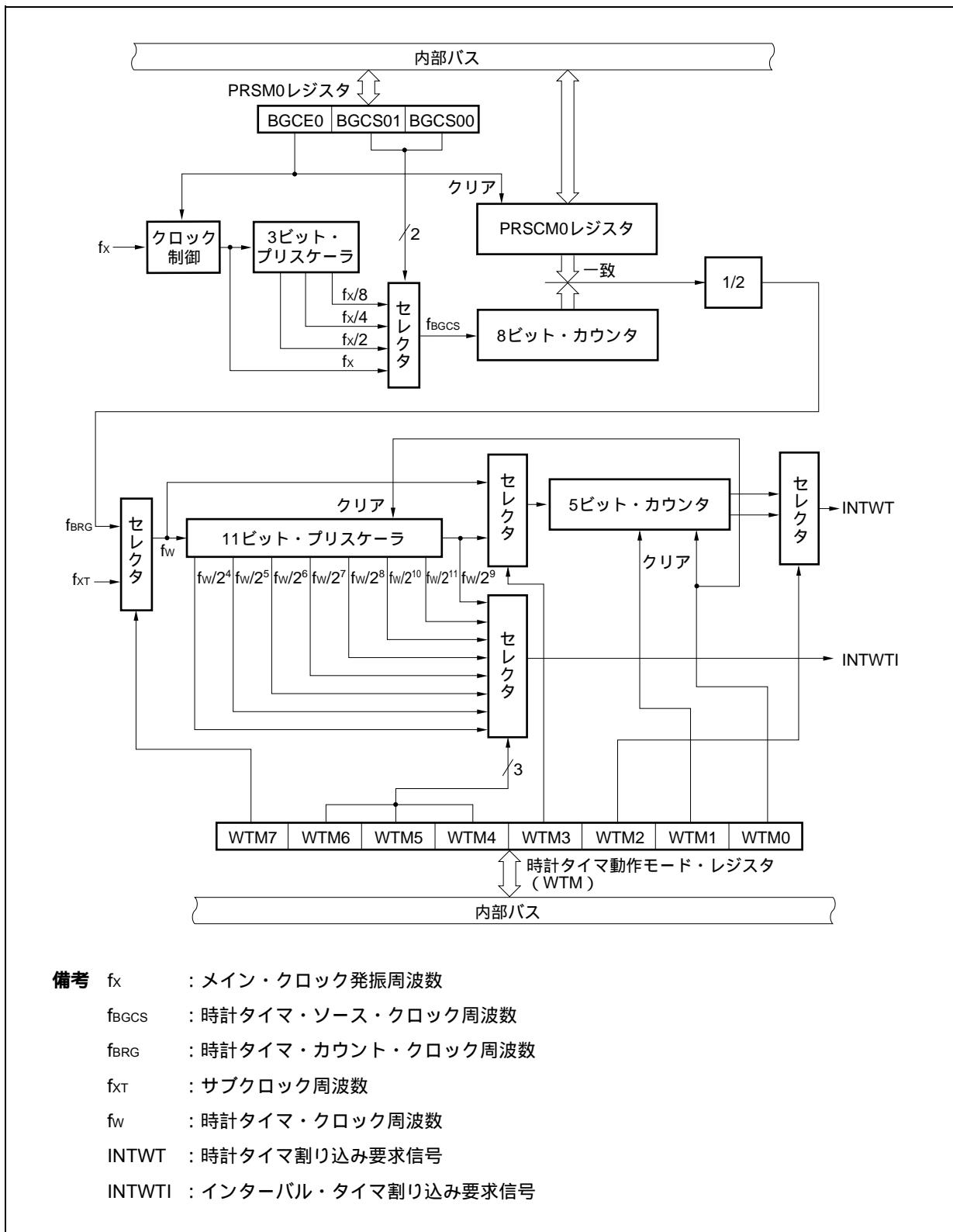
- ・時計タイマ : メイン・クロックまたはサブクロックを使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で割り込み要求信号 (INTWTI) を発生します。

時計タイマとインターバル・タイマは、同時に使用できます。

10.2 構成

次に時計タイマのブロック図を示します。

図10-1 時計タイマのブロック図



(1) クロック制御

時計タイマのメイン・クロックでの動作クロック (f_x) の供給 / 停止を制御します。

(2) 3 ピット・プリスケーラ

f_x を分周して, $f_x/2$, $f_x/4$, $f_x/8$ を生成します。

(3) 8 ピット・カウンタ

ソース・クロック (f_{BGCS}) をカウントする8ビットのカウンタです。

(4) 11 ピット・プリスケーラ

f_w を分周して, $f_w/2^4-f_w/2^{11}$ のクロックを生成します。

(5) 5 ピット・カウンタ

f_w または $f_w/2^9$ をカウントして, $2^4/f_w$, $2^5/f_w$, $2^{13}/f_w$ または $2^{14}/f_w$ ごとに時計タイマ割り込み要求信号 (INTWT) を発生します。

(6) セレクタ

時計タイマには, 次の5つのセレクタがあります。

- ・時計タイマのソース・クロックとして, f_x , $f_x/2$, $f_x/4$, $f_x/8$ のうちの1つを選択します。
- ・時計タイマのクロックとして, メイン・クロック (f_x) かサブクロック (f_{XT}) かを選択します。
- ・5ビット・カウンタのカウント・クロック周波数として, f_w か $f_w/2^9$ かを選択します。
- ・INTWT信号発生時間間隔として, $2^4/f_w$ または $2^{13}/f_w$ か, $2^5/f_w$ または $2^{14}/f_w$ かを選択します。
- ・インターバル・タイマ割り込み要求信号 (INTWTI) 発生時間間隔として, $2^4/f_w-2^{11}/f_w$ から選択します。

(7) PRSCM レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(8) PRSM レジスタ

時計タイマへのクロック供給を制御するレジスタです。

(9) WTM レジスタ

時計タイマ / インターバル・タイマの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

10.3 レジスタ

時計タイマには次のレジスタがあります。

- ・プリスケーラ・モード・レジスタ0 (PRSM0)
- ・プリスケーラ・コンペア・レジスタ0 (PRSCM0)
- ・時計タイマ動作モード・レジスタ (WTM)

(1) プリスケーラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、時計タイマのカウント・クロックの生成を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	時計タイマ・ソース・クロック (f_{BGCS}) の選択		
		5 MHz	4 MHz	
0	0	f_x	200 ns	250 ns
0	1	$f_x/2$	400 ns	500 ns
1	0	$f_x/4$	800 ns	1 μs
1	1	$f_x/8$	1.6 μs	2 μs

- 注意1. 時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。
 2. PRSM0レジスタの設定はBGCE0ビットをセット(1)する前に行ってください。
 3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

(2) プリスケーラ・コンペア・レジスタ0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

- 注意1. 時計タイマ動作中にPRSCM0レジスタを書き換えないでください。
2. PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。
 3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

f_{BRG} の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

備考 f_{BGCS} : PRSM0レジスタで設定した時計タイマ・ソース・クロック

N : PRSCM0レジスタの設定値 = 1-256

ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

(3) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウント・クロックおよび動作の許可／禁止、プリスケーラのインターバル時間、5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタを設定する前にPRSM0レジスタを設定してください。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFF680H

WTM	7	6	5	4	3	2	①	②
	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	プリスケーラのインターバル時間の選択
0	0	0	0	$2^4/f_w$ (488 μs : $f_w = f_{XT}$)
0	0	0	1	$2^5/f_w$ (977 μs : $f_w = f_{XT}$)
0	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{XT}$)
0	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{XT}$)
0	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{XT}$)
0	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{XT}$)
0	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{XT}$)
0	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{XT}$)
1	0	0	0	$2^4/f_w$ (488 μs : $f_w = f_{BRG}$)
1	0	0	1	$2^5/f_w$ (977 μs : $f_w = f_{BRG}$)
1	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{BRG}$)
1	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{BRG}$)
1	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{BRG}$)
1	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{BRG}$)
1	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{BRG}$)
1	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{BRG}$)

(2/2)

WTM7	WTM3	WTM2	時計用フラグのセット時間の選択
0	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{XT}$)
0	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{XT}$)
0	1	0	$2^5/f_w$ (977 μs : $f_w = f_{XT}$)
0	1	1	$2^4/f_w$ (488 μs : $f_w = f_{XT}$)
1	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{BRG}$)
1	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{BRG}$)
1	1	0	$2^5/f_w$ (977 μs : $f_w = f_{BRG}$)
1	1	1	$2^4/f_w$ (488 μs : $f_w = f_{BRG}$)

WTM1	5 ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケーラ , 5ビット・カウンタとともにクリア)
1	動作許可

注意 WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。

備考1. f_w : 時計タイマ・クロック周波数

2. () 内は、 $f_w = 32.768$ kHz動作時

10.4 動 作

10.4.1 時計タイマとしての動作

時計タイマは、一定の時間間隔ごとに割り込み要求信号（INTWT）を発生します。

サブクロック（32.768 kHz）またはメイン・クロックを使用して、0.25秒または0.5秒の時間間隔の時計タイマとして動作します。

WTM.WTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケーラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマと一緒に動作させているとき、WTM1ビットをクリア（0）して5ビット・カウンタをクリアすることにより、時刻合わせができます。このとき、インターバル・タイマには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、PRSM0.BGCS01, BGCS00ビットでカウント・クロックを、PRSCM0レジスタで8ビットのコンペア値を設定し、時計タイマのカウント・クロック周波数（f_{BRG}）が32.768 kHzになるようにしてください。

PRSM0.BGCE0ビットをセット（1）すると、時計タイマにf_{BRG}を供給します。

f_{BRG}は、次の式で求められます。

$$f_{BRG} = f_x / (2^{m+1} \times N)$$

f_{BRG}を32.768 kHzにするには、次のように計算してBGCS01, BGCS00ビット、PRSCM0レジスタを設定してください。

N = f_x/65,536とし、m = 0としてください。

Nの小数点第一位を四捨五入した値が偶数のとき、四捨五入する前のN = N/2とし、m = m + 1としてください。

Nが奇数になるか、またはm = 3になるまで、を繰り返してください。

Nの小数点第一位を四捨五入した値をPRSCM0レジスタに、mをBGCS01, BGCS00ビットに設定してください。

例：f_x = 4.00 MHzの場合

$$N = 4,000,000/65,536 = 61.03\dots, m = 0$$

、N（小数点第一位を四捨五入）は奇数なので、N = 61, m = 0のまま

PRSCM0レジスタ設定値：3DH（61）、BGCS01, BGCS00ビット設定値：00

このとき、実際のf_{BRG}の周波数は、次のようになります。

$$\begin{aligned} f_{BRG} &= f_x / (2^{m+1} \times N) = 4,000,000 / (2 \times 61) \\ &= 32.787 \text{ kHz} \end{aligned}$$

備考 m : 分周値（BGCS01, BGCS00ビット設定値）= 0-3

N : PRSCM0レジスタ設定値 = 1-256

ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

f_x : メイン・クロック発振周波数

10.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求信号（INTWTI）を発生するインターバル・タイマとして動作します。

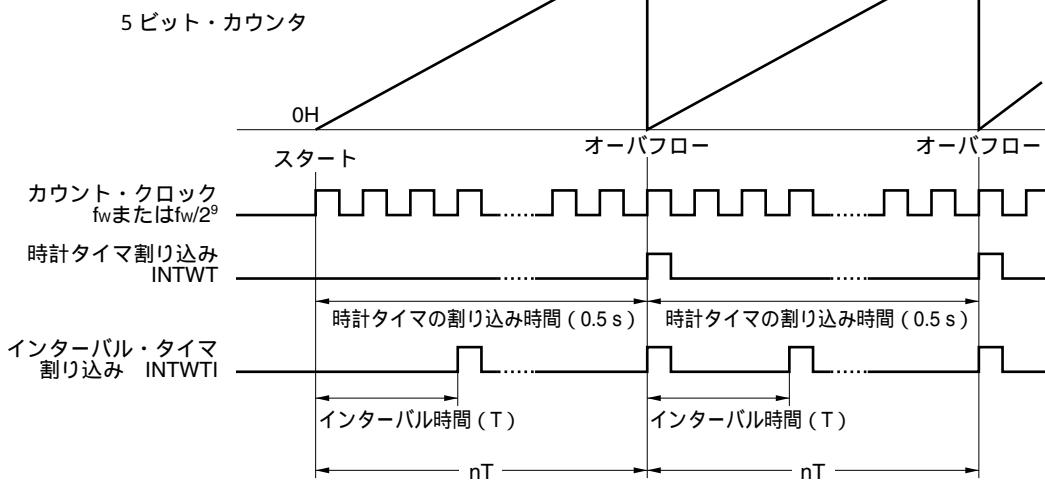
WTMレジスタのWTM4-WTM7ビットにより、インターバル時間を選択できます。

表10-1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/fw$	488 μs (fw = fXT = 32.768 kHz動作時)
0	0	0	1	$2^5 \times 1/fw$	977 μs (fw = fXT = 32.768 kHz動作時)
0	0	1	0	$2^6 \times 1/fw$	1.95 ms (fw = fXT = 32.768 kHz動作時)
0	0	1	1	$2^7 \times 1/fw$	3.91 ms (fw = fXT = 32.768 kHz動作時)
0	1	0	0	$2^8 \times 1/fw$	7.81 ms (fw = fXT = 32.768 kHz動作時)
0	1	0	1	$2^9 \times 1/fw$	15.6 ms (fw = fXT = 32.768 kHz動作時)
0	1	1	0	$2^{10} \times 1/fw$	31.3 ms (fw = fXT = 32.768 kHz動作時)
0	1	1	1	$2^{11} \times 1/fw$	62.5 ms (fw = fXT = 32.768 kHz動作時)
1	0	0	0	$2^4 \times 1/fw$	488 μs (fw = fBRG = 32.768 kHz動作時)
1	0	0	1	$2^5 \times 1/fw$	977 μs (fw = fBRG = 32.768 kHz動作時)
1	0	1	0	$2^6 \times 1/fw$	1.95 ms (fw = fBRG = 32.768 kHz動作時)
1	0	1	1	$2^7 \times 1/fw$	3.91 ms (fw = fBRG = 32.768 kHz動作時)
1	1	0	0	$2^8 \times 1/fw$	7.81 ms (fw = fBRG = 32.768 kHz動作時)
1	1	0	1	$2^9 \times 1/fw$	15.6 ms (fw = fBRG = 32.768 kHz動作時)
1	1	1	0	$2^{10} \times 1/fw$	31.3 ms (fw = fBRG = 32.768 kHz動作時)
1	1	1	1	$2^{11} \times 1/fw$	62.5 ms (fw = fBRG = 32.768 kHz動作時)

備考 fw : 時計タイマ・クロック周波数

図10-2 時計タイマ/インターバル・タイマの動作タイミング



備考1. 時計タイマの割り込み時間として、0.5秒を設定した場合

2. fw : 時計タイマ・クロック周波数

() 内は、 $fw = 32.768 \text{ kHz}$ 動作時

n : インターバル・タイマ動作の回数

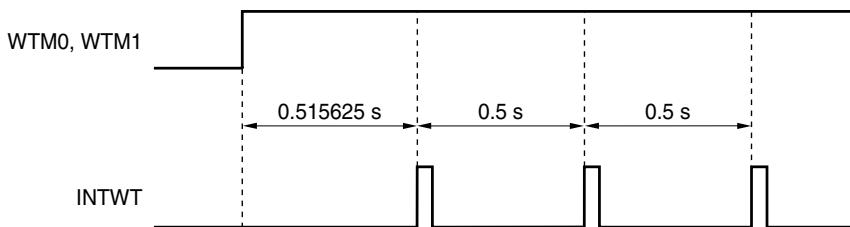
10.4.3 注意事項

動作許可 (WTM.WTM1, WTM0ビット = 1) してから、最初の1回目の時計タイマ割り込み要求信号 (INTWT) が発生するまで多少時間がかかります。

図10-3 時計タイマ割り込み要求信号 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)

1回目のINTWT信号が発生するまでに、最大0.515625 sかかります (最大 $2^9 \times 1/32768 = 0.015625 \text{ s}$ 長くかかります)。

その後は0.5 sごとにINTWT信号が発生します。



第11章 ウオッヂドッグ・タイマ2機能

11.1 機能

ウォッヂドッグ・タイマ2には、次のような機能があります。

- ・ディフォ - ルト・スタート・ウォッヂドッグ・タイマ^{注1}

リセット・モード：ウォッヂドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）

ノンマスカブル割り込み要求モード：ウォッヂドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{注2}

- ・ソース・クロックとしてメイン・クロック、内蔵発振クロック、サブクロックからの入力を選択可能

注1. ウォッヂドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

ウォッヂドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッヂドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。

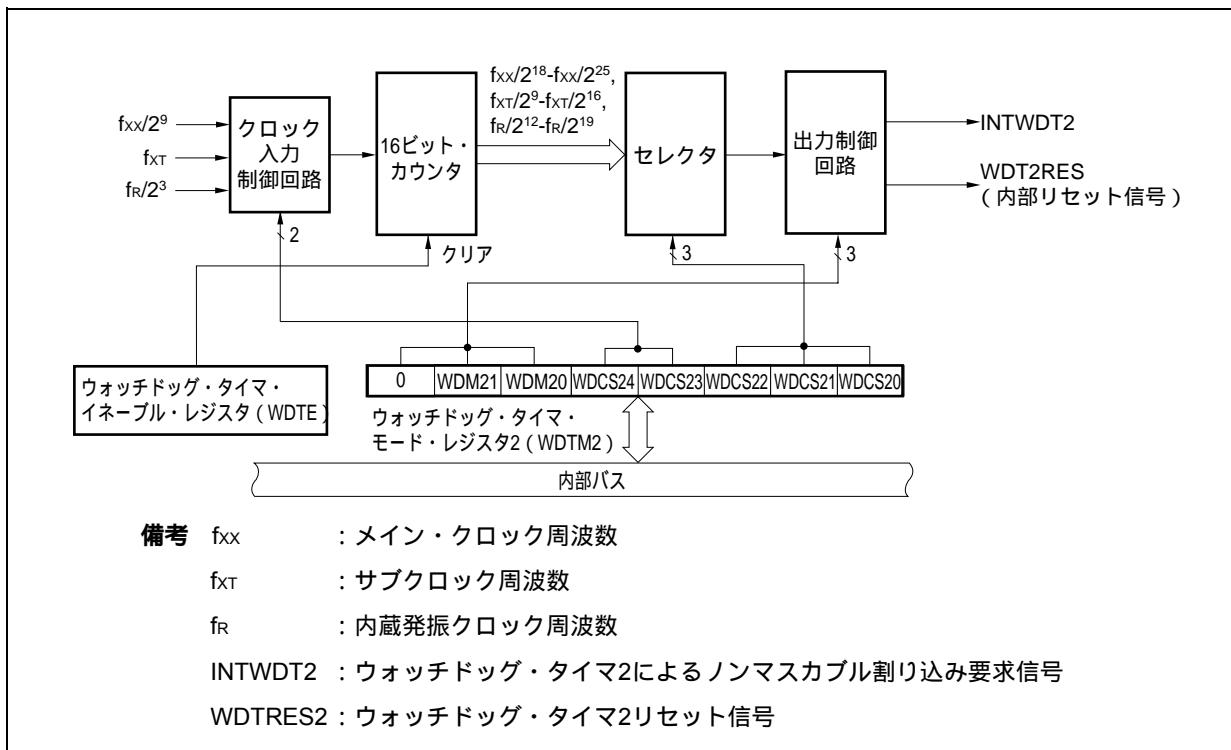
また、ディフォールトの設定（リセット・モード、インターバル時間： $f_R/2^{19}$ ）で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については
19.2.2(2) INTWDT2信号の場合を参照してください。

11.2 構成

次にウォッヂドッグ・タイマ2のブロック図を示します。

図11-1 ウォッヂドッグ・タイマ2のブロック図



ウォッヂドッグ・タイマ2は、次のハードウェアで構成されています。

表11-1 ウォッヂドッグ・タイマ2の構成

項目	構成
制御レジスタ	ウォッヂドッグ・タイマ・モード・レジスタ2 (WDTM2) ウォッヂドッグ・タイマ・イネーブル・レジスタ (WDTE)

11.3 レジスタ

(1) ウオッヂドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウオッヂドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード／ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

リセット時：67H R/W アドレス：FFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21 WDM20 ウオッヂドッグ・タイマ2の動作モードの選択		
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード (INTWDT2信号を発生)
1	-	リセット・モード (WDT2RES信号を発生)

- 注意1.** WDCS24-WDCS20ビットについては表11-2 ウオッヂドッグ・タイマ2のクロック選択を参照してください。
2. 内蔵発振器の停止のみでウオッヂドッグ・タイマ2は停止しますが、動作を確定するため（誤書き込みで、メイン・クロックやサブクロックが選択されないようにする），WDTM2レジスタに00Hを設定してください。
 3. リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。
 4. 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。
ただし、ウオッヂドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んでオーバフロー信号は発生しません。
 5. ウオッヂドッグ・タイマ2の動作を停止する場合は、RCM.RSTPビット = 1に設定（内蔵発振器の停止）するとともに、WDTM2レジスタに00Hを書き込んでください。
RCM.RSTPビット = 1に設定できない場合は、WDCS23ビット = 1に設定してください（2ⁿ/f_{xx}が選択され、IDLE1, IDLE2, サブIDLE, サブクロック動作モードでクロックを停めることができます）。

表11-2 ウォッチドッグ・タイマ2のクロック選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz (MIN.)	200 kHz (TYP.)	400 kHz (MAX.)
0	0	0	0	0	$2^{12}/f_R$	41.0 ms	20.5 ms	10.2 ms
0	0	0	0	1	$2^{13}/f_R$	81.9 ms	41.0 ms	20.5 ms
0	0	0	1	0	$2^{14}/f_R$	163.8 ms	81.9 ms	41.0 ms
0	0	0	1	1	$2^{15}/f_R$	327.7 ms	163.8 ms	81.9 ms
0	0	1	0	0	$2^{16}/f_R$	655.4 ms	327.7 ms	163.8 ms
0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	655.4 ms	327.7 ms
0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1310.7 ms	655.4 ms
0	0	1	1	1	$2^{19}/f_R$	5242.9 ms	2621.47 ms	1310.7 ms
						$f_{xx} = 20 \text{ MHz}$ 時	$f_{xx} = 16 \text{ MHz}$ 時	$f_{xx} = 10 \text{ MHz}$ 時
0	1	0	0	0	$2^{18}/f_{xx}$	13.1 ms	16.4 ms	26.2 ms
0	1	0	0	1	$2^{19}/f_{xx}$	26.2 ms	32.8 ms	52.4 ms
0	1	0	1	0	$2^{20}/f_{xx}$	52.4 ms	65.5 ms	104.9 ms
0	1	0	1	1	$2^{21}/f_{xx}$	104.9 ms	131.1 ms	209.7 ms
0	1	1	0	0	$2^{22}/f_{xx}$	209.7 ms	262.1 ms	419.4 ms
0	1	1	0	1	$2^{23}/f_{xx}$	419.4 ms	524.3 ms	838.9 ms
0	1	1	1	0	$2^{24}/f_{xx}$	838.9 ms	1048.6 ms	1677.7 ms
0	1	1	1	1	$2^{25}/f_{xx}$	1677.7 ms	2097.2 ms	3355.4 ms
						$f_{XT} = 32.768 \text{ kHz}$		
1	x	0	0	0	$2^9/f_{XT}$	15.625 ms		
1	x	0	0	1	$2^{10}/f_{XT}$	31.25 ms		
1	x	0	1	0	$2^{11}/f_{XT}$	62.5 ms		
1	x	0	1	1	$2^{12}/f_{XT}$	125 ms		
1	x	1	0	0	$2^{13}/f_{XT}$	250 ms		
1	x	1	0	1	$2^{14}/f_{XT}$	500 ms		
1	x	1	1	0	$2^{15}/f_{XT}$	1000 ms		
1	x	1	1	1	$2^{16}/f_{XT}$	2000 ms		

(2) ウオッヂドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッヂドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード／ライト可能です。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFF6D1H

WDTE	7	6	5	4	3	2	1	0

- 注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。
2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。
3. 意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。ただし、ウォッヂドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んでもオーバフロー信号は発生しません。
4. WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

11.4 動 作

ウォッヂドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッヂドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッヂドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッヂドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号 (WDT2RES) またはノンマスカブル割り込み要求信号 (INTWDT2) が発生します。

WDTM2.WDM21ビット = 1 (リセット・モード) に設定している場合、リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

ウォッヂドッグ・タイマ2を使用しない場合は、WDTM2レジスタに00Hを書き込んでください。

また、ノンマスカブル割り込み要求モードに設定した場合、ノンマスカブル割り込み処理については19.2.2(2) INTWDT2信号の場合を参照してください。

第12章 リアルタイム出力機能 (RTO)

12.1 機能

RTBL0, RTBH0レジスタにあらかじめ設定したデータを、タイマ割り込みの発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能 (RTO) といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより、ジッタのない信号を出力できますので、ステッピング・モータなどの制御に最適です。

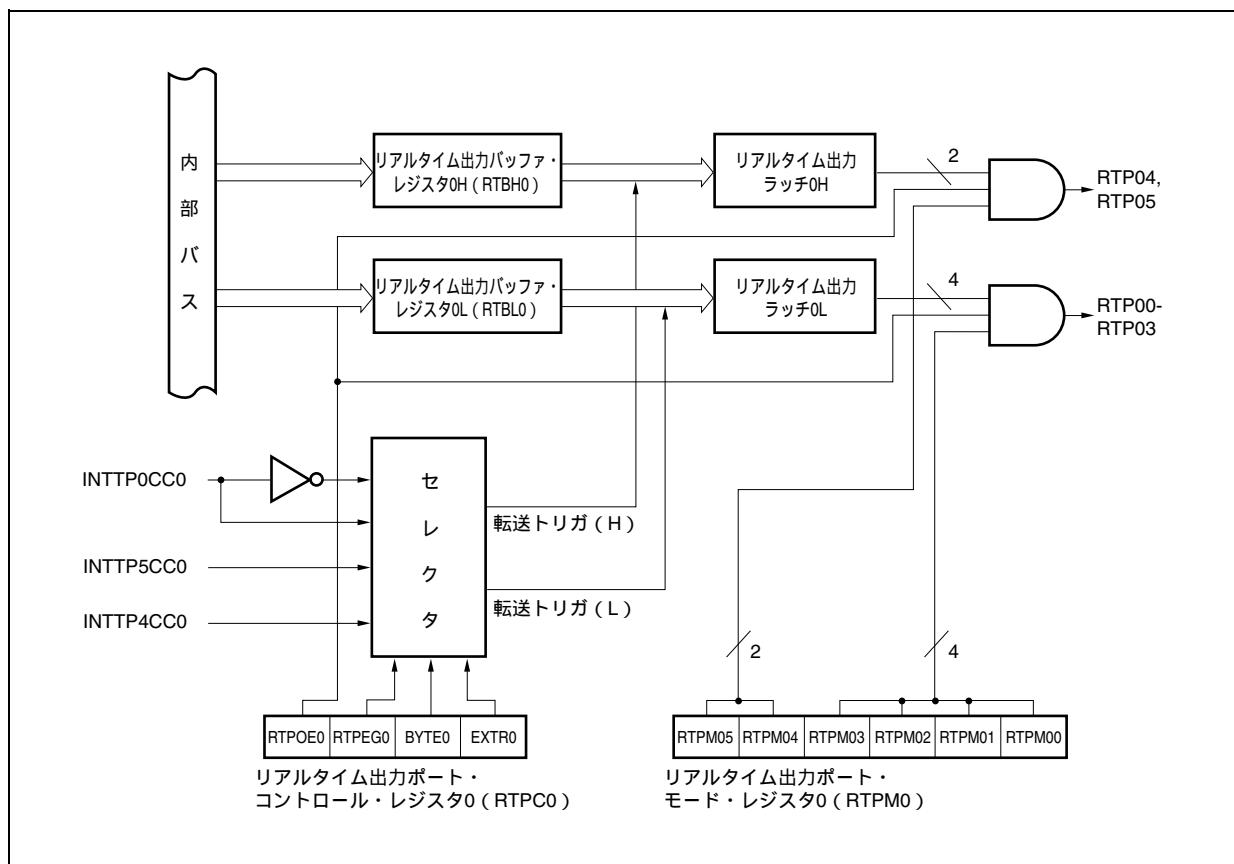
V850ES/JG2では、6ビット・リアルタイム出力ポートを1チャネル搭載しています。

1ビット単位でポート・モード / リアルタイム出力ポート・モードの指定ができます。

12.2 構成

次にRTOのブロック図を示します。

図12-1 RTOのブロック図



RTOは、次のハードウェアで構成しています。

表12-1 RTOの構成

項目	構成
レジスタ	リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)
制御レジスタ	リアルタイム出力ポート・モード・レジスタ0 (RTPM0) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

(1) リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは、周辺I/Oレジスタ領域内でそれぞれ独立したアドレスにマッピングされています。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

4ビット×1チャネル、2ビット×1チャネルの動作モードを指定したとき (RTPC0.BYTE0ビット = 0) は、RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャネルの動作モードを指定したとき (BYTE0ビット = 1) は、RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表12 - 2にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

リセット時 : 00H R/W アドレス : RTBL0 FFFFFF6E0H, RTBH0 FFFFFF6E2H							
RTBL0	7 6 5 4 3 2 1 0						
			RTBL03 RTBL02 RTBL01 RTBL00				
RTBH0	0	0	RTBH05	RTBH04			

注意1. RTBH0レジスタのビット6, 7への書き込み時は、必ず“0”を書き込んでください。
 2. 次に示す状態において、RTBL0, RTBH0レジスタへのアクセスは禁止です。詳細は3.4.8(2)
 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。
 • CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
 • CPUが内蔵発振クロックで動作している場合

表12 - 2 RTBL0, RTBH0レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時		ライト時 ^注	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャネル、 2ビット×1チャネル	RTBL0	RTBH0	RTBL0	無効	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	無効
6ビット×1チャネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

注 リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

12.3 レジスタ

RTOは、次の2種類のレジスタで制御します。

- リアルタイム出力ポート・モード・レジスタ0 (RTPM0)
- リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

(1) リアルタイム出力ポート・モード・レジスタ0 (RTPM0)

RTPM0レジスタは、リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFF6E4H								
RTPM0	7	6	5	4	3	2	1	0
	0	0	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00
RTPM0m	リアルタイム出力ポートの制御 (m = 0-5)							
0	リアルタイム出力禁止							
1	リアルタイム出力許可							

注意1. リアルタイム出力動作を許可 (RTPC0.RTPOE0ビット = 1) することにより、 RTP00-RTP05信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。

2. リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は、 RTPM0レジスタの設定にかかわらず、リアルタイム出力端子 (RTP00-RTP05) は全ビット“0”を出力します。

3. リアルタイム出力端子 (RTP00-RTP05) として使用するには、PMC, PFCレジスタでリアルタイム出力ポートに設定してください。

(2) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

RTPC0レジスタは、リアルタイム出力ポートの動作モード、および出力トリガを設定するレジスタです。リアルタイム出力ポートの動作モードと出力トリガについては表12-3に示すような関係があります。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFF6E5H

	⑦	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0	0

RTPOE0	リアルタイム出力の動作制御
0	動作禁止 ^{注1}
1	動作許可

RTPEG0	INTTP0CC0信号の有効エッジ
0	立ち下がりエッジ ^{注2}
1	立ち上がりエッジ

BYTE0	リアルタイム出力のチャネル構成指定
0	4ビット×2チャネル、2ビット×2チャネル
1	6ビット×2チャネル

- 注1. リアルタイム出力動作禁止 (RTPOE0ビット = 0) の場合、リアルタイム出力信号 (RTP00-RTP05) は全ビット “0” を出力します。
2. INTTP0CC0信号は、TMP0で選択しているカウント・クロックの1クロック分出力されます。

注意 RTPEG0, BYTE0, EXTR0ビットの設定は、必ずRTPOE0ビット = 0のときに行ってください。

表12-3 リアルタイム出力ポートの動作モードと出力トリガ

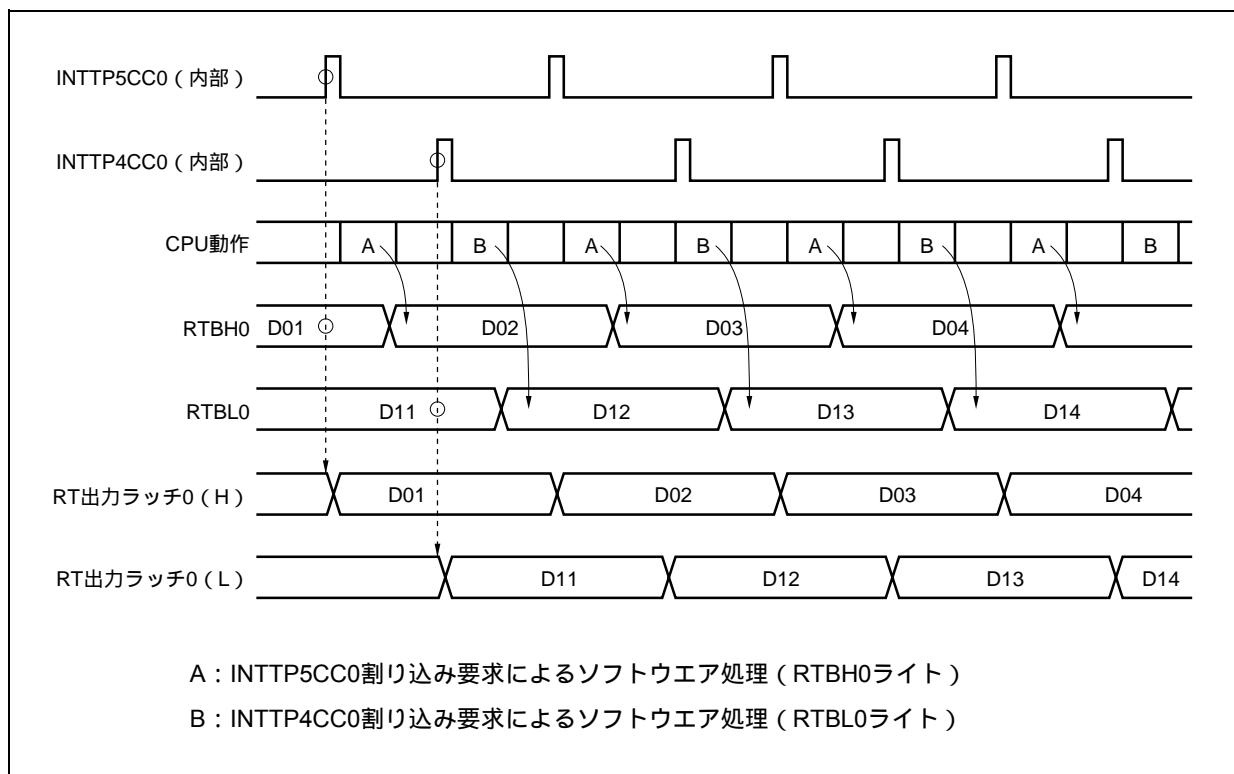
BYTE0	EXTR0	動作モード	RTBH0 (RTP04, RTP05)	RTBL0 (RTP00-RTP03)
0	0	4ビット×1チャネル、 2ビット×1チャネル	INTTP5CC0	INTTP4CC0
	1		INTTP4CC0	INTTP0CC0
1	0	6ビット×1チャネル	INTTP4CC0	
	1		INTTP0CC0	

12.4 動 作

RTPC0.RTPOE0ビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPC0.EXTR0, BYTE0ビットで設定) の発生に同期して、RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により、リアルタイム出力を許可されたビットのデータのみをRTP00-RTP05のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は、RTPM0レジスタの設定に関係なくRTP00-RTP05信号は0を出力します。

図12-2 RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合)



備考 スタンバイ時の動作については、第21章 スタンバイ機能を参照してください。

12.5 使用方法

(1) リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

(2) 初期設定

- ポート5の兼用端子を設定する。

PFC5.PFC5mビット, PFCE5.PFCE5mビットに1を設定後, PMC5.PMC5mビットに1を設定する ($m = 0\text{--}5$)。

- ビット単位でリアルタイム出力ポート・モード / ポート・モードを指定する。

RTPM0レジスタを設定。

- チャネル構成, トリガおよび有効エッジを選択する。

RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。

- 初期値をRTBH0, RTBL0レジスタに設定する^{#1}。

(3) リアルタイム出力動作を許可する。

RTPOE0ビット = 1に設定。

(4) 選択した転送トリガが発生するまでに, 次の出力値をRTBH0, RTBL0レジスタに設定する^{#2}。

(5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき, RTBH0, RTBL0レジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき, RTBH0, RTBL0レジスタに対してライトを行っても, リアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lにデータ転送はされません。

12.6 注意事項

(1) ソフトウェアにより, 次の競合を回避してください。

- リアルタイム出力動作の禁止 / 許可の切り替え (RTPOE0ビット) と選択したリアルタイム出力トリガとの競合
- リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

(2) 初期設定は, リアルタイム出力動作を禁止 (RTPOE0ビット = 0) にしてから行ってください。

(3) 一度リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は, リアルタイム出力動作を許可 (RTPOE0ビット = 0 → 1) する前に, 必ずRTBH0, RTBL0レジスタに初期値を設定してください。

第13章 A/Dコンバータ

13.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能、12チャネル：ANI0-ANI11端子の構成になっています。

次にA/Dコンバータの特徴について示します。

10ビット分解能

12チャネル

逐次比較変換方式

動作電圧： $AV_{REF0} = 3.0 \sim 3.6 \text{ V}$

アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$

動作モードとして、次の機能があります。

- ・連続セレクト・モード
- ・連続スキャン・モード
- ・ワンショット・セレクト・モード
- ・ワンショット・スキャン・モード

トリガ・モードとして、次の機能があります。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（外部1本）
- ・タイマ・トリガ・モード

パワー・フェイル監視機能（変換結果比較機能）

13.2 機 能

(1) 10ビット分解能A/D変換

アナログ入力をANI0-ANI11から1チャネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

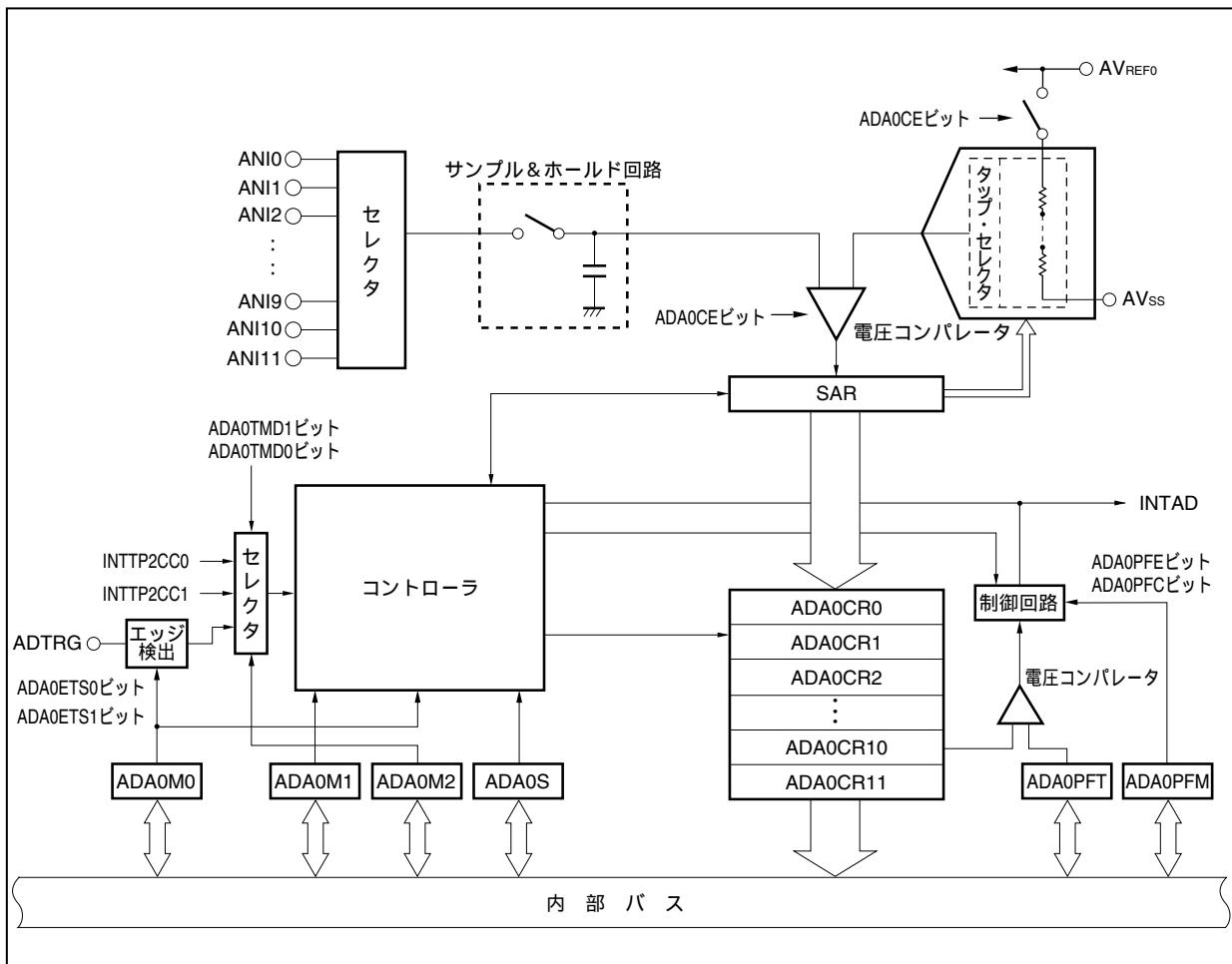
(2) パワー・フェイル検出機能

バッテリ電圧低下を検出するための機能です。A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します（ $n = 0-11$ ）。

13.3 構成

次にブロック図を示します。

図13-1 A/Dコンバータのブロック図



A/Dコンバータは、次のハードウェアで構成しています。

表13-1 A/Dコンバータの構成

項目	構成
アナログ入力	12チャネル (ANI0-ANI11端子)
レジスタ	逐次変換レジスタ (SAR) A/D変換結果レジスタ0-11 (ADA0CR0-ADA0CR11) A/D変換結果レジスタ0H-11H (ADCR0H-ADCR11H) : 上位8ビットだけ読み出し可能
制御レジスタ	A/Dコンバータ・モード・レジスタ0-2 (ADA0M0-ADA0M2) A/Dコンバータ・チャネル指定レジスタ0 (ADA0S) パワー・フェイル比較モード・レジスタ (ADA0PFM) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し，その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了），SARレジスタの内容はADA0CRnレジスタに転送されます。

備考 n = 0-11

(2) A/D変換結果レジスタn (ADA0CRn) , A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。12本のレジスタで構成されており，A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

(3) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行うレジスタです。

(4) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

A/D変換するアナログ入力の変換時間を設定するレジスタです。

(5) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを設定するレジスタです。

(6) A/Dコンバータ・チャネル指定レジスタ (ADA0S)

A/D変換するアナログ電圧の入力ポートを設定するレジスタです。

(7) パワー・フェイル比較モード・レジスタ (ADA0PFM)

パワー・フェイル監視モードを設定するレジスタです。

(8) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタnH (ADA0CRnH) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CRnH) が比較されます。

(9) 制御回路

A/D変換が終了するか，パワー・フェイル検出機能使用時，A/D変換結果 (ADA0CRnHレジスタ値) と ADA0PFTレジスタの値との大小比較を行い，比較条件に合致した場合のみINTAD信号を発生します。

(10) サンプル&ホールド回路

サンプル&ホールド回路は，入力回路で選択されたアナログ入力信号をサンプリングし，電圧コンバータに送ります。また，そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(11) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値と直列抵抗ストリングの出力電圧を比較します。

(12) 直列抵抗ストリング

直列抵抗ストリングはAV_{REF0}-AV_{ss}間に接続されており、アナログ入力と比較する電圧を発生します。

(13) ANI0-ANI11端子

A/Dコンバータへの12チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

注意 ANI0-ANI11端子入力電圧は規格の範囲内で使用してください。特にAV_{REF0}以上の電圧が入力されると、そのチャネルの変換値が不定となり、またほかのチャネルの変換値にも影響を与えることがあります。

(14) AV_{REF0}端子

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

AV_{REF0}, AV_{ss}間にかかる電圧に基づいて、ANI0-ANI11端子に入力される信号をデジタル信号に変換します。

(15) AV_{ss}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{ss}端子と同電位で使用してください。

13.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ0, 1, 2 (ADA0M0, ADA0M1, ADA0M2)
- ・A/Dコンバータ・チャネル指定レジスタ0 (ADA0S)
- ・パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- ・A/D変換結果レジスタn (ADA0CRn)
- ・A/D変換結果レジスタnH (ADA0CRnH)
- ・パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

注意 次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

(1/2)

リセット時 : 00H R/W アドレス : FFFFF200H								
ADA0M0	(7)	6	5	4	3	2	1 (0)	
	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF
ADA0CE A/D変換動作の制御								
0 A/D変換動作停止								
1 A/D変換動作許可								
ADA0MD1 ADA0MD0 A/Dコンバータ動作モードを指定								
0 0 連続セレクト・モード								
0 1 連続スキャン・モード								
1 0 ワンショット・セレクト・モード								
1 1 ワンショット・スキャン・モード								

ADA0ETS1	ADA0ETS0	外部トリガ(ADTRG端子)入力の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり / 立ち下がり両エッジ検出

ADA0TMD	トリガ・モードを指定
0	ソフトウェア・トリガ・モード
1	外部トリガ・モード / タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

- 注意1. ピット0に書き込みを行った場合、書き込みは無視されます。
2. A/D変換動作許可中(ADA0CEピット = 1)は、ADA0M1.ADA0FR2-ADA0FR0ピットの変更は禁止です。
 3. 次のモードでは、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みはA/D変換動作停止(ADA0CEピット = 0)の状態で行い、その後でA/D変換動作許可(ADA0CEピット = 1)してください。
 - ・通常変換モード
 - ・高速変換モードのワンショット・セレクト・モード / ワンショット・スキャン・モード
 - また、そのほかのモードでA/D変換動作中(ADA0EFピット = 1)にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようにになります。
 - ・ソフトウェア・トリガ・モード時
A/D変換動作は中断され、再度、最初から変換動作を行います。
 - ・ハードウェア・トリガ・モード時
A/D変換動作は中断され、再度、トリガ待機状態になります。
 4. 外部トリガ・モード / タイマ・トリガ・モードを選択する場合(ADA0TMDピット = 1)は、高速変換モード(ADA0M1.ADA0HS1ピット = 1)に設定してください。また、A/D変換動作許可(ADA0CEピット = 1)したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
 5. A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEピット = 0として動作を停止させてください。

(2) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	0	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	A/D変換時間の通常変換モード / 高速変換モードを指定
0	通常変換モード
1	高速変換モード

- 注意1.** A/D変換動作許可中 (ADA0M0.ADA0CEビット = 1) は, ADA0M1レジスタの変更は禁止です。
2. 外部トリガ・モード / タイマ・トリガ・モードを選択する場合(ADA0M0.ADA0TMDビット = 1) は, 高速変換モード (ADA0HS1ビット = 1) に設定してください。
また, A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
 3. ビット6-3には必ず“0”を設定してください。

備考 A/D変換時間の設定例は表13 - 2, 表13 - 3を参照してください。

表13-2 通常変換モード時の変換時間の選択 (ADA0HS1ビット = 0)

ADA0FR2- ADA0FR0 ビット	A/D変換時間				
	安定時間 + 変換時間 + ウエイト時間	$f_{xx} = 20\text{ MHz}$	$f_{xx} = 16\text{ MHz}$	$f_{xx} = 4\text{ MHz}$	トリガ 応答時間
000	$13/f_{xx} + 26/f_{xx} + 26/f_{xx}$	設定禁止	設定禁止	$16.25\ \mu\text{s}$	$4/f_{xx}$
001	$26/f_{xx} + 52/f_{xx} + 52/f_{xx}$	$6.5\ \mu\text{s}$	$8.125\ \mu\text{s}$	設定禁止	$5/f_{xx}$
010	$39/f_{xx} + 78/f_{xx} + 78/f_{xx}$	$9.75\ \mu\text{s}$	$12.1875\ \mu\text{s}$	設定禁止	$6/f_{xx}$
011	$50/f_{xx} + 104/f_{xx} + 104/f_{xx}$	$12.9\ \mu\text{s}$	$16.125\ \mu\text{s}$	設定禁止	$7/f_{xx}$
100	$50/f_{xx} + 130/f_{xx} + 130/f_{xx}$	$15.5\ \mu\text{s}$	$19.375\ \mu\text{s}$	設定禁止	$8/f_{xx}$
101	$50/f_{xx} + 156/f_{xx} + 156/f_{xx}$	$18.1\ \mu\text{s}$	$22.625\ \mu\text{s}$	設定禁止	$9/f_{xx}$
110	$50/f_{xx} + 182/f_{xx} + 182/f_{xx}$	$20.7\ \mu\text{s}$	設定禁止	設定禁止	$10/f_{xx}$
111	$50/f_{xx} + 208/f_{xx} + 208/f_{xx}$	$23.3\ \mu\text{s}$	設定禁止	設定禁止	$11/f_{xx}$

備考 安定時間 : A/Dコンバータのセットアップ時間 ($1\ \mu\text{s}$ 以上)

変換時間 : 実際にA/D変換にかかる時間 ($2.6\sim10.4\ \mu\text{s}$)

ウエイト時間 : 次の変換までに挿入されるウエイト時間

トリガ応答時間 : ソフトウェア・トリガ、外部トリガ、またはタイマ・トリガが安定時間経過後に発生した場合、変換時間の前に挿入されます。

通常変換モードでは、ADA0M0.ADA0CEビットをセット(1)してから、安定時間後に変換を開始し、変換時間 ($2.6\sim10.4\ \mu\text{s}$) の間だけA/D変換動作を行います。変換終了後、動作を停止し、ウエイト時間が経過してからA/D変換終了割り込み要求信号 (INTAD) が発生します。

ウエイト時間中は変換動作を停止しているため、動作電流を低減することができます。

注意1. $2.6\ \mu\text{s}$ 変換時間 $10.4\ \mu\text{s}$ になるように設定してください。

2. A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されます。

また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

表13-3 高速変換モード時の変換時間の選択 (ADA0HS1ビット = 1)

ADA0FR2- ADA0FR0 ビット	A/D変換時間				
	変換時間 (+ 安定時間)	fxx = 20 MHz	fxx = 16 MHz	fxx = 4 MHz	トリガ応答時間
000	26/fxx (+ 13/fxx)	設定禁止	設定禁止	6.5 μs (+ 3.25 μs)	4/fxx
001	52/fxx (+ 26/fxx)	2.6 μs (+ 1.3 μs)	3.25 μs (+ 1.625 μs)	設定禁止	5/fxx
010	78/fxx (+ 39/fxx)	3.9 μs (+ 1.95 μs)	4.875 μs (+ 2.4375 μs)	設定禁止	6/fxx
011	104/fxx (+ 50/fxx)	5.2 μs (+ 2.5 μs)	6.5 μs (+ 3.125 μs)	設定禁止	7/fxx
100	130/fxx (+ 50/fxx)	6.5 μs (+ 2.5 μs)	8.125 μs (+ 3.125 μs)	設定禁止	8/fxx
101	156/fxx (+ 50/fxx)	7.8 μs (+ 2.5 μs)	9.75 μs (+ 3.125 μs)	設定禁止	9/fxx
110	182/fxx (+ 50/fxx)	9.1 μs (+ 2.5 μs)	設定禁止	設定禁止	10/fxx
111	208/fxx (+ 50/fxx)	10.4 μs (+ 2.5 μs)	設定禁止	設定禁止	11/fxx

備考 変換時間 : 実際にA/D変換にかかる時間 (2.6 ~ 10.4 μs)

安定時間 : A/Dコンバータのセットアップ時間 (1 μs以上)

トリガ応答時間 : ソフトウェア・トリガ、外部トリガ、またはタイマ・トリガが安定時間経過後に発生した場合、変換時間の前に挿入されます。

高速変換モードでは、ADA0M0.ADA0CEビットをセット(1)してから、安定時間後に変換を開始し、変換時間 (2.6 ~ 10.4 μs) の間A/D変換動作を行います。変換終了後、ただちにA/D変換終了割り込み要求信号 (INTAD) が発生します。

連続変換モードの場合、1回目の変換前だけに安定時間が挿入され、2回目以降は安定時間が挿入されません (A/Dコンバータは起動したままで)。

注意1. 2.6 μs 変換時間 10.4 μsになるように設定してください。

2. 高速モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタの書き換え、およびトリガ入力を禁止します。

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード / ライト可能です。

リセットにより, 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTP2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTP2CC1割り込み要求発生時)
1	1	設定禁止

注意1. 次のモードでは, ADA0M2レジスタへの書き込みはA/D変換動作停止(ADA0M0.ADA0CEビット = 0)の状態で行い, そのあとでA/D変換動作許可(ADA0CEビット = 1)してください。

- 通常変換モード

- 高速変換モードのワンショット・セレクト・モード / ワンショット・スキャン・モード

- ビット7-2には必ず“0”を設定してください。

(4) A/Dコンバータ・チャネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより , 00Hになります。

リセット時 : 00H R/W アドレス : FFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANIO	ANIO
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	設定禁止	設定禁止
1	1	0	1	設定禁止	設定禁止
1	1	1	0	設定禁止	設定禁止
1	1	1	1	設定禁止	設定禁止

注意1. 次のモードでは , ADA0Sレジスタへの書き込みはA/D変換動作停止

(ADA0M0.ADA0CEビット = 0) の状態で行い , その後でA/D変換動作許可

(ADA0CEビット = 1) してください。

- 通常変換モード

- 高速変換モードのワンショット・セレクト・モード / ワンショット・スキャン・モード

- ビット7-4には必ず “0” を設定してください。

(5) A/D変換結果レジスタn, nH (ADA0CRn, ADA0CRnH)

ADA0CRn, ADA0CRnHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CRnレジスタを指定、8ビット・アクセス時はADA0CRnHレジスタを指定します。ADA0CRnレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CRnHレジスタには変換結果の上位8ビットが読み出されます。

注意 次に示す状態において、ADA0CRn, ADA0CRnHレジスタへのアクセスは禁止です。詳細は3.4.

8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：不定 R アドレス：ADA0CR0 FFFFF210H, ADA0CR1 FFFFF212H,
 ADA0CR2 FFFFF214H, ADA0CR3 FFFFF216H,
 ADA0CR4 FFFFF218H, ADA0CR5 FFFFF21AH,
 ADA0CR6 FFFFF21CH, ADA0CR7 FFFFF21EH,
 ADA0CR8 FFFFF220H, ADA0CR9 FFFFF222H,
 ADA0CR10 FFFFF224H, ADA0CR11 FFFFF226H

ADA0CRn (n = 0-11)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFF211H, ADA0CR1H FFFFF213H,
 ADA0CR2H FFFFF215H, ADA0CR3H FFFFF217H,
 ADA0CR4H FFFFF219H, ADA0CR5H FFFFF21BH,
 ADA0CR6H FFFFF21DH, ADA0CR7H FFFFF21FH,
 ADA0CR8H FFFFF221H, ADA0CR9H FFFFF223H,
 ADA0CR10H FFFFF225H, ADA0CR11H FFFFF227H

ADA0CRnH (n = 0-11)	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意 ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

アナログ入力端子 (ANI0-ANI11) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADA0CR^{\pm} = SAR \times 64$$

または ,

$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} < V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT () : ()内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

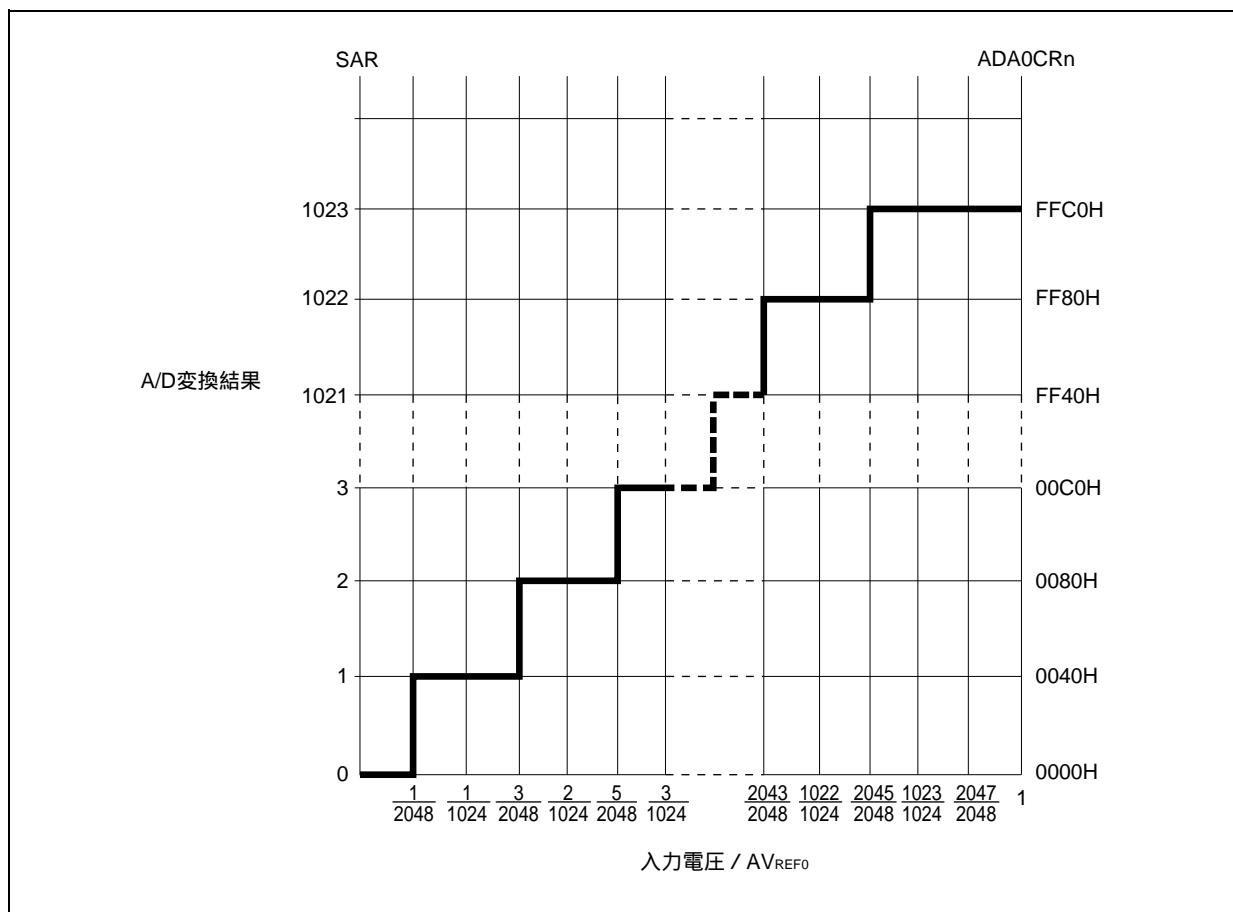
AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図13-2 アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFF204H

	⑦	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可／禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH < ADA0PFTで割り込み要求信号 (INTAD) を発生

- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合は割り込みを発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。
3. 次のモードではADA0PFMレジスタへの書き込みはA/D変換動作停止(ADA0M0.ADA0CEビット = 0)の状態で行い、その後でA/D変換動作許可(ADA0CEビット = 1)してください。
- ・通常変換モード
 - ・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

ADA0PFTレジスタは、パワー・フェイル比較モード時の比較値を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時 : 00H R/W アドレス : FFFFF205H

ADA0PFT	7	6	5	4	3	2	1	0

注意 次のモードでは、ADA0PFTレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、その後でA/D変換動作許可 (ADA0CEビット = 1) してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

13.5 動 作

13.5.1 基本動作

A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部／タイマ・トリガ・モード時はトリガ待機状態になります。

A/D変換が開始されると選択されたアナログ入力チャネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ(SAR)のビット9をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを(1/2)AV_{REF0}にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力が(1/2)AV_{REF0}よりも大きければ、SARレジスタのMSBをセットしたままで。また、(1/2)AV_{REF0}よりも小さければMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット9 = 1 : (3/4)AV_{REF0}
- ・ビット9 = 0 : (1/4)AV_{REF0}

この電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

アナログ入力電圧 電圧タップ：ビット8 = 1
アナログ入力電圧 電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

10ビットの比較が終了したとき、SARレジスタには有効なディジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。その後、A/D変換終了割り込み要求信号(INTAD)を発生します。

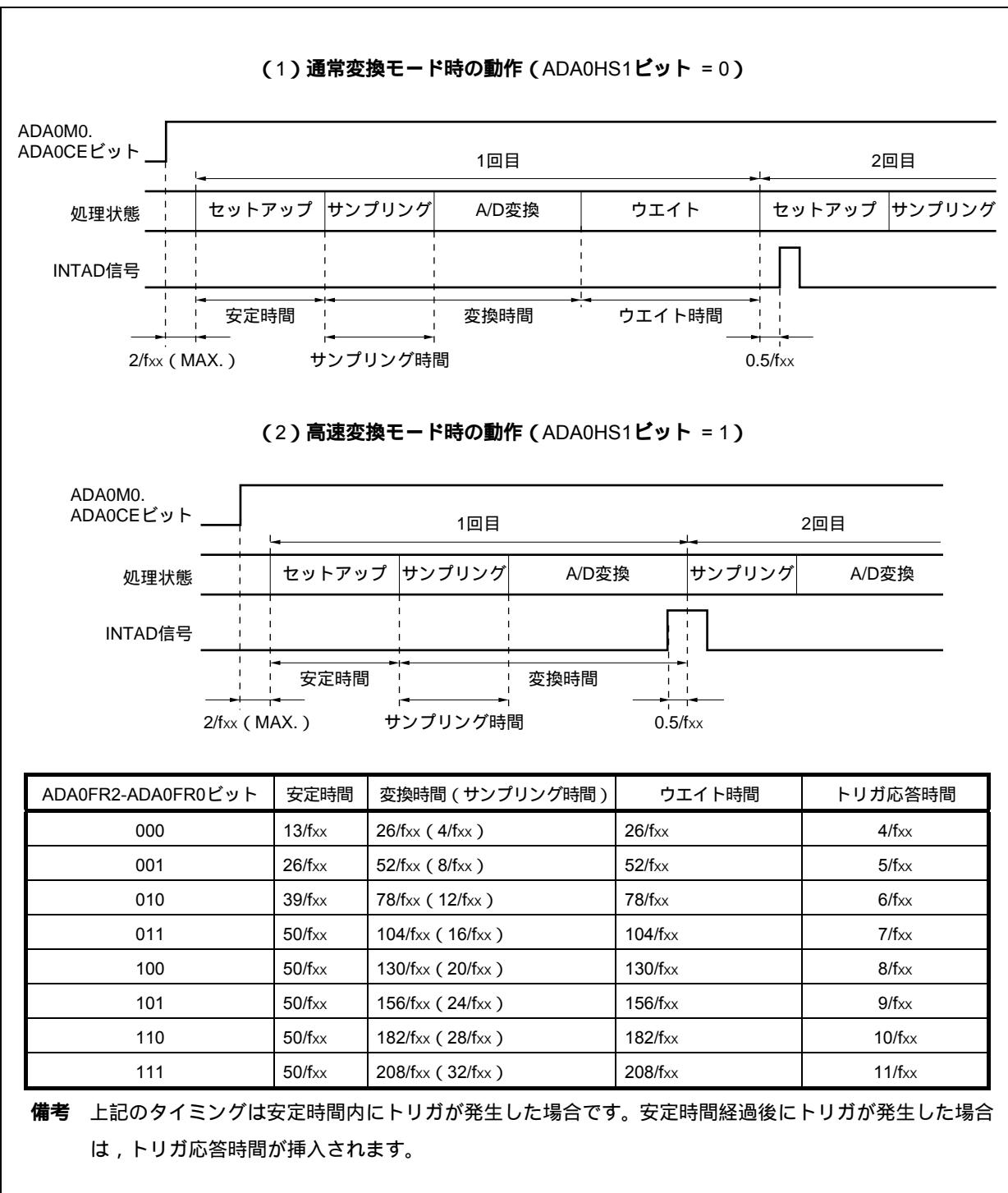
ワンショット・セレクト・モードの場合は、変換を停止します^注。ワンショット・スキャン・モードの場合は、スキャンを一巡すると停止します^注。連続セレクト・モードの場合はADA0M0.ADA0CEビット = 0とするまで～を繰り返します。連続スキャン・モードの場合もそれぞれのチャネルに対して～を繰り返します。

注 外部トリガ・モード、タイマ・トリガ・モード0、タイマ・トリガ・モード1時はトリガ待機状態になります。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

13.5.2 変換動作タイミング

図13-3 変換動作タイミング(連続変換)



13.5.3 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1、外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、ハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

(1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力(ANI0-ANI11端子)に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号(INTAD)を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト/スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1(動作中)となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。ただし、通常変換モード時、高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

(2) 外部トリガ・モード

外部トリガ(ADTRG端子)の入力により、ADA0Sレジスタで指定したアナログ入力(ANI0-ANI11端子)に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ATA0ETS0ビットの設定により、外部トリガのエッジ検出(立ち上がり、立ち下がり、立ち上がり/立ち下がりの両エッジ)の指定ができます。ADA0CEビットをセット(1)設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト/連続スキャン/ワンショット・セレクト/ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1(動作中)となります。ただし、トリガ待機状態のときはADA0EFビット = 0(停止中)となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。ただし、ワンショット・セレクト・モード/ワンショット・スキャン・モード時の書き込みは禁止です。

注意 外部トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可(ADA0M0.ADA0CEビット = 1)したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ / コンペア・レジスタのコンペア一致割り込み要求信号 (INTTP2CC0, INTTP2CC1) により、ADA0Sレジスタで指定したアナログ入力 (ANI0-ANI11端子) に対し、変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により、INTTP2CC0, INTTP2CC1信号のいずれかを指定し、指定されたコンペア一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット (1) するとトリガ待機状態となり、タイマのコンペア一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト / 連続スキャン / ワンショット・セレクト / ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1(動作中)となります。ただし、トリガ待機状態の時はADA0EFビット = 0(停止中)となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度、トリガ待機状態になります。ただし、ワンショット・セレクト・モード / ワンショット・スキャン・モード時の書き込みは禁止です。

注意 タイマ・トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

13.5.4 動作モード

動作モードには, ANI0-ANI11端子を設定するモードとして, 連続セレクト・モード, 連続スキャン・モード, ワンショット・セレクト・モード, ワンショット・スキャン・モードの4つがあります。

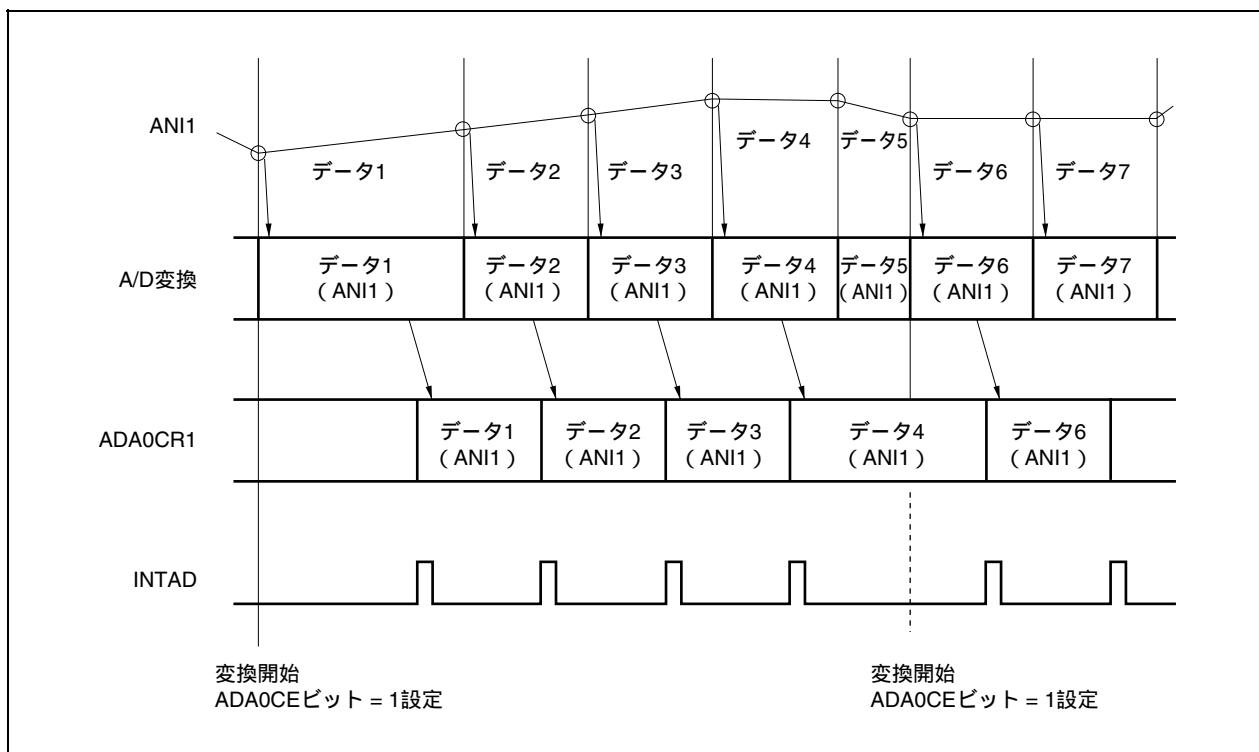
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており, 1回のA/D変換終了ごとにA/D変換終了割り込み要求信号(INTAD)が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり, 次の変換を繰り返し行います($n = 0-11$)。

図13-4 連続セレクト・モード動作タイミング例(ADA0Sレジスタ = 01H)



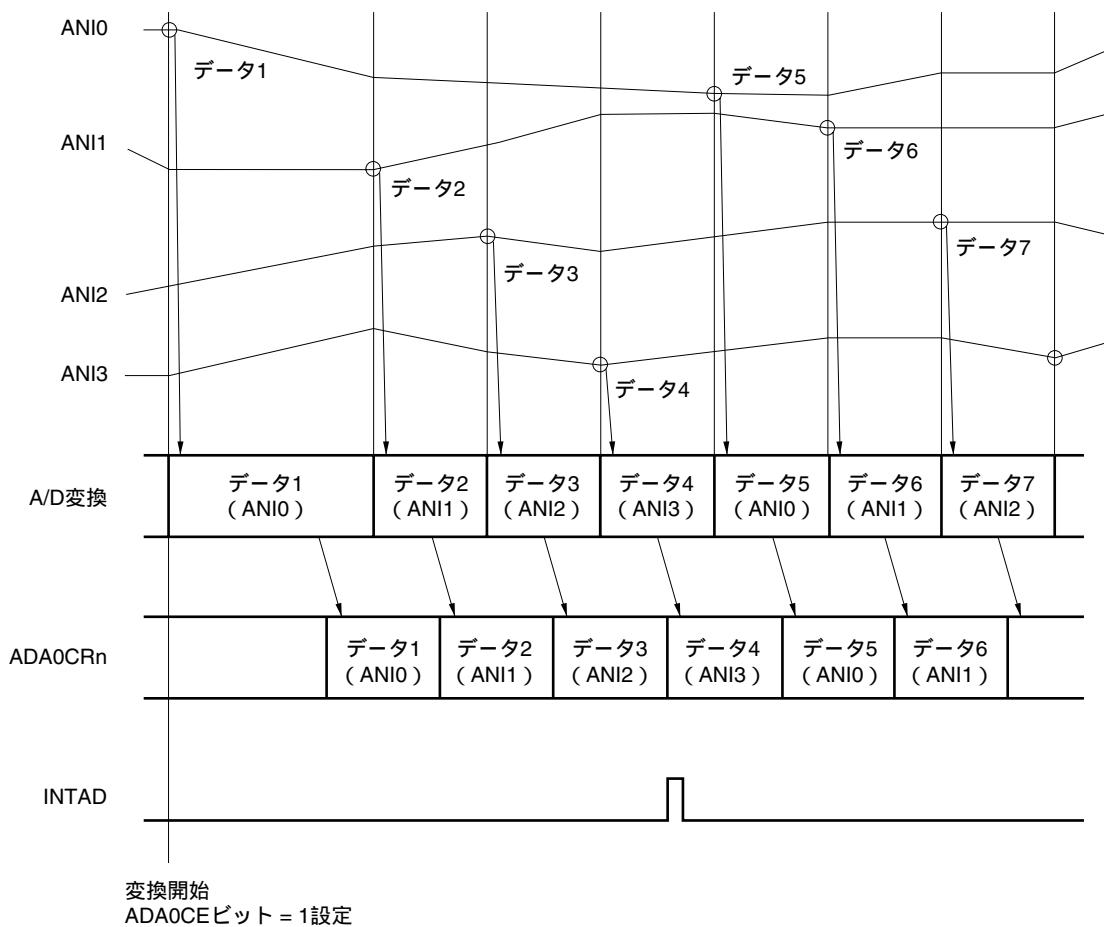
(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し,A/D変換を連続で行います。

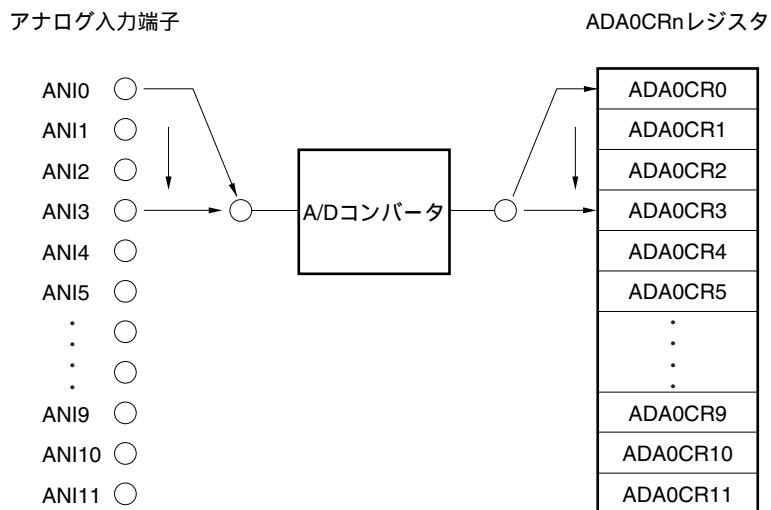
変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると, INTAD信号が発生し, ADA0CEビットを“0”にしないかぎり, 再びANI0端子からA/D変換を開始します($n = 0-11$)。

図13-5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

(a) タイミング例



(b) ブロック図

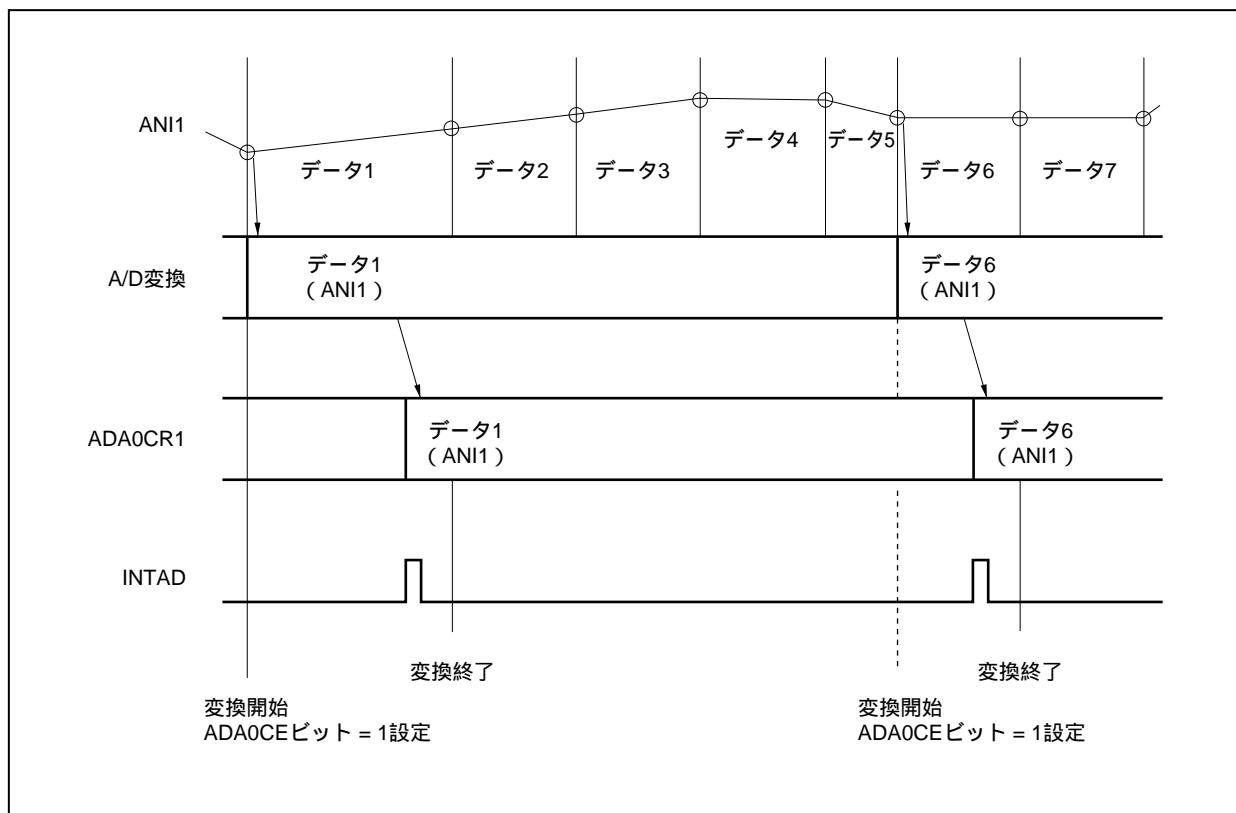


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します（n = 0-11）。

図13-6 ワンショット・セレクト・モード動作タイミング例（ADA0Sレジスタ = 01H）



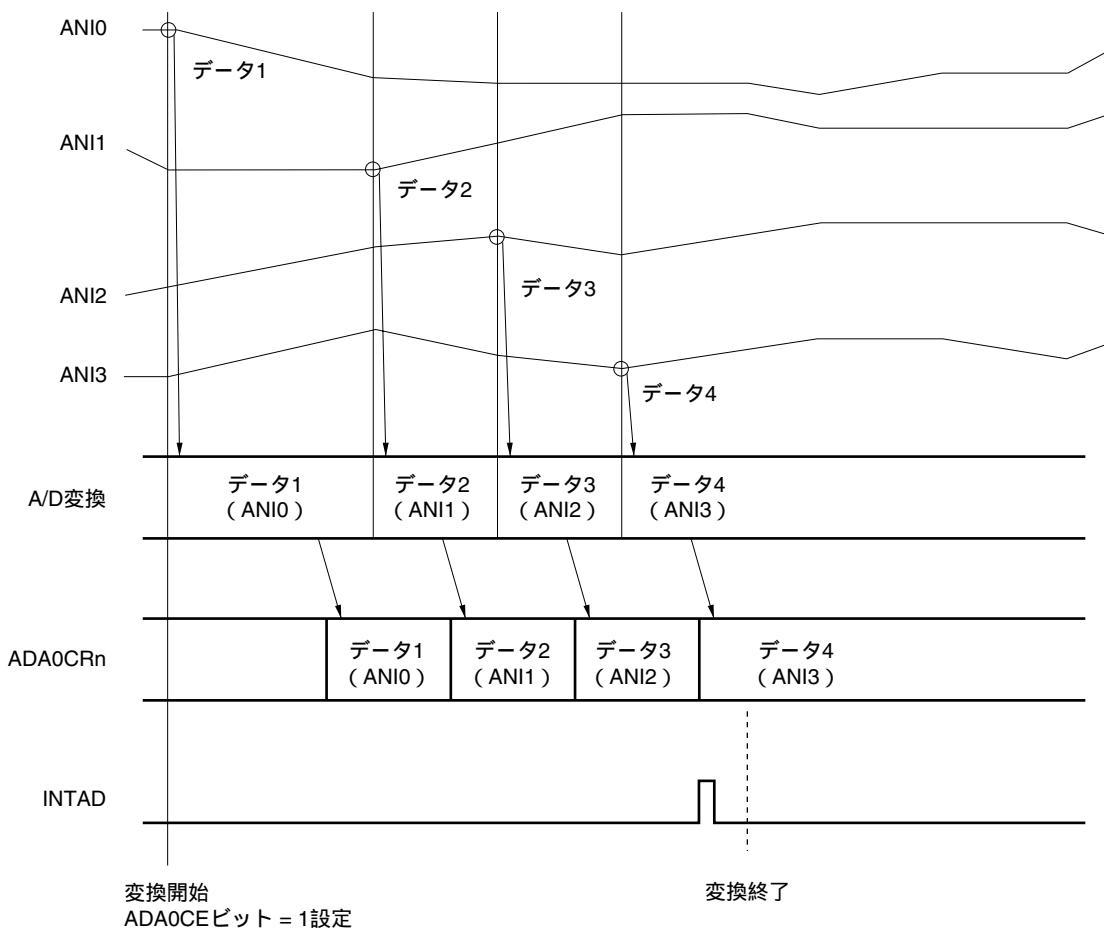
(4) ワンショット・スキャン・モード

ANIO端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

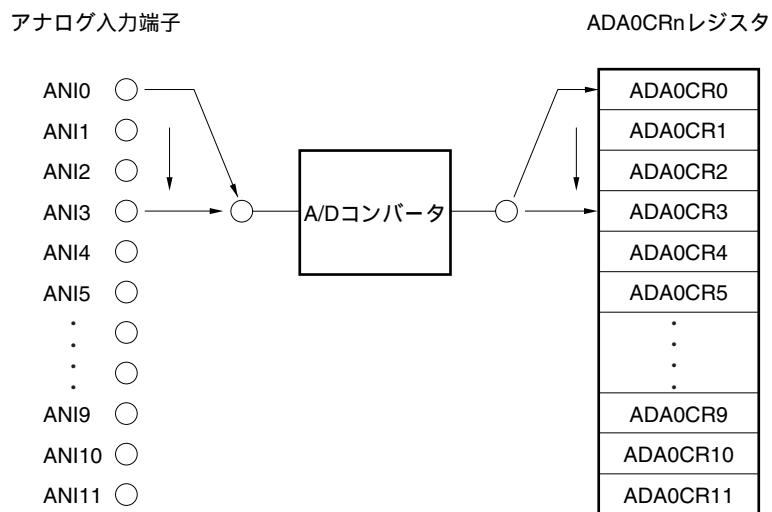
変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します（n = 0-11）。

図13-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H)

(a) タイミング例



(b) ブロック図



13.5.5 パワー・フェイル比較モード

ADA0PFM, ADA0PFTレジスタにより,A/D変換終了割り込み要求信号(INTAD)を次のように制御できます。

- ADA0PFM.ADA0PFEビット = 0の場合 , 変換終了ごとにINTAD信号が発生します (通常のA/Dコンバータとして使用) 。
- ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合 , 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し , ADA0CRnH < ADA0PFTの場合のみ , INTAD信号を発生します。
- ADA0PFEビット = 1かつADA0PFCビット = 1の場合 , 変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し , ADA0CRnH < ADA0PFTの場合のみ , INTAD信号を発生します。

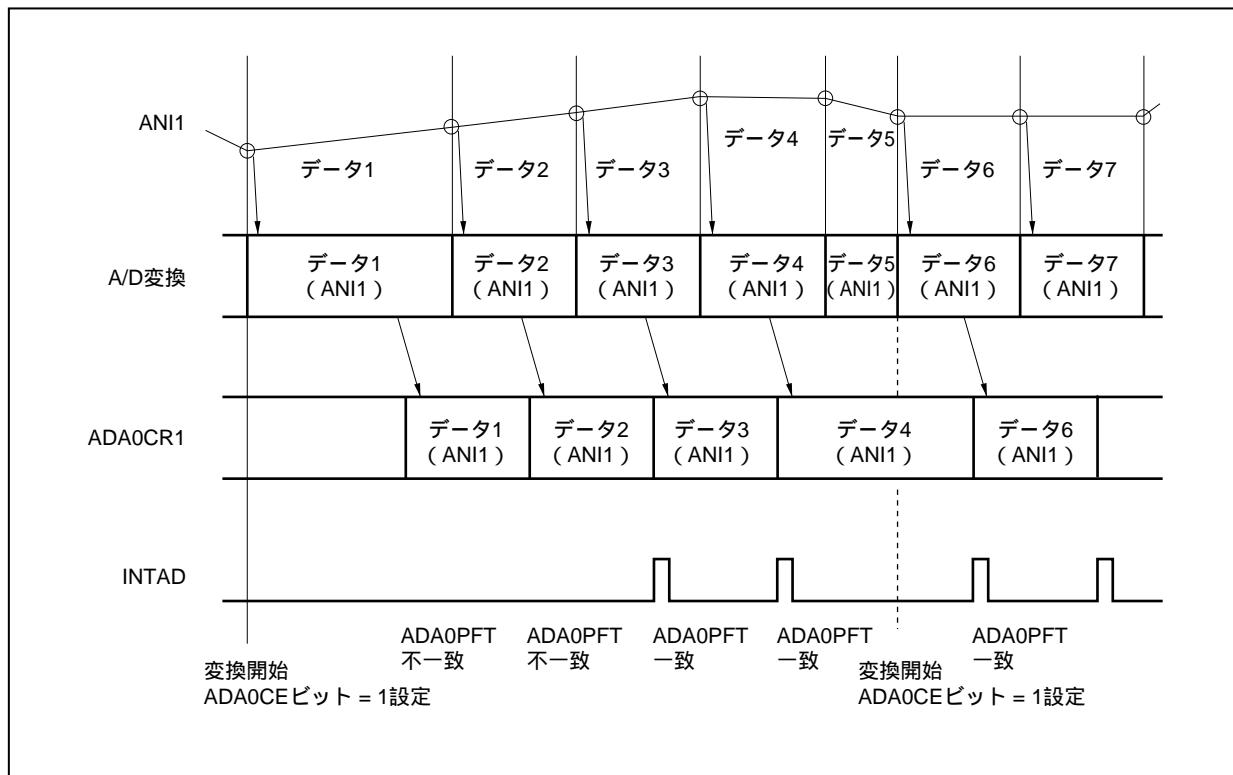
備考 n = 0-11

パワー・フェイル比較モードにもAN10-ANI11端子を設定するモードとして , 連続セレクト・モード , 連続スキャン・モード , ワンショット・セレクト・モード , ワンショット・スキャン・モードの4つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います（n = 0-11）。

図13-8 連続セレクト・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 01H）



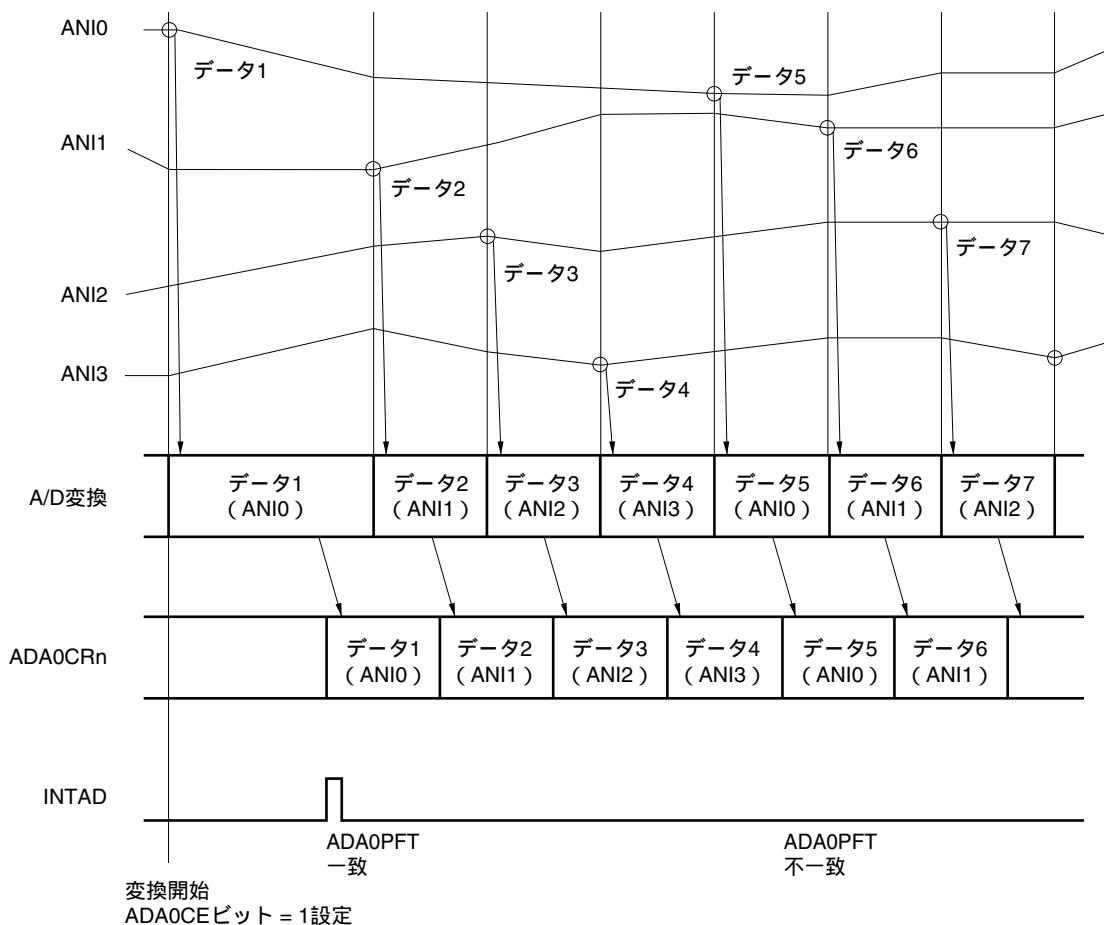
(2) 連続スキャン・モード

ANIO端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

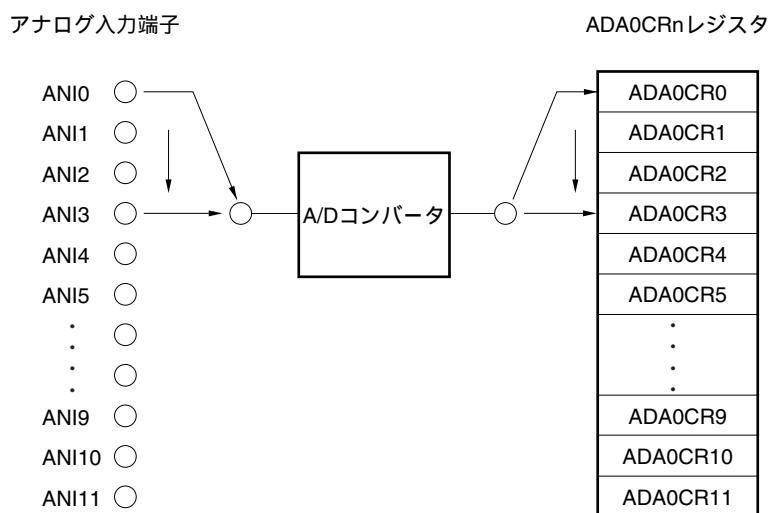
ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANIO端子から変換を開始します。

図13-9 連続スキャン・モード動作タイミング例（パワー・フェイル比較時：ADA0Sレジスタ = 03H）

(a) タイミング例



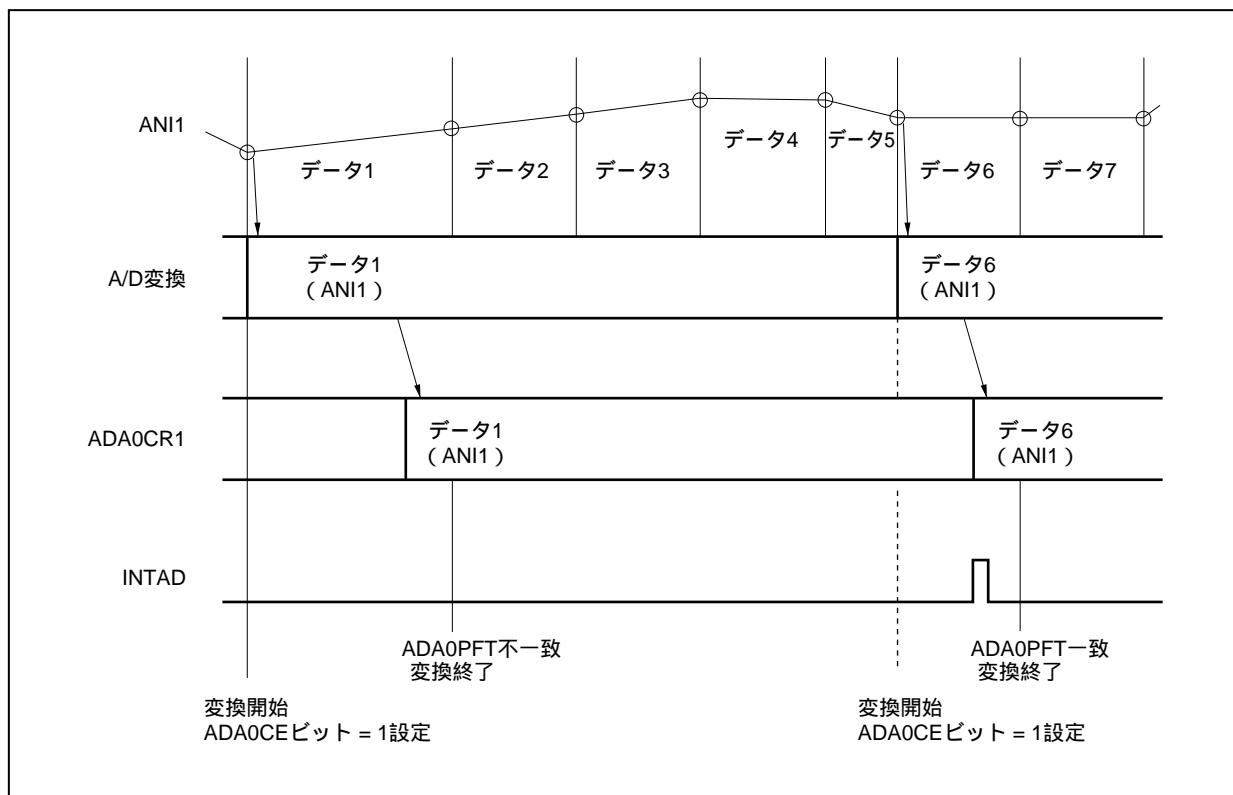
(b) ブロック図



(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後は変換を停止します。

図13-10 ワンショット・セレクト・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 01H)

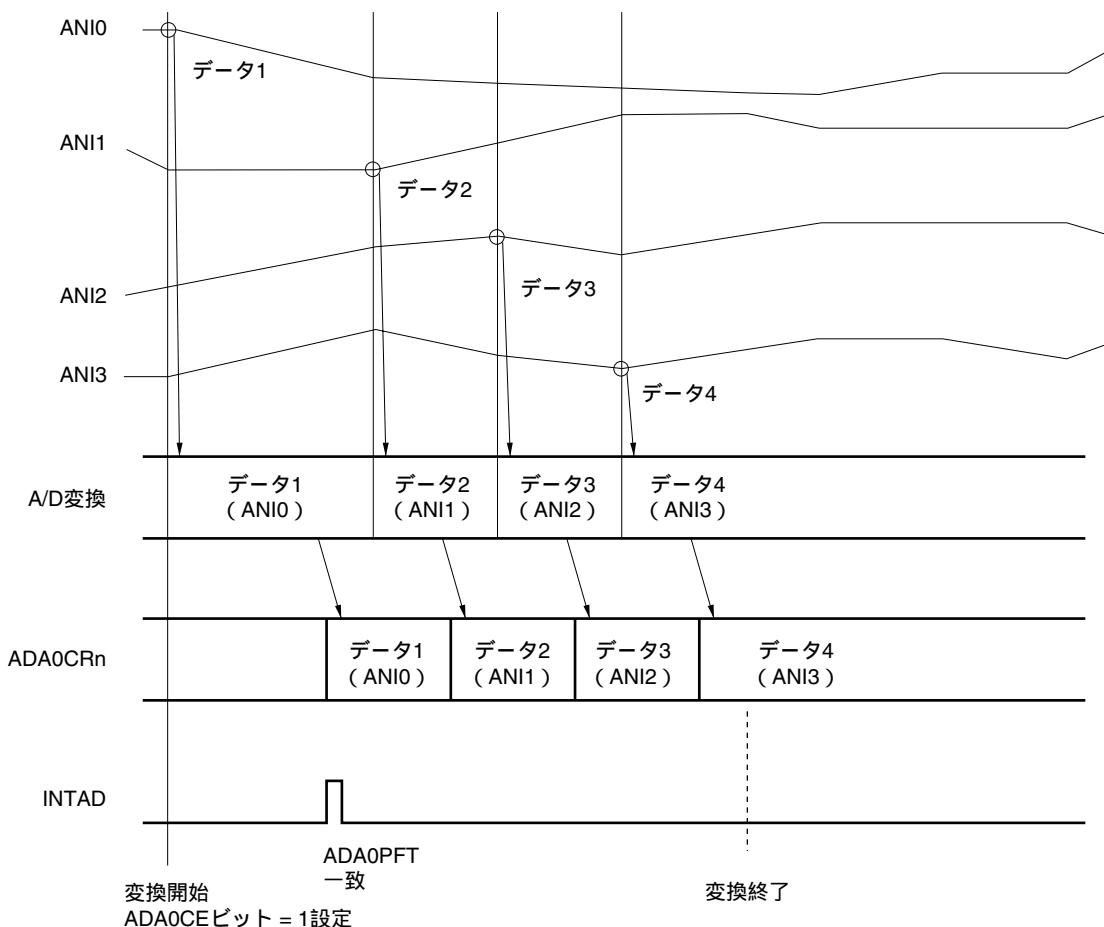


(4) ワンショット・スキャン・モード

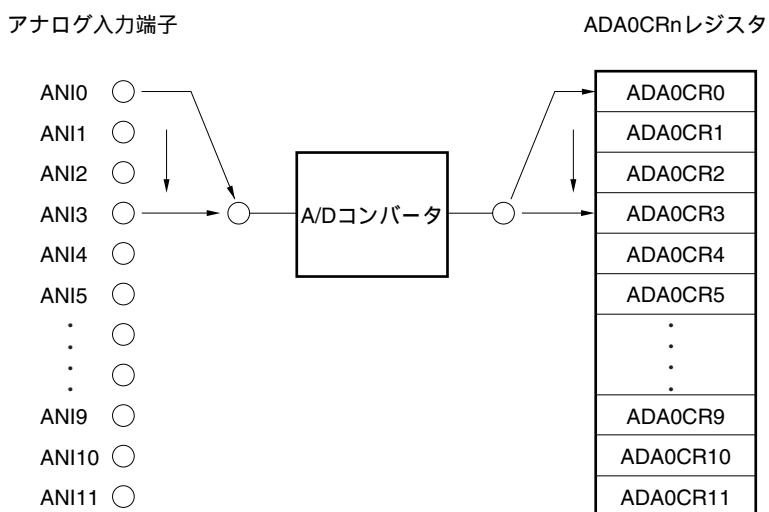
ANIO端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図13-11 ワンショット・スキャン・モード動作タイミング例(パワー・フェイル比較時: ADA0Sレジスタ = 03H)

(a) タイミング例



(b) ブロック図



13.6 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

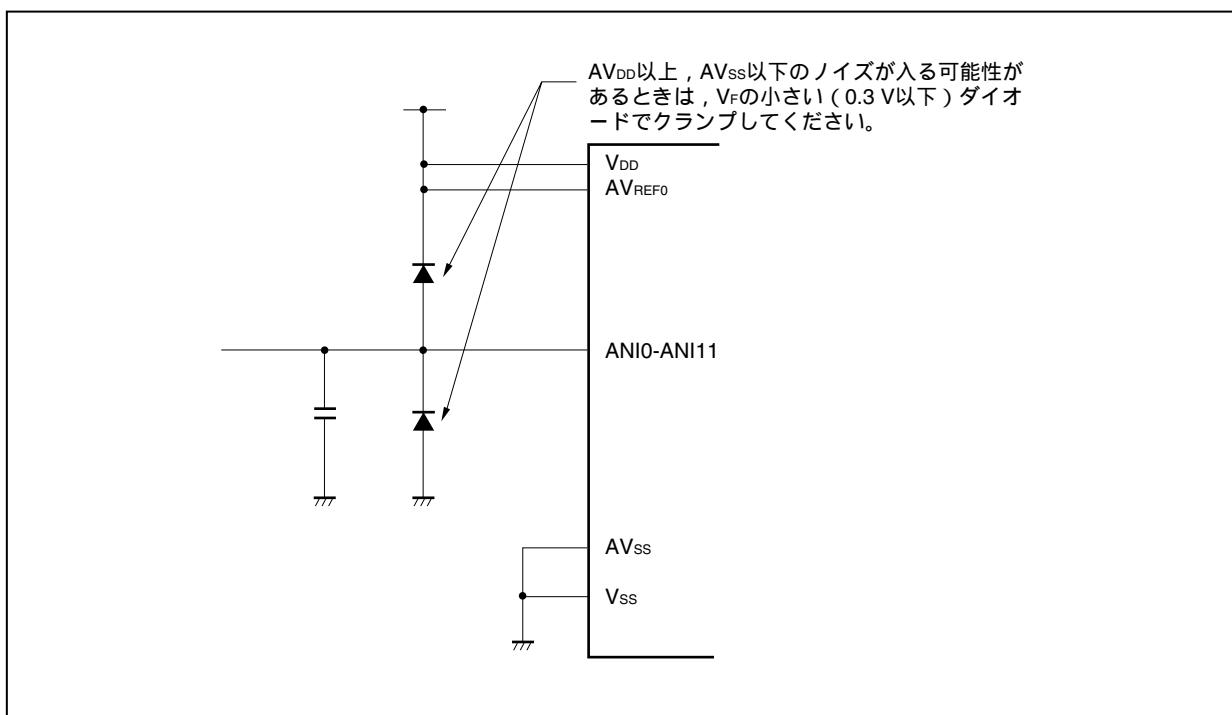
(2) ANI0-ANI11端子入力範囲について

ANI0-ANI11端子の入力電圧は規格の範囲内で使用してください。ただし、絶対最大定格の範囲内であってもAV_{REF0}以上、AV_{SS}以下の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANI0-ANI11端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13-12のようにコンデンサを外付けすることを推奨します。

図13-12 アナログ入力端子の処理



(4) 兼用入出力について

アナログ入力(ANI0-ANI11)端子はポート端子と兼用になっています。ANI0-ANI11端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

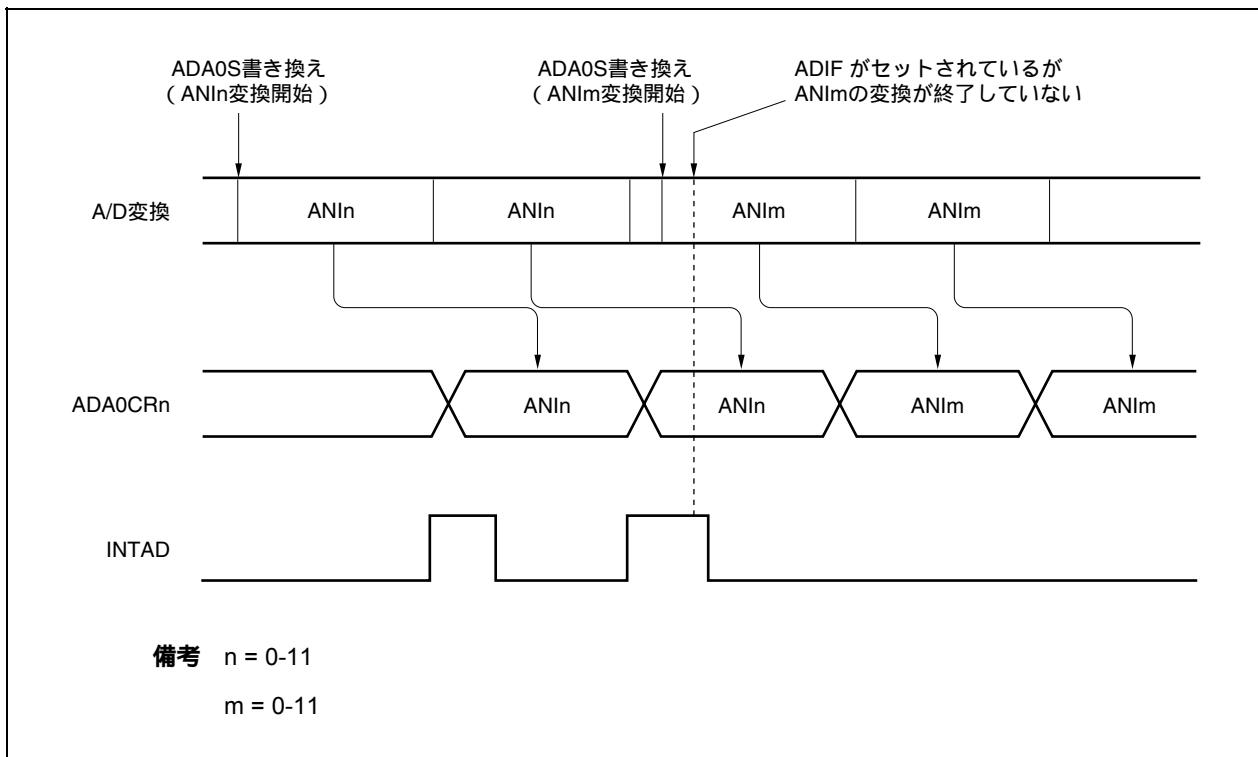
また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で出力電流が変動する場合も変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へディジタル・パルスを印加したりディジタル・パルスを出力したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。

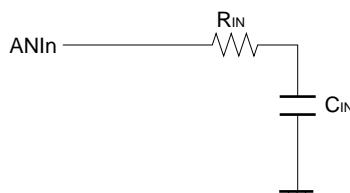
図13 - 13 A/D変換終了割り込み要求発生タイミング



(6) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図13 - 14 ANIn端子内部等価回路



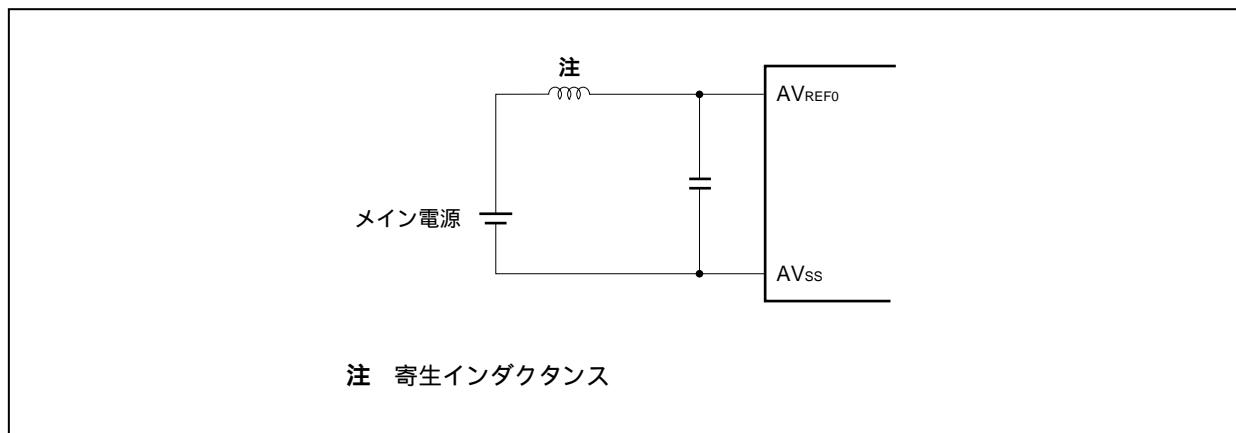
R_{IN}	C_{IN}
2 k Ω	4.9 pF

備考1. 値は参考値です。

2. n = 0-11

(7) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図13-15のように必ずV_{DD}と同じ電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図13-15のようにAV_{REF0}端子とAV_{ss}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値（ダイオード挿入など）が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図13-15 AV_{REF0}端子の処理例

(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFT レジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFT レジスタに対して書き込み動作を行う前に読み出してください。また、外部 / タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、次の外部 / タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(9) スタンバイ・モードについて

A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード、サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。

(10) 高速変換モードについて

高速変換モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTのレジスタの書き換え、およびトリガ入力を禁止します。

(11) A/D変換時間について

A/D変換時間は、安定時間、変換時間、ウエイト時間、およびトリガ応答時間の合計時間になります（それぞれの時間については、表13-2 通常変換モード時の変換時間の選択（ADA0HS1ビット=0）、表13-3 高速変換モード時の変換時間の選択（ADA0HS1ビット=1）を参照してください）。

通常変換モードでは、A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されます。

また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

(12) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

(13) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、その後、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きことがあります。

- ・同一チャネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

13.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、ディジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB(Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR(Full Scale Range)で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \% \text{FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようにになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

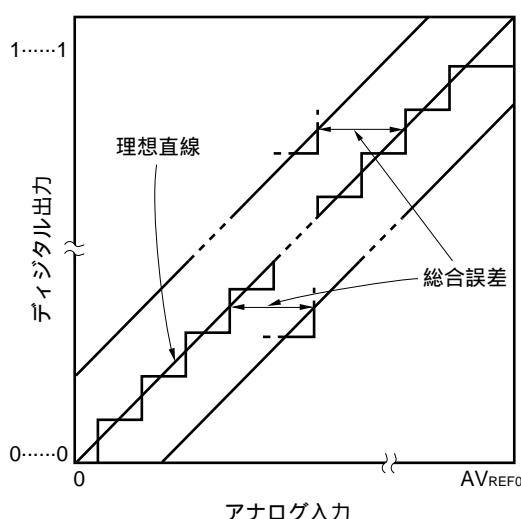
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図13-16 総合誤差

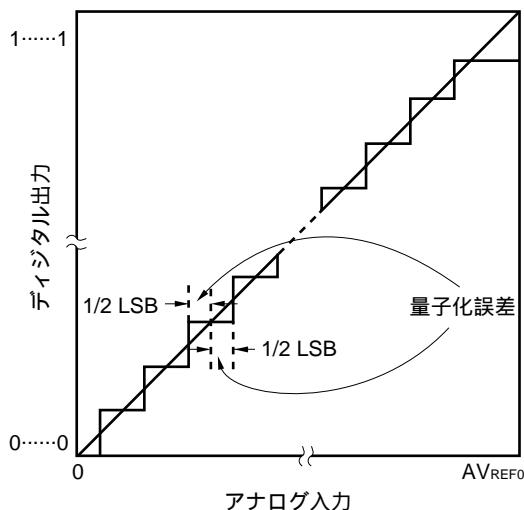


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

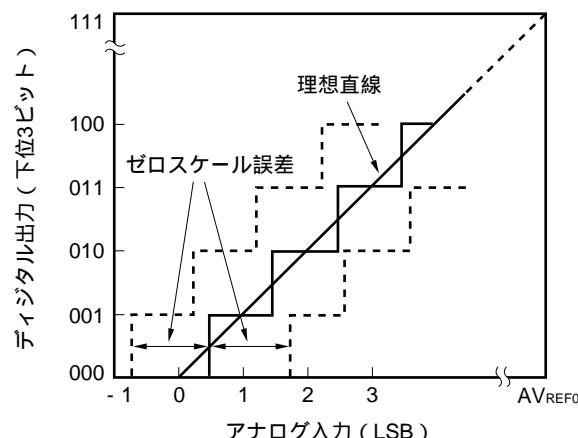
図13-17 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。

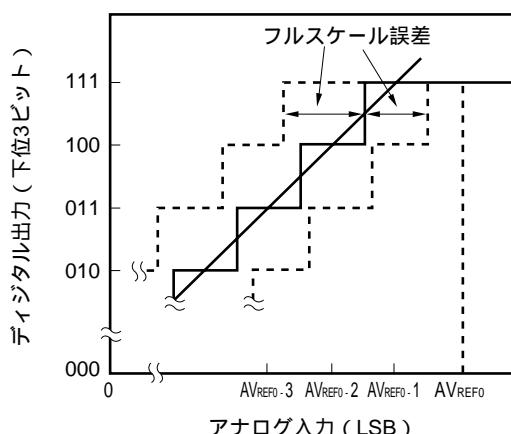
図13-18 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール - 3/2 LSB)との差を表します。

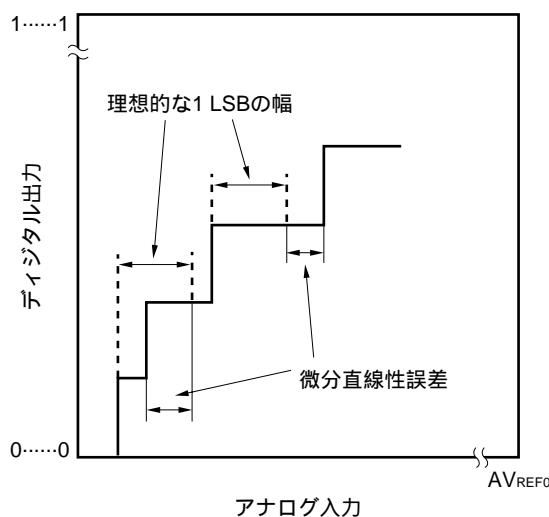
図13-19 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧をAV_{SS}からAV_{REF0}まで少しづつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、13.7(2)総合誤差を参照してください。

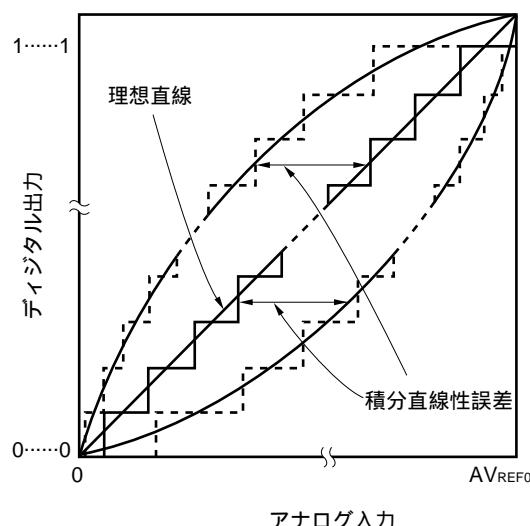
図13-20 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図13-21 積分直線性誤差



(8) 変換時間

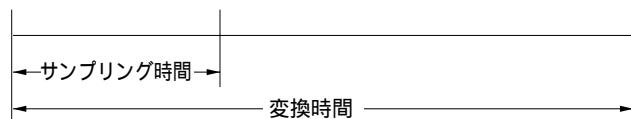
各トリガが発生してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図13-22 サンプリング時間



第14章 D/Aコンバータ

14.1 機能

D/Aコンバータには、次のような機能があります。

8ビット分解能×2ch (DA0CS0, DA0CS1)

R-2Rラダー方式

セトリング・タイム : $3 \mu\text{s}$ (MAX.) ($\text{AV}_{\text{REF}1} = 3.0 \sim 3.6 \text{ V}$, 外部負荷20 pF時)

アナログ出力電圧 : $\text{AV}_{\text{REF}1} \times m/256$ ($m = 0 \sim 255$; DA0CSnレジスタに設定した値)

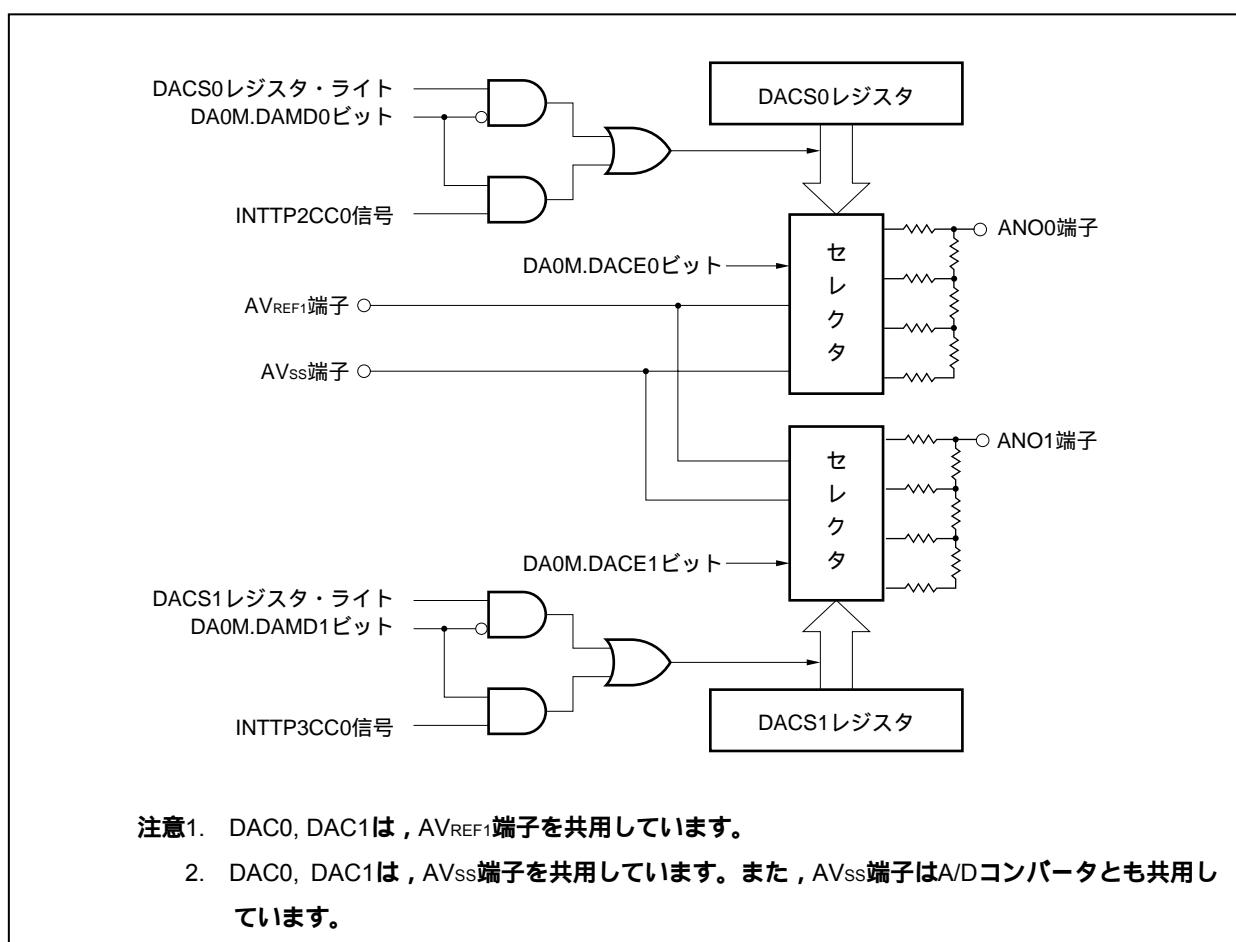
動作モード : 通常モード / リアルタイム出力モード

備考 n = 0, 1

14.2 構成

次にD/Aコンバータの構成について示します。

図14-1 D/Aコンバータのブロック図



D/Aコンバータは、次のハードウェアで構成されています。

表14 - 1 D/Aコンバータの構成

項目	構成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DA0M)
	D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

14.3 レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- D/Aコンバータ・モード・レジスタ (DA0M)
- D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

(1) D/Aコンバータ・モード・レジスタ (DA0M)

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFF282H

DA0M	7	6	⑤	④	3	2	1	0
	0	0	DA0CE1	DA0CE0	0	0	DA0MD1	DA0MD0

DA0CEn	D/Aコンバータの動作許可 / 禁止制御 (n = 0, 1)
0	動作禁止
1	動作許可

DA0MDn	D/Aコンバータの動作モードの選択 (n = 0, 1)
0	通常モード
1	リアルタイム出力モード注

注 リアルタイム出力モード (DA0MDnビット = 1) 時の出力トリガは、次のとあります。

- n = 0のとき : INTTP2CC0信号 (第7章 16ビット・タイマ / イベント・カウンタP (TMP) 参照)
- n = 1のとき : INTTP3CC0信号 (第7章 16ビット・タイマ / イベント・カウンタP (TMP) 参照)

(2) D/A変換値設定レジスタ0, 1 (DA0CS0, DA0CS1)

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DA0CS0 FFFFFF280H, DA0CS1 FFFFFF281H

DA0CSn	7	6	5	4	3	2	1	0
	DA0CSn7	DA0CSn6	DA0CSn5	DA0CSn4	DA0CSn3	DA0CSn2	DA0CSn1	DA0CSn0

注意 リアルタイム出力モード (DA0M.DA0MDnビット = 1) のとき , INTTP2CC0/INTTP3CC0信号が発生する前に , DA0CSnレジスタを設定してください。INTTP2CC0/INTTP3CC0信号発生でD/A変換を開始します。

備考 n = 0, 1

14.4 動 作

14.4.1 通常モード時の動作

DA0CSnレジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DA0M.DA0MDnビット = 0 (通常モード) に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

以上 ~ を初期設定として行います。

DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。

これによりD/A変換が開始します。

以降、D/A変換を行う場合は、DA0CSnレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

備考1. 兼用端子の設定は表4-15 ポート端子を兼用端子として使用する場合を参照してください。

2. n = 0, 1

14.4.2 リアルタイム出力モード時の動作

TMP2, TMP3の割り込み要求信号 (INTTP2CC0, INTTP3CC0) を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

DA0M.DA0MDnビット = 1 (リアルタイム出力モード) に設定します。

DA0CSnレジスタにANOn端子に出力するアナログ電圧値を設定します。

DA0M.DA0CEnビット = 1 (D/A変換動作許可) に設定します。

以上 ~ を初期設定として行います。

TMP2, TMP3を動作させます。

INTTP2CC0, INTTP3CC0信号が発生すると、D/A変換を開始します。

以降、DA0CSnレジスタに設定した値がINTTP2CC0, INTTP3CC0信号のタイミングで出力されます。

備考1. までのANO0, ANO1端子の出力値は不定です。

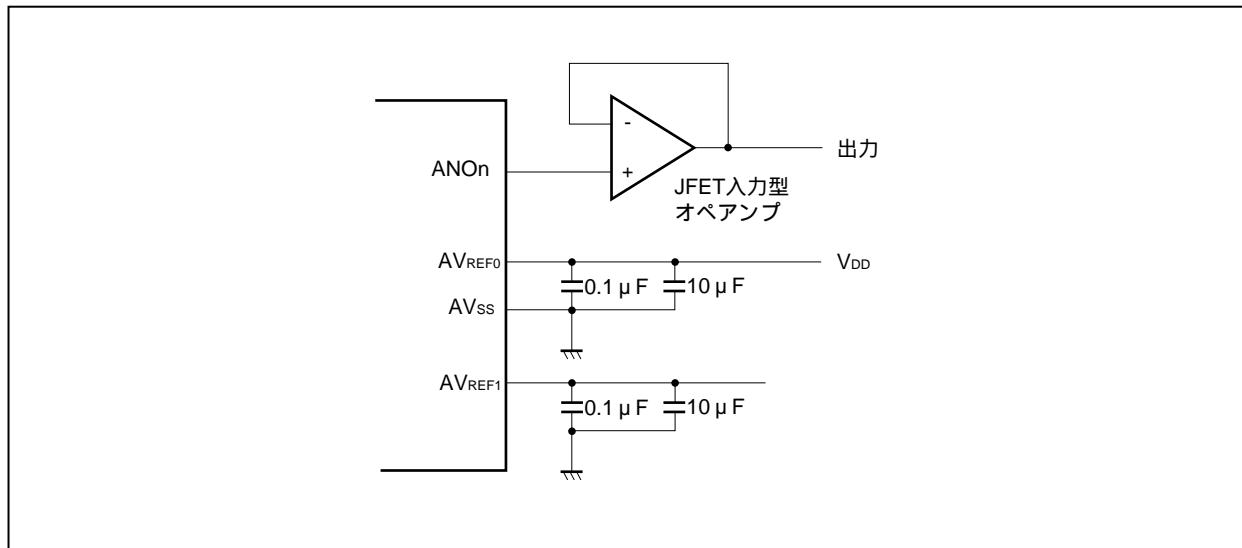
2. HALT, IDLE1, IDLE2, STOPモード時のANO0, ANO1端子の出力値については、第21章
スタンバイ機能を参照してください。
3. 兼用端子の設定は表4-15 ポート端子を兼用端子として使用する場合を参照してください。

14.4.3 使用上の注意点

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) リアルタイム出力モード時、トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。
- (2) 動作モードを切り替える場合は、必ずDA0M.DA0CEnビット = 0にしたあとに行ってください。
- (3) P10/ANO0, P11/ANO1端子を、1本を入出力ポート、1本をD/A出力端子として使用する場合、D/A出力中はポートの入出力レベルが変化しないようなアプリケーションで使用してください。
- (4) AV_{REF0} = V_{DD} = AV_{REF1} = 3.0 ~ 3.6 Vの範囲で使用してください。それ以外の場合の動作は保証できません。
- (5) AV_{REF1}の電源投入および電源切断は、AV_{REF0}と同じタイミングで行ってください。
- (6) D/Aコンバータの出力インピーダンスが高いため、ANOn端子 ($n = 0, 1$) から電流を取り出すことはできません。2 MΩ以下の抵抗を接続する場合には、抵抗とANOn端子の間にJFET入力型オペアンプを挿入してください。

図14-2 外部端子の接続例



- (7) D/Aコンバータは、STOPモード時に動作が停止するため、ANO0, ANO1端子は、ハイ・インピーダンスになり消費電力を低減できます。
ただし、IDLE1, IDLE2モード、サブクロック動作モードでは端子は保持されるため、消費電力を低減する場合にはDA0M.DA0CEnビット = 0にしてください。

第15章 アシンクロナス・シリアル・インターフェースA(UARTA)

15.1 UARTAとほかのシリアル・インターフェースのモード切り替え

15.1.1 CSIB4とUARTA0のモード切り替え

V850ES/JG2では、CSIB4とUARTA0は端子が兼用になっており、同時に使用できません。UARTA0を使用するときは、あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意 CSIB4またはUARTA0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15-1 CSIB4とUARTA0のモード切り替え設定

リセット時 : 0000H R/W アドレス : FFFFF446H, FFFFF447H											
PMC3											
15 14 13 12 11 10 9 8				PMC39 PMC38							
0 0 0 0 0 0 PMC39 PMC38											
7 6 5 4 3 2 1 0											
0 0 PMC35 PMC34				PMC33 PMC32 PMC31 PMC30							
0 0 PFC35 PFC34											
0 0 PFC33 PFC32											
0 0 PFC31 PFC30											
リセット時 : 0000H R/W アドレス : FFFFF466H, FFFFF467H											
PFC3											
15 14 13 12 11 10 9 8				PFC39 PFC38							
0 0 0 0 0 0 PFC39 PFC38											
7 6 5 4 3 2 1 0											
0 0 PFC35 PFC34				PFC33 PFC32 PFC31 PFC30							
0 0 PFC33 PFC32											
0 0 PFC31 PFC30											
リセット時 : 00H R/W アドレス : FFFFF706H											
PFCE3L											
7 6 5 4 3 2 1 0											
0 0 0 0 PFCE32				0 0 PFCE32							
0 0 0 0 0 0 PFCE32											
PFCE3L PFCE32 PFC32 動作モード											
0 × × ポート入出力モード											
1 0 0 ASCKA0											
1 0 1 SCKB4											
PMC3n PFC3n 動作モード											
0 × ポート入出力モード											
1 0 UARTA0モード											
1 1 CSIB4モード											
備考1. n = 0, 1											
2. x = don't care											

15.1.2 UARTA2とI²C00のモード切り替え

V850ES/JG2では、UARTA2とI²C00は端子が兼用になっており、同時に使用できません。UARTA2を使用するときは、あらかじめPMC3、PFC3レジスタで設定する必要があります。

注意 UARTA2またはI²C00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15-2 UARTA2とI²C00のモード切り替え設定

リセット時 : 0000H R/W アドレス : FFFFF446H, FFFFF447H								
PMC3	15 0	14 0	13 0	12 0	11 0	10 0	9 PMC39	8 PMC38
	7 0	6 0	5 PMC35	4 PMC34	3 PMC33	2 PMC32	1 PMC31	0 PMC30

リセット時 : 0000H R/W アドレス : FFFFF466H, FFFFF467H								
PFC3	15 0	14 0	13 0	12 0	11 0	10 0	9 PFC39	8 PFC38
	7 0	6 0	5 PFC35	4 PFC34	3 PFC33	2 PFC32	1 PFC31	0 PFC30

PMC3n	PFC3n	動作モード
0	x	ポート入出力モード
1	0	UARTA2モード
1	1	I ² C00モード

- 備考1.**
- 1. n = 8, 9
 - 2. x = don't care

15.1.3 UARTA1とI²C02のモード切り替え

V850ES/JG2では、UARTA1とI²C02は端子が兼用になっており、同時に使用できません。UARTA1を使用するときは、あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTA1とI²C02において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15-3 UARTA1とI²C02のモード切り替え設定

	リセット時 : 0000H R/W アドレス : FFFFF452H, FFFFF453H																			
PMC9	15 14 13 12 11 10 9 8 PMC915 PMC914 PMC913 PMC912 PMC911 PMC910 PMC99 PMC98																			
	7 6 5 4 3 2 1 0 PMC97 PMC96 PMC95 PMC94 PMC93 PMC92 PMC91 PMC90																			
PFC9	リセット時 : 0000H R/W アドレス : FFFFF472H, FFFFF473H																			
	15 14 13 12 11 10 9 8 PFC915 PFC914 PFC913 PFC912 PFC911 PFC910 PFC99 PFC98																			
	7 6 5 4 3 2 1 0 PFC97 PFC96 PFC95 PFC94 PFC93 PFC92 PFC91 PFC90																			
PFCE9	リセット時 : 0000H R/W アドレス : FFFFF712H, FFFFF713H																			
	15 14 13 12 11 10 9 8 PFCE915 PFCE914 0 0 0 0 0 0																			
	7 6 5 4 3 2 1 0 PFCE97 PFCE96 PFCE95 PFCE94 PFCE93 PFCE92 PFCE91 PFCE90																			
	<table border="1"> <thead> <tr> <th>PMC9n</th><th>PFCE9n</th><th>PFC9n</th><th>動作モード</th></tr> </thead> <tbody> <tr> <td>1</td><td>1</td><td>0</td><td>UARTA1モード</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>I²C02モード</td></tr> </tbody> </table>								PMC9n	PFCE9n	PFC9n	動作モード	1	1	0	UARTA1モード	1	1	1	I ² C02モード
PMC9n	PFCE9n	PFC9n	動作モード																	
1	1	0	UARTA1モード																	
1	1	1	I ² C02モード																	
	備考 n = 0, 1																			

15.2 特 徵

転送速度 300 bps ~ 312.5 kbps (内部システム・クロック20 MHz , 専用ポート・レート・ジェネレータ使用)

全二重通信 UARTAn受信データ・レジスタ (UAnRX) 内蔵

UARTAn送信データ・レジスタ (UAnTX) 内蔵

2端子構成 TXDAn : 送信データの出力端子

RXDAn : 受信データの入力端子

受信エラー検出機能

- ・ パリティ・エラー
- ・ フレーミング・エラー
- ・ オーバラン・エラー

割り込みソース : 2種類

- ・ 受信完了割り込み (INTUAnR) : 受信許可状態において , シリアル転送完了後 , 受信シフト・レジスタから受信データ・レジスタへ受信データを転送すると発生
- ・ 送信許可割り込み (INTUAnT) : 送信許可状態において , 送信データ・レジスタから送信シフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数 , 偶数 , 0 , なし

送信トップ・ビット : 1, 2ビット

専用ポート・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

送受信データの反転入出力が可能

LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Synch Break Field) 送信可能

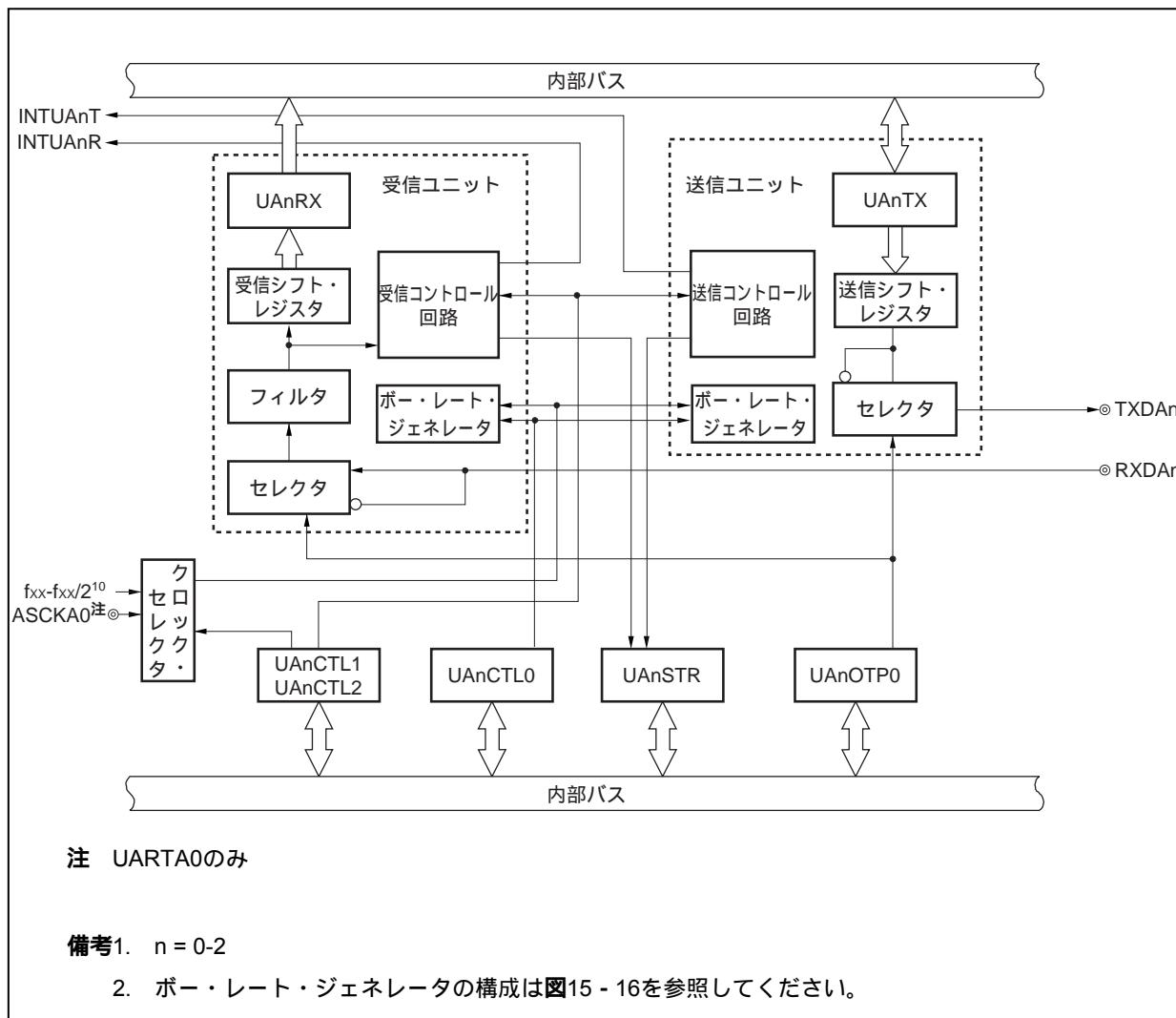
- ・ SBF送信は13-20ビットまで選択可能
- ・ SBF受信は11ビット以上認識可能
- ・ SBF受信フラグあり

備考 n = 0-2

15.3 構成

次にUARTAnのブロック図を示します。

図15-4 アシンクロナス・シリアル・インターフェースAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表15-1 UARTAnの構成

項目	構成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0) UARTAn制御レジスタ1 (UAnCTL1) UARTAn制御レジスタ2 (UAnCTL2) UARTAnオプション制御レジスタ0 (UAnOPT0) UARTAn状態レジスタ (UAnSTR) UARTAn受信シフト・レジスタ UARTAn受信データ・レジスタ (UAnRX) UARTAn送信シフト・レジスタ UARTAn送信データ・レジスタ (UAnTX)

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビット・レジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの入力クロックを選択する8ビット・レジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのバー・レートを制御する8ビット・レジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビット・レジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット(1)され、UAnSTRレジスタの読み出しによってリセット(0)されます。

(6) UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、トップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます(LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信完了割り込み要求信号(INTUAnR)が発生します。

(8) UARTAn送信シフト・レジスタ

送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる(UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される)と、送信許可割り込み要求信号(INTUAnT)を発生します。

15.4 レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時 : 10H R/W アドレス : UA0CTL0 FFFFFA00H, UA1CTL0 FFFFFA10H,
UA2CTL0 FFFFFA20H

	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0 (n = 0-2)	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

UAnPWR	UARTAnの動作の制御
0	UARTAn動作禁止 (UARTAnを非同期にリセット)
1	UARTAn動作許可
UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア(0)すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0。UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。	

UAnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可
<ul style="list-style-type: none"> 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。 また、停止時はUAnTXEビット = 0にしてから、UAnPWRビット = 0としてください。 送信ユニットを初期化する場合は、UAnTXEビットをクリア(0)して、基本クロックの2周期分の時間を経過してから、再びUAnTXEビットをセット(1)しなければ、状態の初期化ができない場合があります (基本クロックについては15.7(1)(a) 基本クロック参照)。 	

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可
<ul style="list-style-type: none"> 起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。 また、停止時は、UAnRXEビット = 0にしてから、UAnPWRビット = 0としてください。 受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア(0)して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット(1)しなければ、状態の初期化ができない場合があります (基本クロックについては15.7(1)(a) 基本クロック参照)。 	

UAnDIR	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

- UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
- LINのフォーマットで送受信を行う場合は, UAnDIRビットは“1”に設定してください。

UAnPS1	UAnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

- UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
- 受信時に「0パリティとして受信」を選択した場合, パリティ判定を行いません。したがって, UAnSTR.UAnPEビットはセットされません。
- LINのフォーマットで送受信を行う場合, UAnPS1, UAnPS0ビットは“00”に設定してください。

UAnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

- UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
- LINのフォーマットで送受信を行う場合は, UAnCLビットは“1”に設定してください。

UAnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。

備考 パリティについての詳細は, 15.6.9 パリティの種類と動作を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は, 15.7 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は, 15.7 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより14Hになります。

(1/2)

リセット時 : 14H R/W アドレス : UA0OPT0 FFFFFA03H, UA1OPT0 FFFFFA13H,
UA2OPT0 FFFFFA23H

	⑦	6	5	4	3	2	1	0
UAnOPT0 (n = 0-2)	UAnSRF	UAnSRT	UAnSTT	UAnSLS2	UAnSLS1	UAnSLS0	UAnTDL	UAnRDL

UAnSRF	SBF受信フラグ
0	UAnCTL0.UAnPWRビット = UAnRXEビット = 0に設定したとき。または SBF受信正常終了したとき。
1	SBF受信中
<ul style="list-style-type: none"> ・LIN通信でのSBF (Synch Break Field) を受信していることを判断します。 ・SBF受信エラー時、UAnSRFビットは“1”を保持し、その後再度SBF受信を開始します。 ・UAnSRFビットはリードのみ可能です。 	

UAnSRT	SBF受信トリガ
0	
1	SBF受信トリガ
<ul style="list-style-type: none"> ・LIN通信でのSBFの受信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。SBFを受信する場合、UAnSRTビットをセット(1)しSBF受信可能状態にしてください。 ・UAnPWRビット = UAnRXEビット = 1としてからUAnSRTビットを設定してください。 	

UAnSTT	SBF送信トリガ
0	
1	SBF送信トリガ
<ul style="list-style-type: none"> ・LIN通信でのSBFの送信トリガ・ビットであり、読み出した場合、常に“0”が読み出されます。 ・UAnPWRビット = UAnTXEビット = 1としてからUAnSTTビットを設定してください。 	

注意 UAnSRT, UAnSTTビットは、SBF受信中 (UAnSRFビット = 1) にセット(1)しないでください。

UAnSLS2	UAnSLS1	UAnSLS0	SBF送信長選択
1	0	1	13ビット長で出力（リセット値）
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力
UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。			

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。 ・ UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。 ・ UAnPWRビット = 0またはUAnRXEビット = 0のとき設定できます。	

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE、UAnFE、UAnOVEビットについてはリード / ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません（“1”をライトしても値を保持します）。

次に初期化条件を示します。

レジスタ / ビット	初期化条件
UAnSTRレジスタ	・ リセット ・ UAnCTL0.UAnPWRビット = 0
UAnTSFビット	・ UAnCTL0.UAnTXEビット = 0
UAnPE、UAnFE、UAnOVEビット	・ 0の書き込み ・ UAnCTL0.UAnRXEビット = 0

リセット時 : 00H R/W アドレス : UA0STR FFFFFA04H, UA1STR FFFFFA14H,
UA2STR FFFFFA24H

UAAnSTR (n = 0-2)	⑦	6	5	4	3	②	①	③
	UAAnTSF	0	0	0	0	UAAnPE	UAAnFE	UAAnOVE

UAAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> UAAnPWRビット = 0, またはUAAnTXEビット = 0に設定したとき 転送完了後に, UAAnTXレジスタに次のデータ転送がなかったとき
1	UAAnTXレジスタへの書き込み

連続送信を行っている場合にはUAAnTSFビットは常に“1”になっています。
送信ユニットの初期化を行う場合には, UAAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAAnTSFビット = 1の状態で初期化を行った場合の送信データは保証できません。

UAAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> UAAnPWRビット = 0, またはUAAnRXEビット = 0に設定したとき “0”をライトしたとき
1	<p>受信時, データのパリティとパリティ・ビットが一致しないとき</p> <ul style="list-style-type: none"> UAAnPEビットの動作は, UAAnCTL0.UAAnPS1, UAAnPS0ビットの設定により左右されます。 UAAnPEビットはリード / ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。

UAAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> UAAnPWRビット = 0, またはUAAnRXEビット = 0に設定したとき “0”をライトしたとき
1	<p>受信時, ストップ・ビットが検出されないとき</p> <ul style="list-style-type: none"> 受信データのストップ・ビットは, UAAnCTL0.UAAnSLビットの値に関わらず, 最初の1ビットのみチェックします。 UAAnFEビットはリード / ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。

UAAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> UAAnPWRビット = 0, またはUAAnRXEビット = 0に設定したとき “0”をライトしたとき
1	<p>UAAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき</p> <ul style="list-style-type: none"> オーバラン・エラーが発生したとき, 次の受信データは受信バッファに書き込まれず, データは破棄されます。 UAAnOVEビットはリード / ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

1バイト・データの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのピット6-ピット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのピット7-ピット1に転送されLSBは必ず“0”になります。

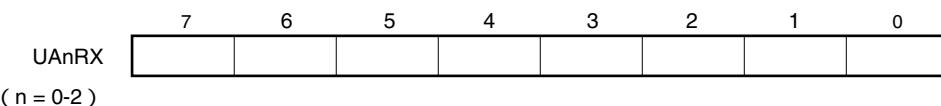
オーバラン・エラー (UAnOVE) が発生した場合は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。

リセット時 : FFH R アドレス : UA0RX FFFFFA06H, UA1RX FFFFFA16H,

UA2RX FFFFFA26H



(7) UARTAn送信データ・レジスタ (UAnTX)

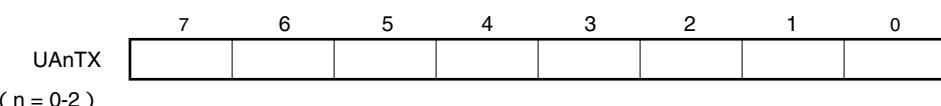
UAnTXレジスタは、送信データを設定するための8ビット・レジスタです。

8ビット単位でリード / ライト可能です。

リセットによりFFHになります。

リセット時 : FFH R/W アドレス : UA0TX FFFFFA07H, UA1TX FFFFFA17H,

UA2TX FFFFFA27H



15.5 割り込み要求信号

UARTAnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表15-2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTUAnR)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、受信エラーが起った場合にも発生しますので、受信完了割り込み要求信号を受け付け、データを読み出すときに、UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(2) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

15.6 動 作

15.6.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

送受信データのフォーマットは図15-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、トップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、トップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUART出力／反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・トップ・ビット 1ビット/2ビット

図15-5 UARTAの送受信データのフォーマット

(a) 8ビット・データ長, LSBファースト, 偶数parity, 1トップ・ビット, 転送データ: 55H



(b) 8ビット・データ長, MSBファースト, 偶数parity, 1トップ・ビット, 転送データ: 55H



(c) 8ビット・データ長, MSBファースト, 偶数parity, 1トップ・ビット, 転送データ: 55H, TXDAn反転



(d) 7ビット・データ長, LSBファースト, 奇数parity, 2トップ・ビット, 転送データ: 36H



(e) 8ビット・データ長, LSBファースト, パリティなし, 1トップ・ビット, 転送データ: 87H



15.6.2 SBF送信 / 受信フォーマット

V850ES/JG2にはLIN機能として使用するために, SBF(Sync Break Field)送信 / 受信制御機能があります。

備考 LINとは, Local Interconnect Networkの略称で, 車載ネットワークのコストダウンを目的とする低速(1~20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で, 1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは, スイッチ, アクチュエータ, センサなどの制御に使用され, これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常, CAN (Controller Area Network)などのネットワークに接続されます。

また, LINバスはシングル・ワイヤ方式で, ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは, マスタはフレームにボーレート情報をつけて送信し, スレーブはこれを受信してマスタとのボーレート誤差を補正します。このため, スレーブのボーレート誤差が±15%以下であれば, 通信可能です。

LINの送信操作と受信操作の概略を, 図15-6, 図15-7に示します。

図15-6 LINの送信操作概略

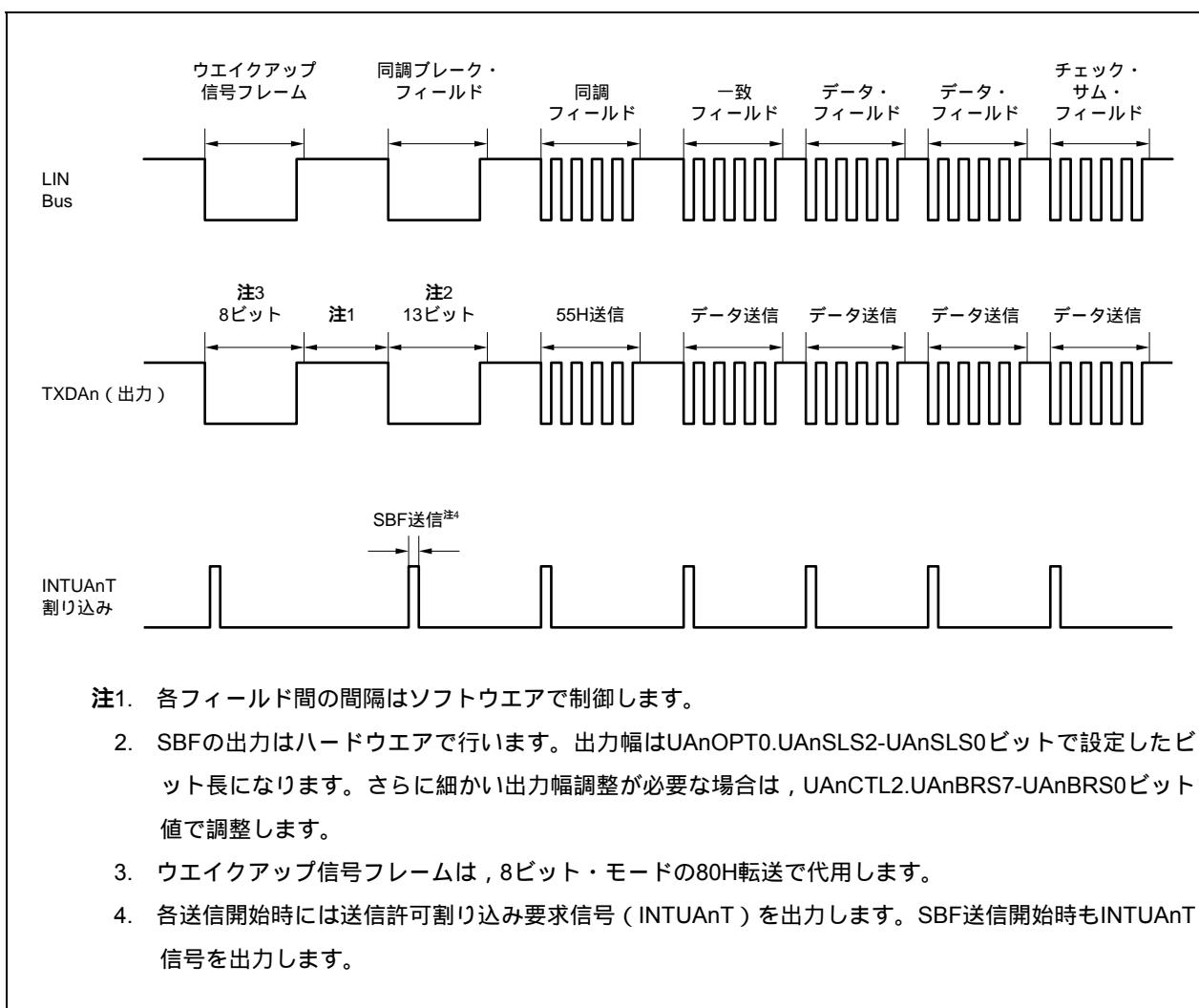
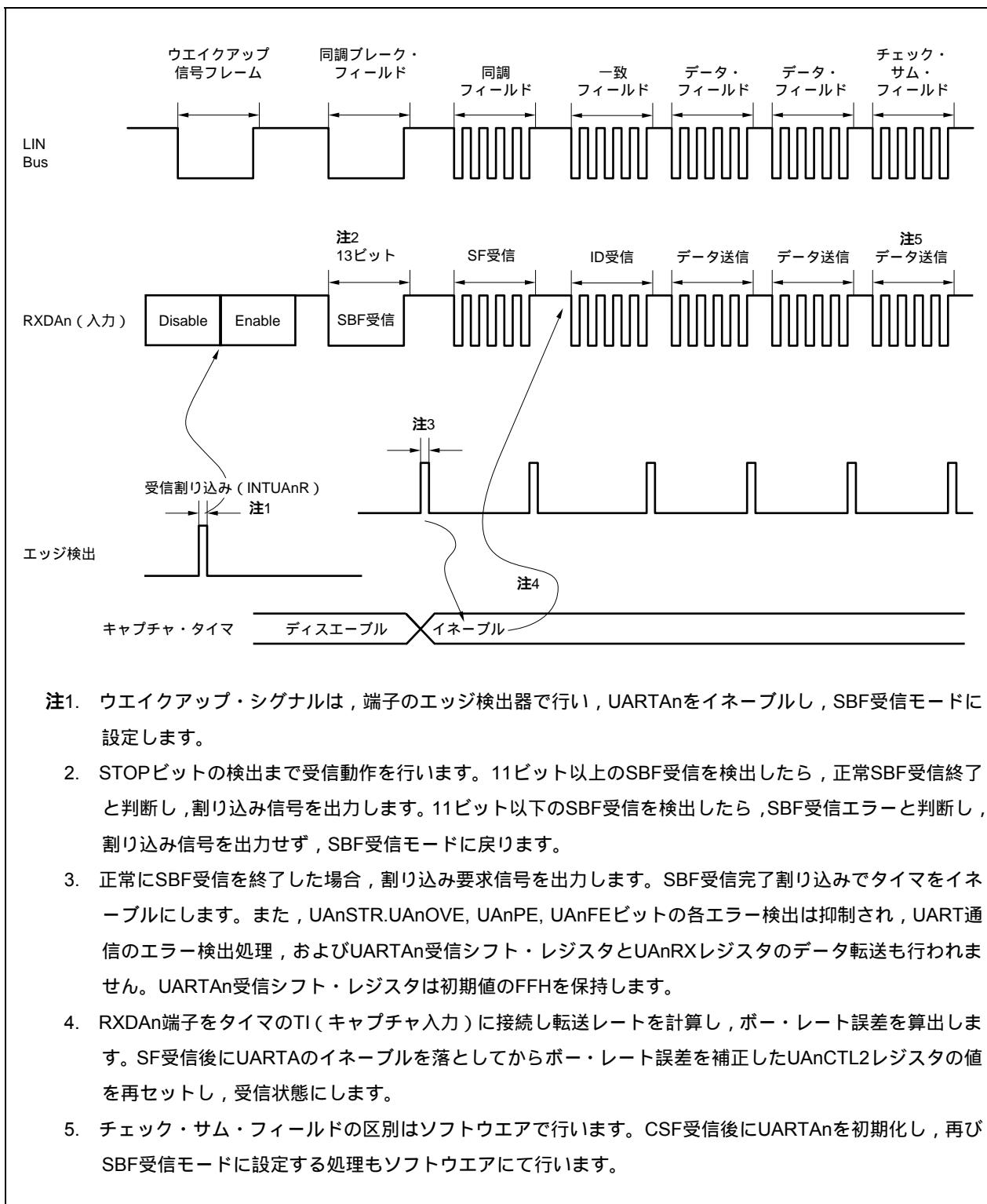


図15-7 LINの受信操作概略



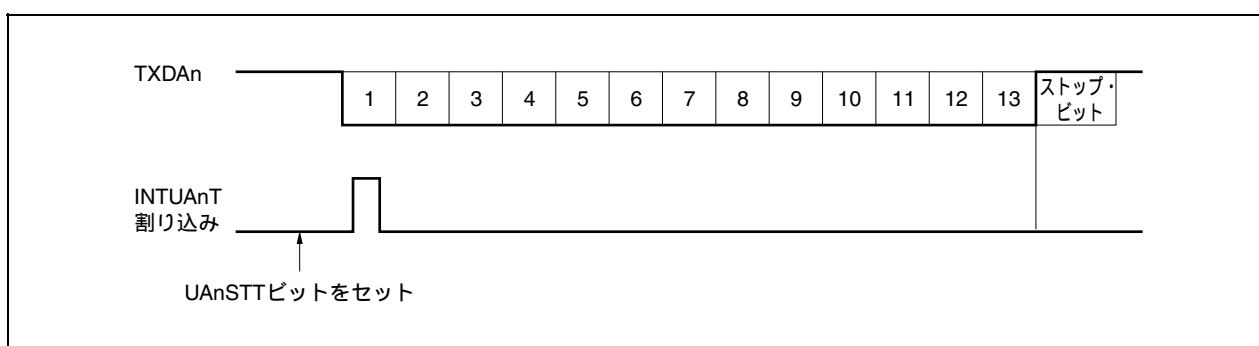
15.6.3 SBF送信

UAnCTL0.UAnPWRビット = UAnTXEビット = 1にすると送信許可状態となり，SBF送信トリガ (UAnOPT0.UAnSTTビット) をセット(1)することによりSBF送信動作は起動します。

その後UAnOPT0.UAnSLS2-UAnSLS0ビットで指定された13ビットから20ビット分までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号 (INTUAnT) を発生します。SBF送信を終了したあと，UAnSTTビットは自動的にクリアされます。その後，UART送信モードに戻ります。

次に送信するデータをUAnTXレジスタに書き込み，あるいはSBF送信トリガ (UAnSTTビット) をセットするまで，送信動作は中断します。

図15-8 SBF送信



15.6.4 SBF受信

UAnCTL0.UAnPWRビット = 1にして、次に、UAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。

SBF受信トリガ (UAnOPT0.UAnSRTビット) をセット (1) することで、SBF受信待ち状態になります。

SBF受信待ち状態はUARTの受信待ち状態と同じくRXDAn端子をモニタし、スタート・ビットの検出を行います。

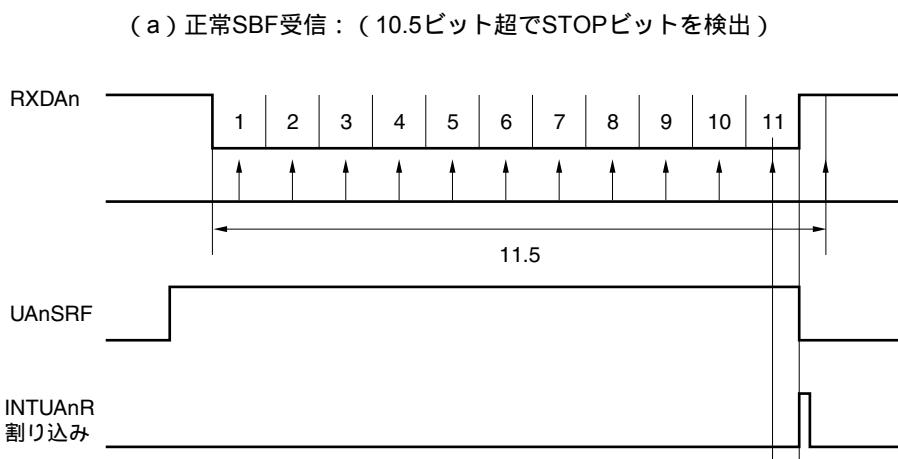
スタート・ビットを検出したら、受信動作を開始し、設定されたバー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTUAnR) を発生します。UAnOPT0.UAnSRFビットは自動的にクリアされ、SBF受信を終了します。UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、UARTAn受信シフト・レジスタとUAnRXレジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際UAnSRFビットはクリアされません。

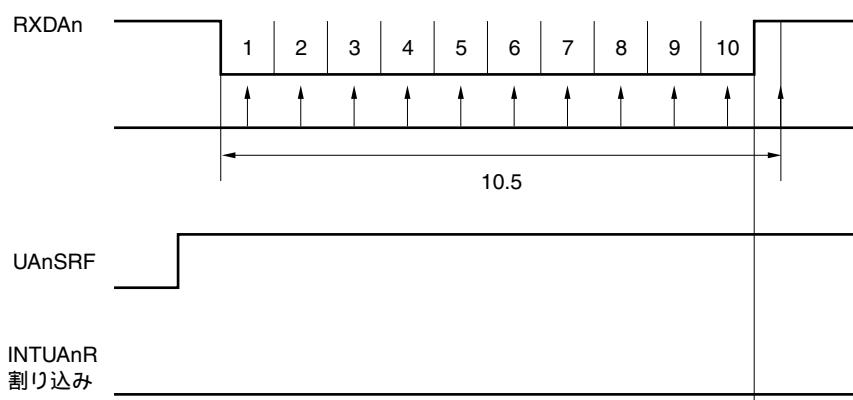
注意1. データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。

2. SBF受信トリガ・ビット(UAnSRT), SBF送信トリガ・ビット(UAnSTT)はSBF受信中(UAnSRF = 1)にセット(1)しないでください。

図15-9 SBF受信



(b) SBF受信エラー：(10.5ビット以下でSTOPビットを検出)



15. 6. 5 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより、TXDAn端子からハイ・レベルを出力します。

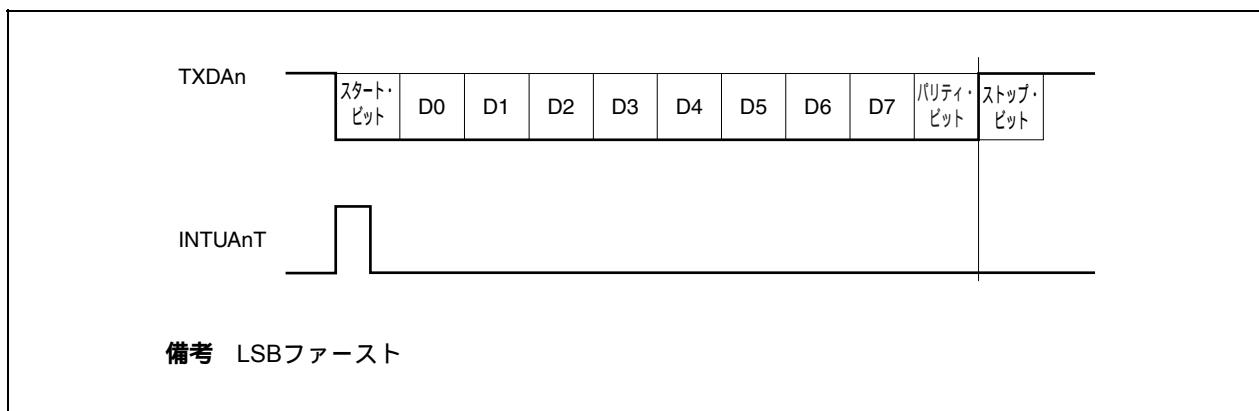
次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS（送信許可信号）入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生し、その後UARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号の発生後、UAnTXレジスタに次の転送データの書き込みができます。

図15 - 10 UART送信



15.6.6 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 送信の初期化を行う場合、連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認してから初期化を実行してください。UAnTSFビットが“1”的ときに初期化を実行した場合の送信データの保証できません。

図15-11 連続送信の処理フロー

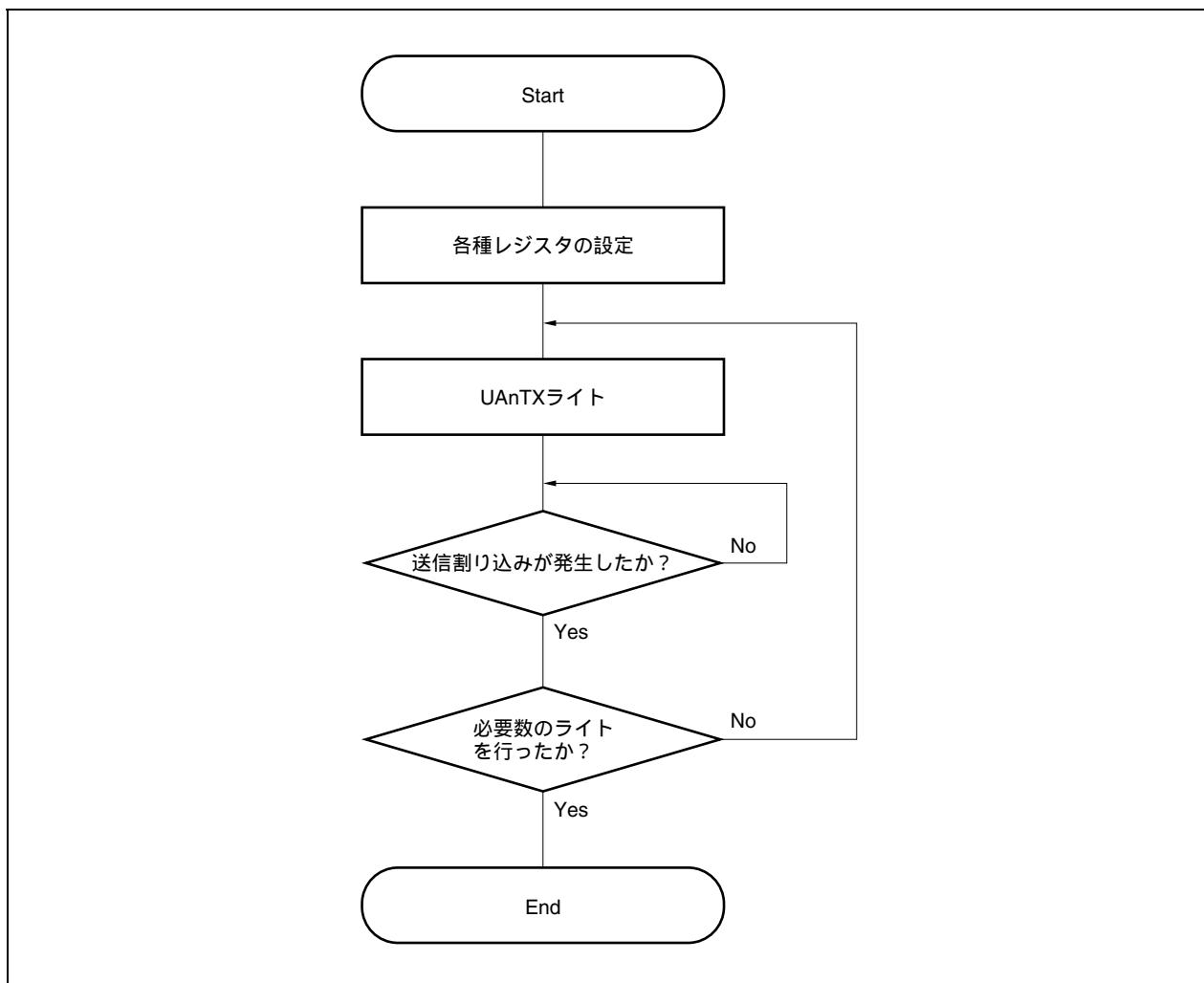
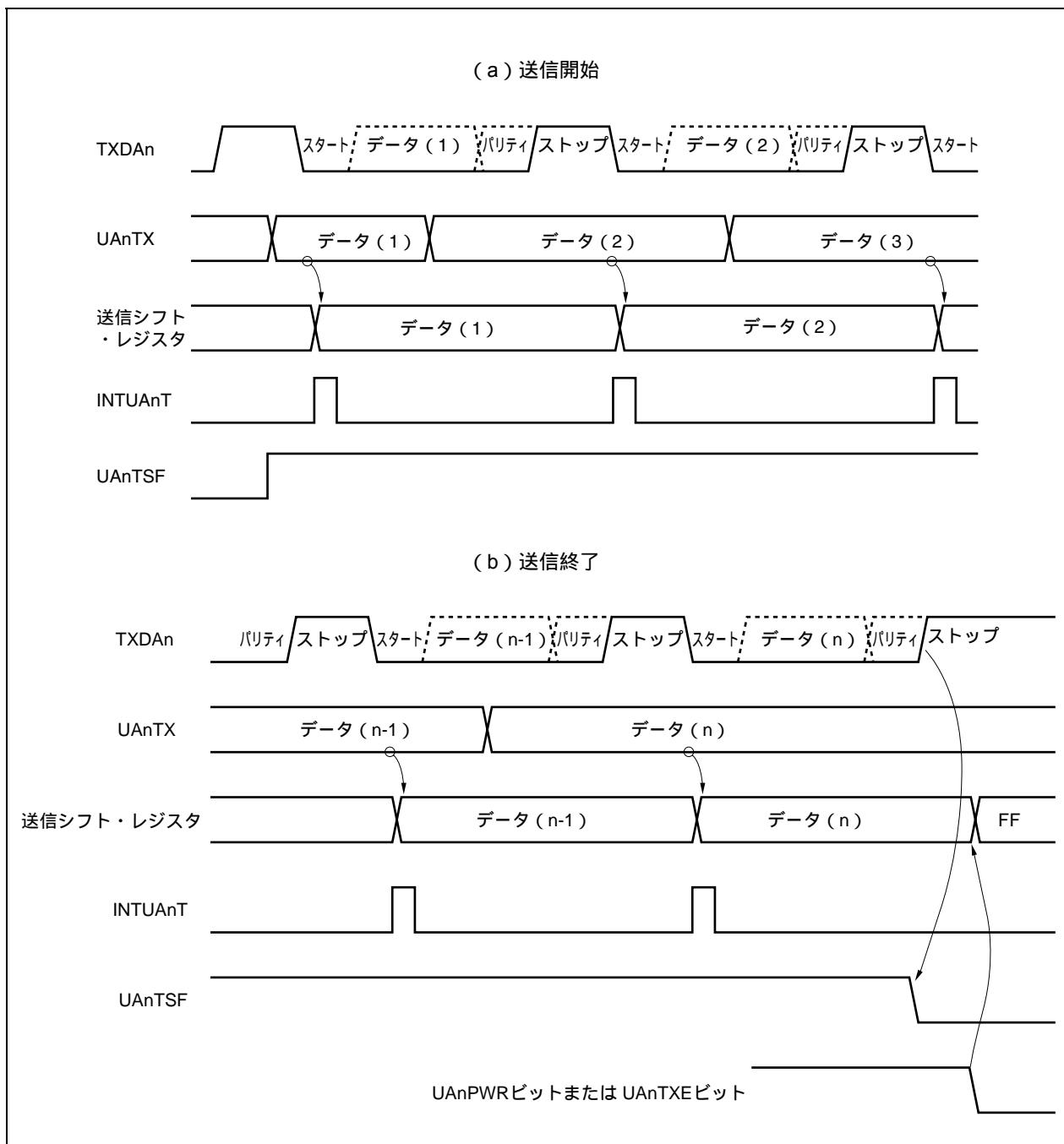


図15-12 連続送信動作のタイミング



15.6.7 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

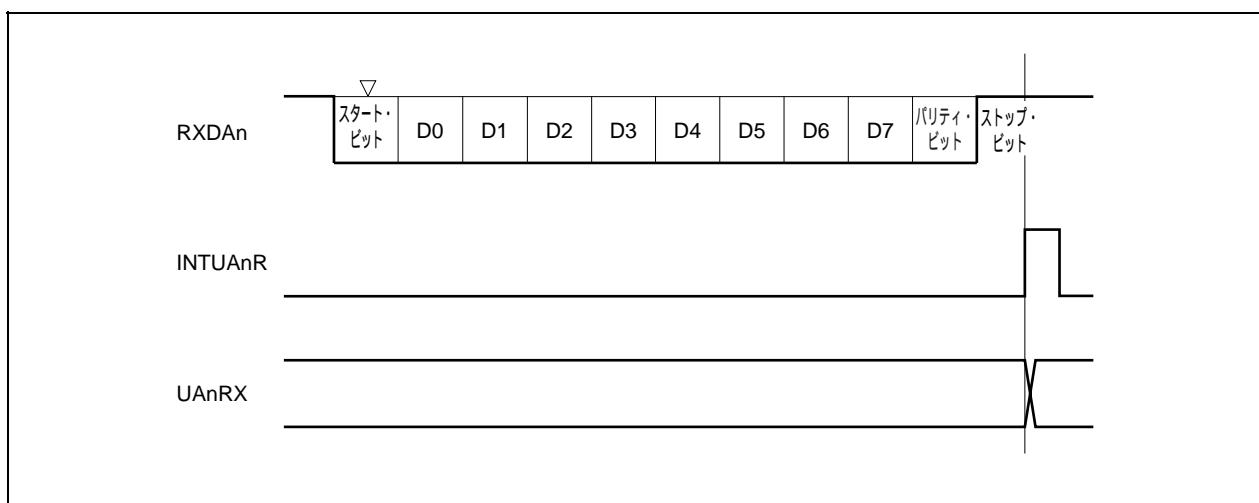
なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

まずRXDAn端子の立ち下がりを検出すると立ち下がりエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたバー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラー (UAnSTR.UAnOVEビット) が発生した場合は、そのときの受信データをUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、parity・エラー (UAnSTR.UAnPEビット)、フレーミング・エラー (UAnSTR.UAnFEビット) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信完了後にINTUAnR信号を発生します。

図15-13 UART受信



- 注意1. 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続くことがあります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
3. 受信終了時は、受信完了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
4. UARTAnの受信完了処理(INTUAnR信号の発生)と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。

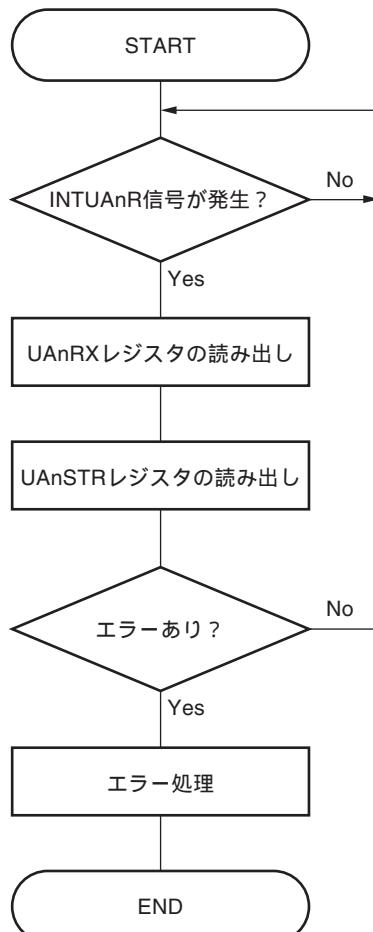
15.6.8 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信完了割り込み要求信号 (INTUAnR) を発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0”ライトによりクリアしてください。

- 受信データの読み出しフロー



注意 INTUAnR信号が発生したら、必ずUAnSTRレジスタを読み出してエラーの有無を確認してください。

- 受信エラーの要因

エラー・フラグ	受信エラー	要因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は、エラーの内容によって、次の処理を行ってください。

- パリティ・エラー

受信ラインへのノイズなどによって誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。

- フレーミング・エラー

送信側との間でボーレートずれが発生しているか、何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェータルなエラーであるため、送信側の動作停止を確認後、互いに初期化処理を行って再度通信を開始してください。

- オーバラン・エラー

受信データを読み出す前に次の受信が完了してしまったため、1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

注意 連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラー処理を実施してください。

15.6.9 パリティの種類と動作

注意 LIN機能を使用する場合 , UAnCTL0.UAnPS1, UAnPS0ビットを “00” に固定してください。

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティビットは同一の種類のものを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の , 値が “1” のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようにになります。

- ・送信データ中に値が “1” のビット数が奇数個 : 1
- ・送信データ中に値が “1” のビット数が偶数個 : 0

(ii) 受信時

パリティ・ビットを含めた受信データ中の , 値が “1” のビット数をカウントし , 奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に , パリティ・ビットを含めた送信データ中の , 値が “1” のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようにになります。

- ・送信データ中に , 値が “1” のビット数が奇数個 : 0
- ・送信データ中に , 値が “1” のビット数が偶数個 : 1

(ii) 受信時

パリティ・ビットを含めた受信データ中の , 値が “1” のビット数をカウントし , 偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には , 送信データによらずパリティ・ビットを “0” にします。

受信時にはパリティ・ビットの検査を行いません。したがって , パリティ・ビットが “0” でも “1” でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため , パリティ・エラーを発生しません。

15.6.10 受信データのノイズ・フィルタ

プリスケーラ部出力の基本クロックでRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図15-15参照)。基本クロックについては15.7(1)(a) 基本クロックを参照してください。

また、回路は図15-14のようになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図15-14 ノイズ・フィルタ回路

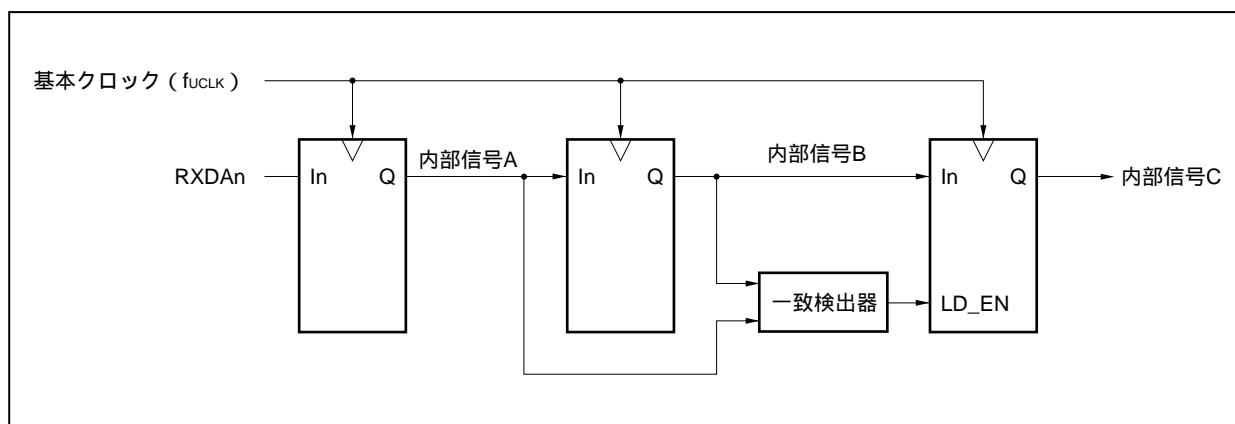
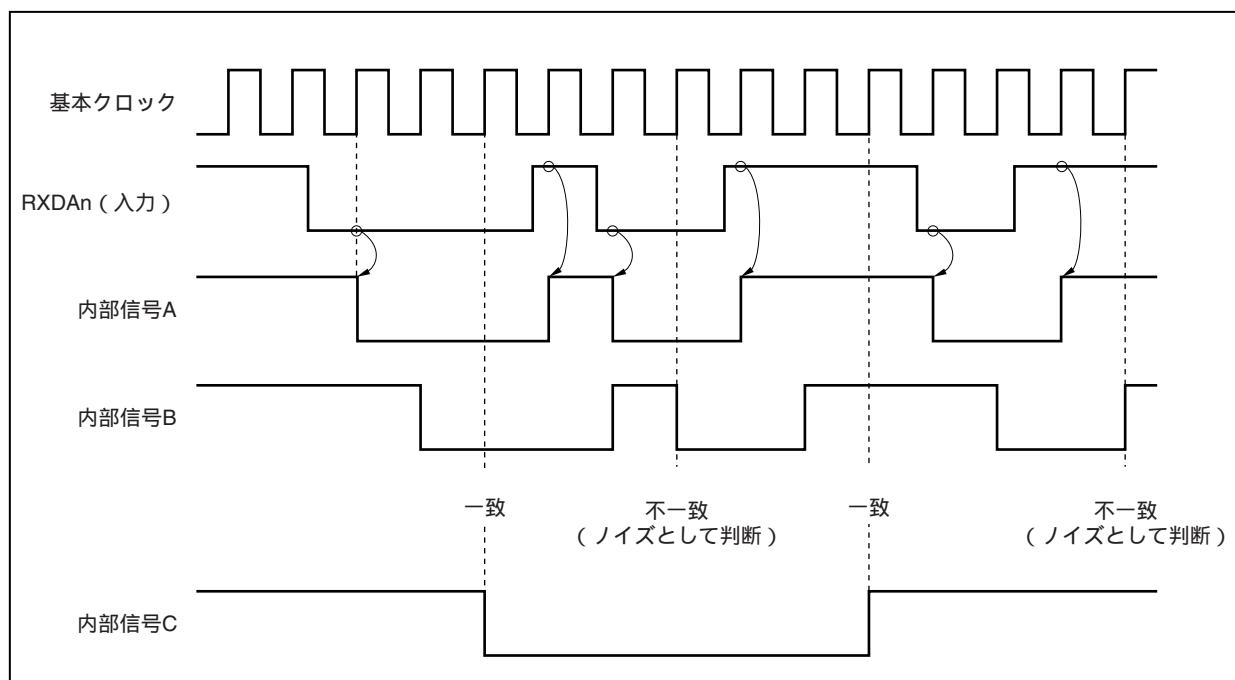


図15-15 ノイズとして判断されるRXDAn信号のタイミング



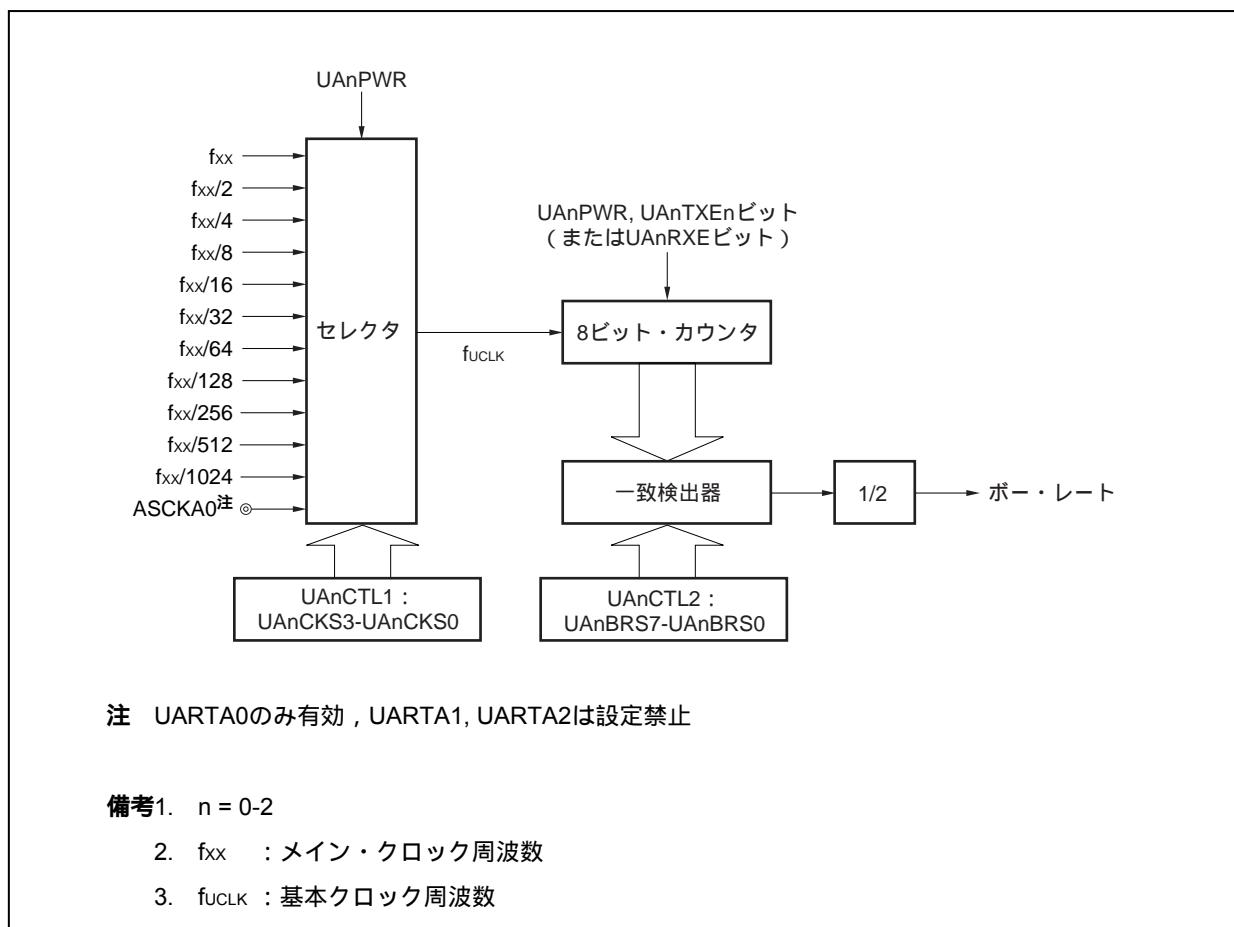
15.7 専用バー・レート・ジェネレータ

専用バー・レート・ジェネレータは、ソース・クロック・セレクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャネルごとに専用バー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) バー・レート・ジェネレータの構成

図15-16 バー・レート・ジェネレータの構成



(a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき、UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{uCLK}) と呼びます。

(b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により、シリアル・クロックを生成できます($n = 0-2$)。UAnCTL1.UAnCKS3-UAnCKS0ビットにより、基本クロックを選択します。UAnCTL2.UAnBRS7-UAnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時 : 00H R/W アドレス : UA0CTL1 FFFFFA01H, UA1CTL1 FFFFFA11H,
UA2CTL1 FFFFFA21H

UAnCTL1 (n = 0-2)	7	6	5	4	3	2	1	0
	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (fCLK) の選択
0	0	0	0	fxx
0	0	0	1	fxx/2
0	0	1	0	fxx/4
0	0	1	1	fxx/8
0	1	0	0	fxx/16
0	1	0	1	fxx/32
0	1	1	0	fxx/64
0	1	1	1	fxx/128
1	0	0	0	fxx/256
1	0	0	1	fxx/512
1	0	1	0	fxx/1024
1	0	1	1	外部クロック ^注 (ASCKA0端子)
上記以外				設定禁止

注 UARTA0のみ有効，UARTA1, UARTA2は設定禁止

備考 fxx : メイン・クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボーレート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

注意 UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE、UAnRXEビット = 0にしてから行ってください。

リセット時 : FFH R/W アドレス : UA0CTL2 FFFFFA02H, UA1CTL2 FFFFFA12H,

UA2CTL2 FFFFFA22H

UAnCTL2 (n = 0-2)	7	6	5	4	3	2	1	0
	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0

UAn BRS7	UAn BRS6	UAn BRS5	UAn BRS4	UAn BRS3	UAn BRS2	UAn BRS1	UAn BRS0	規定値 (k)	シリアル・ クロック
0	0	0	0	0	0	x	x	x	設定禁止
0	0	0	0	0	1	0	0	4	fUCLK/4
0	0	0	0	0	1	0	1	5	fUCLK/5
0	0	0	0	0	1	1	0	6	fUCLK/6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	fUCLK/252
1	1	1	1	1	1	0	1	253	fUCLK/253
1	1	1	1	1	1	1	0	254	fUCLK/254
1	1	1	1	1	1	1	1	255	fUCLK/255

備考 fUCLK : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロック周波数

(4) ポー・レート

ポー・レートは次の式によって求められます。

$$\text{ポー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は、次の式になります（UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください）。

$$\text{ポー・レート} = \frac{f_{xx}}{2^{m+1} \times k} \quad [\text{bps}]$$

備考 f_{UCLK} = UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

f_{xx} ：メイン・クロック周波数

m = UAnCTL1.UAnCKS3-UAnCKS0ビットで設定した値 ($m = 0-10$)

k = UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ($k = 4-255$)

ポー・レート誤差は次の式によって求められます。

$$\begin{aligned}\text{誤差 (\%)} &= \left(\frac{\text{実際のポー・レート (誤差のあるポー・レート)}}{\text{目標ポー・レート (正常なポー・レート)}} - 1 \right) \times 100 [\%] \\ &= \left(\frac{f_{\text{UCLK}}}{2 \times k \times \text{目標ポー・レート}} - 1 \right) \times 100 [\%]\end{aligned}$$

内部クロックを使用する場合は、次の式になります（UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください）。

$$\text{誤差 (\%)} = \left(\frac{f_{xx}}{2^{m+1} \times k \times \text{目標ポー・レート}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のポー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のポー・レート誤差は、(5)受信時の許容ポー・レート範囲で示す範囲を満たすようにしてください。

ボーレートを設定するときは、次のように計算してUAnCTL1, UAnCTL2レジスタを設定してください（内部クロック使用時）。

$k = f_{xx} / (2 \times \text{目標ボーレート})$ とし、 $m = 0$ としてください。

$k = 256$ のとき、 $k = k/2$ とし、 $m = m + 1$ としてください。

$k < 256$ になるまで、 k を繰り返してください。

k の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、もう一度を行ってください（ $k = 128$ になります）。

m をUAnCTL1レジスタに、 k をUAnCTL2レジスタに設定してください。

例： $f_{xx} = 20\text{ MHz}$ 、目標ボーレート：153,600 bpsの場合

$$k = 20,000,000 / (2 \times 153,600) = 65.10\dots, m = 0$$

$$, k = 65.10\dots < 256, m = 0$$

UAnCTL2レジスタ設定値： $k = 65 = 41H$ 、UAnCTL1レジスタ設定値： $m = 0$

$$\text{実際のボーレート} = 20,000,000 / (2 \times 65)$$

$$= 153,846 [\text{bps}]$$

$$\begin{aligned}\text{ボーレート誤差} &= \{20,000,000 / (2 \times 65 \times 153,600) - 1\} \times 100 \\ &= 0.160 [\%]\end{aligned}$$

次に、代表的なボーレートの設定例を示します。

表15-3 ボーレート・ジェネレータ設定データ

ボーレート (bps)	$f_{xx} = 20\text{ MHz}$			$f_{xx} = 18.874\text{ MHz}$			$f_{xx} = 16\text{ MHz}$			$f_{xx} = 10\text{ MHz}$		
	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)
300	08H	82H	0.16	07H	F6H	-0.10	07H	D0H	0.16	07H	82H	0.16
600	07H	82H	0.16	06H	F6H	-0.10	06H	D0H	0.16	06H	82H	0.16
1200	06H	82H	0.16	05H	F6H	-0.10	05H	D0H	0.16	05H	82H	0.16
2400	05H	82H	0.16	04H	F6H	-0.10	04H	D0H	0.16	04H	82H	0.16
4800	04H	82H	0.16	03H	F6H	-0.10	03H	D0H	0.16	03H	82H	0.16
9600	03H	82H	0.16	02H	F6H	-0.10	02H	D0H	0.16	02H	82H	0.16
19200	02H	82H	0.16	01H	F6H	-0.10	01H	D0H	0.16	01H	82H	0.16
31250	01H	A0H	0	01H	97H	-0.01	01H	80H	0	00H	A0H	0
38400	01H	82H	0.16	00H	F6H	-0.10	00H	D0H	0.16	00H	82H	0.16
76800	00H	82H	0.16	00H	7BH	-0.10	00H	68H	0.16	00H	41H	0.16
153600	00H	41H	0.16	00H	3DH	0.72	00H	34H	0.16	00H	21H	-1.36
312500	00H	20H	0	00H	1EH	0.66	00H	1AH	-1.54	00H	10H	0

備考 f_{xx} : メイン・クロック周波数

ERR : ボーレート誤差 [%]

(5) 受信時の許容ボーレート範囲

受信の際に、送信先のボーレートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるよう設定してください。

図15-17 受信時の許容ボーレート範囲

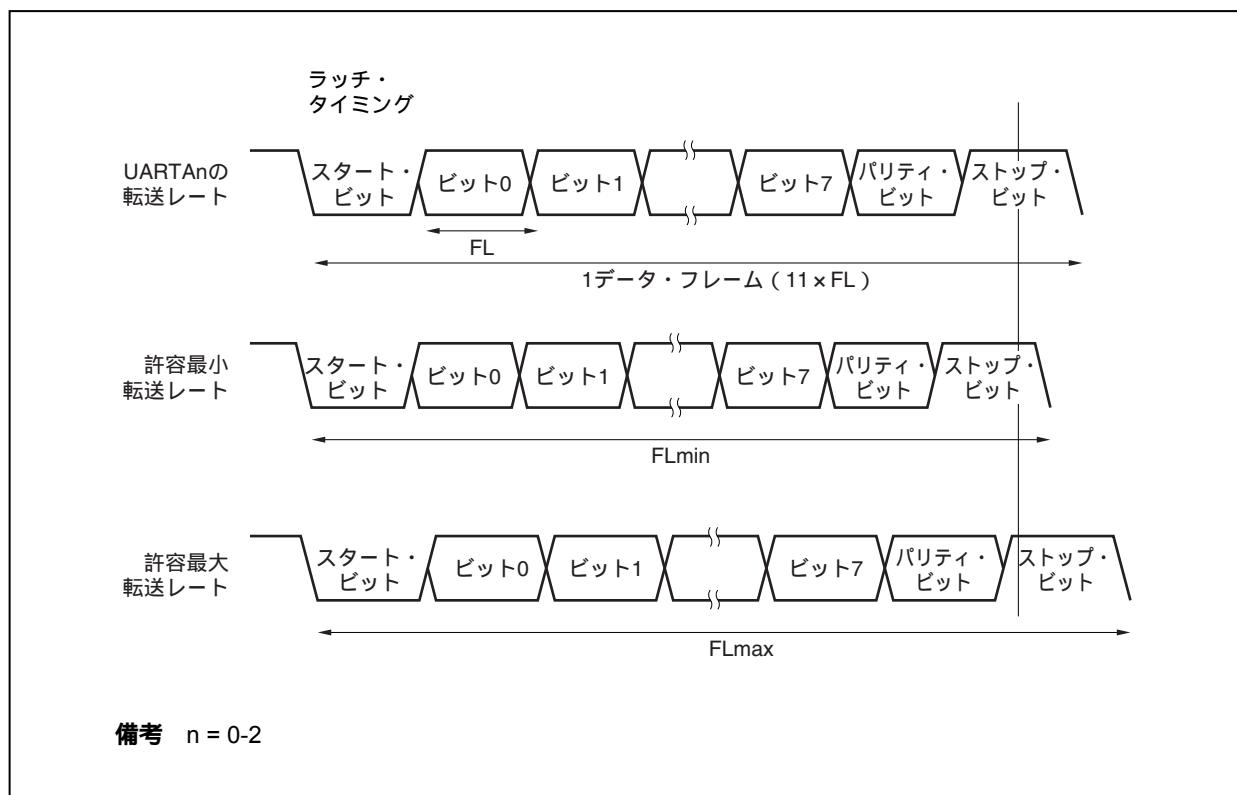


図15-17に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようにになります。

$$FL = (Brate)^{-1}$$

Brate : UARTAnのボーレート ($n = 0\text{-}2$)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 ($n = 0\text{-}2$)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート : } FL_{min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボーレートは次のようにになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大転送レートを求めるとき、次のようにになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k+2}{2 \times k} \times FL = \frac{21k-2}{2 \times k} \times FL$$

$$FL_{max} = \frac{21k-2}{20k} \times FL \times 11$$

したがって、受信可能な送信先の最小ボーレートは次のようにになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小／最大ボーレート値の算出式から、UARTAnと送信先とのボーレートの許容誤差を求めるときのようになります。

表15-4 許容最大／最小ボーレート誤差

分周比 (k)	許容最大ボーレート誤差	許容最小ボーレート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

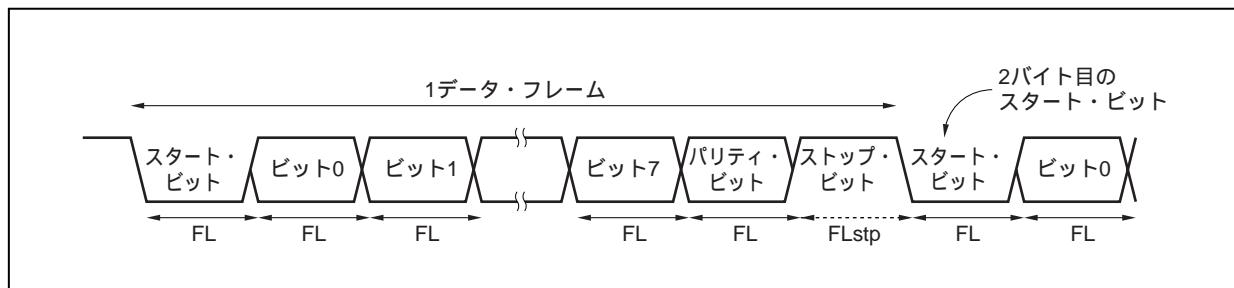
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

(6) 連続送信時の転送レート

連続送信する場合、トップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図15-18 連続送信時の転送レート



1ビット・データ長 : FL , ストップ・ビット長 : $FLstp$, 基本クロック周波数 : f_{UCLK} とすると次の式が成り立ちます。

$$FLstp = FL + 2 / f_{UCLK}$$

したがって、連続送信での転送レートは次のようにになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{UCLK})$$

15.8 注意事項

- (1) UARTAnへの供給クロックが停止する場合（例：IDLE1, IDLE2, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持し出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし、回路を初期化してください。
- (2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。
- (3) UARTAnでは、通信エラーによる割り込みを発生しません。そのため、DMA転送で送信データ、受信データの転送を行う場合、転送中にエラー（パリティ / オーバラン / フレーミング）が発生しても、エラー処理を行えません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか、通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。
- (4) UARTAnの起動は次の順序で行ってください。
- UAnCTL0.UAnPWRビット = 1
 - ポートの設定
 - UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1
- (5) UARTAnの停止は次の順序で行ってください。
- UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0
 - ポートの設定、UAnCTL0.UAnPWRビット = 0（ポートの設定は変更しなくても問題ありません）
- (6) 送信モード中（UAnCTL0.UAnPWRビット = 1,かつUAnCTL0.UAnTXEビット = 1）に、ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。
- (7) 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分伸びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。

第16章 3線式可変長シリアルI/O (CSIB)

16.1 CSIBとほかのシリアル・インターフェースのモード切り替え

16.1.1 CSIB4とUARTA0のモード切り替え

V850ES/JG2では、CSIB4とUARTA0は端子が兼用になっており、同時に使用できません。CSIB4を使用するときは、あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意 CSIB4またはUARTA0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16-1 CSIB4とUARTA0のモード切り替え設定

リセット時 : 0000H R/W アドレス : FFFFF446H, FFFFF447H														
PMC3														
15 14 13 12 11 10 9 8														
0 0 0 0 0 0 PMC39 PMC38														
7 6 5 4 3 2 1 0														
0 0 PMC35 PMC34 PMC33 PMC32 PMC31 PMC30														
リセット時 : 0000H R/W アドレス : FFFFF466H, FFFFF467H														
PFC3														
15 14 13 12 11 10 9 8														
0 0 0 0 0 0 PFC39 PFC38														
7 6 5 4 3 2 1 0														
0 0 PFC35 PFC34 PFC33 PFC32 PFC31 PFC30														
リセット時 : 00H R/W アドレス : FFFFF706H														
PFCE3L														
7 6 5 4 3 2 1 0														
0 0 0 0 0 PFCE32 0 0														
動作モード														
PMC32	PFCE32	PFC32	ポート入出力モード											
0	x	x	ASCKA0											
1	0	0	SCKB4											
動作モード														
PMC3n	PFC3n	ポート入出力モード												
0	x	UARTA0モード												
1	0	CSIB4モード												
備考1. n = 0, 1 2. x = don't care														

16.1.2 CSIB0とI²C01のモード切り替え

V850ES/JG2では、CSIB0とI²C01は端子が兼用になっており、同時に使用できません。CSIB0を使用するときは、あらかじめPMC4、PFC4レジスタで設定する必要があります。

注意 CSIB0またはI²C01において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16-2 CSIB0とI²C01のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H																			
PMC4	7 0	6 0	5 0	4 0	3 0	2 PMC42	1 PMC41	0 PMC40											
リセット時 : 00H R/W アドレス : FFFFF468H																			
PFC4	7 0	6 0	5 0	4 0	3 0	2 0	1 PFC41	0 PFC40											
<table border="1"> <thead> <tr> <th>PMC4n</th><th>PFC4n</th><th>動作モード</th></tr> </thead> <tbody> <tr> <td>0</td><td>x</td><td>ポート入出力モード</td></tr> <tr> <td>1</td><td>0</td><td>CSIB0モード</td></tr> <tr> <td>1</td><td>1</td><td>I²C01モード</td></tr> </tbody> </table>								PMC4n	PFC4n	動作モード	0	x	ポート入出力モード	1	0	CSIB0モード	1	1	I ² C01モード
PMC4n	PFC4n	動作モード																	
0	x	ポート入出力モード																	
1	0	CSIB0モード																	
1	1	I ² C01モード																	
備考1. n = 0, 1 2. x = don't care																			

16.2 特 徵

転送速度：最大8 Mbps ($f_{xx} = 20 \text{ MHz}$, 内部クロック使用時)

マスター・モードとスレーブ・モードを選択可能

8-16ビット転送, 3線式シリアル・インターフェース

割り込み要求信号 (INTCBnT, INTCBnR) × 2

シリアル・クロックとデータのフェーズ切り替えが可能

転送データ長を8-16ビットに1ビット単位で選択可能

転送データのMSB先頭/LSB先頭を切り替え可能

3線式 SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

SCKBn : シリアル・クロック入出力

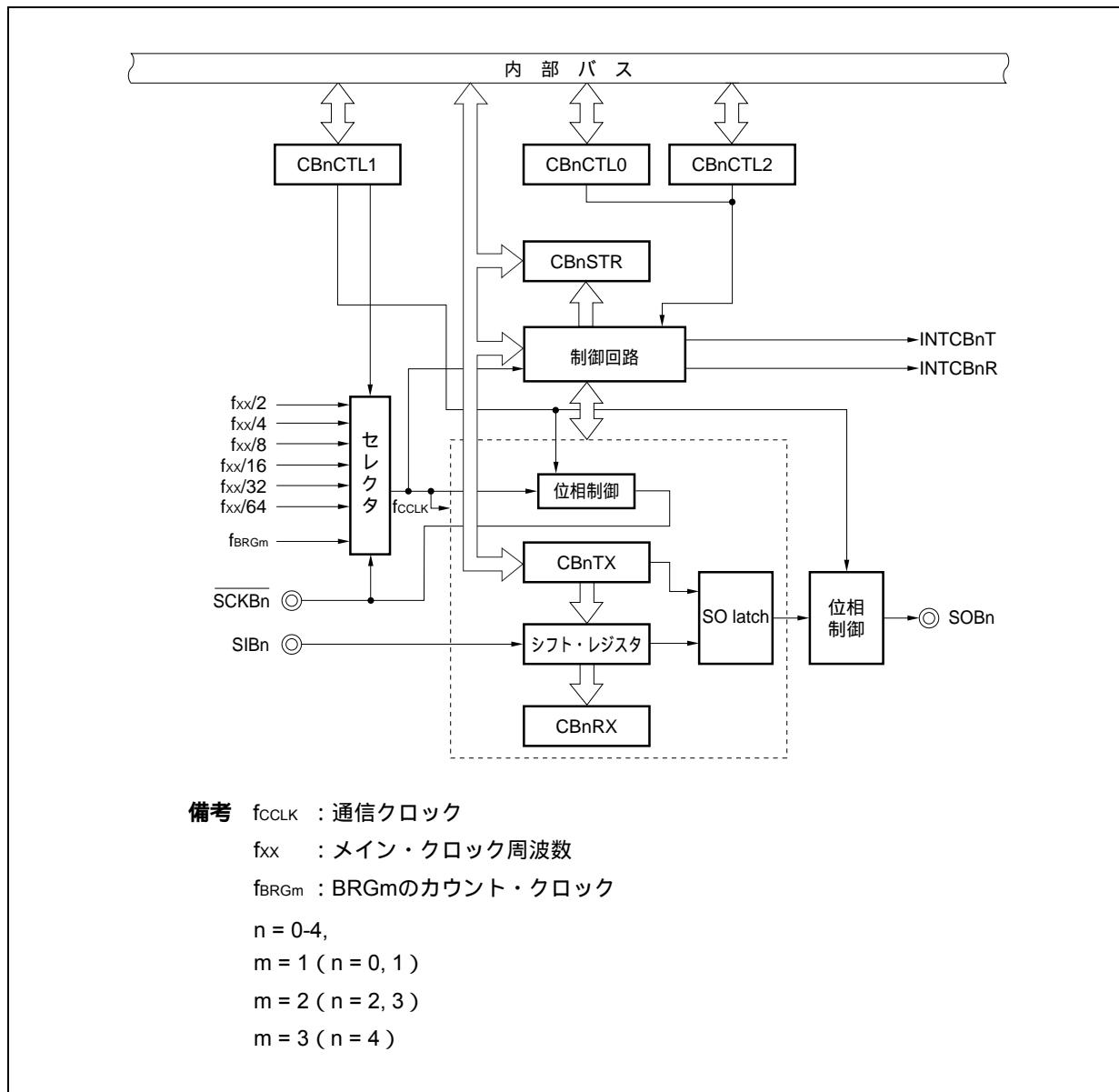
送信モード, 受信モード, 送受信モードを指定可能

備考 n = 0-4

16.3 構成

次にCSIBnのブロック図を示します。

図16-3 CSIBnのブロック図



CSIBnは、次のハードウェアで構成されています。

表16-1 CSIBnの構成

項目	構成
レジスタ	CSIBn受信データ・レジスタ (CBnRX) CSIBn送信データ・レジスタ (CBnTX)
制御レジスタ	CSIBn制御レジスタ0 (CBnCTL0) CSIBn制御レジスタ1 (CBnCTL1) CSIBn制御レジスタ2 (CBnCTL2) CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

16ビット単位でリードのみ可能です。

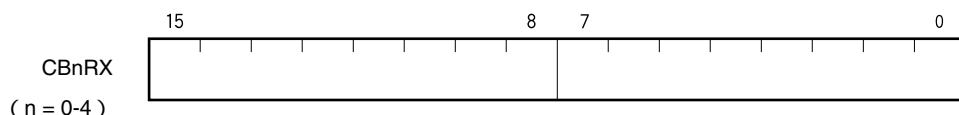
受信許可状態中に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア(0)しても初期化されます。

リセット時 : 0000H R アドレス : CB0RX FFFFFD04H, CB1RX FFFFFD14H,
 CB2RX FFFFFD24H, CB3RX FFFFFD34H,
 CB4RX FFFFFD44H



(2) CSIBn送信データ・レジスタ (CBnTX)

CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード / ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード / ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : CB0TX FFFFFD06H, CB1TX FFFFFD16H,
 CB2TX FFFFFD26H, CB3TX FFFFFD36H,
 CB4TX FFFFFD46H



備考 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

16.4 レジスタ

CSIBnを制御するレジスタには、次のものがあります。

- CSIBn制御レジスタ0 (CBnCTL0)
 - CSIBn制御レジスタ1 (CBnCTL1)
 - CSIBn制御レジスタ2 (CBnCTL2)
 - CSIBn状態レジスタ (CBnSTR)

(1) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時 : 01H R/W アドレス : CB0CTL0 FFFFFD00H, CB1CTL0 FFFFFD10H,
CB2CTL0 FFFFFD20H, CB3CTL0 FFFFFD30H,
CB4CTL0 FFFFFD40H

CBnPWR	CSIBn動作禁止 / 許可の指定
0	CSIBn動作禁止 , CBnPWRレジスタをリセットする
1	CSIBn動作許可

・CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。

CBnTXE注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可

・CBnTXEビット = 0のとき，SOBn出力はロウ・レベルとなります。

CBnRXE注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただし同時にCBnPWRビット = 1とするのは可能です。

注意 送受信を強制中断する場合は、CBnRXE, CBnTXE ピットではなく、CBnPWR ピットをクリア(0)してください。このとき、クロック出力も停止します。

(2/3)

CBnDIR ^注	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS ^注	転送モードの指定
0	シングル転送モード
1	連続転送モード

【シングル転送モード】

通信の完了で受信完了割り込み (INTCBnR) を発生します。

送信許可 (CBnTXEビット = 1) の場合でも送信許可割り込み (INTCBnT) は発生しません。

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) も、通信中 (CBnSTR.CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

【連続転送モード】

通信中 (CBnSTR.CBnTSFビット = 1) に次の送信データをライトすることで連続送信が可能です。

次の送信データがライト可能になるのは、送信許可割り込み (INTCBnT) 発生後です。

また、連続転送モードで受信のみの通信に設定 (CBnTXEビット = 0, CBnRXEビット = 1) すると、CBnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCBnR) 後、連続して次の受信を開始します。

そのため、速やかにCBnRXレジスタから受信データを読み出してください。読み出しが遅れるとオーバラン・エラー (CBnOVEビット = 1) が発生します。

注 CBnPWRビット = 0の場合のみ書き換えが可能ですが、ただし同時にCBnPWRビット = 1とするのは可能です。

CBnSCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。

(a) シングル送信 / 送受信モード , 連続送信 / 送受信モード時
CBnSCEビットの設定は、動作に影響ありません。

(b) シングル受信モード時
受信データ (CBnRXレジスタ) のリードで受信動作が起動されるため、最終受信データのリードを行う前にCBnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください注¹。

(c) 連続受信モード時
最終データの受信が完了する1通信クロック前までにCBnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください注²。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
CBnSCEビットは“1”に設定してください。

【CBnSCEビットの使用方法】

- ・シングル受信モード時
INTCBnR割り込み処理で最終データの受信が完了している場合には、CBnSCEビット = 0にしてからCBnRXレジスタを読み出す。
CBnSTR.CBnTSFビット = 0を確認後、受信を禁止する場合、CBnRXEビット = 0とする。
続けて受信をする場合には、CBnSCEビット = 1にしてCBnRXレジスタのダミー・リードにより次の受信動作を起動する。
- ・連続受信モード時
INTCBnR割り込み処理で最終データ受信中にCBnSCEビット = 0とする。
CBnRXレジスタを読み出す。
CBnTIR割り込みを受けて、CBnRXレジスタを読み出すことで、最終受信データを読み出す。
CBnSTR.CBnTSFビット = 0を確認後、受信を禁止する場合、CBnRXEビット = 0とする。
続けて受信をする場合には、CBnSCEビット = 1にしてCBnRXレジスタのダミー・リードにより次の受信動作まで待つ。

- 注1. CBnSCEビットが“1”的ままリードした場合、次回の通信動作が起動されま
す。
2. 最終データの受信を完了する1通信クロック前までにCBnSCEビットを“0”
にしない場合、自動的に次回の通信動作が起動されます。

注意 ビット3, 2には必ず0を設定してください。

(2) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時 : 00H R/W アドレス : CB0CTL1 FFFFFD01H, CB1CTL1 FFFFFD11H,
CB2CTL1 FFFFFD21H, CB3CTL1 FFFFFD31H,
CB4CTL1 FFFFFD41H

CBnCTL1 (n = 0-4)	7	6	5	4	3	2	1	0
	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (f _{CCLK}) 注	モード
0	0	0	f _{xx} /2	マスター・モード
0	0	1	f _{xx} /4	マスター・モード
0	1	0	f _{xx} /8	マスター・モード
0	1	1	f _{xx} /16	マスター・モード
1	0	0	f _{xx} /32	マスター・モード
1	0	1	f _{xx} /64	マスター・モード
1	1	0	f _{BRGm}	マスター・モード
1	1	1	外部クロック (SCKBn)	スレーブ・モード

注 通信クロック (f_{CCLK}) は、8 MHz以下になるように設定してください。

備考 n = 0, 1の場合 , m = 1

n = 2, 3の場合 , m = 2

n = 4の場合 , m = 3

f_{BRGm}についての詳細は16.8 ポート・レート・ジェネレータを参照してください。

(3) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送ビット数を制御する8ビットのレジスタです。
8ビット単位でリード / ライト可能です。
リセットにより00Hになります。

注意 CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0 の場合のみ書き換えが可能です。

リセット時 : 00H R/W アドレス : CB0CTL2 FFFFFD02H, CB1CTL2 FFFFFD12H,
CB2CTL2 FFFFFD22H, CB3CTL2 FFFFFD32H,
CB4CTL2 FFFFFD42H

CBnCTL2 (n=0-4)	7	6	5	4	3	2	1	0
	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	x	x	x	16ビット

備考1. 転送ビット数が8/16ビットではない場合には、CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

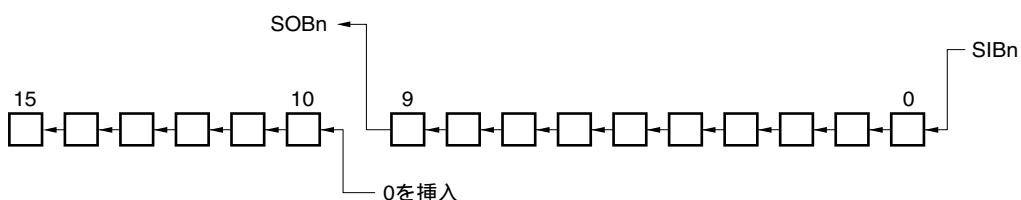
2. x : don't care

(a) 転送データ長変更機能

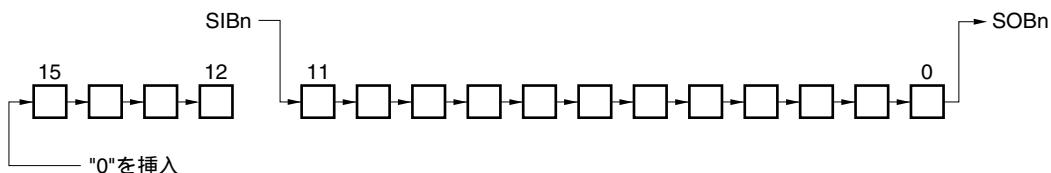
CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CBnTX、CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

(i) 転送ビット長 = 10ビット、MSBファーストの場合



(ii) 転送ビット長 = 12ビット、LSBファーストの場合



(4) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード / ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア(0)する場合も初期化されます。

リセット時 : 00H R/W アドレス : CB0STR FFFFFD03H, CB1STR FFFFFD13H,
 CB2STR FFFFFD23H, CB3STR FFFFFD33H,
 CB4STR FFFFFD43H

CBnSTR (n = 0-4)	⑦	6	5	4	3	2	1	⑨
	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
• 送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。 受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア(0)されます。	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
• 受信時もしくは受信動作完了後に、受信バッファの値をCPUがリードせずに次の受信が完了した場合、オーバラン・エラーとなります。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 • シングル転送モード時もCBnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。 • CBnOVEフラグのチェックを行わない。 • 受信データを読み出す必要がない場合でも読み出す。 • CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。	

16.5 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTCBnR)
- ・送信許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のディフォールト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表16-2 発生する割り込みとディフォールト優先順位

割り込み	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCBnR割り込み要求信号が発生します。

(2) 送信許可割り込み要求信号 (INTCBnT)

連続送信 / 連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

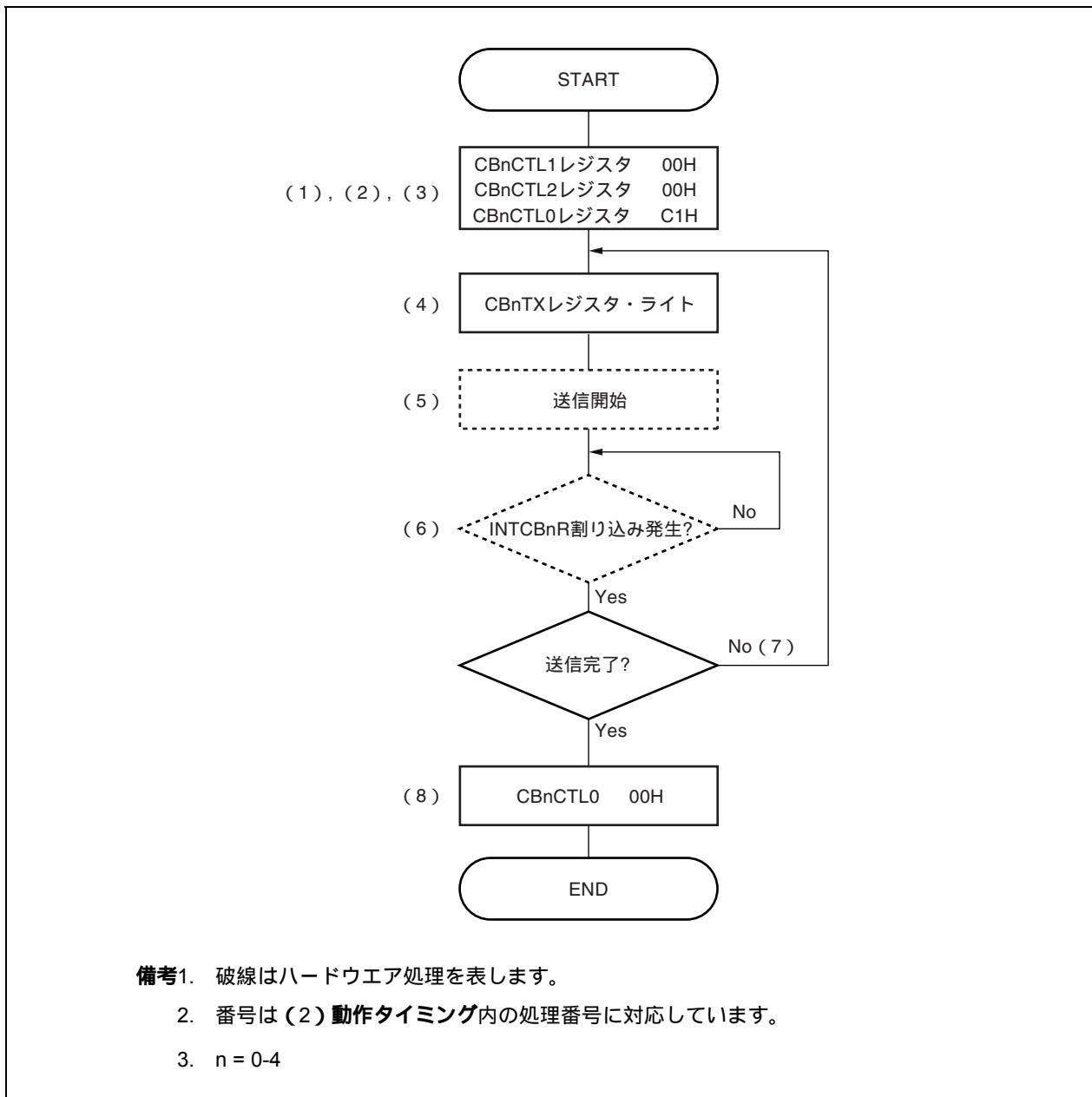
シングル送信 / シングル送受信モードにおいては、INTCBnT割り込みは発生しません。

16.6 動 作

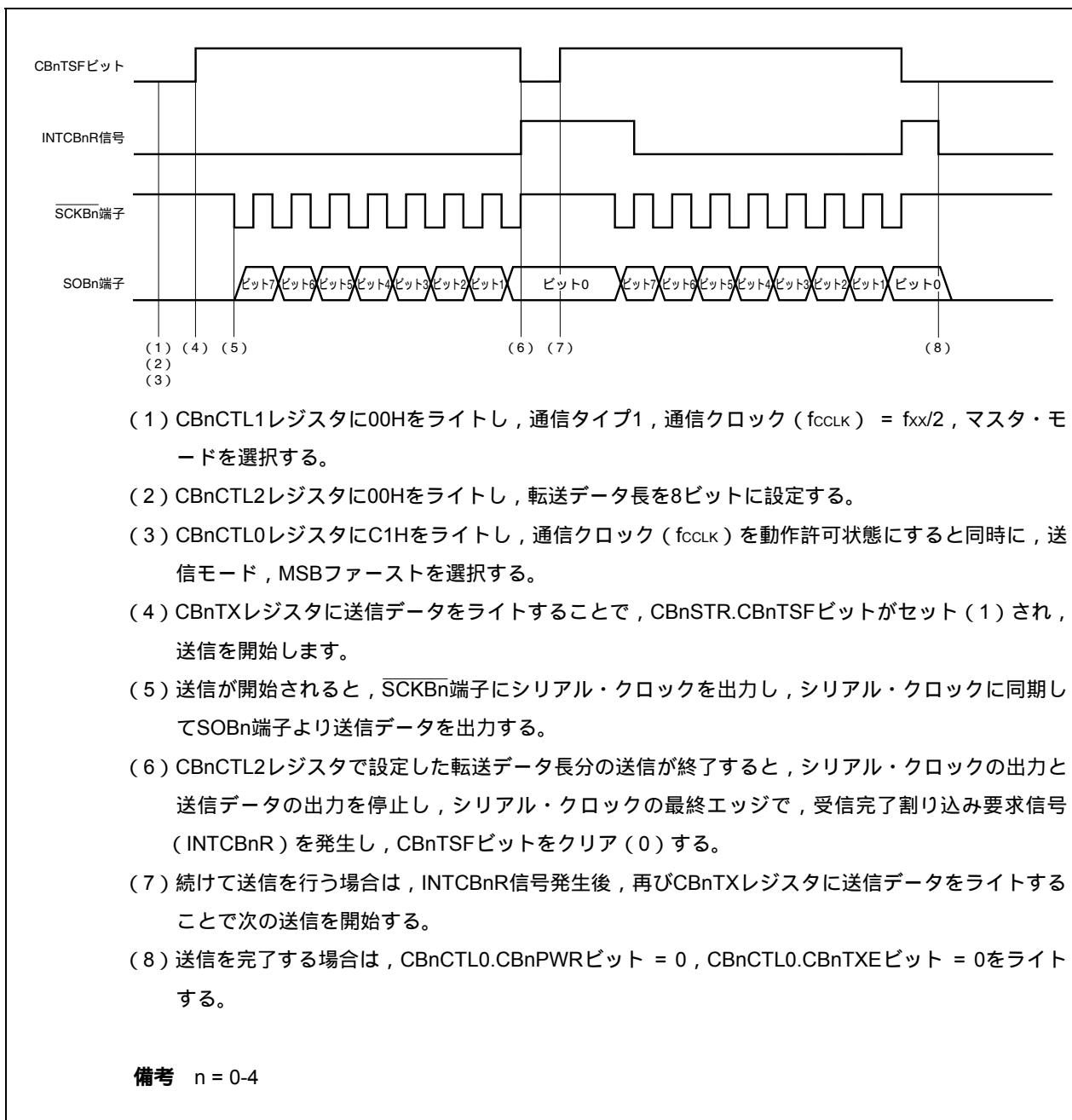
16.6.1 シングル転送モード(マスタ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),
 通信クロック(f_{CCLK}) = $fxx/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット
 (CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



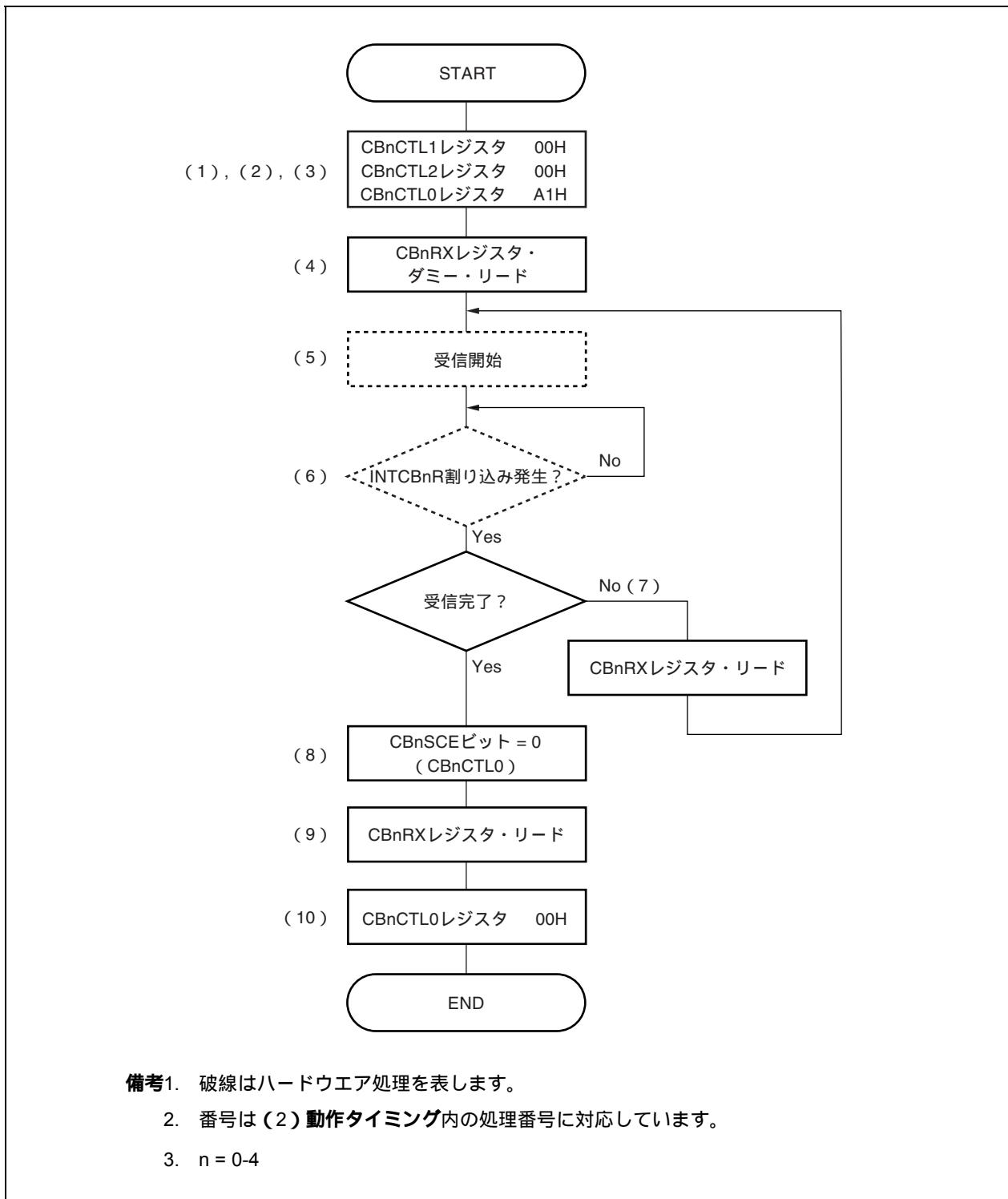
(2) 動作タイミング



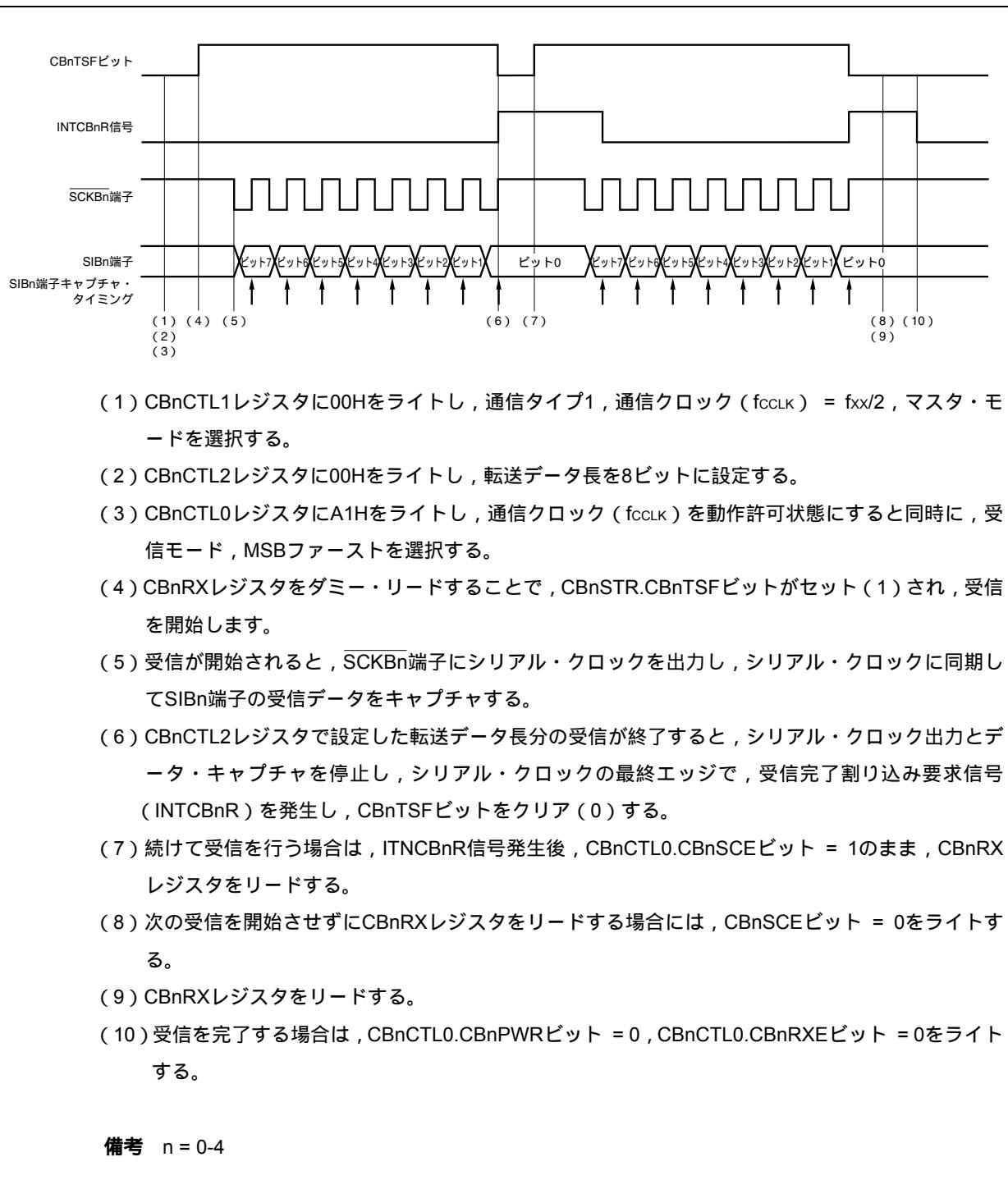
16.6.2 シングル転送モード(マスタ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCCLK}) = f_{xx}/2 (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



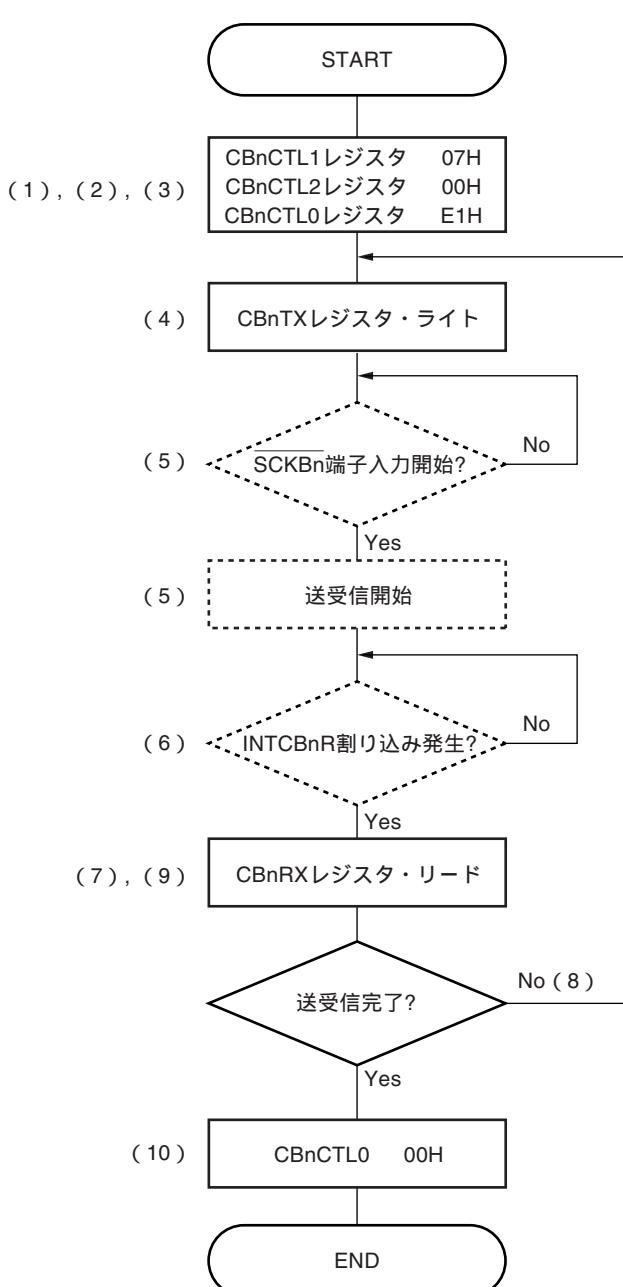
(2) 動作タイミング



16.6.3 シングル転送モード(マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(fcclk) = fxx/2(CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

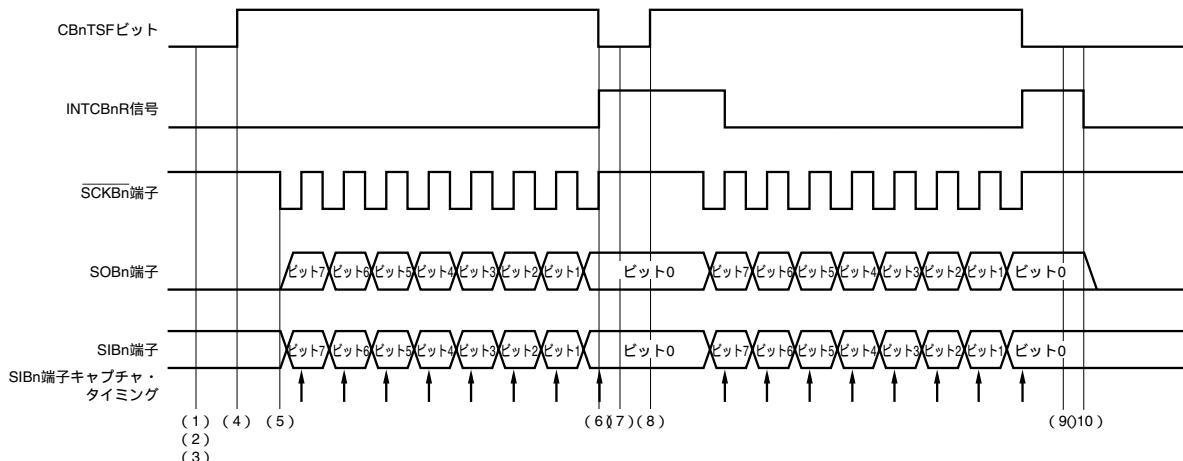
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0-4

(2) 動作タイミング



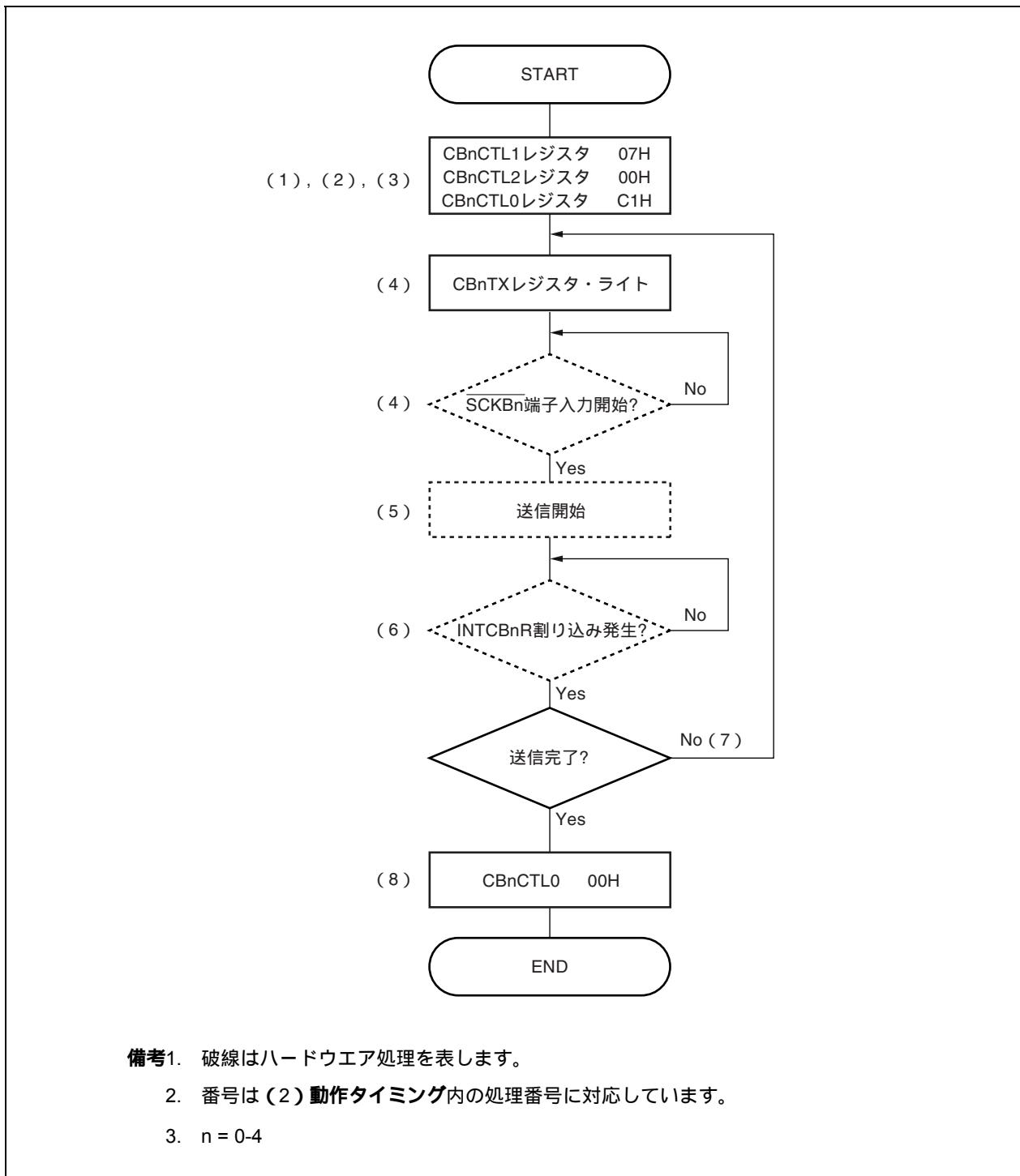
- (1) CBnCTL1レジスタに00Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = $f_{xx}/2$, マスター・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態になると同時に, 送受信モード, MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで, CBnSTR.CBnTSFビットがセット(1)され, 送受信を開始します。
- (5) 送受信が開始されると, SCKBn端子にシリアル・クロックを出力し, シリアル・クロックに同期してSOBn端子に送信データを出し, SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると, シリアル・クロックの出力, 送信データの出力, データ・キャプチャを停止し, シリアル・クロックの最終エッジで, 受信完了割り込み要求信号 (INTCBnR) を発生し, CBnTSFビットをクリア(0)する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は, 再びCBnTXレジスタに送信データをライトする。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は, CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTxEビット = 0, CBnCTL0.CBnRxEビット = 0をライトする。

備考 n = 0-4

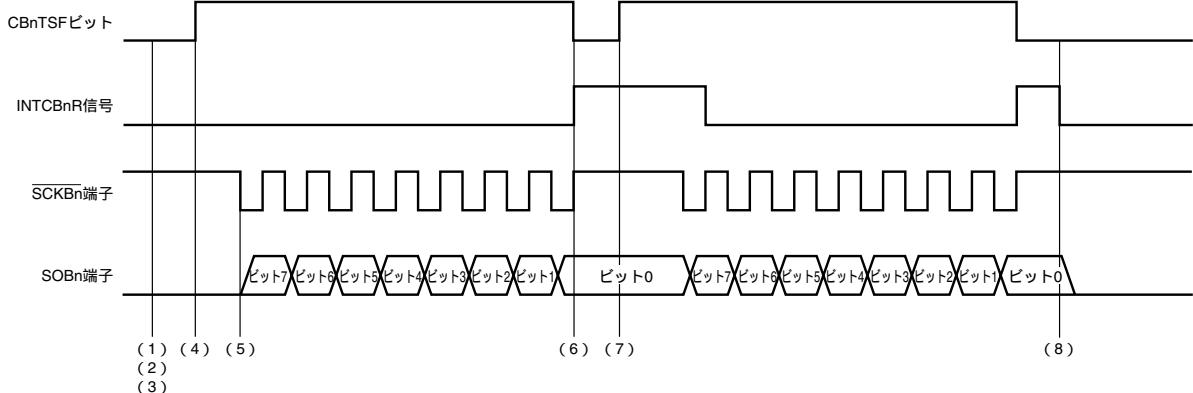
16.6.4 シングル転送モード(スレーブ・モード, 送信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(\overline{SCKBn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



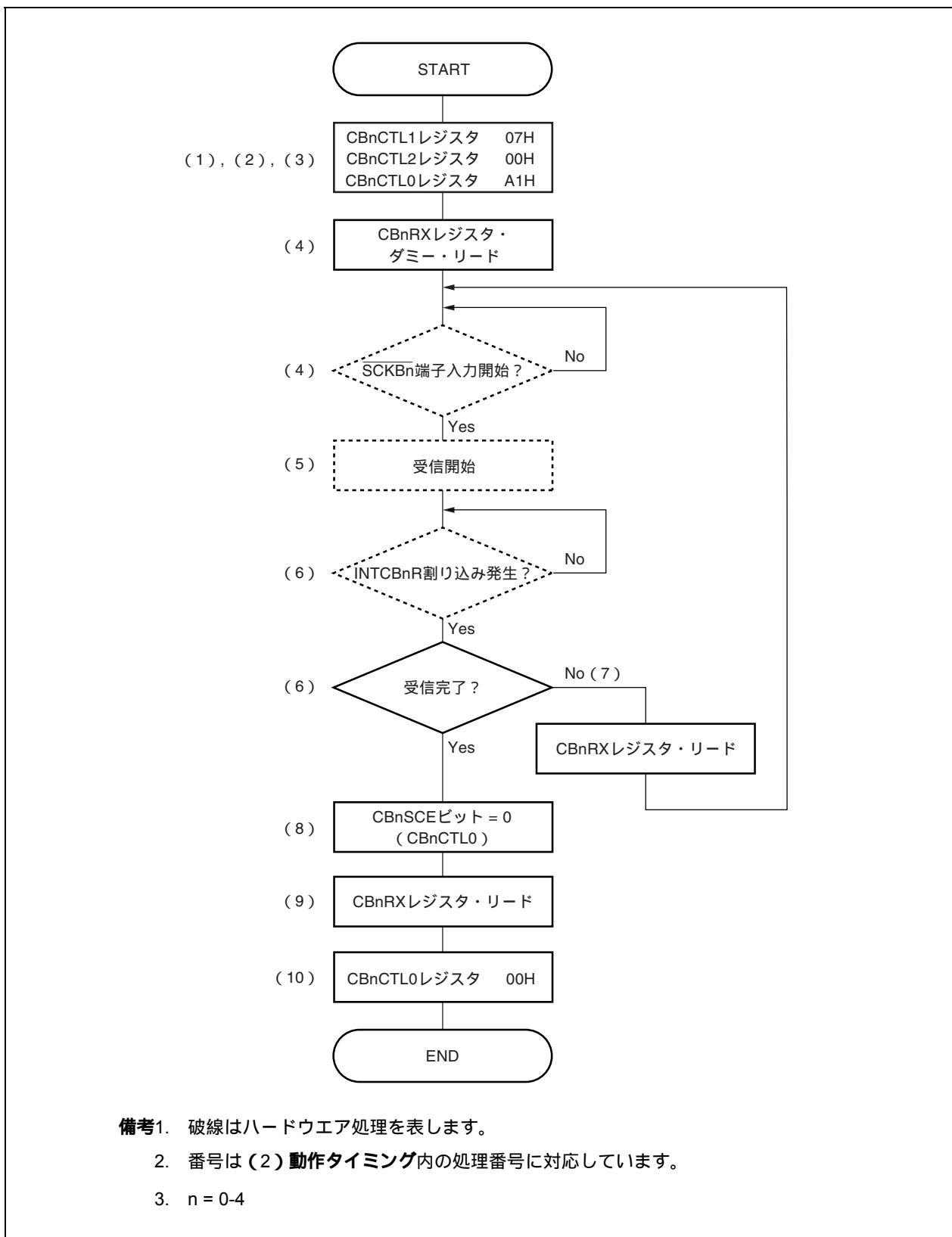
- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック (\overline{SCKBn})、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア(0)する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再びCBnTXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTxEビット = 0をライトする。

備考 n = 0-4

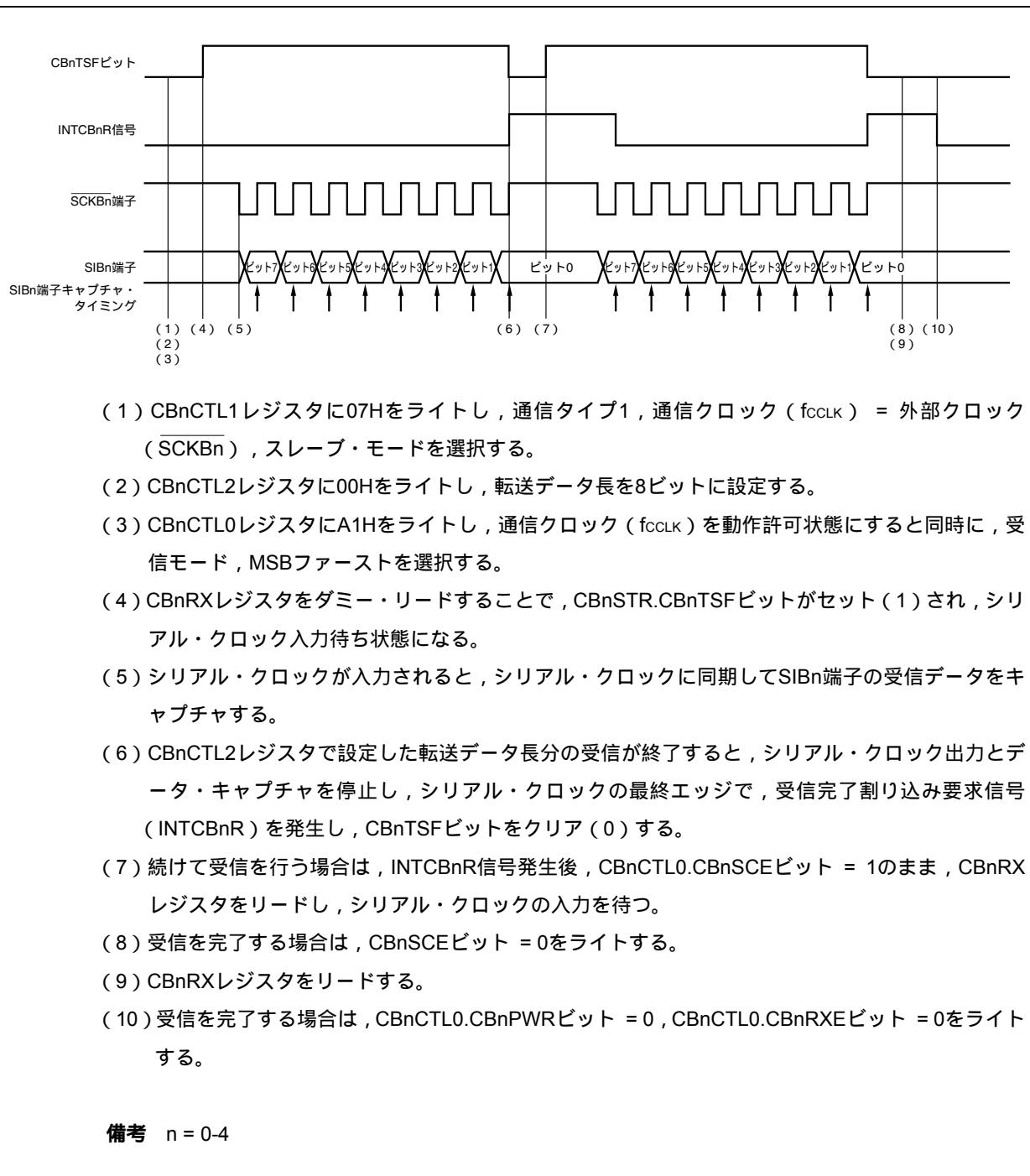
16.6.5 シングル転送モード(スレーブ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(SCKBn) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



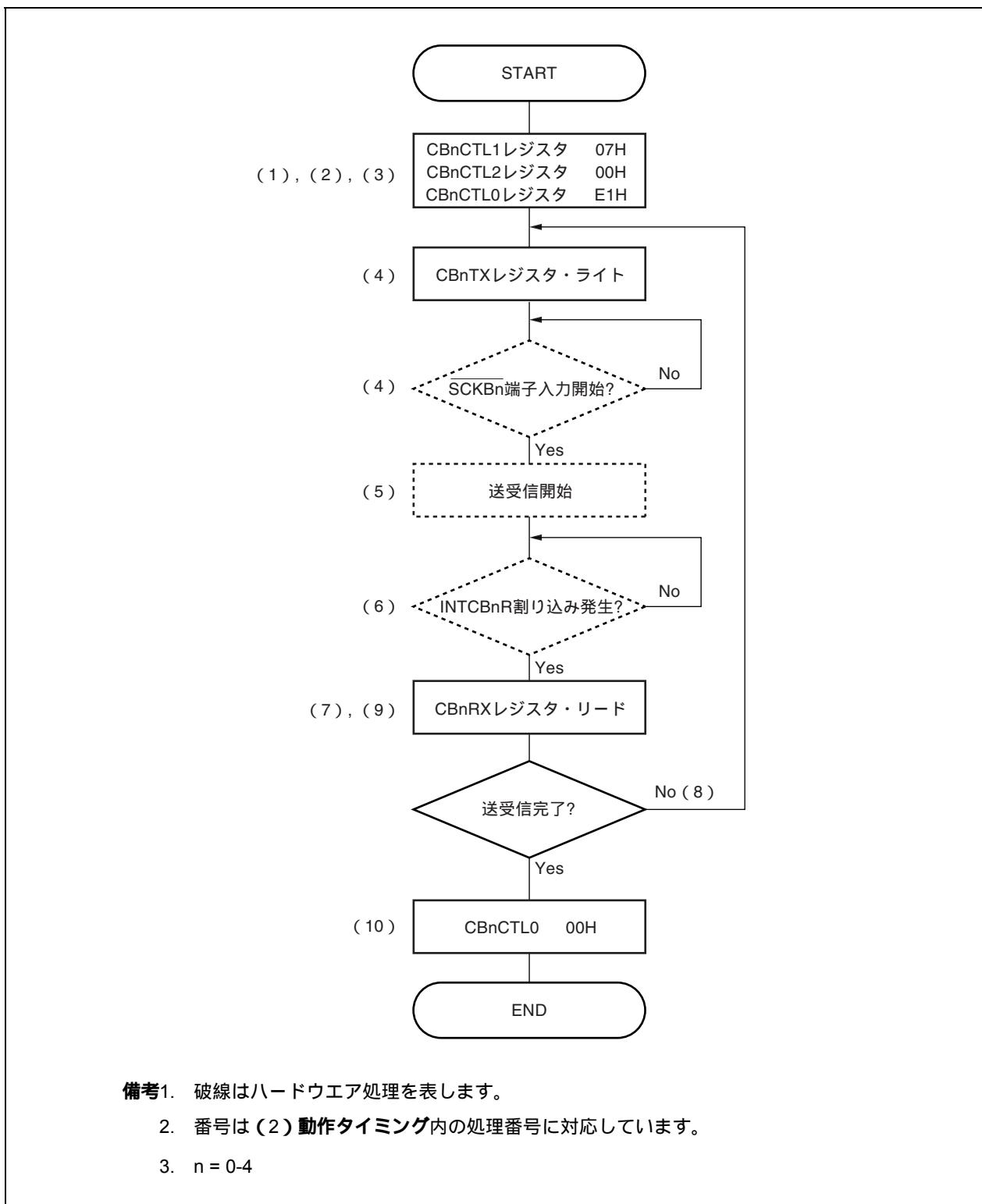
(2) 動作タイミング



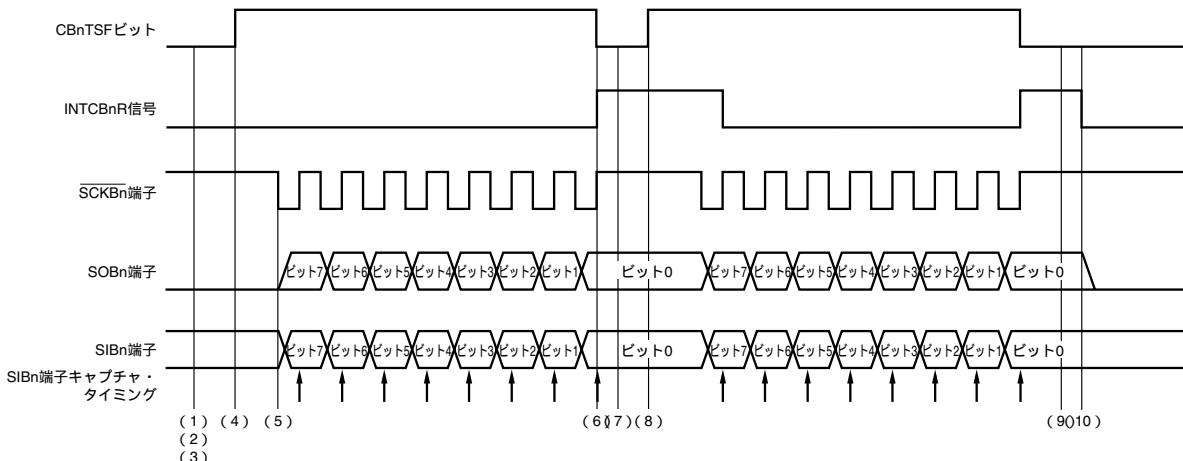
16.6.6 シングル転送モード(スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック(f_{CCLK}) = 外部クロック(SCKBn) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



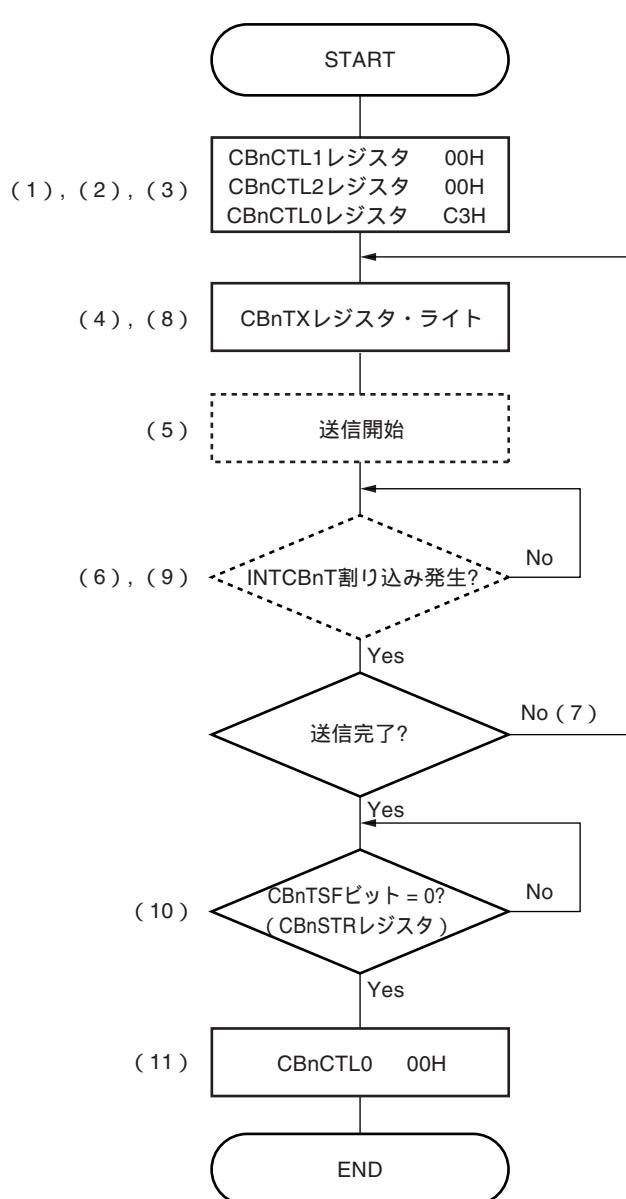
- (1) CBnCTL1レジスタに07Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = 外部クロック (\overline{SCKBn}), スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態になると同時に, 送受信モード, MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで, CBnSTR.CBnTSFビットがセット(1)され, シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると, シリアル・クロックに同期してSOBn端子に送信データを出力し, SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると, シリアル・クロックの出力, 送信データの出力, データ・キャプチャを停止し, シリアル・クロックの最終エッジで, 受信完了割り込み要求信号 (INTCBnR) を発生し, CBnTSFビットをクリア(0)する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は, 再びCBnTXレジスタに送信データをライトし, シリアル・クロックの入力を待つ。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は, CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0-4

16.6.7 連続転送モード(マスタ・モード, 送信モード)

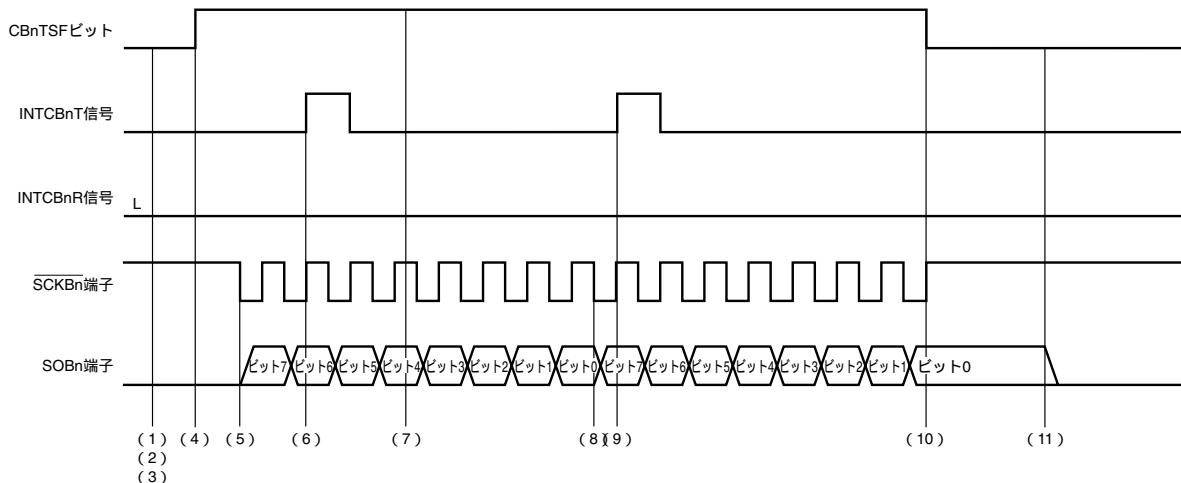
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(fcclk) = fxx/2(CBnCTL1.CBnCKS2-CBnCKS0ビット = 000),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
- 2. 番号は(2)動作タイミング内の処理番号に対応しています。
- 3. n = 0-4

(2) 動作タイミング



- (1) CBnCTL1レジスタに00Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = $f_{xx}/2$, マスター・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態になると同時に, 送信モード, MSBファースト, 連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで, CBnSTR.CBnTSFビットがセット(1)され, 送信を開始します。
- (5) 送信が開始されると, SCKBn端子にシリアル・クロックを出力し, シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し, CBnTXレジスタへのライトが可能になると, 送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は, INTCBnT信号発生後, 再びCBnTXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると, 通信完了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し, INTCBnT信号が発生する。現送信で連続送信を完了する場合は, CBnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は, 転送完了後, SCKBn端子へのシリアル・クロック出力を停止し, CBnTSFビットをクリア(0)する。
- (11) 送信許可状態を解除する場合は, CBnTSFビット = 0を確認後, CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0をライトする。

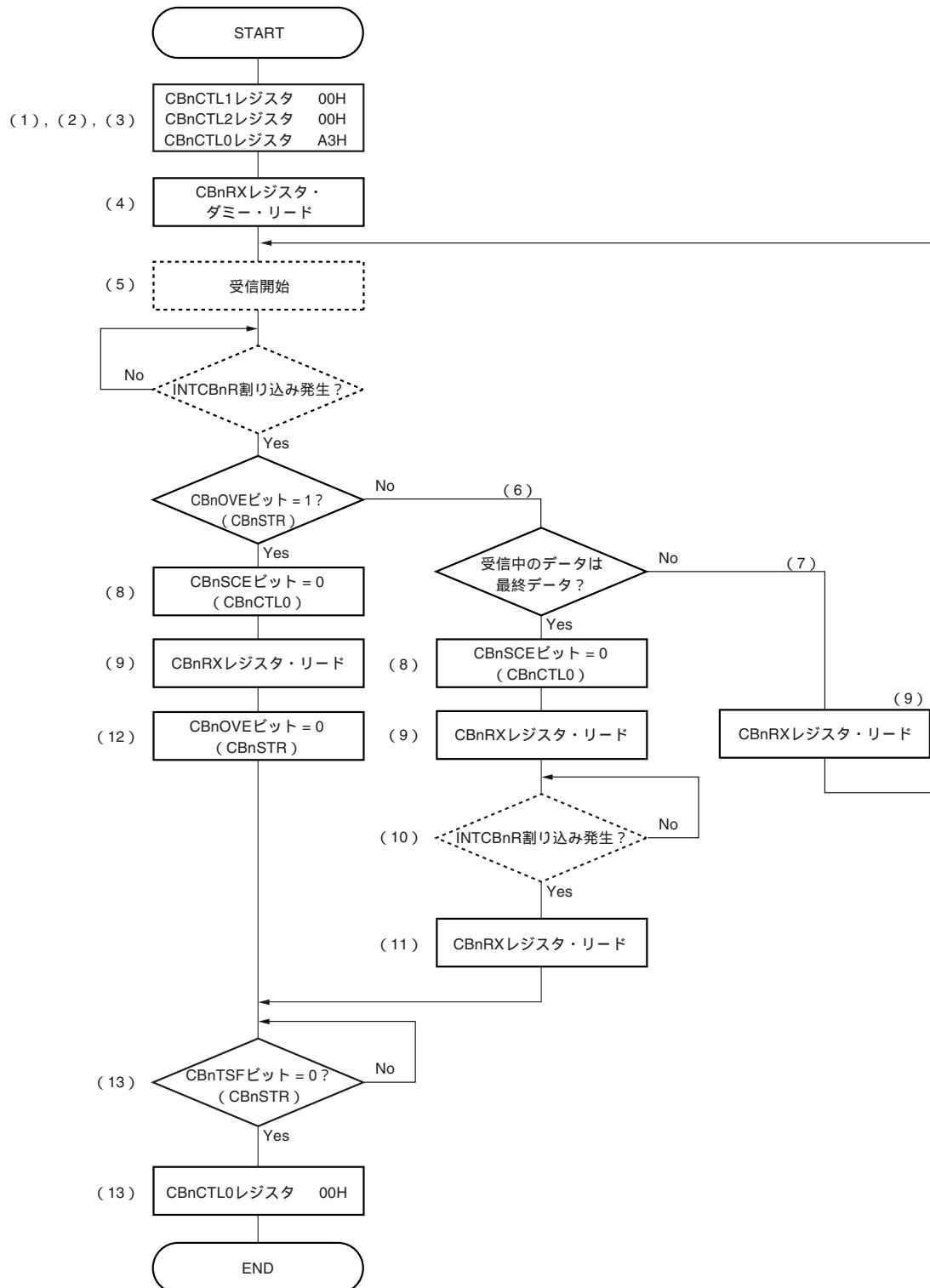
注意 連続送信モードでは, 受信完了割り込み要求信号 (INTCBnR) は発生しません。

備考 n = 0-4

16.6.8 連続転送モード(マスタ・モード, 受信モード)

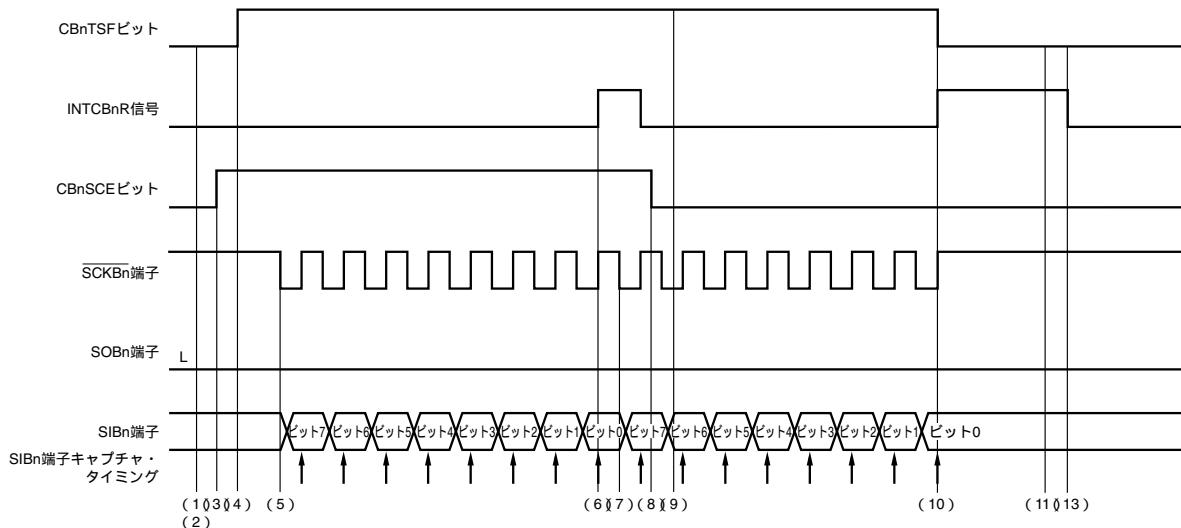
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),
通信クロック (fcclk) = fxx/2 (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット
(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0-4

(2) 動作タイミング



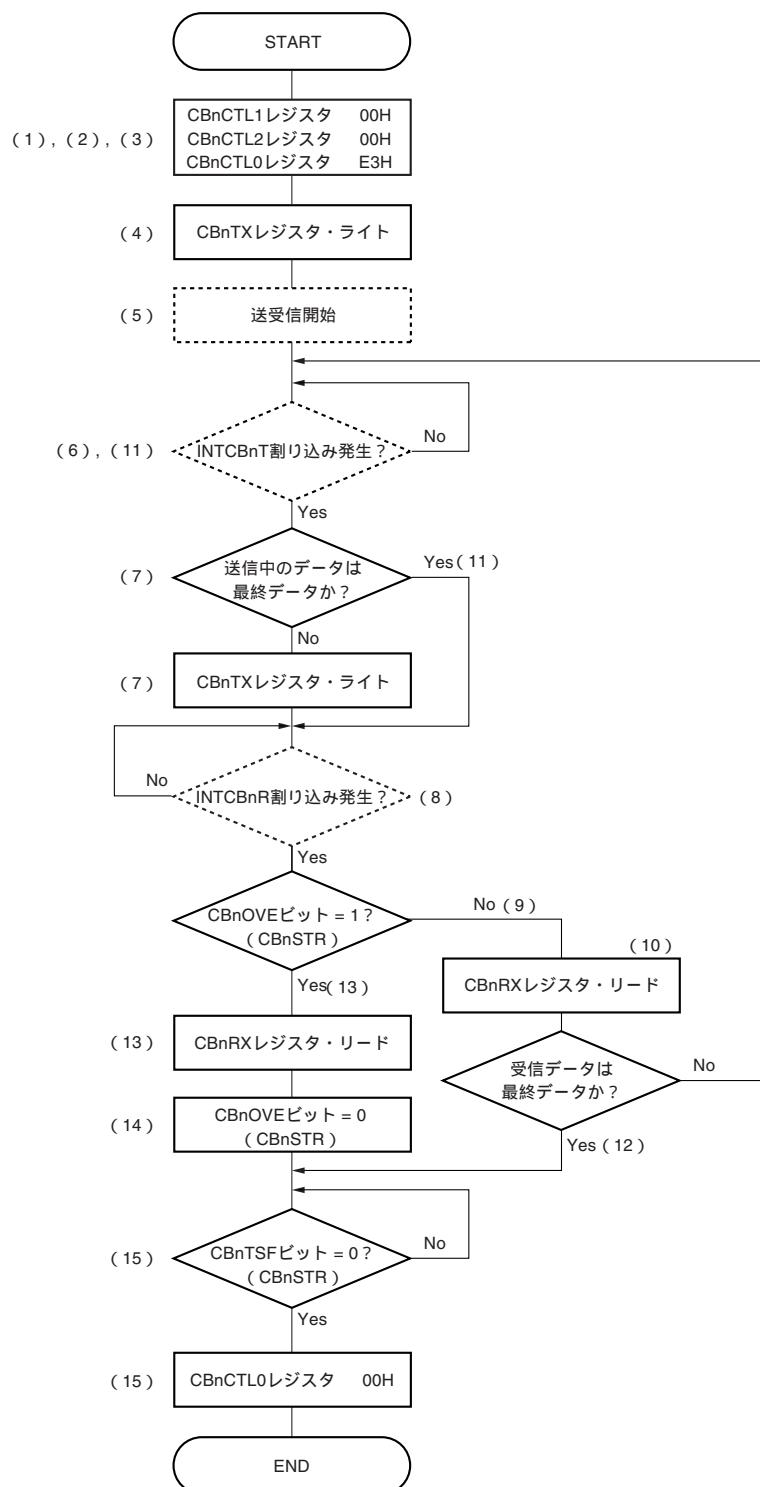
- (1) CBnCTL1レジスタに00Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = $f_{xx}/2$, マスター・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態にすると同時に, 受信モード, MSBファースト, 連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで, CBnSTR.CBnTSFビットがセット(1)され, 受信を開始します。
- (5) 受信が開始されると, SCKBn端子にシリアル・クロックを出力し, シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると, 受信完了割り込み要求信号 (INTCBnR) が発生し, CBnRXレジスタのリードが可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1だと, 通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は, CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると, INTCBnR信号が発生し, CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると, SCKBn端子へのシリアル・クロックの出力を停止し, CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は, CBnSTR.CBnOVEビット = 0をライトして, エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は, CBnTSFビット = 0を確認後, CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0-4

16.6.9 連続転送モード(マスタ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),
通信クロック (fcclk) = fxx/2 (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット
(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー

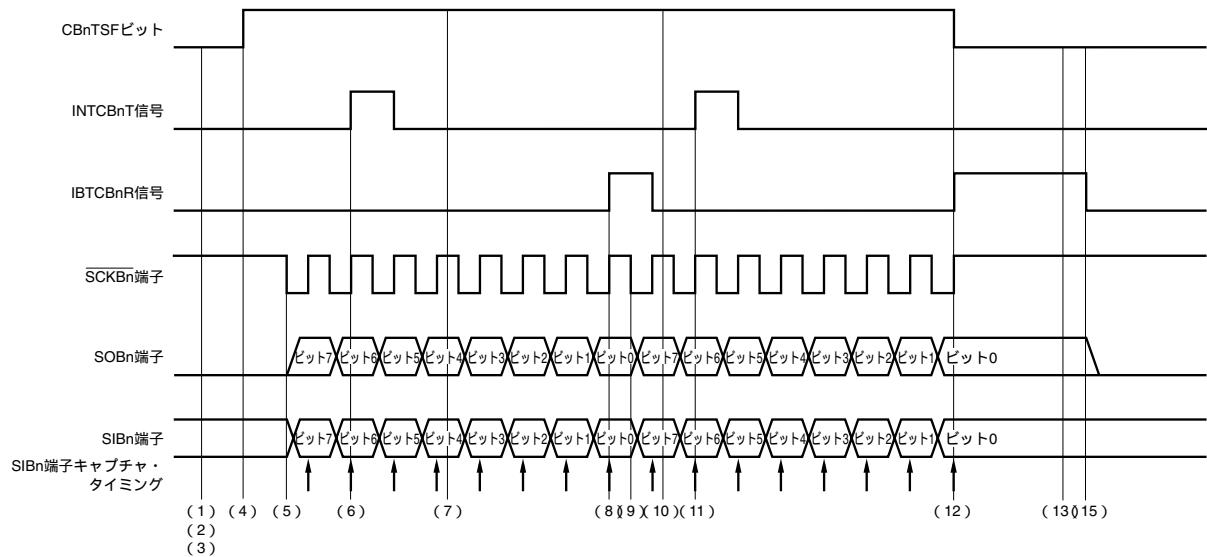


備考1. 破線はハードウエア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0-4

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに00Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = $fxx/2$, マスター・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態にすると同時に, 送受信モード, MSBファースト, 連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで, CBnSTR.CBnTSFビットがセット(1)され, 送受信を開始します。
- (5) 送受信が開始されると, SCKBn端子にシリアル・クロックを出力し, シリアル・クロックに同期してSOBn端子に送信データを出し, SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し, CBnTXレジスタへのライトが可能になると, 送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送受信を行う場合は, INTCBnT信号発生後, 再びCBnTXレジスタに送信データをライトする。
- (8) 1回の送受信が完了すると, 受信完了割り込み要求信号 (INTCBnR) が発生し, CBnRXレジスタのリードが可能になる。
- (9) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると, 通信完了後に続けて次の通信を開始する。
- (10) CBnRXレジスタをリードする。

備考 n = 0-4

(2/2)

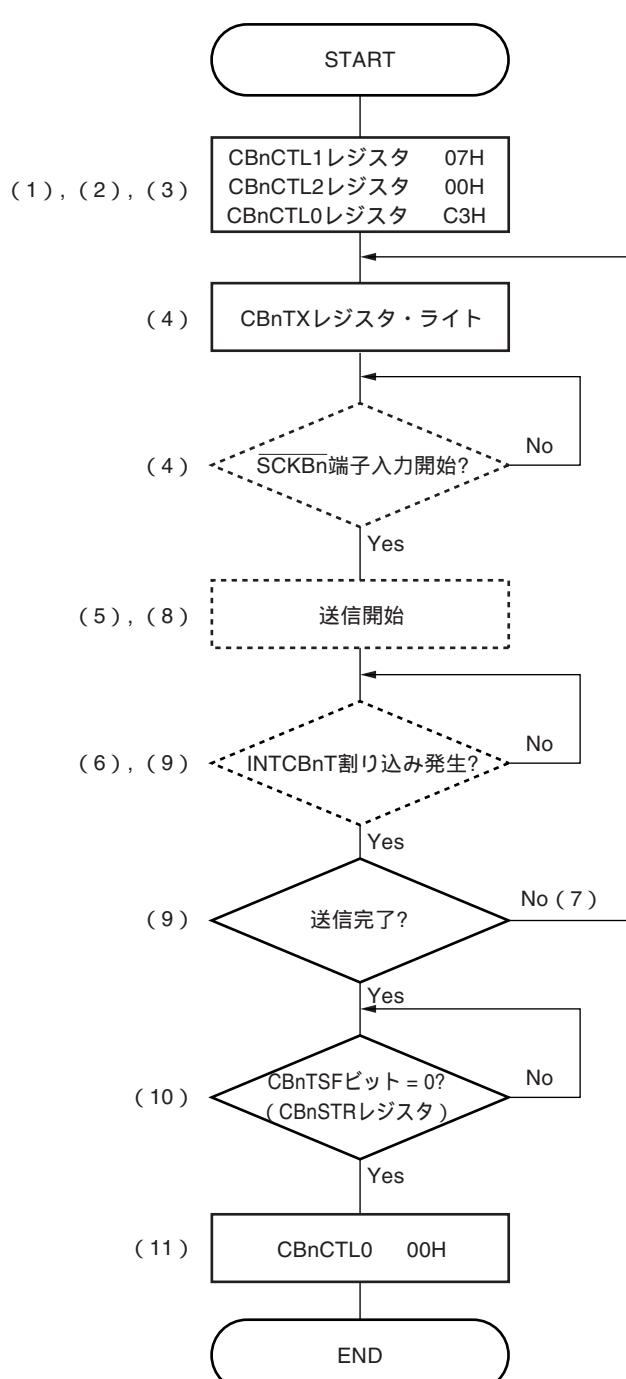
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し , INTCBnT信号が発生する。現送受信で連続送受信を完了する場合は , CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトされない場合は , 転送完了後 , SCKBn 端子へのシリアル・クロック出力を停止し , CBnTSFビットをクリア(0)する。
- (13) 受信エラー割り込み要求信号 (INTCBnR) 発生時は , CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は , CBnSTR.CBnOVEビット = 0をライトして , エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は , CBnTSFビット = 0を確認後 , CBnCTL0.CBnPWRビット = 0 , CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0-4

16.6.10 連続転送モード(スレーブ・モード, 送信モード)

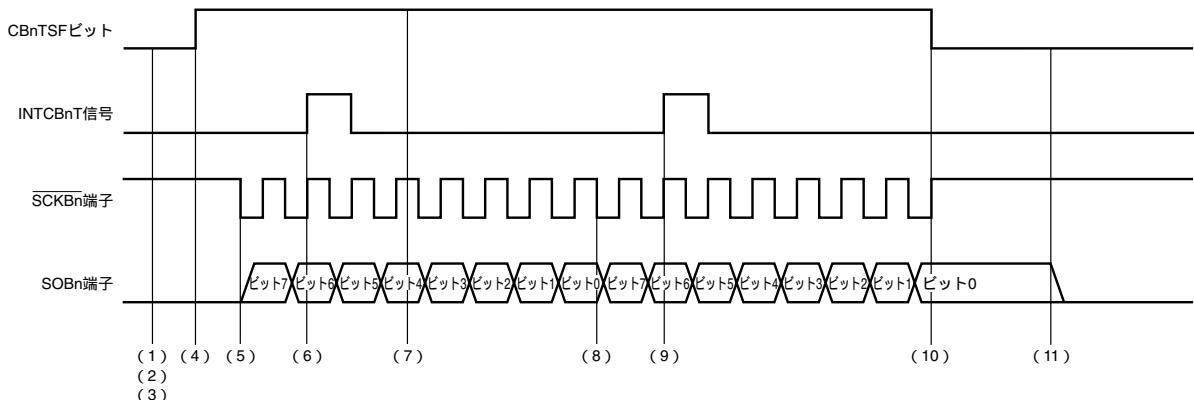
MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),通信クロック(f_{CCLK}) = 外部クロック(SCKBn)(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111),転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。
 3. n = 0-4

(2) 動作タイミング



- (1) CBnCTL1レジスタに07Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = 外部クロック (\overline{SCKBn}), スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態にすると同時に, 送信モード, MSBファースト, 連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで, CBnSTR.CBnTSFビットがセット(1)され, シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると, シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し, CBnTXレジスタへのライトが可能になると, 送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は, INTCBnT信号発生後, 再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると, 連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し, CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を完了する場合は, CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で, CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると, CBnTSFビットをクリア(0)し, 送信を終了する。
- (11) 送信許可状態を解除する場合は, CBnTSFビット = 0を確認後, CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTxEビット = 0をライトする。

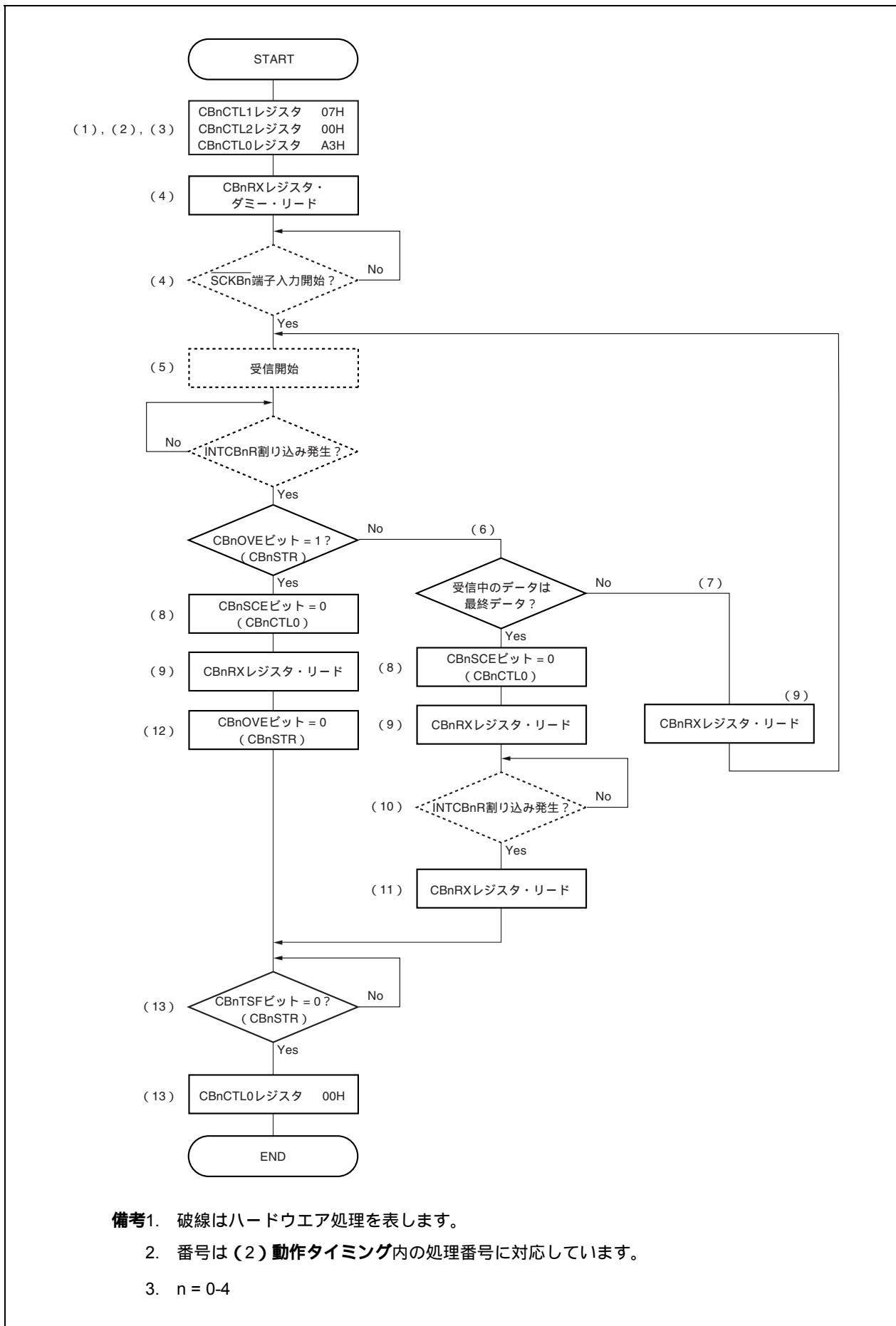
注意 連続送信モードでは, 受信完了割り込み要求信号 (INTCBnR) は発生しません。

備考 n = 0-4

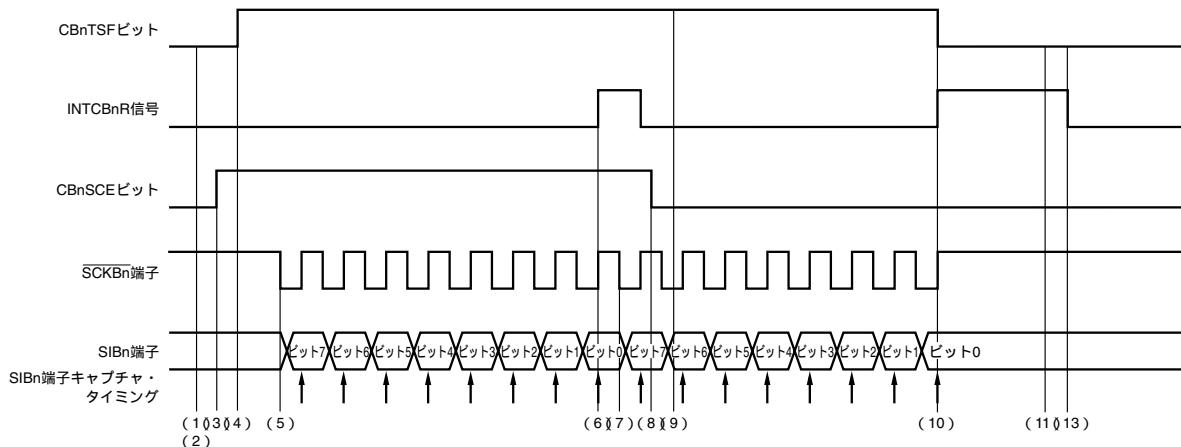
16.6.11 連続転送モード(スレーブ・モード, 受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0),通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),
通信クロック(f_{CCLK}) =外部クロック(\overline{SCKBn})(CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット(CBnCTL2.CBnCL3-CBnCL0ビット = 0000)の場合

(1) 動作フロー



(2) 動作タイミング



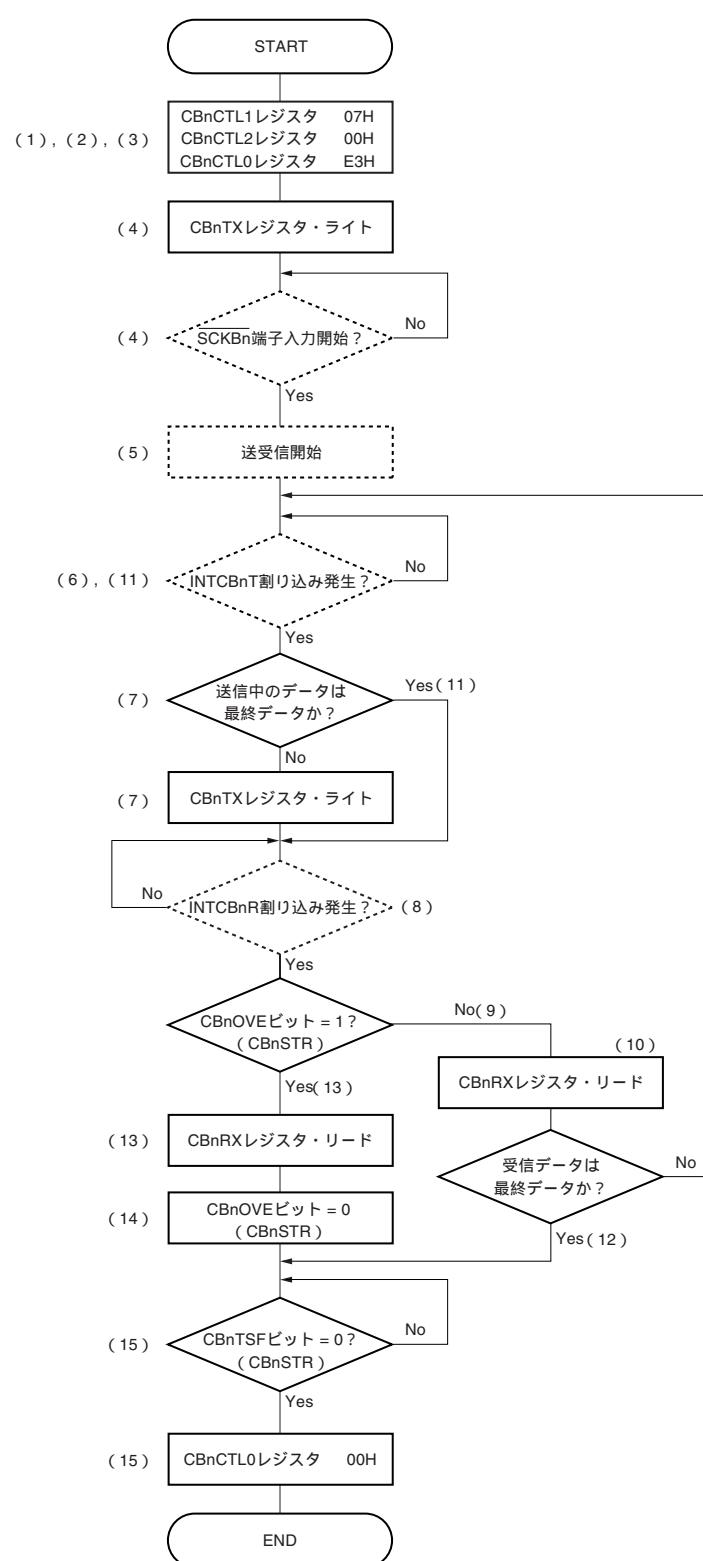
- (1) CBnCTL1レジスタに07Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = 外部クロック (\overline{SCKBn}), スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態になると同時に, 受信モード, MSBファースト, 連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで, CBnSTR.CBnTSFビットがセット(1)され, シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると, シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると, 受信完了割り込み要求信号 (INTCBnR) が発生し, CBnRXレジスタのリードが可能になる。
- (7) CBnCTL0.CBnSCEビット = 1状態でシリアル・クロックが入力されると, 連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は, CBnSCEビット = 0をライトする。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると, INTCBnR信号が発生し, CBnRXレジスタのリードが可能になる。通信完了前にCBnSCEビット = 0に設定されていると, CBnTSFビットをクリア(0)し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) オーバラン・エラー発生時は, CBnSTR.CBnOVEビット = 0をライトして, エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は, CBnTSFビット = 0を確認後, CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0-4

16.6.12 連続転送モード(スレーブ・モード, 送受信モード)

MSBファースト(CBnCTL0.CBnDIRビット = 0), 通信タイプ1(CBnCTL1.CBnCKP, CBnDAPビット = 00),
通信クロック(f_{CCLK}) = 外部クロック(\overline{SCKBn}) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

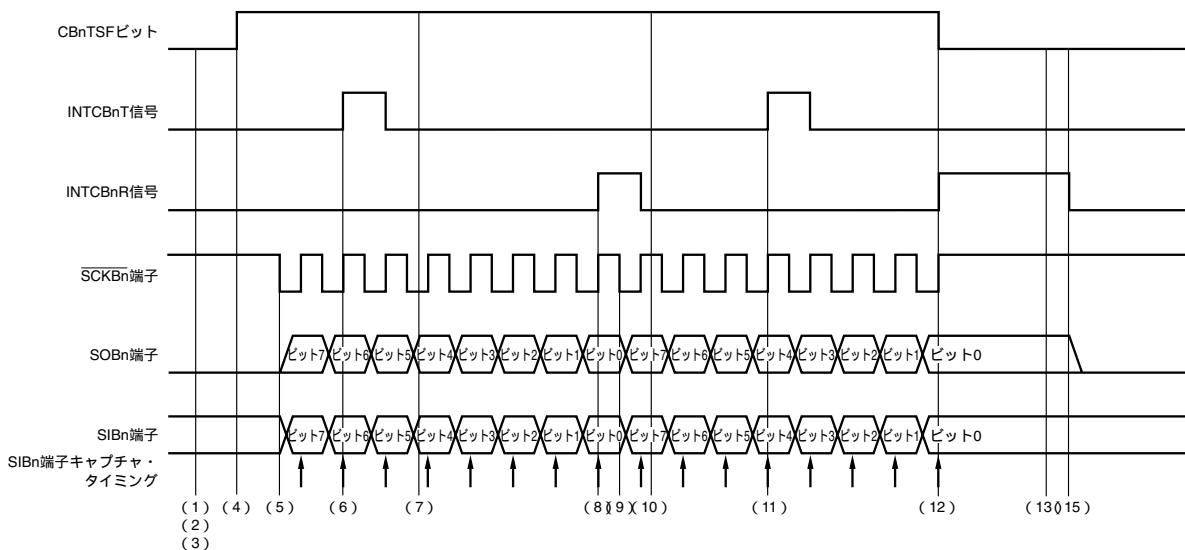
(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。
3. n = 0-4

(2) 動作タイミング

(1/2)



- (1) CBnCTL1レジスタに07Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = 外部クロック (\overline{SCKBn}), スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態になると同時に, 送受信モード, MSBファースト, 連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで, CBnSTR.CBnTSFビットがセット(1)され, シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると, シリアル・クロックに同期してSOBn端子に送信データを出し, SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し, CBnTXレジスタへのライトが可能になると, 送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は, INTCBnT信号発生後, 再びCBnTXレジスタに送信データをライトする。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると, 受信完了割り込み要求信号 (INTCBnR) を発生し, CBnRXレジスタのリードが可能になる。
- (9) 続けてシリアル・クロックが入力されると, 連続送受信を開始する。
- (10) CBnRXレジスタをリードする。
- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し, CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を完了する場合は, CBnTXレジスタへのライトを行わない。

備考 n = 0-4

(2/2)

- (12) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCBnR信号が発生し、CBnTSFビットをクリア(0)し、送受信を終了する。
- (13) INTCBnR信号発生時は、CBnRXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CBnSTR.CBnOVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0、CBnCTL0.CBnRXEビット = 0をライトする。

備考 n = 0-4

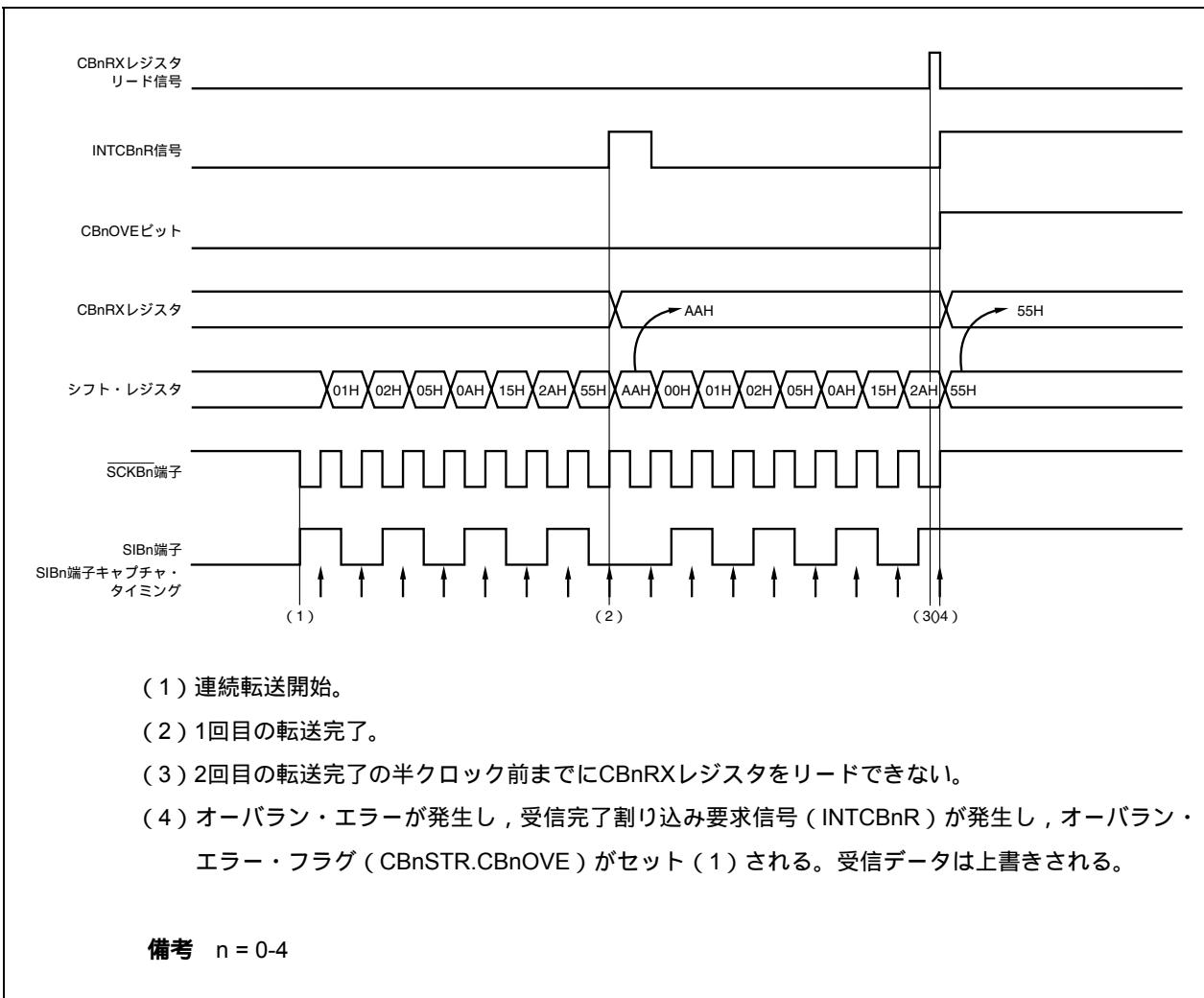
16.6.13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると再度INTCBnR信号が発生し、オーバラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCBnR信号が発生します。

オーバラン・エラーを回避するためには、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CBnRXレジスタのリードを完了してください。

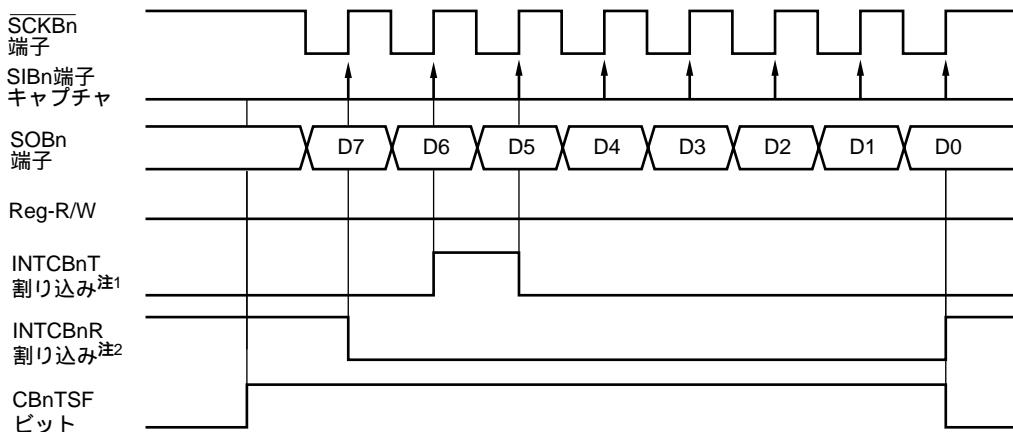
(1) 動作タイミング



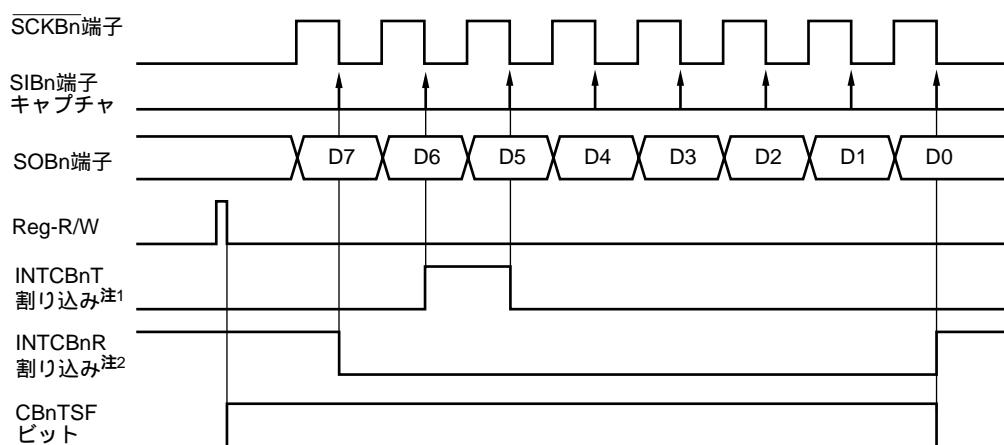
16.6.14 クロック・タイミング

(1/2)

(i) 通信タイプ1 (CBnCKP, CBnDAPビット = 00)



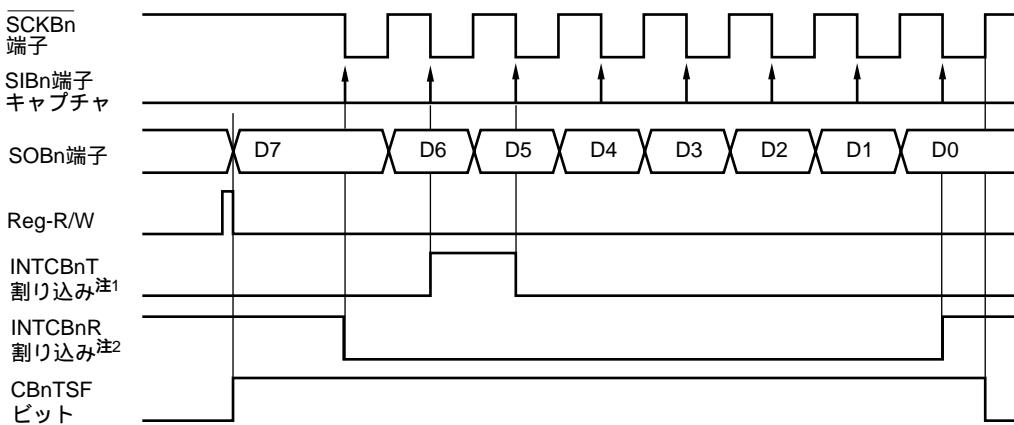
(ii) 通信タイプ3 (CBnCKP, CBnDAPビット = 10)



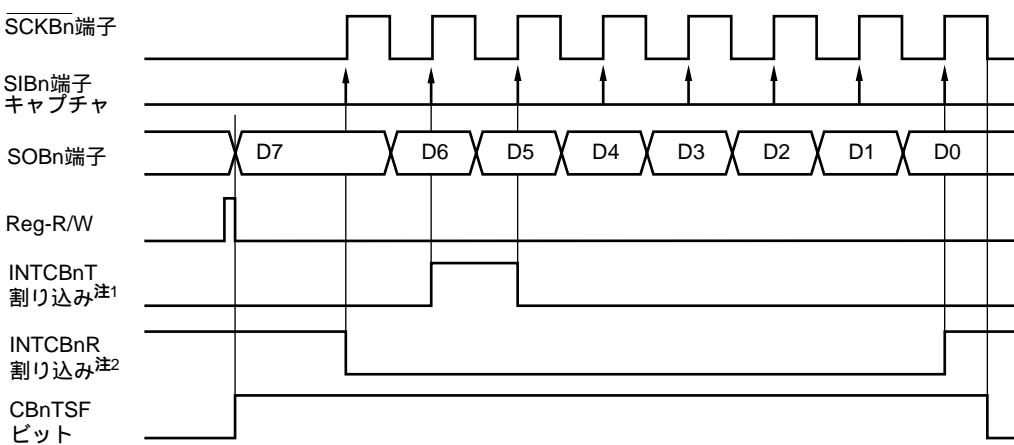
- 注1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。
2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CBnTSFビット = 1の状態でCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。
たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。
このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

(iii) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



(iv) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



1. 連続送信 / 連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。
2. 受信許可状態において、正常に受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CBnTSFビット = 1の状態でCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。
たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んで、CBnTSFビット = 1のため書き込んだデータの転送は行われません。
このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

16.7 出力端子

(1) SCKBn端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき, SCKBn端子出力状態は次のようにになります。

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	<u>SCKBn</u> 端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考1. CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えるとSCKBn端子の出力が変化します。

2. n = 0-4

(2) SOBn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき, SOBn端子出力状態は次のようにになります。

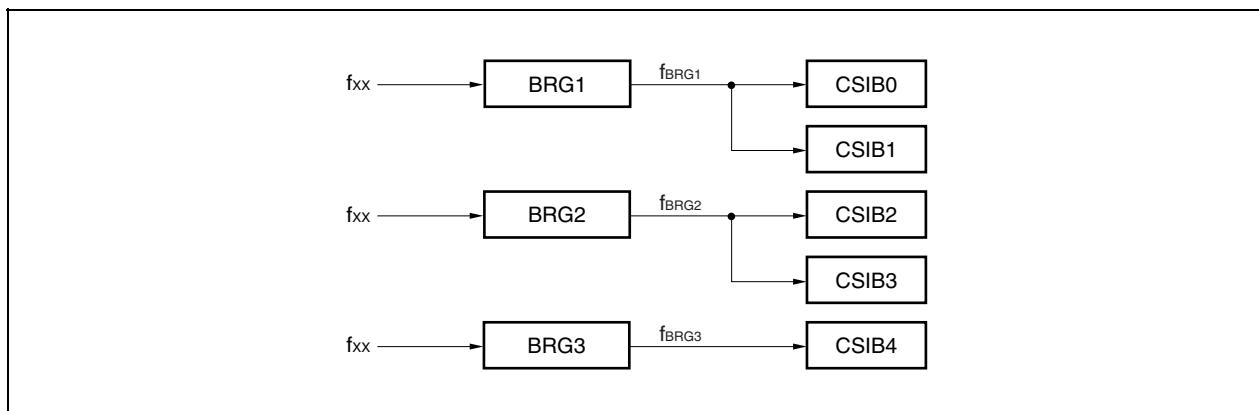
CBnTXE	CBnDAP	CBnDIR	<u>SOBn</u> 端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOBnラッチの値 (ロウ・レベル)
	1	0	CBnTXの値 (MSB)
		1	CBnTXの値 (LSB)

備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2. x : 任意
3. n = 0-4

16.8 ポー・レート・ジェネレータ

ポー・レート・ジェネレータBRG1-BRG3とCSIB0-CSIB4は、次のブロック図のように接続されています。



(1) プリスケーラ・モード・レジスタ 1-3 (PRSM1-PRSM3)

PRSMmレジスタは、CSIBのポー・レート信号の生成を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : PRSM1 FFFF320H, PRSM2 FFFF324H,
PRSM3 FFFF328H

PRSMm (m = 1-3)	7	6	5	④	3	2	1	0
	0	0	0	BGCEm	0	0	BGCSm1	BGCSm0

BGCEm	ポー・レート出力
0	禁止
1	許可

BGCSm1	BGCSm0	入力クロックの選択 (f _{BGCSm})	設定値 (k)
0	0	fxx	0
0	1	fxx/2	1
1	0	fxx/4	2
1	1	fxx/8	3

注意1. 動作中に、PRSMmレジスタを書き換えないでください。

2. PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。

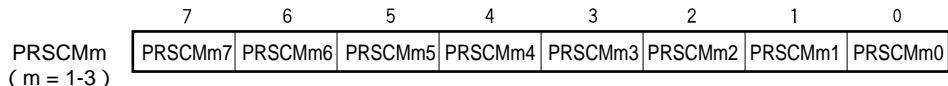
(2) プリスケーラ・コンペア・レジスタ 1-3 (PRSCM1-PRSCM3)

8ビットのコンペア・レジスタです。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : PRSCM1 FFFF321H, PRSCM2 FFFF325H,
PRSCM3 FFFF329H



注意1. 動作中にPRSCMmレジスタを書き換えないでください。

2. PRSMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。

16.8.1 ポー・レートの生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するポー・レートは次の式によって求められます。

$$f_{BRGm} = \frac{fx}{2^{k+1} \times N}$$

注意 f_{BRGm} は、8 MHz以下になるように設定してください。

備考 f_{BRGm} : BRGmのカウント・クロック

fx : メイン・クロックの発振周波数

k : PRSMmレジスタの設定値 = 0-3

N : PRSCMmレジスタ設定値 = 1-256

ただし、 $N = 256$ となるのは、PRSCMmレジスタに00Hを設定した場合です。

$m = 1-3$

16.9 注意事項

(1) DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバラン・エラーがなかったことを確認してください。

(2) 動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- ・CBnCTL0レジスタ : CBnTXE, CBnRXE, CBnDIR, CBnTMSビット
- ・CBnCTL1レジスタ : CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット
- ・CBnCTL2レジスタ : CBnCL3-CBnCL0ビット

(3) 通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) では、受信完了割り込み (INTCBnR) 発生後、SCKBn 半クロック後にCBnSTR.CBnTSFビットがクリアされます。

一方、シングル転送モードでは、通信中 (CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1) も、通信中 (CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

そのため、通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。

- ・次の送信を起動する場合は、CBnTSFビット = 0であることを確認したあと、CBnTXレジスタに送信データを書き込む
- ・受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は、CBnTSFビット = 0であることを確認したあと、CBnRXレジスタをリードする

または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

備考 n = 0-4

第17章 I²Cバス

この機能を使用する場合は ,P38/SDA00, P39/SCL00, P40/SDA01, P41/SCL01, P90/SDA02, P91/SCL02端子を兼用端子として使用し , N-chオープン・ドレーン出力に設定してください。

17. 1 I²Cバスとほかのシリアル・インターフェースのモード切り替え

17. 1. 1 UARTA2とI²C00のモード切り替え

V850ES/JG2では , UARTA2とI²C00は端子が兼用になっており , 同時には使用できません。I²C00を使用するときは , あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意 UARTA2またはI²C00において , 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17 - 1 UARTA2とI²C00のモード切り替え設定

リセット時 : 0000H R/W アドレス : FFFFF446H, FFFFF447H								
PMC3	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時 : 0000H R/W アドレス : FFFFF466H, FFFFF467H								
PFC3	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

PMC3n	PFC3n	動作モード
0	×	ポート入出力モード
1	0	UARTA2モード
1	1	I ² C00モード

- 備考1. n = 8, 9
2. × = don't care

17.1.2 CSIB0とI²C01のモード切り替え

V850ES/JG2では、CSIB0とI²C01は端子が兼用になっており、同時に使用できません。I²C01を使用するときは、あらかじめPMC4、PFC4レジスタで設定する必要があります。

注意 CSIB0またはI²C01において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-2 CSIB0とI²C01のモード切り替え設定

リセット時 : 00H R/W アドレス : FFFFF448H							
PMC4							

リセット時 : 00H R/W アドレス : FFFFF468H							
PFC4							

PMC4n	PFC4n	動作モード
0	×	ポート入出力モード
1	0	CSIB0モード
1	1	I ² C01モード

備考1. n = 0, 1

2. × = don't care

17.1.3 UARTA1とI²C02のモード切り替え

V850ES/JG2では、UARTA1とI²C02は端子が兼用になっており、同時に使用できません。I²C02を使用するときは、あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTA1とI²C02において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-3 UARTA1とI²C02のモード切り替え設定

リセット時 : 0000H R/W アドレス : FFFFF452H, FFFFF453H																				
15 14 13 12 11 10 9 8																				
PMC9 [PMC915 PMC914 PMC913 PMC912 PMC911 PMC910 PMC99 PMC98]																				
7 6 5 4 3 2 1 0																				
[PMC97 PMC96 PMC95 PMC94 PMC93 PMC92 PMC91 PMC90]																				
リセット時 : 0000H R/W アドレス : FFFFF472H, FFFFF473H																				
15 14 13 12 11 10 9 8																				
PFC9 [PFC915 PFC914 PFC913 PFC912 PFC911 PFC910 PFC99 PFC98]																				
7 6 5 4 3 2 1 0																				
[PFC97 PFC96 PFC95 PFC94 PFC93 PFC92 PFC91 PFC90]																				
リセット時 : 0000H R/W アドレス : FFFFF712H, FFFFF713H																				
15 14 13 12 11 10 9 8																				
PFCE9 [PFCE915 PFCE914 0 0 0 0 0 0]																				
7 6 5 4 3 2 1 0																				
[PFCE97 PFCE96 PFCE95 PFCE94 PFCE93 PFCE92 PFCE91 PFCE90]																				
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 33%;">PMC9n</th> <th style="width: 33%;">PFCE9n</th> <th style="width: 33%;">PFC9n</th> <th style="text-align: center; width: 100%;">動作モード</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">UARTA1モード</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">I²C02モード</td> </tr> </tbody> </table>									PMC9n	PFCE9n	PFC9n	動作モード	1	1	0	UARTA1モード	1	1	1	I ² C02モード
PMC9n	PFCE9n	PFC9n	動作モード																	
1	1	0	UARTA1モード																	
1	1	1	I ² C02モード																	
備考 n = 0, 1																				

17.2 特 徵

I²C00-I²C02には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

シリアル・クロック端子 (SCL0n) とシリアル・データ・バス端子 (SDA0n) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“トップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

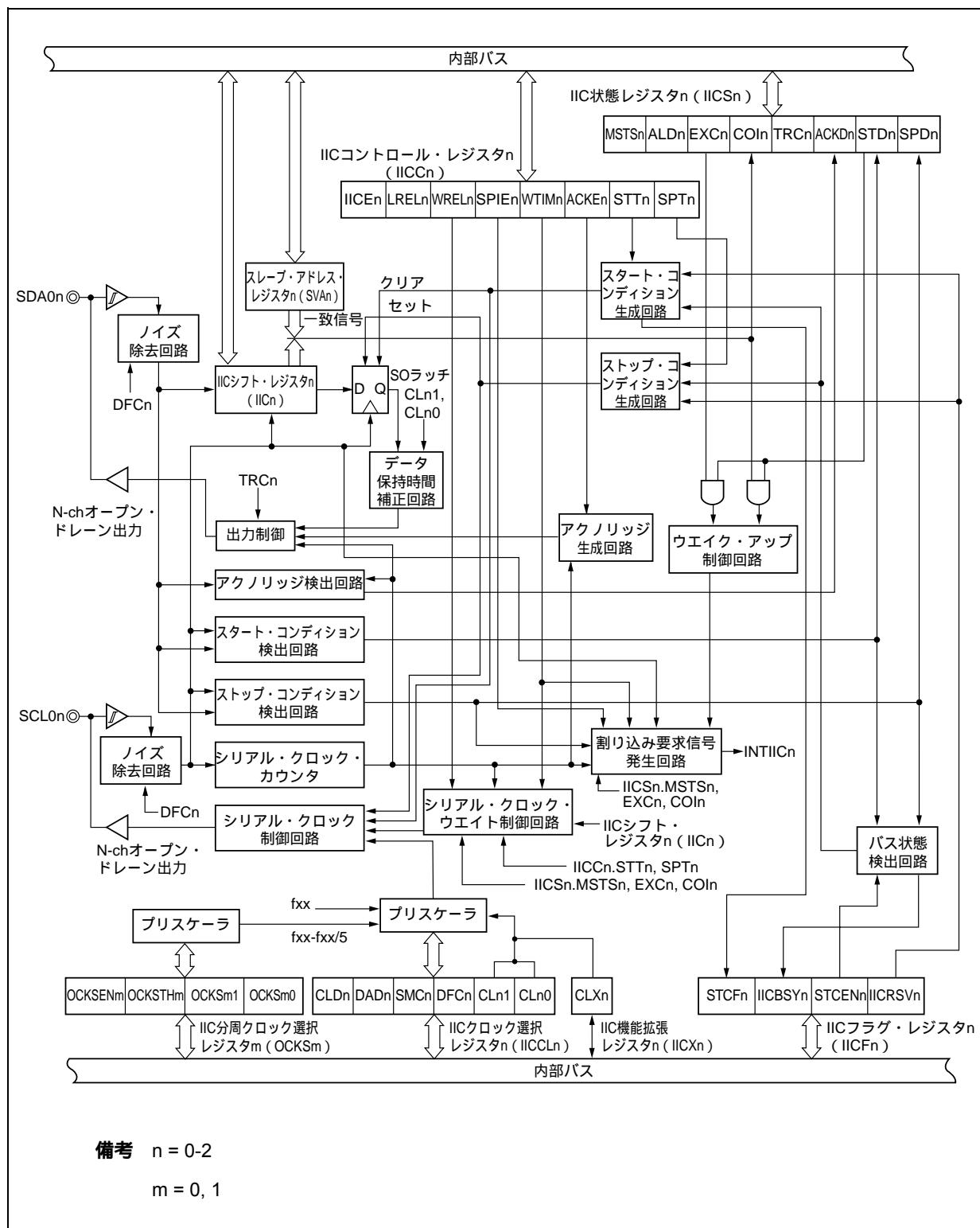
I²C0nでは、SCL0n端子とSDA0n端子はN-chオープン・ドレーン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

備考 n = 0-2

17.3 構成

I²C0nのブロック図を次に示します。

図17-4 I²C0nのブロック図

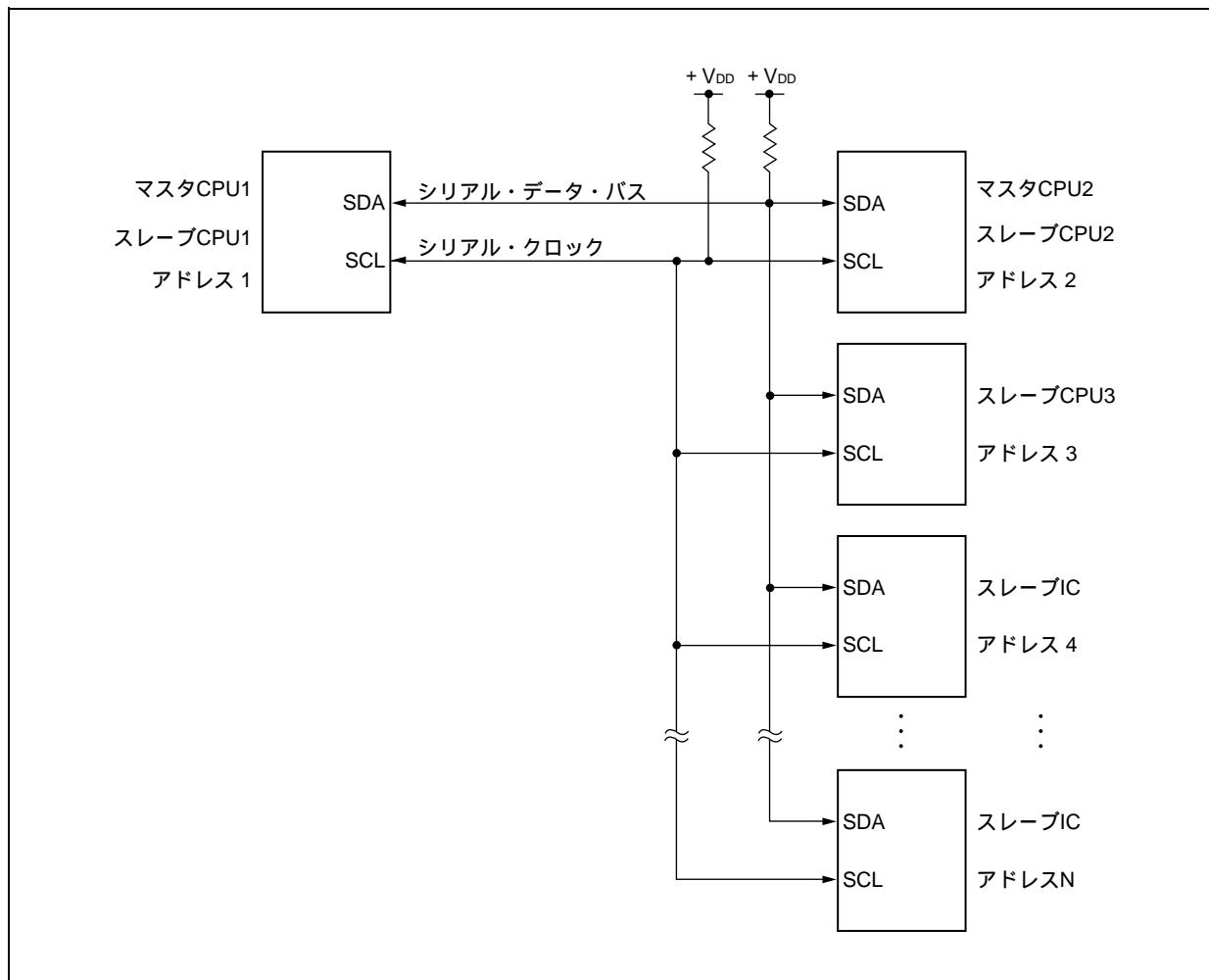


備考 n = 0-2

m = 0, 1

次にシリアル・バス構成例を示します。

図17-5 I²Cバスによるシリアル・バス構成例



I²C0nは、次のハードウェアで構成されています（n = 0-2）。

表17 - 1 I²C0nの構成

項 目	構 成
レジスタ	IICシフト・レジスタn (IICn) スレーブ・アドレス・レジスタn (SVA _n)
制御レジスタ	IICコントロール・レジスタn (IICCn) IIC状態レジスタn (IICSn) IICフラグ・レジスタn (IICFn) IICクロック選択レジスタn (IICCLn) IIC機能拡張レジスタn (IICXn) IIC分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

(1) IICシフト・レジスタn (IICn)

IICnレジスタは、8ビットのシリアル・データを8ビットのパラレル・データに、8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます（n = 0-2）。

IICnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード／ライト可能です。。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタn (SVA_n)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード／ライト可能です（n = 0-2）。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA0n端子出力レベルを保持するラッチです（n = 0-2）。

(4) ウエイク・アップ制御回路

SVA_nレジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求信号（INTIICn）を発生させる回路です（n = 0-2）。

(5) プリスケーラ

使用的するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICCn.WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (IICCn.SPIEnビットで設定)

備考 n = 0-2

(8) シリアル・クロック制御回路

マスター・モード時に,SCL0n端子に出力するクロックをサンプリング・クロックから生成します(n = 0-2)。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路、ストップ・コンディション検出回路、スタート・コンディション検出回路、**アクノリッジ検出回路**

各状態の生成および検出を行います。

(11) データ保持時間補正回路

SCL0n端子の立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICCn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし、通信予約禁止状態(IICFn.IICRSVnビット = 1)で、かつバスが解放されていない(IICFn.IICBSYnビット = 1)場合には、この要求は無視し、IICFn.STCFnビットをセット(1)します。

(13) ストップ・コンディション生成回路

IICCn.SPTnビットがセットされるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、IICFn.STCENnビットにより、バス状態検出回路の初期状態を設定してください。

17.4 レジスタ

I²C00-I²C02は、次のレジスタで制御します。

- IICコントロール・レジスタ0-2 (IICC0-IICC2)
- IIC状態レジスタ0-2 (IICS0-IICS2)
- IICフラグ・レジスタ0-2 (IICF0-IICF2)
- IICクロック選択レジスタ0-2 (IICCL0-IICCL2)
- IIC機能拡張レジスタ0-2 (IICX0-IICX2)
- IIC分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

また、次のレジスタも使用します。

- IICシフト・レジスタ0-2 (IIC0-IIC2)
- スレーブ・アドレス・レジスタ0-2 (SVA0-SVA2)

備考 兼用端子の設定は表4-15 ポート端子を兼用端子として使用する場合を参照してください。

(1) IICコントロール・レジスタ0-2 (IICC0-IICC2)

I²C0nの動作許可 / 停止、ウェイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード / ライト可能です (n = 0-2)。ただし、SPIEn, WTIMn, ACKEnビットは、IICEnビット = 0のとき、またはウェイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに、同時にこれらのビットを設定できます。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : IICC0 FFFFFD82H, IICC1 FFFFFD92H, IICC2 FFFFFDA2H

IICCn	⑦ IICEn	⑥ LRELn	⑤ WRELn	④ SPIEn	③ WTIMn	② ACKEn	① STTn	① SPTn
-------	------------	------------	------------	------------	------------	------------	-----------	-----------

(n = 0-2)

IICEn	I ² Cn動作許可 / 禁止の指定	
0	動作停止。IICSnレジスタをリセット ^{注1} 。内部動作も停止。	
1	動作許可。	
このビットのセット(1)は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。		
クリアされる条件(IICEnビット = 0)		セットされる条件(IICEnビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

LRELn ^{注2}	通信退避	
0	通常動作。	
1	現在行っている通信から退避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0n, SDA0nラインはハイ・インピーダンス状態になる。 STTn, SPTnビット, IICSn.MSTS _n , EXCn, COIn, TRCn, ACKDn, STDnビットがクリアされる。	
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ストップ・コンディション検出後、マスターとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信		
クリアされる条件(LRELnビット = 0)		セットされる条件(LRELnビット = 1)
・実行後、自動的にクリア ・リセット時		・命令によるセット

WRELn ^{注2}	ウェイト解除の制御	
0	ウェイトを解除しない。	
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。	
クリアされる条件(WRELnビット = 0)		セットされる条件(WRELnビット = 1)
・実行後、自動的にクリア ・リセット時		・命令によるセット

注1. リセットされるのはIICSnレジスタ, IICFn.STCFn, IICBSYnビット, IICCLn.CLDn, DADnビットです。

2. IICEnビット = 0により、このフラグの信号を無効にします。

注意 SCL0nラインがハイ・レベル, SDA0nラインがロウ・レベルの状態で, I²Cnを動作許可(IICEnビット = 1)した場合、直後にスタート・コンディションを検出してしまいます。I²Cnを動作許可(IICEnビット = 1)したあと、連続してビット操作命令によりLRELnビットをセット(1)してください。

備考 LRELn, WRELnビットは、データ設定後に読み出すと0になっています。

(2/4)

SPIEn注	ストップ・コンディション検出による割り込み要求発生の許可 / 禁止	
0	禁止	
1	許可	
クリアされる条件 (SPIEnビット = 0)		セットされる条件 (SPIEnビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

WTIMn注	ウェイトおよび割り込み要求発生の制御	
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後, クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後, クロックをロウ・レベルにしてマスタをウェイト	
<p>アドレス転送中はこのビットの設定にかかわらず, 9クロック目の立ち下がりで割り込みが発生します。</p> <p>アドレス転送終了後このビットの設定が有効になります。またマスタ時, アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは, アクノリッジ(ACK)発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは, 8クロック目の立ち下がりでウェイトに入ります。</p>		
クリアされる条件 (WTIMnビット = 0)		セットされる条件 (WTIMnビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

ACKE _n 注	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA _{0n} ラインをロウ・レベルにする。	
<p>スレーブでアドレス受信のときは, ACKE_nビットの設定は無効です。この場合, アドレスが一致したときはアクノリッジを生成します。</p> <p>ただし, 拡張コードを受信するときは, ACKE_nビットの設定は有効になります。拡張コードを受信するシステムでは, ACKE_nビットの設定をしてください。</p>		
クリアされる条件 (ACKE _n ビット = 0)		セットされる条件 (ACKE _n ビット = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

注 IICEnビット = 0により, このフラグの信号を無効にします。

備考 n = 0-2

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	<p>バスが解放されているとき（ストップ状態）：</p> <p>スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態でSDA0nラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。その後、規格の時間を確保し、SCL0nラインをロウ・レベルにする。</p> <p>第三者が通信中のとき：</p> <p>通信予約機能許可の場合（IICFn.IICRSVnビット = 0）</p> <ul style="list-style-type: none"> スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと自動的にスタート・コンディションを生成する。 <p>通信予約機能禁止の場合（IICRSVnビット = 1）</p> <ul style="list-style-type: none"> IICFn.STCFnビットをセット（1）し、STTnビットにセット（1）した情報をクリアする。 スタート・コンディションは生成しない。 <p>ウェイト状態（マスタ時）：</p> <p>ウェイトを解除してリストート・コンディションを生成する。</p>
セット・タイミングに関する注意	
<p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。</p> <p>スレーブの場合：通信予約機能禁止（IICRSVnビット = 1）の場合でも、通信予約状態になってしまいます。</p> <ul style="list-style-type: none"> SPTnビットと同時にセット（1）することは禁止です。 STTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。 	
クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）
<ul style="list-style-type: none"> 通信予約禁止状態でのSTTnビットのセット（1） アービトレーションに負けたとき マスタでのスタート・コンディション生成後クリア LRELnビット = 1（通信退避）によるクリア IICEnビット = 0（動作停止）のとき リセット時 	<ul style="list-style-type: none"> 命令によるセット

備考1. STTnビットは、データ設定後に読み出すと0になっています。

2. n = 0-2

SPTn	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0nラインをロウ・レベルにしたあと，SCL0nラインをハイ・レベルにするか，またはSCL0n端子がハイ・レベルになるのを待つ。その後，規格の時間を確保し，SDA0nラインをロウ・レベルからハイ・レベルに変化させ，ストップ・コンディションを生成する。
セット・タイミングに関する注意	
<p>マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し，受信の最後であること をスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。</p> <p>マスタ送信の場合：アクノリッジ受信期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。</p> <ul style="list-style-type: none"> ・STTnビットと同時にセット（1）することは禁止です。 ・SPTnビットのセット（1）は，マスタのときのみ行ってください<small>注</small>。 ・WTIMnビット = 0設定時に，8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると，ウエイト解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMnビット = 0 1にセットし，9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。 ・SPTnビットをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。 	
クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）
<ul style="list-style-type: none"> ・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LRELnビット = 1（通信退避）によるクリア ・IICEnビット = 0（動作停止）のとき ・リセット時 	<ul style="list-style-type: none"> ・命令によるセット

注 SPTnビットのセット（1）は，マスタのときのみ行ってください。ただし，IICRSVnビットが0の場合，動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには，一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は，17.15 注意事項を参照してください。

注意 TRCnビット = 1のとき，9クロック目にWRELnビットをセット（1）してウエイトを解除すると，TRCnビットをクリア（0）してSDA0nラインをハイ・インピーダンスにします。

備考1. SPTnビットは，データ設定後に読み出すと0になっています。

2. n = 0-2

(2) IIC状態レジスタ0-2 (IICSO-IICS2)

I²C0nのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です (n = 0-2)。ただし、IICSnレジスタは、IICCn.STTnビット = 1のとき、またはウエイト期間中だけリード可能です。

リセットにより00Hになります。

注意 次に示す状態において、IICSnレジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

(1/3)

リセット時 : 00H R アドレス : IICSO FFFFFD86H, IICS1 FFFFFD96H, IICS2 FFFFFDA6H

IICSn	(7)	(6)	(5)	(4)	(3)	(2)	(1)	(0)
	MSTS _n	ALD _n	EXC _n	COIn	TRC _n	ACKD _n	STD _n	SPD _n

(n = 0-2)

MSTS _n	マスタの状態	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件 (MSTS _n ビット = 0)		セットされる条件 (MSTS _n ビット = 1)
・ストップ・コンディション検出時 ・ALD _n ビット = 1 (アービトレーション負け) のとき ・IICCn.LREL _n ビット = 1 (通信退避) によるクリア ・IICCn.IICE _n ビット = 1 0 (動作停止) のとき ・リセット時		・スタート・コンディション生成時

ALD _n	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS _n ビットがクリア (0) される。	
クリアされる条件 (ALD _n ビット = 0)		セットされる条件 (ALD _n ビット = 1)
・IICSnレジスタ読み出し後、自動的にクリア注 ・IICE _n ビット = 1 0 (動作停止) のとき ・リセット時		・アービトレーションに負けたとき

EXC _n	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信。	
クリアされる条件 (EXC _n ビット = 0)		セットされる条件 (EXC _n ビット = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL _n ビット = 1 (通信退避) によるクリア ・IICE _n ビット = 1 0 (動作停止) のとき ・リセット時		受信したアドレス・データの上位4ビットが “0000” または “1111”的とき (8クロック目の立ち上がりでセット)

注 IICSnレジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COInビット = 0)	セットされる条件 (COInビット = 1)	
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・トップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 	受信アドレスが自局アドレス (SVAnレジスタ) と一致したとき (8クロック目の立ち上がりでセット)	

TRCn	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0nラインをハイ・インピーダンスにする。	
1	送信状態。SDA0nラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRCnビット = 0)	セットされる条件 (TRCnビット = 1)	
<ul style="list-style-type: none"> ・トップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・IICCn.WRELnビット = 1によるクリア<small>注</small> ・ALDnビット = 0 1 (アービトリレーション負け) のとき ・リセット時 <p>マスターの場合</p> <ul style="list-style-type: none"> ・1バイト目の LSB (転送方向指定ビット) に “1” を出力したとき <p>スレーブの場合</p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 <p>通信不参加の場合</p>	<p>マスターの場合</p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目の LSB (転送方向指定ビット) に “0” を出力したとき <p>スレーブの場合</p> <ul style="list-style-type: none"> ・1バイト目の LSB (転送方向指定ビット) に “1” を入力したとき 	

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出。	
クリアされる条件 (ACKDnビット = 0)	セットされる条件 (ACKDnビット = 1)	
<ul style="list-style-type: none"> ・トップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 	SCL0n端子の9クロック目の立ち上がり時に SDA0n 端子がロウ・レベルであったとき	

注 TRCnビット = 1のとき, 9クロック目にWRELnビットをセット(1)してウェイトを解除すると, TRCn ビットをクリア(0)してSDA0nラインをハイ・インピーダンスにします。

備考 n = 0-2

(3/3)

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
クリアされる条件 (STDnビット = 0)		セットされる条件 (STDnビット = 1)
<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
クリアされる条件 (SPDnビット = 0)		セットされる条件 (SPDnビット = 1)
<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEnビット = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 n = 0-2

(3) IICフラグ・レジスタ0-2 (IICF0-IICF2)

I²C0nの動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、STCFn, IICBSYnビットはリードのみ可能です。

IICRSVnビットにより通信予約機能の禁止／許可を設定します（17.14 通信予約参照）。

また、STCENnビットにより、IICBSYnビットの初期値を設定します（17.15 注意事項参照）。

IICRSVn, STCENnビットは、I²C0nが動作禁止(IICCn.IICEnビット = 0)のときのみ書き込み可能です。

動作許可後、IICFnレジスタは読み出し可能となります（n = 0-2）。

リセットにより00Hになります。

リセット時 : 00H R/W^注 アドレス : IICF0 FFFFFD8AH, IICF1 FFFFFD9AH, IICF2 FFFFFDAAH

IICFn	⑦ STCFn	⑥ IICBSYn	5	4	3	2	① STCENn	② IICRSVn
(n = 0-2)								

STCFn	STTnビット・クリア	
0	スタート・コンディション発行	
1	スタート・コンディション発行できずSTTnビット・クリア	
クリアされる条件 (STCFnビット = 0)		セットされる条件 (STCFnビット = 1)
・IICCn.STTnビット = 1によるクリア ・IICCn.IICEnビット = 0のとき ・リセット時		・通信予約禁止 (IICRSVnビット = 1) 設定時にスタート・コンディション発行できず, STTnフラグ・クリア(0)されたとき

IICBSYn	I ² COnバス状態	
0	バス解放状態 (STCENnビット = 1時の通信初期状態)	
1	バス通信状態 (STCENnビット = 0時の通信初期状態)	
クリアされる条件 (IICBSYnビット = 0)		セットされる条件 (IICBSYnビット = 1)
・ストップ・コンディション検出時 ・IICEnビット = 0のとき ・リセット時		・スタート・コンディション検出時 ・STCENnビット = 0のときIICEnビットのセット

STCENn	初期スタート許可トリガ	
0	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。	
1	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。	
クリアされる条件 (STCENnビット = 0)		セットされる条件 (STCENnビット = 1)
・スタート・コンディション検出時 ・リセット時		・命令によるセット

IICRSVn	通信予約機能禁止ビット	
0	通信予約許可	
1	通信予約禁止	
クリアされる条件 (IICRSVnビット = 0)		セットされる条件 (IICRSVnビット = 1)
・命令によるクリア ・リセット時		・命令によるセット

注 ビット6, 7はリード・オンリーです。

- 注意1. STCENnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。
2. STCENnビット = 1とした場合, I²C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTnビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。
3. IICRSVnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。

(4) I²Cクロック選択レジスタ0-2 (IICCL0-IICCL2)

I²C0nの転送クロックを設定するレジスタです。

8/1ビット単位でリード / ライト可能です。ただし, CLDn, DADnビットはリードのみ可能です。

IICCLnレジスタは, IICCn.IICEnビット = 0のときに設定してください。

SMCn, CLn1, CLn0ビットの設定は, IICXn.CLXnビットと, OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットと組み合わせて設定します (17.4(6) I²C0nの転送クロックの設定方法参照) (n = 0-2, m = 0, 1)。リセットにより00Hになります。

リセット時 : 00H R/W注 アドレス : IICCL0 FFFFFD84H, IICCL1 FFFFFD94H, IICCL2 FFFFFDA4H

IICCLn	7	6	(5)	(4)	3	2	1	0
	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

(n = 0-2)

CLDn	SCL0n端子のレベル検出 (IICCn.IICEnビット = 1のときのみ有効)	
0	SCL0n端子がロウ・レベルであることを検出	
1	SCL0n端子がハイ・レベルであることを検出	
クリアされる条件 (CLDnビット = 0)		セットされる条件 (CLDnビット = 1)
・SCL0n端子がロウ・レベルのとき ・IICEnビット = 0 (動作停止) のとき ・リセット時		・SCL0n端子がハイ・レベルのとき

DADn	SDA0n端子のレベル検出 (IICEnビット = 1のときのみ有効)	
0	SDA0n端子がロウ・レベルであることを検出	
1	SDA0n端子がハイ・レベルであることを検出	
クリアされる条件 (DADnビット = 0)		セットされる条件 (DADnビット = 1)
・SDA0n端子がロウ・レベルのとき ・IICEnビット = 0 (動作停止) のとき ・リセット時		・SDA0n端子がハイ・レベルのとき

SMCn	動作モードの切り替え	
0	標準モードで動作	
1	高速モードで動作	

DFCn	デジタル・フィルタの動作制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは, 高速モード時にのみ使用できます。 高速モード時は, DFCnビットの設定により転送クロックが変化することはありません。 デジタル・フィルタは, 高速モード時にノイズ除去のために使用します。		

注 ビット4, 5はリード・オンリーです。

注意 ビット7, 6には必ず“0”を設定してください。

備考 IICCn.IICEnビット = 0のとき, CLDn, DADnビットは0がリードされます。

(5) I²C機能拡張レジスタ0-2 (IICX0-IICX2)

I²C0nの機能拡張を設定するレジスタです（高速モード時のみ有効）。

8/1ビット単位でリード／ライト可能です。

CLXnビットの設定は、IICCLn.SMCn, CLn1, CLn0ビットと, OCKSm.OCKSTHm, OCKSm1, OCKSm0ビット（m = 0, 1）と組み合わせて設定します（17.4(6) I²C0nの転送クロックの設定方法参照）。

IICXnレジスタは、IICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : IICX0 FFFFFD85H, IICX1 FFFFFD95H, IICX2 FFFFFFDA5H

IICXn	7	6	5	4	3	2	1	① CLXn
(n = 0-2)	0	0	0	0	0	0	0	CLXn

(6) I²C0nの転送クロックの設定方法

I²C0nの転送クロック周波数（f_{SCL}）は、次の計算式により求められます（n = 0-2）。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 18, 24, 36, 44, 48, 54, 60, 66, 72, 86, 88, 96, 132, 172, 176, 198, 220, 258, 344（表17-2 クロックの設定参照）

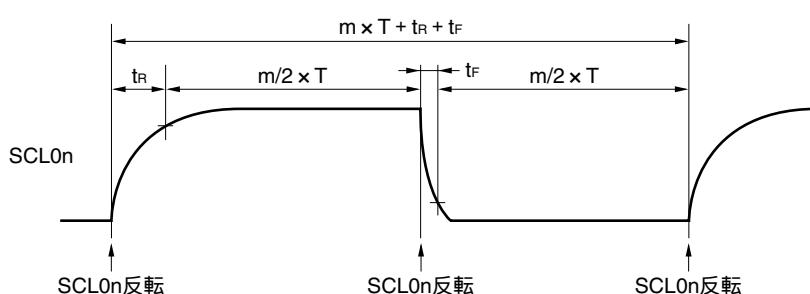
T : 1/f_{xx}

t_R : SCL0n端子立ち上がり時間

t_F : SCL0n端子立ち下がり時間

たとえば、f_{xx} = 19.2 MHz, m = 198, t_R = 200 ns, t_F = 50 nsの場合のI²C0nの転送クロック周波数（f_{SCL}）は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 52 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) = 94.7 \text{ kHz}$$



選択クロックは、IICCLn.SMCn, CLn1, CLn0ビット, IICXn.CLXnビット, OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットを組み合わせて設定します（n = 0-2, m = 0, 1）。

表17-2 クロックの設定(1/2)

IICX0	IICCL0				選択クロック	転送クロック	設定可能なメイン・クロック 周波数(fxx)の範囲	動作モード
ピット0	ピット3	ピット1	ピット0	CLX0	SMC0	CL01	CL00	
0	0	0	0		fxx (OCKS0 = 18H 設定時)	fxx/44	2.00 MHz fxx 4.19 MHz	標準モード (SMC0ピット = 0)
					fxx/2 (OCKS0 = 10H 設定時)	fxx/88	4.00 MHz fxx 8.38 MHz	
					fxx/3 (OCKS0 = 11H 設定時)	fxx/132	6.00 MHz fxx 12.57 MHz	
					fxx/4 (OCKS0 = 12H 設定時)	fxx/176	8.00 MHz fxx 16.76 MHz	
					fxx/5 (OCKS0 = 13H 設定時)	fxx/220	10.00 MHz fxx 20.00 MHz	
0	0	0	1		fxx (OCKS0 = 18H 設定時)	fxx/86	4.19 MHz fxx 8.38 MHz	
					fxx/2 (OCKS0 = 10H 設定時)	fxx/172	8.38 MHz fxx 16.76 MHz	
					fxx/3 (OCKS0 = 11H 設定時)	fxx/258	12.57 MHz fxx 20.00 MHz	
					fxx/4 (OCKS0 = 12H 設定時)	fxx/344	16.76 MHz fxx 20.00 MHz	
0	0	1	0		fxx ^注	fxx/86	4.19 MHz fxx 8.38 MHz	
0	0	1	1		fxx (OCKS0 = 18H 設定時)	fxx/66	6.40 MHz	
					fxx/2 (OCKS0 = 10H 設定時)	fxx/132	12.80 MHz	
					fxx/3 (OCKS0 = 11H 設定時)	fxx/198	19.20 MHz	
0	1	0	X		fxx (OCKS0 = 18H 設定時)	fxx/24	4.19 MHz fxx 8.38 MHz	高速モード (SMC0ピット = 1)
					fxx/2 (OCKS0 = 10H 設定時)	fxx/48	8.00 MHz fxx 16.76 MHz	
					fxx/3 (OCKS0 = 11H 設定時)	fxx/72	12.00 MHz fxx 20.00 MHz	
					fxx/4 (OCKS0 = 12H 設定時)	fxx/96	16.00 MHz fxx 20.00 MHz	
0	1	1	0		fxx ^注	fxx/24	4.00 MHz fxx 8.38 MHz	
0	1	1	1		fxx (OCKS0 = 18H 設定時)	fxx/18	6.40 MHz	
					fxx/2 (OCKS0 = 10H 設定時)	fxx/36	12.80 MHz	
					fxx/3 (OCKS0 = 11H 設定時)	fxx/54	19.20 MHz	
1	1	0	X		fxx (OCKS0 = 18H 設定時)	fxx/12	4.00 MHz fxx 4.19 MHz	
					fxx/2 (OCKS0 = 10H 設定時)	fxx/24	8.00 MHz fxx 8.38 MHz	
					fxx/3 (OCKS0 = 11H 設定時)	fxx/36	12.00 MHz fxx 12.57 MHz	
					fxx/4 (OCKS0 = 12H 設定時)	fxx/48	16.00 MHz fxx 16.67 MHz	
					fxx/5 (OCKS0 = 13H 設定時)	fxx/60	20.00 MHz	
1	1	1	0		fxx ^注	fxx/12	4.00 MHz fxx 4.19 MHz	-
上記以外					設定禁止	-	-	-

注 OCKS0レジスタの設定値によらずfxxになるので、OCKS0レジスタ = 00H (I²C分周クロックは停止状態)を設定してください。

備考 X : don't care

表17-2 クロックの設定(2/2)

IICXm	IICCLm				選択クロック	転送クロック	設定可能なメイン・クロック 周波数(fxx)の範囲	動作モード
ピット0	ピット3	ピット1	ピット0	CLXm	SMCm	CLm1	CLm0	
0	0	0	0		fxx (OCKS1 = 18H 設定時)	fxx/44	2.00 MHz fxx 4.19 MHz	標準モード (SMCm ピット = 0)
					fxx/2 (OCKS1 = 10H 設定時)	fxx/88	4.00 MHz fxx 8.38 MHz	
					fxx/3 (OCKS1 = 11H 設定時)	fxx/132	6.00 MHz fxx 12.57 MHz	
					fxx/4 (OCKS1 = 12H 設定時)	fxx/176	8.00 MHz fxx 16.76 MHz	
					fxx/5 (OCKS1 = 13H 設定時)	fxx/220	10.00 MHz fxx 20.00 MHz	
0	0	0	1		fxx (OCKS1 = 18H 設定時)	fxx/86	4.19 MHz fxx 8.38 MHz	
					fxx/2 (OCKS1 = 10H 設定時)	fxx/172	8.38 MHz fxx 16.76 MHz	
					fxx/3 (OCKS1 = 11H 設定時)	fxx/258	12.57 MHz fxx 20.00 MHz	
					fxx/4 (OCKS1 = 12H 設定時)	fxx/344	16.76 MHz fxx 20.00 MHz	
0	0	1	0		fxx ^注	fxx/86	4.19 MHz fxx 8.38 MHz	
0	0	1	1		fxx (OCKS1 = 18H 設定時)	fxx/66	6.40 MHz	
					fxx/2 (OCKS1 = 10H 設定時)	fxx/132	12.80 MHz	
					fxx/3 (OCKS1 = 11H 設定時)	fxx/198	19.20 MHz	
0	1	0	X		fxx (OCKS1 = 18H 設定時)	fxx/24	4.19 MHz fxx 8.38 MHz	高速モード (SMCm ピット = 1)
					fxx/2 (OCKS1 = 10H 設定時)	fxx/48	8.00 MHz fxx 16.76 MHz	
					fxx/3 (OCKS1 = 11H 設定時)	fxx/72	12.00 MHz fxx 20.00 MHz	
					fxx/4 (OCKS1 = 12H 設定時)	fxx/96	16.00 MHz fxx 20.00 MHz	
0	1	1	0		fxx ^注	fxx/24	4.00 MHz fxx 8.38 MHz	
0	1	1	1		fxx (OCKS1 = 18H 設定時)	fxx/18	6.40 MHz	
					fxx/2 (OCKS1 = 10H 設定時)	fxx/36	12.80 MHz	
					fxx/3 (OCKS1 = 11H 設定時)	fxx/54	19.20 MHz	
1	1	0	X		fxx (OCKS1 = 18H 設定時)	fxx/12	4.00 MHz fxx 4.19 MHz	
					fxx/2 (OCKS1 = 10H 設定時)	fxx/24	8.00 MHz fxx 8.38 MHz	
					fxx/3 (OCKS1 = 11H 設定時)	fxx/36	12.00 MHz fxx 12.57 MHz	
					fxx/4 (OCKS1 = 12H 設定時)	fxx/48	16.00 MHz fxx 16.67 MHz	
					fxx/5 (OCKS1 = 13H 設定時)	fxx/60	20.00 MHz	
1	1	1	0		fxx ^注	fxx/12	4.00 MHz fxx 4.19 MHz	-
上記以外					設定禁止	-	-	-

注 OCKS1レジスタの設定値によらずfxxになるので、OCKS1レジスタ = 00H (I²C分周クロックは停止状態) を設定してください。

備考1. m = 1, 2

2. X : don't care

(7) I²C分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

I²C0nの分周クロックを制御するレジスタです (n = 0-2)。

OCKS0レジスタでI²C00の分周クロックを ,OCKS1レジスタでI²C01, I²C02の分周クロックを制御します。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : OCKS0 FFFFF340H, OCKS1 FFFFF344H

OCKSm	7	6	5	4	3	2	1	0
(m = 0, 1)	0	0	0	OCKSENm	OCKSTHm	0	OCKSm1	OCKSm0

OCKSENm	I ² C分周クロック動作指定		
0	I ² C分周クロック動作停止		
1	I ² C分周クロック動作許可		

OCKSTHm	OCKSm1	OCKSm0	I ² C分周クロック選択
0	0	0	f _{xx} /2
0	0	1	f _{xx} /3
0	1	0	f _{xx} /4
0	1	1	f _{xx} /5
1	0	0	f _{xx}
その他		設定禁止	

(8) I²Cシフト・レジスタ0-2 (IIC0-IIC2)

このレジスタは ,シリアル・クロックに同期してシリアル送受信(シフト動作)を行うためのものです。

8ビット単位でリード / ライト可能ですが ,データ転送中にIICnレジスタへデータを書き込まないでください。

IICnレジスタには ,ウェイト期間中にだけアクセス(リード / ライト)してください。ウェイト期間中を除く通信状態でのIICnレジスタへのアクセスは禁止です。ただし ,マスターになる場合は ,送信トリガ・ビット (IICCn.STTnビット) をセット (1) したあと ,1回だけライトできます。

ウェイト期間中のIICnレジスタへの書き込みにより ,ウェイト解除しデータ転送を開始します(n = 0-2)。リセットにより00Hになります。

リセット時 : 00H R/W アドレス : IIC0 FFFFFD80H, IIC1 FFFFFD90H, IIC2 FFFFFDA0H

IICn	7	6	5	4	3	2	1	0
(n = 0-2)								

(9) スレーブ・アドレス・レジスタ0-2 (SVA0-SVA2)

SVA_nレジスタには、I²Cバスのスレーブ・アドレスを格納します。

8ビット単位でリード/ライト可能ですが、ビット0は0に固定されています。ただし、IICSn.STDnビット = 1(スタート・コンディション検出)のときの書き換えは禁止です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : SVA0 FFFFFD83H, SVA1 FFFFFD93H, SVA2 FFFFFDA3H

SVAn	7	6	5	4	3	2	1	0
(n = 0-2)								

17.5 I²Cバス・モードの機能

17.5.1 端子構成

シリアル・クロック端子 (SCL0n) と、シリアル・データ・バス端子 (SDA0n) の構成は、次のようになっています (n = 0-2)。

SCL0n ... シリアル・クロックを入出力するための端子。

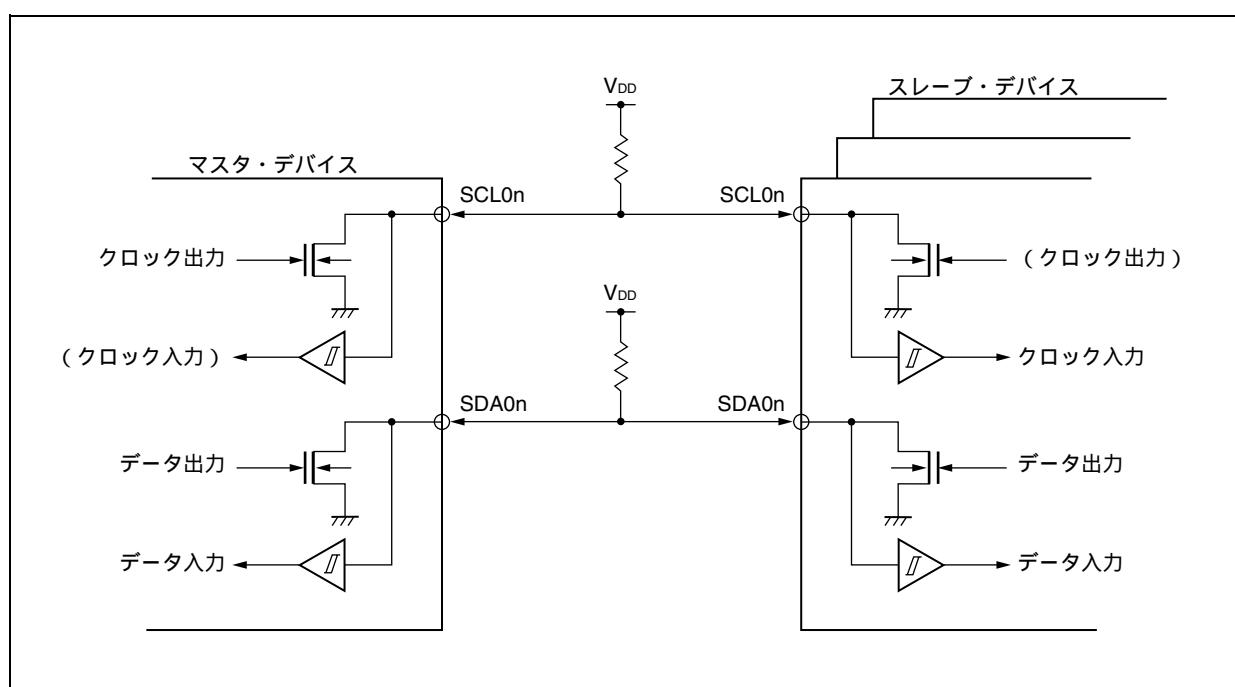
マスタ、スレーブとともに、出力はN-chオープン・ドレーン。入力はシュミット入力。

SDA0n ... シリアル・データの入出力兼用端子。

マスタ、スレーブとともに、出力はN-chオープン・ドレーン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレーンのため、外部にプルアップ抵抗が必要となります。

図17-6 端子構成図

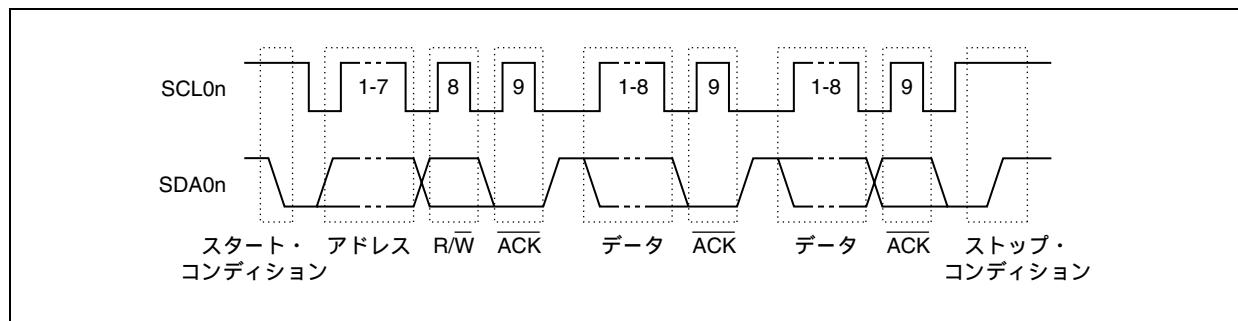


17.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”的各転送タイミングを次に示します。

図17-7 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

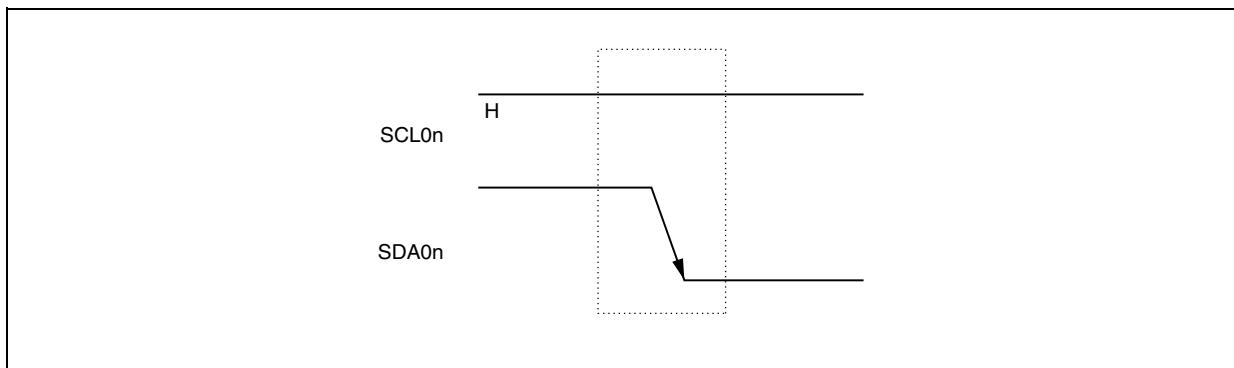
アクノリッジ(ACK)は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が生成します）。

シリアル・クロック(SCL0n)は，マスタが出力し続けます。ただし，スレーブはSCL0n端子のロウ・レベル期間を延長し，ウェイトを挿入できます(n=0-2)。

17.6.1 スタート・コンディション

SCL0n端子がハイ・レベルのときに，SDA0n端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0n, SDA0n端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます（n = 0-2）。

図17-8 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（IICSn.SPDnビット = 1）のときにIICCn.STTnビットをセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICSn.STDnビットがセット（1）されます（n = 0-2）。

注意 ほかのデバイス同士の通信中にV850ES/JG2のIICCn.IICEnビットをセット（1）した場合，通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット（1）は，必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

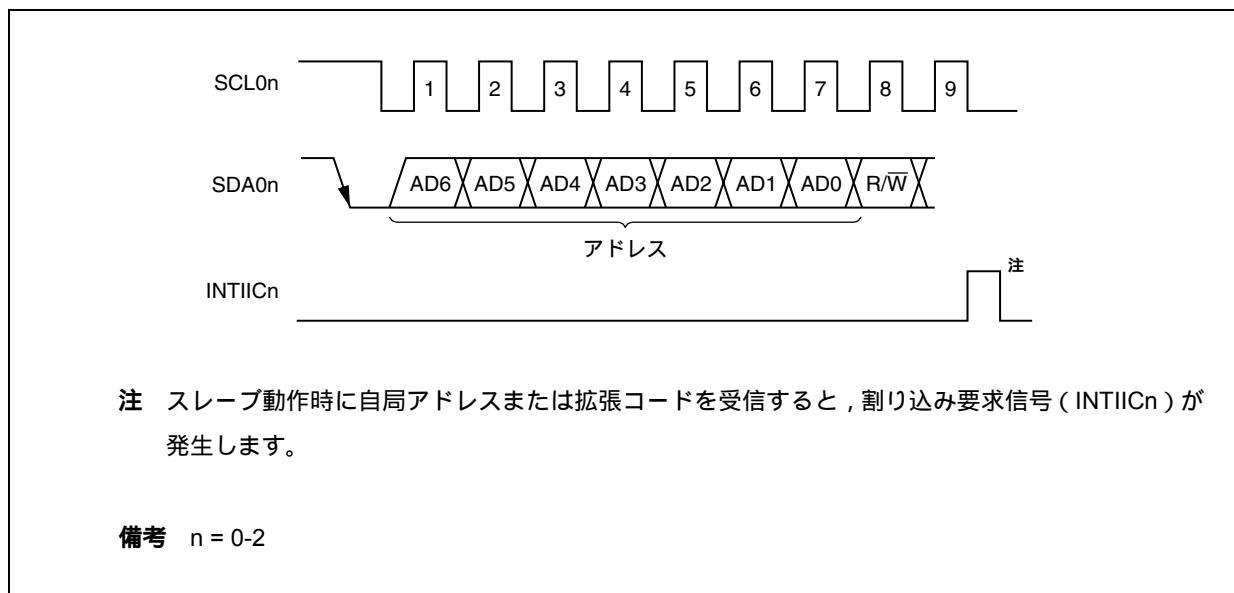
17.6.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAnレジスタと一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはトップ・コンディションを生成するまでマスターとの通信を行います（n = 0-2）。

図17-9 アドレス



アドレスは、スレーブのアドレスと17.6.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICnレジスタに書き込むと出力します。また、受信したアドレスはIICnレジスタに書き込まれます（n = 0-2）。

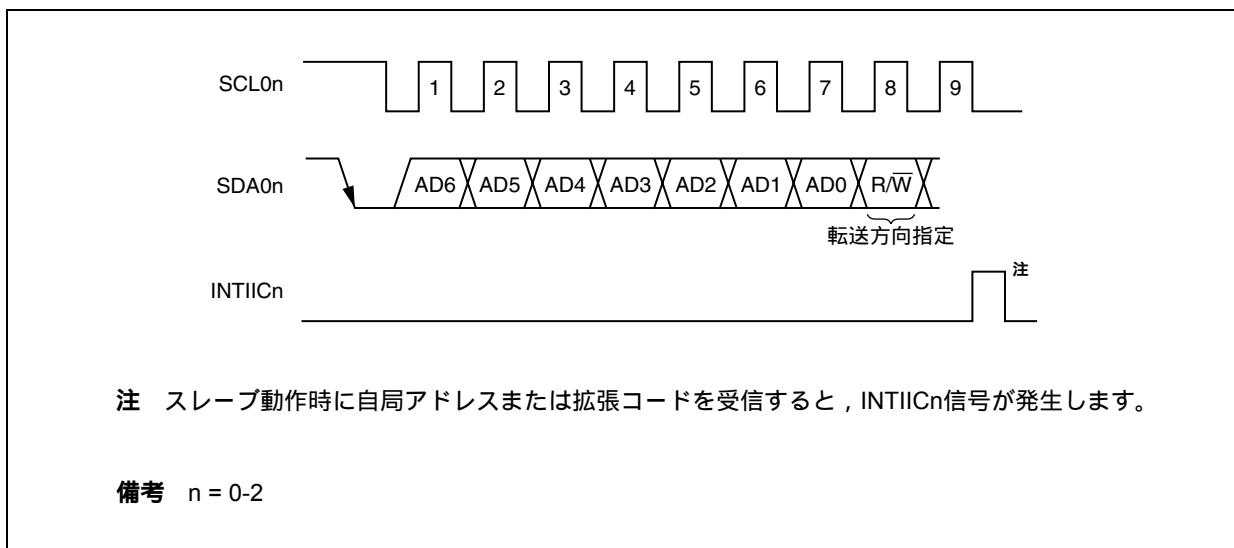
なお、スレーブのアドレスは、IICnレジスタの上位7ビットに割り当てられます。

17.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図17-10 転送方向指定



17.6.4 アクノリッジ(ACK)

アクノリッジ(ACK)によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリストート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

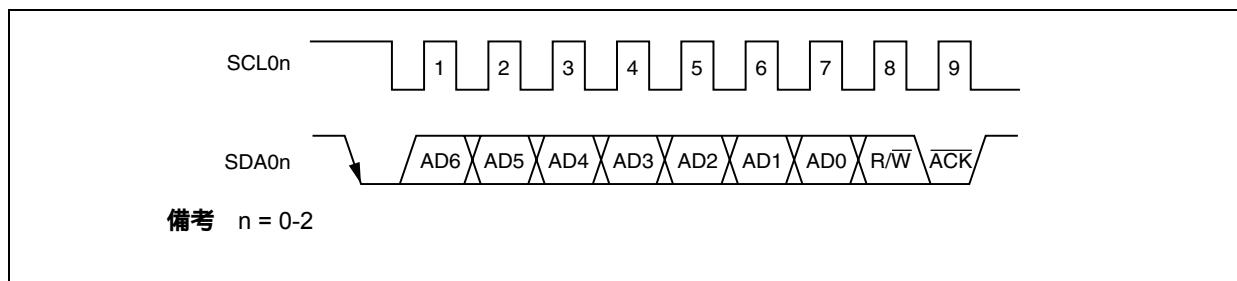
アクノリッジ生成は、受信側が9クロック目にSDA0nラインをロウ・レベルにすることによって行われます(正常受信)。

IICCn.ACKEnビットをセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn.TRCnビットが設定されます。受信(TRCnビット=0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCnビット=0)にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCnビット=0)に、次のデータを必要としない場合、アクノリッジを生成しないようACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図17-11 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウェイト選択時(IICCn.WTIMnビット=0)：

ウェイト解除を行う前にACKEnビットをセット(1)することによって、SCL0n端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

- ・9クロック・ウェイト選択時(WTIMnビット=1)：

あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

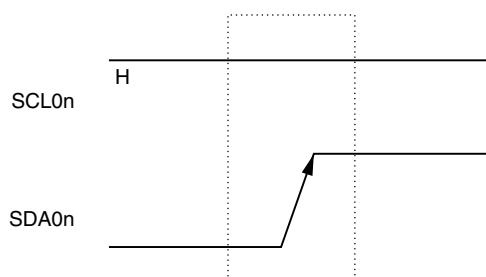
備考 n=0-2

17.6.5 ストップ・コンディション

SCL0n端子がハイ・レベルのときに，SDA0n端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります（n = 0-2）。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図17-12 ストップ・コンディション



備考 n = 0-2

ストップ・コンディションは，IICCn.SPTnビットをセット（1）すると発生します。また，ストップ・コンディションを検出するとIICSn.SPDnビットがセット（1）され，IICCn.SPIEnビットがセット（1）されている場合には割り込み要求信号（INTIICn）が発生します（n = 0-2）。

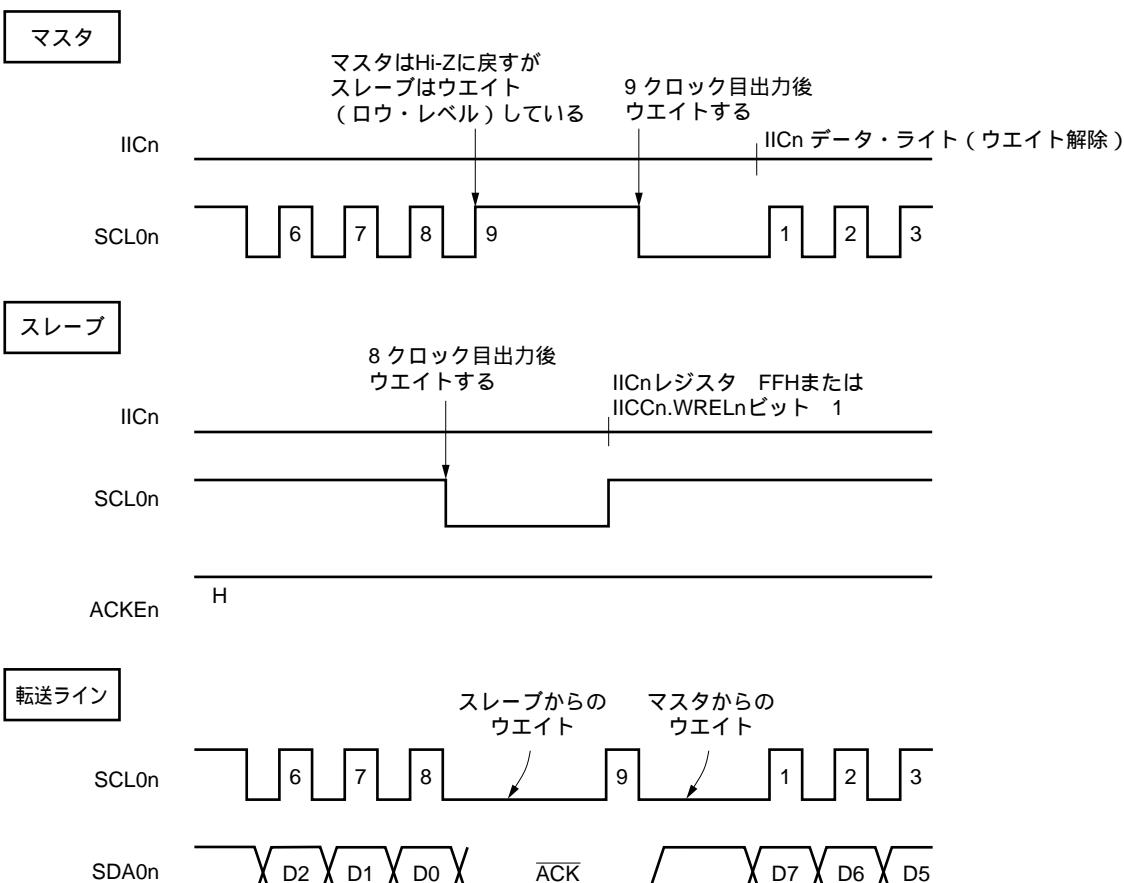
17.6.6 ウエイト

ウエイトは、マスタまたはスレーブがデータの送受信が準備中（ウエイト状態）であることを相手に知らせます。

SCL0n端子をロウ・レベルにすることにより、相手にウエイト状態を知らせます。マスタ、スレーブ両方のウエイト状態が解除されると、次の転送を開始できます（n = 0-2）。

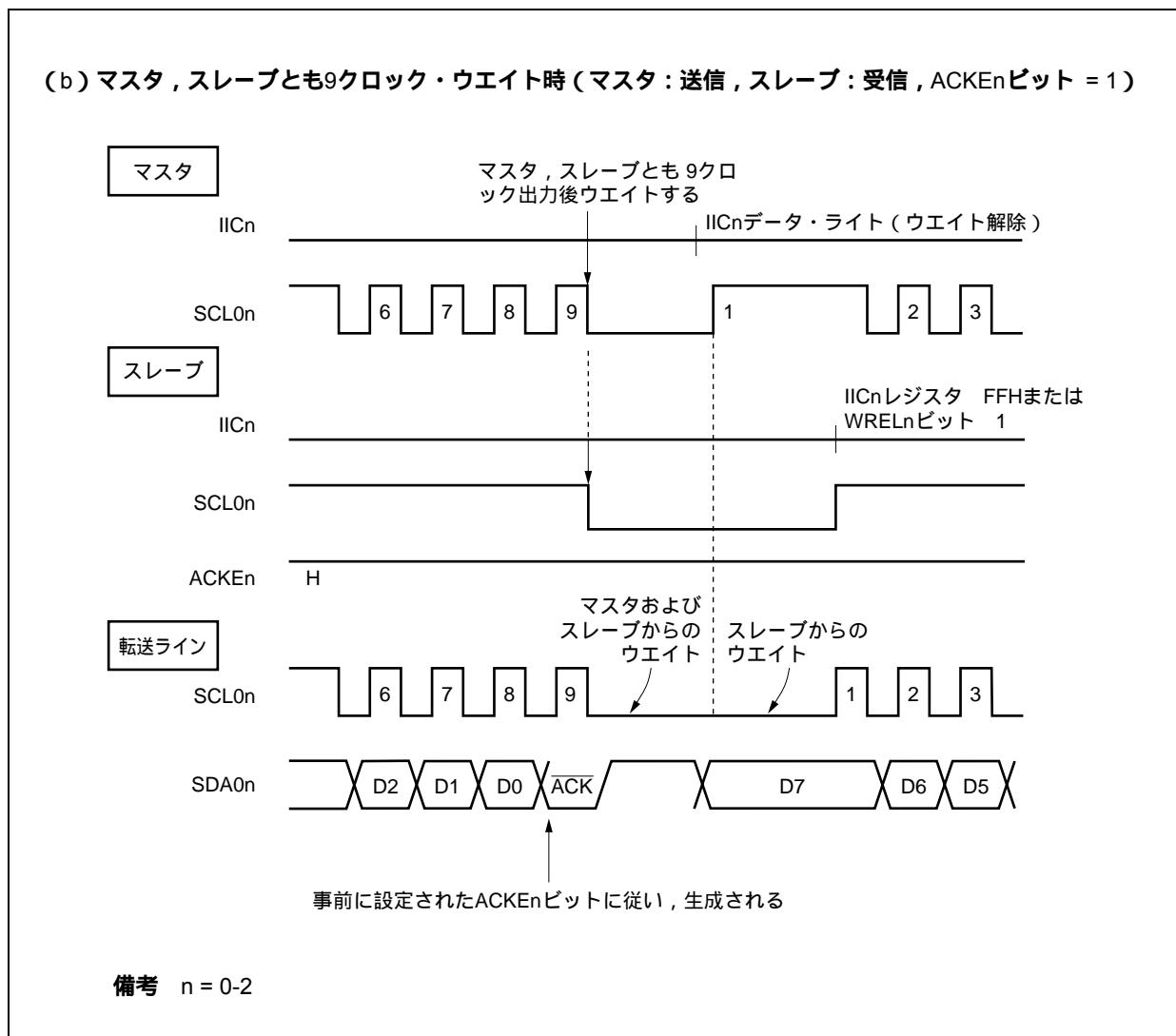
図17-13 ウエイト (1/2)

(a) マスタは9クロック・ウエイト、スレーブは8クロック・ウエイト時（マスタ：送信、スレーブ：受信、IICCn.ACKEnビット = 1）



備考 n = 0-2

図17-13 ウエイト (2/2)



ウェイトは , IICCn.WTIMnビットの設定により自動的に発生します (n = 0-2)。

通常 , 受信側はWRELnビット = 1またはIICnレジスタ FFHライトにするとウェイトを解除し , 送信側はIICnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は , 次の方法でもウェイトを解除できます。

- IICCn.STTnビット = 1
- IICCn.SPTnビット = 1

17.6.7 ウエイト解除方法

I²C0nでは、通常、次のような処理でウエイトを解除できます（n = 0-2）。

- ・IICnレジスタへのデータの書き込み
- ・IICCn.WRELnビットのセット(1)（ウエイト解除）
- ・IICCn.STTnビットのセット(1)（スタート・コンディションの生成）
- ・IICCn.SPTnビットのセット(1)（ストップ・コンディションの生成）

これらのウエイト解除処理を実行した場合、I²C0nはウエイトを解除し通信が再開されます。

ウエイトを解除してデータ（アドレスを含む）を送信する場合には、IICnレジスタにデータを書き込んでください。

ウエイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELnビットをセット(1)してください。

ウエイト解除後にリスタート・コンディションを生成する場合には、STTnビットをセット(1)してください。

ウエイト解除後にストップ・コンディションを生成する場合には、SPTnビットをセット(1)してください。

1回のウエイト状態に対して、1回だけ解除処理を実行してください。

たとえば、WRELnビットのセット(1)によるウエイト解除後、IICnレジスタへのデータ書き込みを実施した場合には、SDAnラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により、SDAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICCn.IICEnビットをクリア(0)すると通信を停止するので、ウエイトを解除できます。

I²Cバスがノイズなどによりデッド・ロックしてしまった場合には、IICCn.LRELnビットをセット(1)すると通信から退避するので、ウエイトを解除できます。

17.7 I²C割り込み要求信号 (INTIICn)

次に、INTIICn割り込み要求信号発生タイミングと、INTIICn信号タイミングでのIICSnレジスタの値を示します (n = 0-2)。

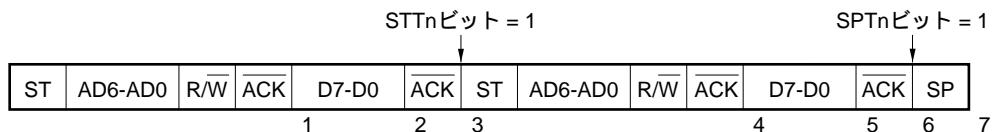
17.7.1 マスター動作

(1) Start ~ Address ~ Data ~ Data ~ Stop (通常送受信)

IICCn.WTIMnビット = 0のとき																													
IICCn.SPTnビット = 1																													
<table border="1"> <tr> <td>ST</td><td>AD6-AD0</td><td>R/W</td><td>ACK</td><td>D7-D0</td><td>ACK</td><td>D7-D0</td><td>ACK</td><td>SP</td><td></td></tr> <tr> <td>1</td><td>2</td><td></td><td></td><td>3</td><td>4</td><td>5</td><td></td><td></td><td></td></tr> </table>										ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP		1	2			3	4	5			
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP																					
1	2			3	4	5																							
1 : IICSnレジスタ = 1000X110B																													
2 : IICSnレジスタ = 1000X000B																													
3 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)																													
4 : IICSnレジスタ = 1000XX00B																													
5 : IICSnレジスタ = 00000001B																													
備考1. 必ず発生																													
SPIEnビット = 1のときだけ発生																													
X 任意																													
2. n = 0-2																													
WTIMnビット = 1のとき																													
<table border="1"> <tr> <td>ST</td><td>AD6-AD0</td><td>R/W</td><td>ACK</td><td>D7-D0</td><td>ACK</td><td>D7-D0</td><td>ACK</td><td>SP</td><td></td></tr> <tr> <td>1</td><td></td><td></td><td></td><td>2</td><td></td><td>3</td><td>4</td><td></td><td></td></tr> </table>										ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP		1				2		3	4		
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP																					
1				2		3	4																						
SPTnビット = 1																													
1 : IICSnレジスタ = 1000X110B																													
2 : IICSnレジスタ = 1000X100B																													
3 : IICSnレジスタ = 1000XX00B																													
4 : IICSnレジスタ = 00000001B																													
備考1. 必ず発生																													
SPIEnビット = 1のときだけ発生																													
X 任意																													
2. n = 0-2																													

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)
- 4 : IICSnレジスタ = 1000X110B (WTIMnビット = 0)
- 5 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 6 : IICSnレジスタ = 1000XX00B
- 7 : IICSnレジスタ = 00000001B

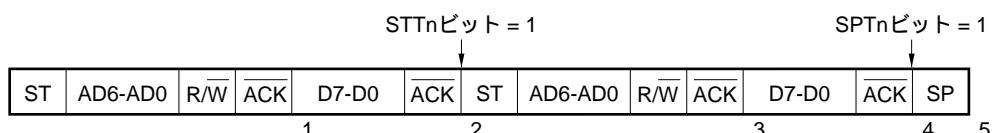
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 1000X110B
- 4 : IICSnレジスタ = 1000XX00B
- 5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

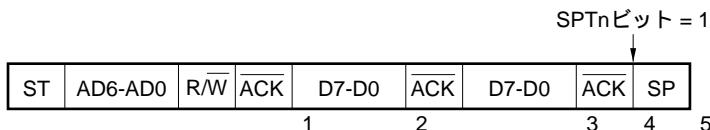
SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(3) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X000B
- 3 : IICSnレジスタ = 1010X000B (WTIMnビット = 1)
- 4 : IICSnレジスタ = 1010XX00B
- 5 : IICSnレジスタ = 00000001B

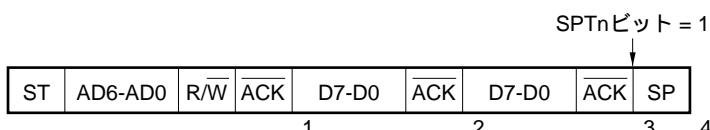
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1010X110B
- 2 : IICSnレジスタ = 1010X100B
- 3 : IICSnレジスタ = 1010XX00B
- 4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

17.7.2 スレーブ動作(スレーブ・アドレス・データ受信時(アドレス一致))

(1) Start ~ Address ~ Data ~ Data ~ Stop

IICCn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP	
1				2		3		4	

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICCn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP	
1				2		3		4	

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(2) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき(リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2				3	4		5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき(リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1	2				3	4		5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(3) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1				2				3		4		5

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1				2				3	4	5		6

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X110B

5 : IICSnレジスタ = 0010XX00B

6 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(4) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1				2					3			4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 00000X10B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1				2					3			4

1 : IICSnレジスタ = 0001X110B

2 : IICSnレジスタ = 0001XX00B

3 : IICSnレジスタ = 00000X10B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

17.7.3 スレーブ動作(拡張コード受信時)

(1) Start ~ Code ~ Data ~ Data ~ Stop

IICCn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
1				2		3		4

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICCn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
1		2		3		4		5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010X100B

4 : IICSnレジスタ = 0010XX00B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(2) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき(リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
		1		2					3	4		5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0001X110B

4 : IICSnレジスタ = 0001X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき(リスタート後, アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
		1	2		3				4		5	6

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0001X110B

5 : IICSnレジスタ = 0001XX00B

6 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(3) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

WTIMnビット = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1				2					3	4		5

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X000B

3 : IICSnレジスタ = 0010X010B

4 : IICSnレジスタ = 0010X000B

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1	2				3				4	5		6 7

1 : IICSnレジスタ = 0010X010B

2 : IICSnレジスタ = 0010X110B

3 : IICSnレジスタ = 0010XX00B

4 : IICSnレジスタ = 0010X010B

5 : IICSnレジスタ = 0010X110B

6 : IICSnレジスタ = 0010XX00B

7 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(4) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

WTIMnビット = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1				2					3			4

- 1 : IICSnレジスタ = 0010X010B
- 2 : IICSnレジスタ = 0010X000B
- 3 : IICSnレジスタ = 00000X10B
- 4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
1				2					3			4

- 1 : IICSnレジスタ = 0010X010B
- 2 : IICSnレジスタ = 0010X110B
- 3 : IICSnレジスタ = 0010XX00B
- 4 : IICSnレジスタ = 00000X10B
- 5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

17.7.4 通信不参加の動作

(1) Start ~ Code ~ Data ~ Data ~ Stop

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
----	---------	-----	-----	-------	-----	-------	-----	----

1

1 : IICSnレジスタ = 00000001B

備考1. SPIEnビット = 1のときだけ発生

2. n = 0-2

17.7.5 アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

IICCn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
1				2		3		4

1 : IICSnレジスタ = 0101X110B (例 割り込み処理中にIICSn.ALDrnビットをリード)

2 : IICSnレジスタ = 0001X000B

3 : IICSnレジスタ = 0001X000B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICCn.SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
1				2		3		4

1 : IICSnレジスタ = 0101X110B (例 割り込み処理中にALDrnビットをリード)

2 : IICSnレジスタ = 0001X100B

3 : IICSnレジスタ = 0001XX00B

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(2) 拡張コード送信中にアービトレーションに負けた場合

WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2	3	4		5

- 1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)
 2 : IICSnレジスタ = 0010X000B
 3 : IICSnレジスタ = 0010X000B
 4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1	2	3	4		5

- 1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)
 2 : IICSnレジスタ = 0010X110B
 3 : IICSnレジスタ = 0010X100B
 4 : IICSnレジスタ = 0010XX00B
 5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

17.7.6 アービトレーション負けの動作(アービトレーション負けのあと, 不参加)

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

ST	AD6-AD0	R/W	<u>ACK</u>	D7-D0	<u>ACK</u>	D7-D0	<u>ACK</u>	SP
1								2

1 : IICSnレジスタ = 01000110B (例 割り込み処理中にIICSn.ALDrビットをリード)

2 : IICSnレジスタ = 00000001B

備考1. 必ず発生

IICCn.SPIEnビット = 1のときだけ発生

2. n = 0-2

(2) 拡張コード送信中にアービトレーションに負けた場合

ST	AD6-AD0	R/W	<u>ACK</u>	D7-D0	<u>ACK</u>	D7-D0	<u>ACK</u>	SP
1								2

1 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDrビットをリード)

ソフトウェアでIICCn.LRELnビット = 1を設定

2 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(3) データ転送時にアービトレーションに負けた場合

IICCn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

2. n = 0-2

WTIMnビット = 1のとき

ST	AD6-AD0	R/W	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
				1	2			3

1 : IICSnレジスタ = 10001110B

2 : IICSnレジスタ = 01000100B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

2. n = 0-2

(4) データ転送時にリスタート・コンディションで負けた場合

拡張コード以外(例 アドレス不一致)

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1					2			3

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000110B (例 割り込み処理中にALDnビットをリード)

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2. n = 0-2

拡張コード

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1					2			3

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

ソフトウェアでIICCn.LRELnビット = 1を設定

3 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

2. n = 0-2

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
1				2	

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 01000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. Dn = D6-D0

n = 0-2

(6) リスタート・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトリエーションに負けた場合

WTIMnビット = 0のとき

IICCn.STTnビット = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
1				2	3		4			5

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)

3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)

4 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

IICCn.STTnビット = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
1				2		3		4		

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 1000XX00B

3 : IICSnレジスタ = 01000100B (例 割り込み処理中にALDnビットをリード)

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

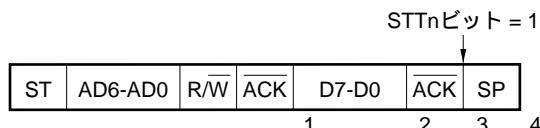
SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

WTIMnビット = 0のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)
- 3 : IICSnレジスタ = 1000XX00B
- 4 : IICSnレジスタ = 01000001B

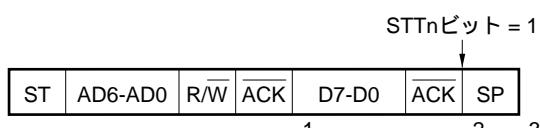
備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき



- 1 : IICSnレジスタ = 1000X110B
- 2 : IICSnレジスタ = 1000XX00B
- 3 : IICSnレジスタ = 01000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

(8) ストップ・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

WTIMnビット = 0のとき

IICCn.SPTnビット = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
1	2	3	4						5	

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)

3 : IICSnレジスタ = 1000XX00B (WTIMnビット = 0)

4 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

5 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

WTIMnビット = 1のとき

IICCn.SPTnビット = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
1	2				3				4	

1 : IICSnレジスタ = 1000X110B

2 : IICSnレジスタ = 1000XX00B

3 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

4 : IICSnレジスタ = 00000001B

備考1. 必ず発生

SPIEnビット = 1のときだけ発生

X 任意

2. n = 0-2

17.8 割り込み要求信号(INTIICn)発生タイミングおよびウエイト制御

IICCn.WTIMnビットの設定で、次に示すタイミングでINTIICn信号が発生して、ウェイト制御を行います(n = 0-2)。

表17-3 INTIICn信号発生タイミングおよびウェイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは, SVAnレジスタに設定しているアドレスと一致したときにのみ, 9クロック目の立ち下がりで発生します。

また, このとき, IICCn.ACKEnビットの設定にかかわらず, アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICn信号を発生します。

ただし, リスタート後にアドレス不一致になった場合には, 9クロック目の立ち下がりでINTIICn信号を発生しますが, ウエイトは発生しません。

2. SVAnレジスタと受信したアドレスが一致せず, かつ拡張コードを受信していない場合は, INTIICn信号もウェイトも発生しません。

備考1. 表中の数字は,シリアル・クロックのクロック数を示しています。また, 割り込み要求, ウエイト制御ともにシリアル・クロックの立ち下がりに同期します。

2. n = 0-2

(1) アドレス送受信時

- スレーブ動作時: WTIMnビットにかかわらず, 上記の注1, 注2の条件により, 割り込みおよびウェイト・タイミングが決まります。
- マスタ動作時 : WTIMnビットにかかわらず, 割り込みおよびウェイト・タイミングは, 9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ / スレーブ動作時 : WTIMnビットにより, 割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ / スレーブ動作時 : WTIMnビットにより, 割り込みおよびウェイト・タイミングが決まります。

(4) ウエイト解除方法

ウエイトの解除方法には次の4つがあります。

- ・IICCn.WREL_nビット = 1
- ・IICnレジスタのライト動作
- ・スタート・コンディションのセット (IICCn.STT_nビット = 1)^注
- ・ストップ・コンディションのセット (IICCn.SPT_nビット = 1)^注

注 マスタのみ

8クロック・ウエイト選択 (WTIM_nビット = 0) 時は、ウエイト解除前にアクノリッジの生成の有無を決定する必要があります。

備考 n = 0-2

(5) ストップ・コンディション検出

ストップ・コンディションを検出すると、INTIICn信号を発生します。

備考 n = 0-2

17.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn信号が発生します（n = 0-2）。

17.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス端子（SDA0n）の状態が、送信しているデバイスのIICnレジスタにも取り込まれるため、送信開始前と送信終了後のIICnレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します（n = 0-2）。

17.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”的ときを拡張コード受信として、拡張コード受信フラグ（IICSn.EXCnビット）をセットし、8クロック目の立ち下がりで割り込み要求信号（INTIICn）を発生します（n = 0-2）。

SVAnレジスタに格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAnレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようにになります。ただしINTIICn信号は、8クロック目の立ち下がりで発生します（n = 0-2）。

上位4ビット・データの一致：EXCnビット = 1
7ビット・データの一致：IICSn.COInビット = 1

(3) 割り込み要求信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICCn.LRELnビット = 1に設定し、次の通信待機状態となります。

表17-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	×	CBUSアドレス
0000 010	×	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	×	10ビット・スレーブ・アドレス指定

17.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合 (IICSn.STTnビット = 1になる前にIICCn.STTnビット = 1にしたとき) , データが異なるまでクロックの調整をしながら , マスタ通信を行います。この動作をアービトレーションと呼びます (n = 0-2)。

アービトレーションに負けたマスタは , アービトレーションに負けたタイミングで , アービトレーション負けフラグ (IICSn.ALDnビット) をセット (1) し , SCL0n, SDA0nラインともハイ・インピーダンス状態にしてバスを解放します (n = 0-2)。

アービトレーションに負けたことは , 次の割り込み要求信号 (INTIICn) 発生タイミング (8または9クロック目 , ストップ・コンディション検出など) で , ソフトウェアで ALDnビット = 1 になっていることで検出します (n = 0-2)。割り込み発生タイミングについては , 17.7 I²C割り込み要求信号 (INTIICn) を参照してください。

図17-14 アービトレーション・タイミング例

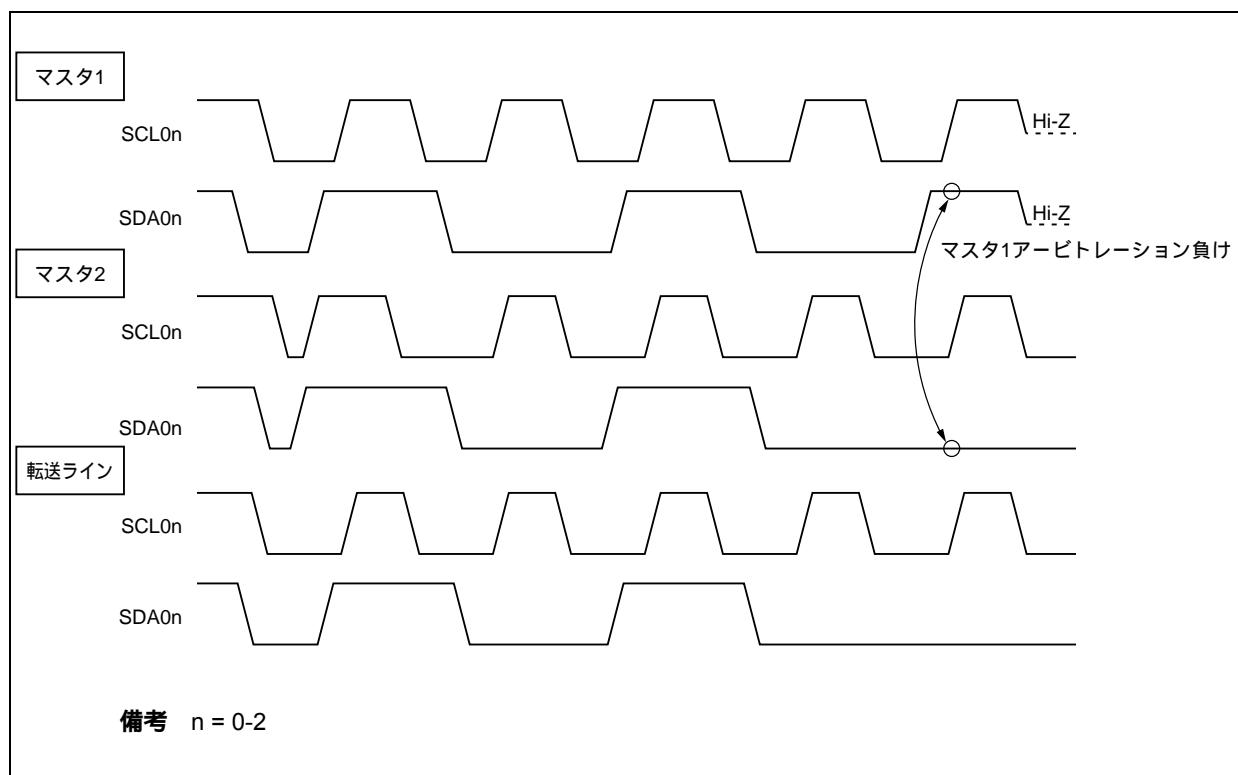


表17-5 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中、リストア・コンディション検出	ストップ・コンディション生成時 (IICCn.SPIEnビット = 1時) ^{注2}
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時 (IICCn.WTIMnビット = 1時) ^{注1}
リストア・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リストア・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEnビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リストア・コンディションを生成しようとしたがSCL0n端子がロウ・レベル	

- 注1. IICCn.WTIMnビット = 1の場合には、9クロック目の立ち下がりタイミングでINTIICn信号を発生します。
 WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングでINTIICn信号を発生します (n = 0-2)。
2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEnビット = 1にしてください (n = 0-2)。

17.13 ウエイク・アップ機能

I²Cバスのスレーブ機能で、自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICn) が発生する機能です。アドレスが一致しないときは不要なINTIICn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICCn.SPIEnビットの設定によって、INTIICn信号の発生許可／禁止が決定します (n = 0-2)。

17.14 通信予約

17.14.1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)

バスに不参加の状態で、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず, IICCn.LRELnビット = 1でバスを解放した)とき (n = 0-2)

バスに不参加の状態で、IICCn.STTnビットをセット(1)すると、バスが解放されたあと(ストップ・コンディション検出後)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出(ストップ・コンディション検出)すると、IICnレジスタ・ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICCn.SPIEnビットをセット(1)しておいてください(n = 0-2)。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます(n = 0-2)。

バスが解放されているとき	スタート・コンディション生成
バスが解放されていないとき(待機状態)	..	通信予約

通信予約として動作するのかどうかを確認するには、STTnビットをセット(1)し、ウェイト時間をとったあと、IICSn.MSTS_nビットを確認することで行います(n = 0-2)。

ウェイト時間は、表17-6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICCLn.SMCn, CLn1, CLn0ビットと、IICXn.CLXnビットにより設定できます(n = 0-2)。

表17-6 ウエイト時間

選択クロック	CLXn	SMCn	CLn1	CLn0	ウエイト時間
fxx (OCKSm = 18H設定時)	0	0	0	0	26クロック
fxx/2 (OCKSm = 10H設定時)	0	0	0	0	52クロック
fxx/3 (OCKSm = 11H設定時)	0	0	0	0	78クロック
fxx/4 (OCKSm = 12H設定時)	0	0	0	0	104クロック
fxx/5 (OCKSm = 13H設定時)	0	0	0	0	130クロック
fxx (OCKSm = 18H設定時)	0	0	0	1	47クロック
fxx/2 (OCKSm = 10H設定時)	0	0	0	1	94クロック
fxx/3 (OCKSm = 11H設定時)	0	0	0	1	141クロック
fxx/4 (OCKSm = 12H設定時)	0	0	0	1	188クロック
fxx	0	0	1	0	47クロック
fxx (OCKSm = 18H設定時)	0	0	1	1	37クロック
fxx/2 (OCKSm = 10H設定時)	0	0	1	1	74クロック
fxx/3 (OCKSm = 11H設定時)	0	0	1	1	111クロック
fxx (OCKSm = 18H設定時)	0	1	0	×	16クロック
fxx/2 (OCKSm = 10H設定時)	0	1	0	×	32クロック
fxx/3 (OCKSm = 11H設定時)	0	1	0	×	48クロック
fxx/4 (OCKSm = 12H設定時)	0	1	0	×	64クロック
fxx	0	1	1	0	16クロック
fxx (OCKSm = 18H設定時)	0	1	1	1	13クロック
fxx/2 (OCKSm = 10H設定時)	0	1	1	1	26クロック
fxx/3 (OCKSm = 11H設定時)	0	1	1	1	39クロック
fxx (OCKSm = 18H設定時)	1	1	0	×	10クロック
fxx/2 (OCKSm = 10H設定時)	1	1	0	×	20クロック
fxx/3 (OCKSm = 11H設定時)	1	1	0	×	30クロック
fxx/4 (OCKSm = 12H設定時)	1	1	0	×	40クロック
fxx/5 (OCKSm = 13H設定時)	1	1	0	×	50クロック
fxx	1	1	1	0	10クロック

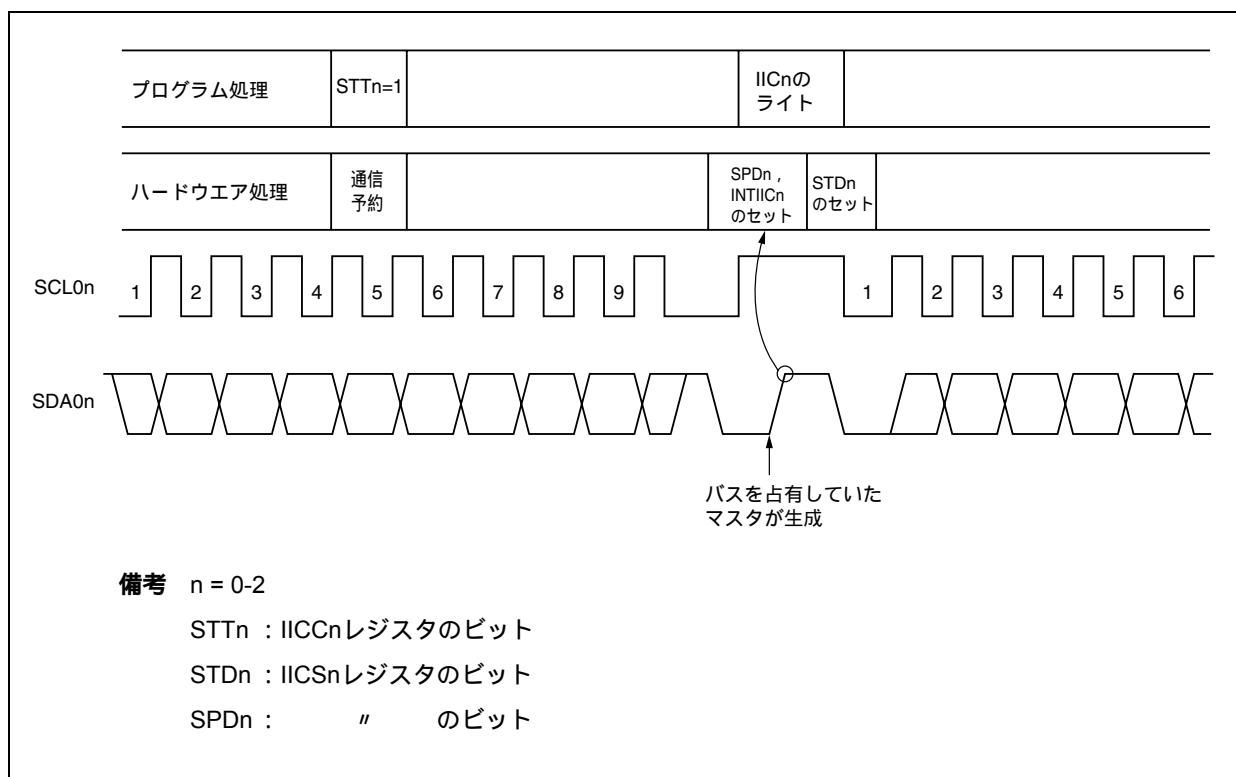
備考1. n = 0-2

m = 0, 1

2. × = Don't care

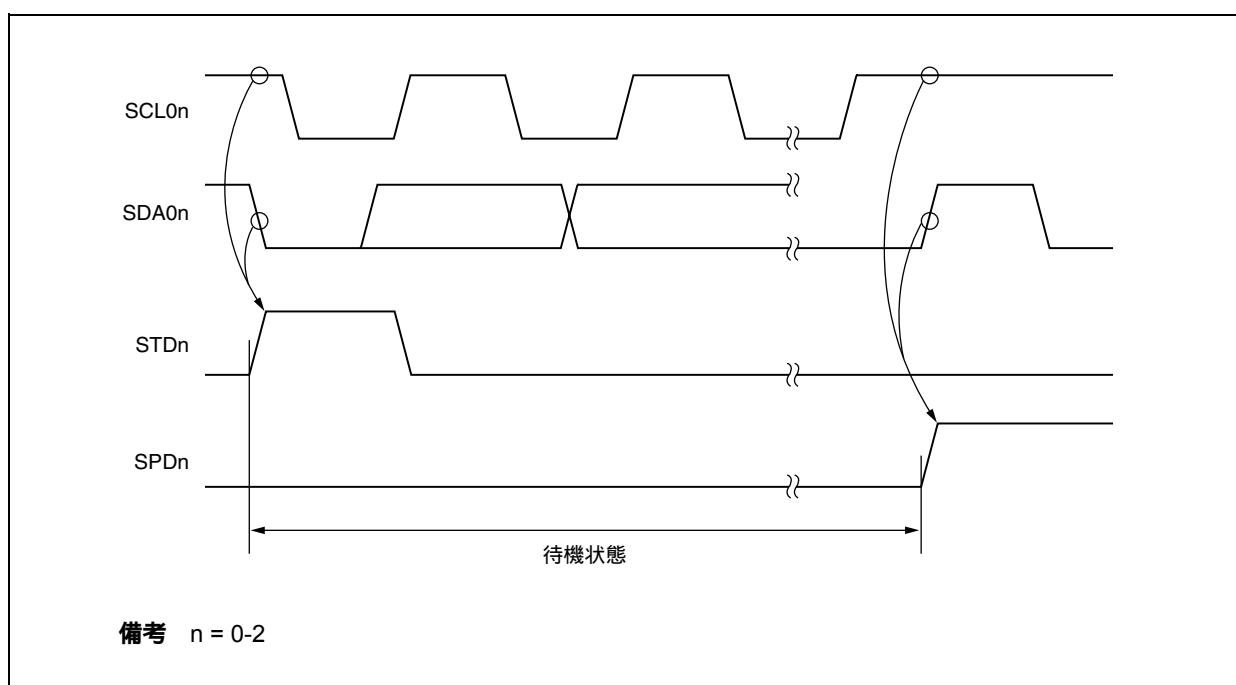
通信予約のタイミングを次に示します。

図17-15 通信予約のタイミング



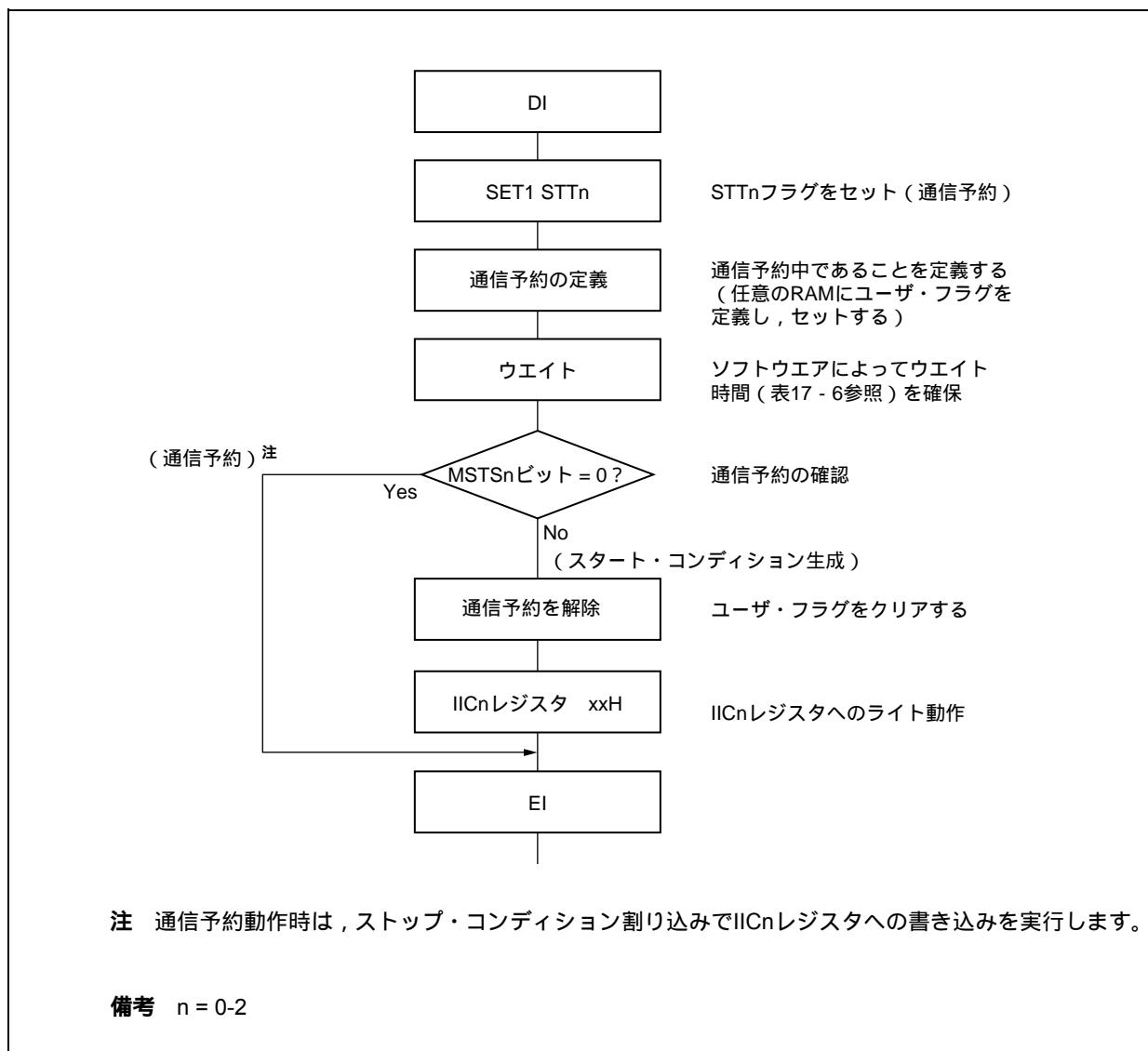
通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと、ストップ・コンディション検出までにIICCn.STTnビット = 1で通信予約をします (n = 0-2)。

図17-16 通信予約受け付けタイミング



次に通信予約の手順を示します。

図17-17 通信予約の手順



17.14.2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)

バスが通信中で、この通信に不参加の状態でIICCn.STTnビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICCn.LRELnビット = 1でバスを解放した)とき (n = 0-2)。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFn.STCFnフラグを確認することにより行います。STTnビット = 1としてからSTCFnフラグがセットされるまで表17-7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表17-7 ウエイト時間

OCKSENm	OCKSm1	OCKSm0	CLn1	CLn0	ウエイト時間
1	0	0	0	X	10クロック
1	0	1	0	X	15クロック
1	1	0	0	X	20クロック
1	1	1	0	X	25クロック
0	0	0	1	0	5クロック

備考1. X : Don't care

2. n = 0-2

m = 0, 1

17.15 注意事項

(1) IICFn.STCENnビット = 0の場合

I²C0n動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。ストップ・コンディションの生成は次の順番で行ってください。

IICCLnレジスタの設定

IICCn.IICEnビットのセット

IICCn.SPTnビットのセット

(2) IICFn.STCENnビット = 1の場合

I²C0n動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICCn.STTnビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850ES/JG2のIICCn.IICEnビットをセット(1)した場合、通信ラインの状態によってスタート・コンディションを検出することができます。IICCn.IICEnビットのセット(1)は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

(4) 動作許可 (IICCn.IICEnビット = 1) する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア(0)してください。

(5) IICCn.STTn, SPTnビットをセット(1)したあと、クリア(0)される前の再セットは禁止します。

(6) 送信予約をした場合には、IICCn.SPIEnビットをセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cnに通信データをライトすることによってウエイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでIICSn.MSTS_nビットを検出する場合には、SPIEnビットをセット(1)する必要はありません。

備考 n = 0-2

m = 0, 1

17.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

I²C0n バスのシングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²C0n バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²C バスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アビトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアビトレーションにも対応しています。

(3) スレーブ動作

I²C0n バスのスレーブとして使用する場合の例を示します。

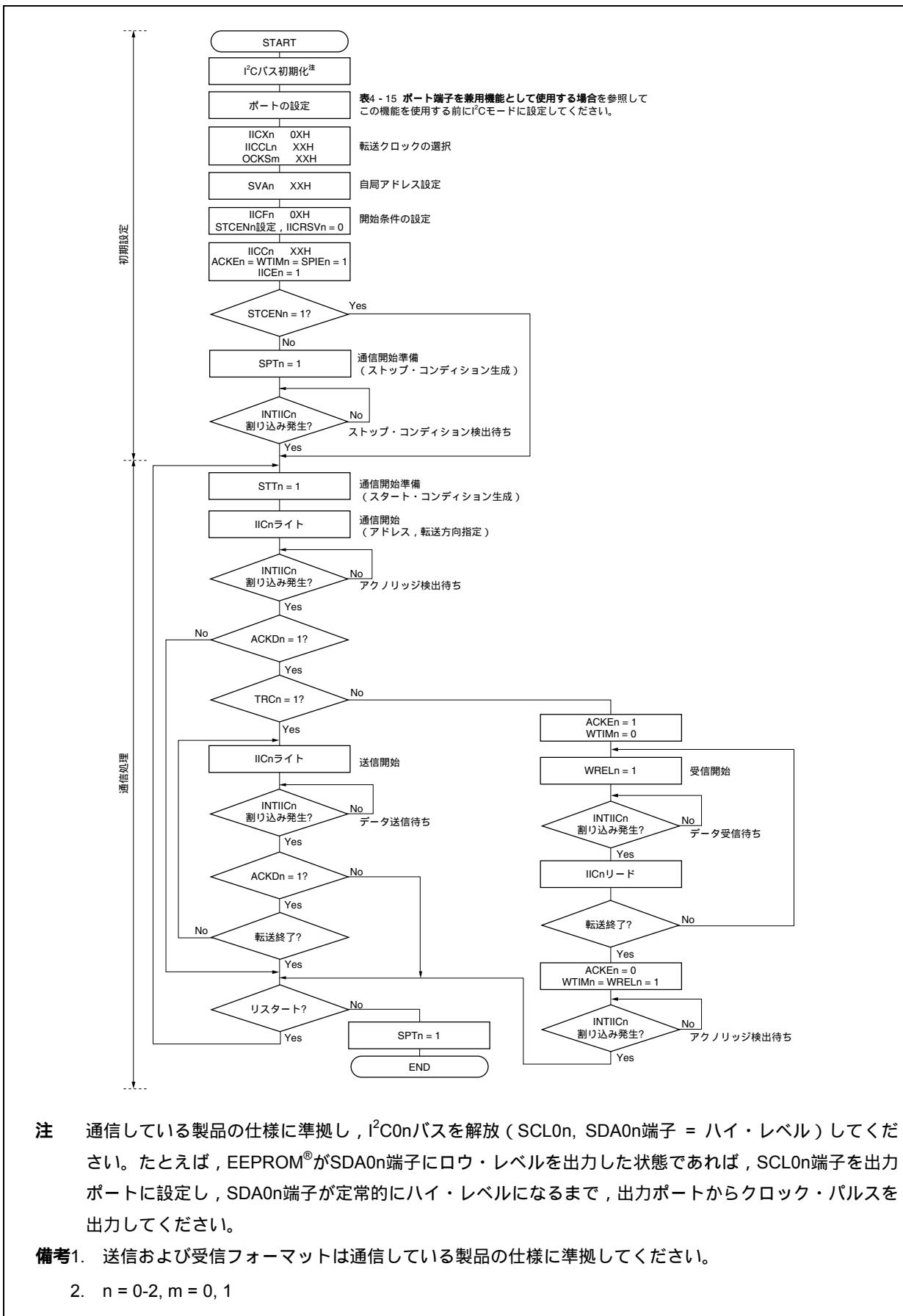
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICn 割り込みの発生を待ちます。INTIICn 割り込みが発生すると 通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0-2

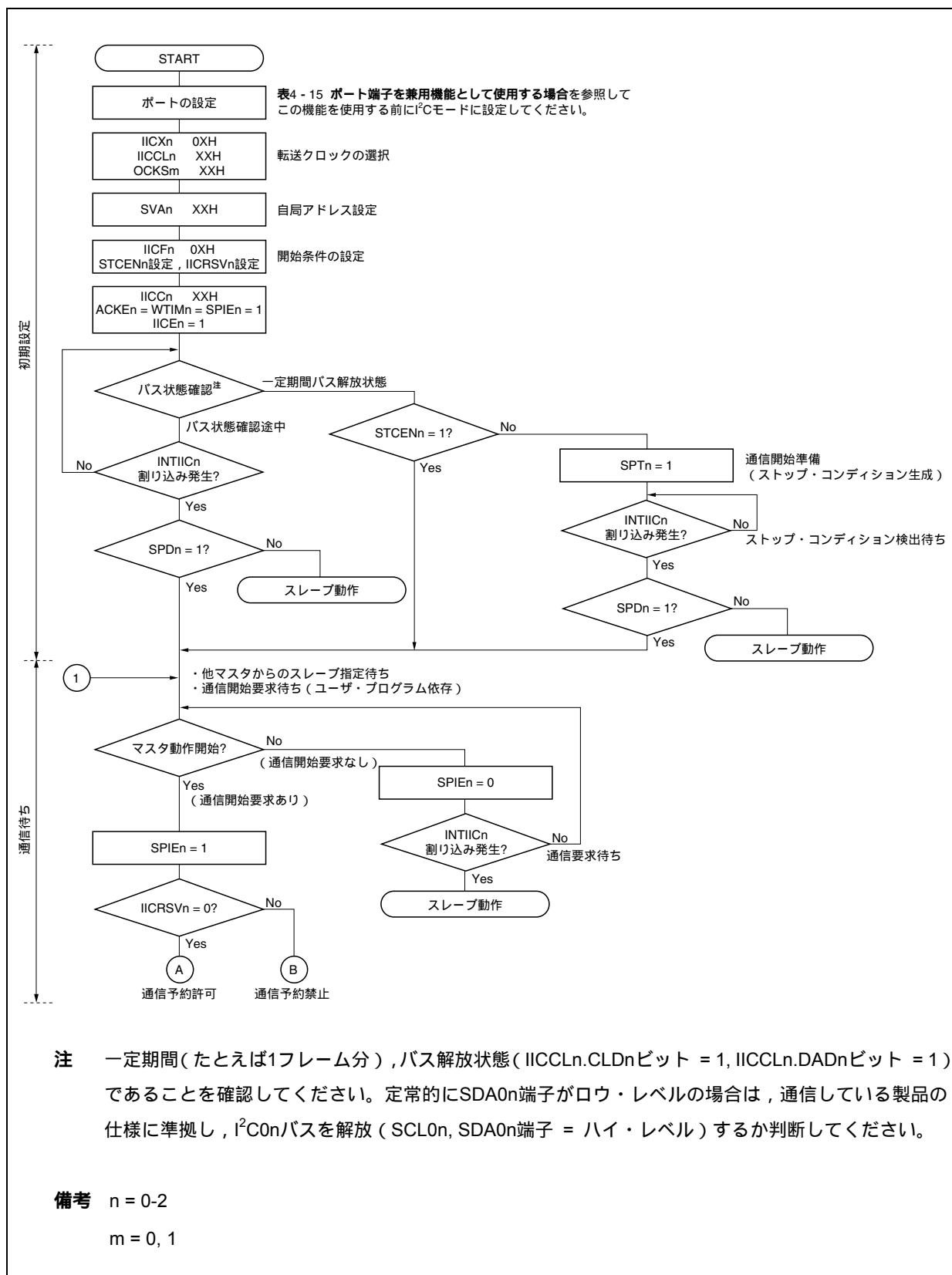
17.16.1 シングルマスタ・システムでのマスタ動作

図17-18 シングルマスタ・システムでのマスタ動作



17.16.2 マルチマスター・システムでのマスター動作

図17-19 マルチマスター・システムでのマスター動作 (1/3)



注 一定期間(たとえば1フレーム分), バス解放状態(IICCLn.CLDnビット = 1, IICCLn.DADnビット = 1)であることを確認してください。定常にSDA0n端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²C0nバスを解放(SCL0n, SDA0n端子 = ハイ・レベル)するか判断してください。

備考 n = 0-2

m = 0, 1

図17-19 マルチマスター・システムでのマスタ動作(2/3)

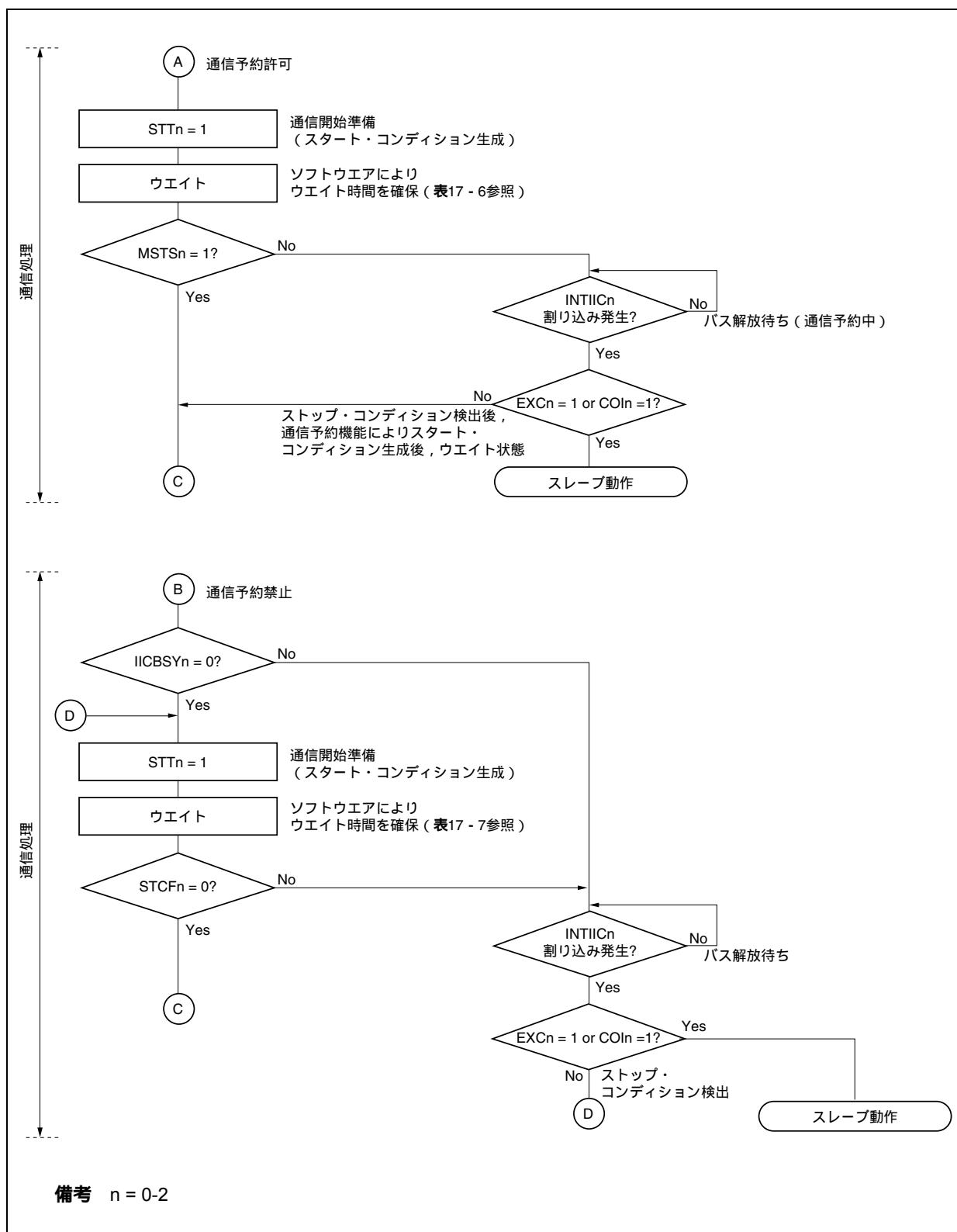
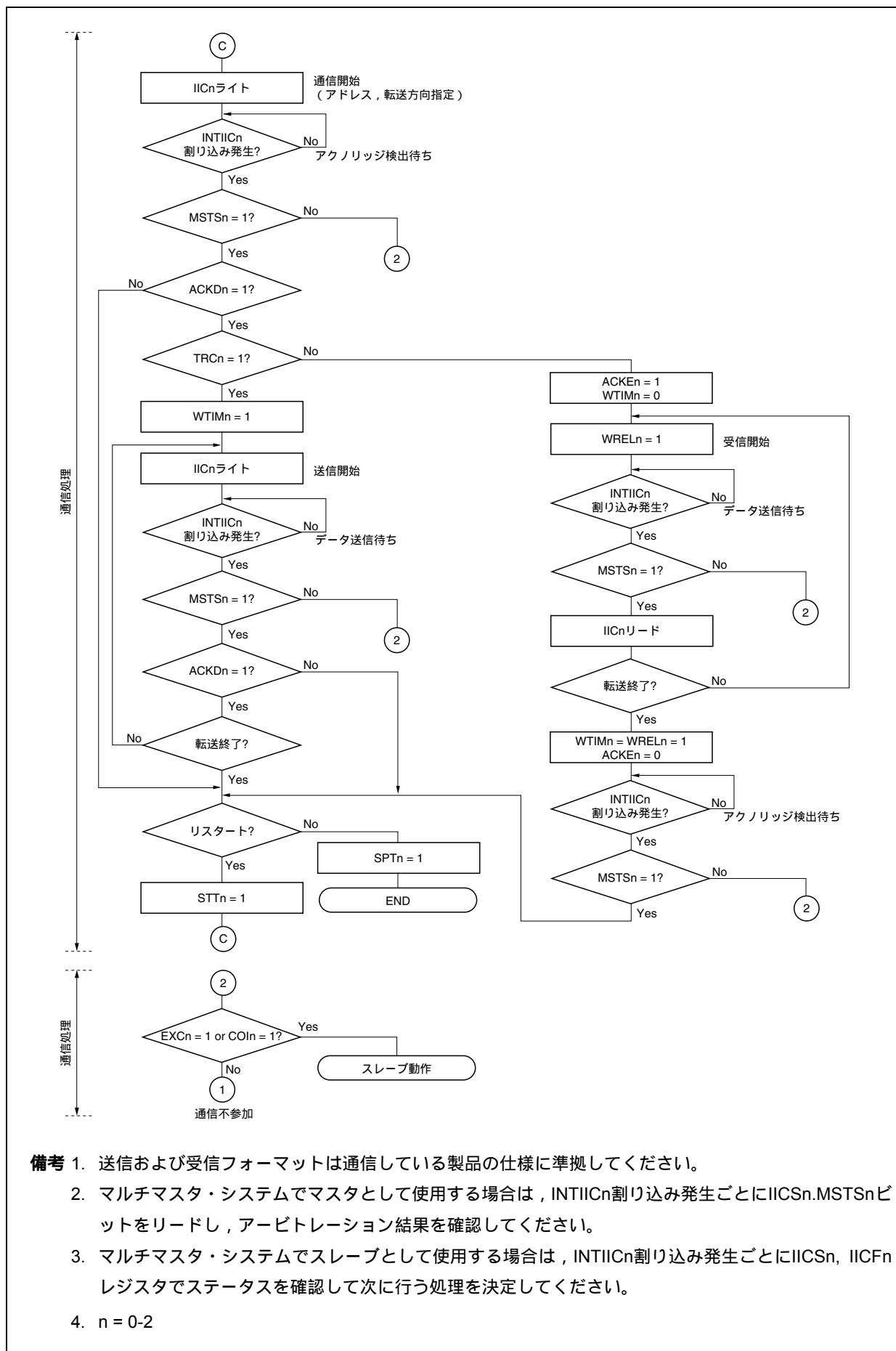


図17-19 マルチマスター・システムでのマスタ動作(3/3)



- 備考**
- 送信および受信フォーマットは通信している製品の仕様に準拠してください。
 - マルチマスター・システムでマスターとして使用する場合は、INTIICn割り込み発生ごとにIICSn.MSTS_nビットをリードし、アービトリレーション結果を確認してください。
 - マルチマスター・システムでスレーブとして使用する場合は、INTIICn割り込み発生ごとにIICSn, IICFnレジスタでステータスを確認して次に行う処理を決定してください。
 - $n = 0\text{--}2$

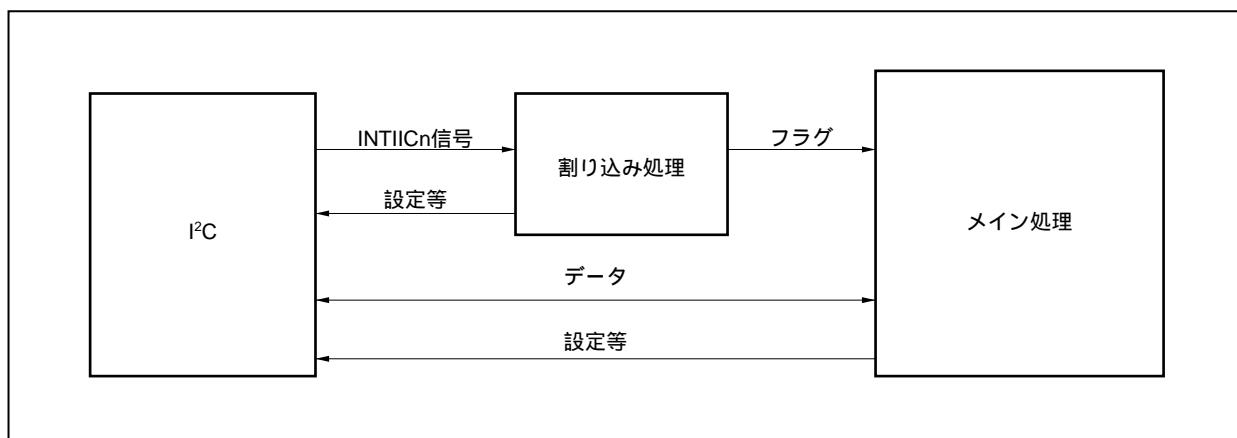
17.16.3 スレープ動作

スレープ動作の処理手順を次に示します。

基本的にスレープの場合には、イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図17-20 スレープ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスターからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IICSn.TRCnビットの値と同じです。

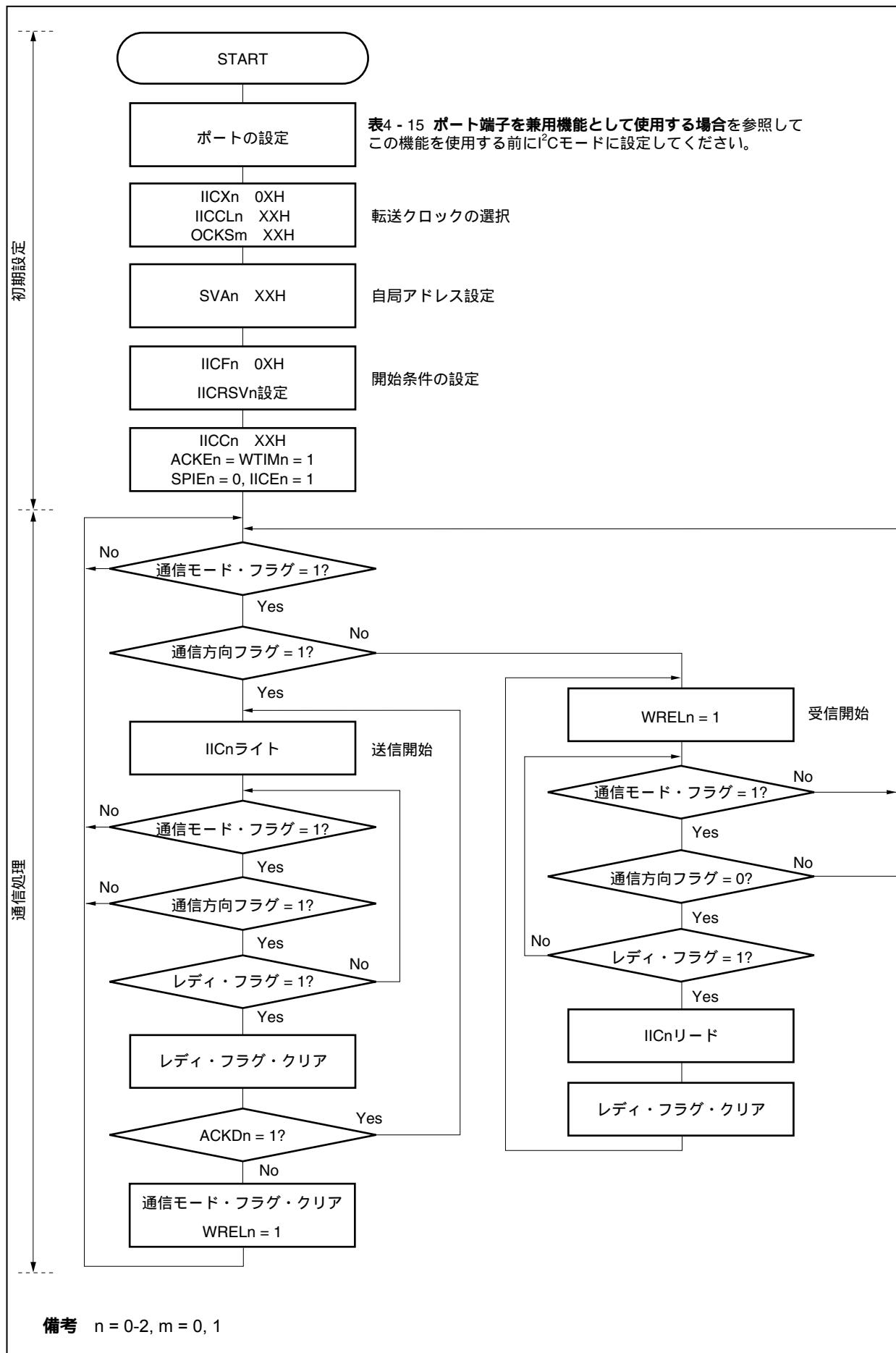
次にスレーブ動作でのメイン処理部の動作を示します。

I²C0nを起動し,通信可能状態になるのを待ちます。通信可能状態になったら,通信モード・フラグとレディ・フラグを使って転送を行います(トップ・コンディションやスタート・コンディションの処理は割り込みで行いますので,ここではフラグで確認します)。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかつたら転送を完了します。

受信では必要な数のデータを受信し,転送完了したら次のデータでアクノリッジを戻さないようにします。その後,マスタはトップ・コンディションまたはリストート・コンディションを発行します。これにより,通信状態から抜け出します。

図17-21 スレーブ動作手順(1)



スレーブのINTIICn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICn割り込みではステータスを確認して、次のように行います。

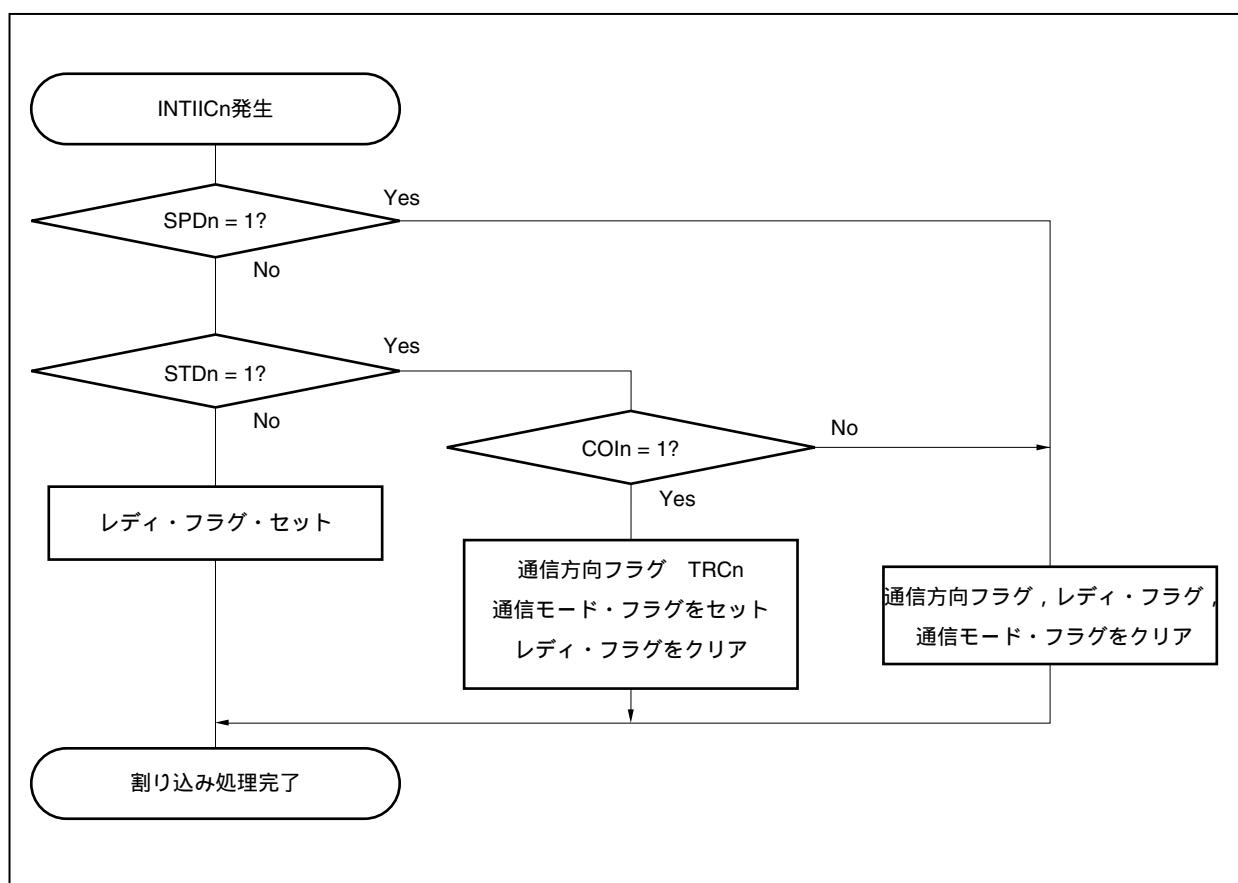
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していないければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²COnバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の～は、図17-22 スレーブ動作手順(2)の～と対応しています。

図17-22 スレーブ動作手順(2)



17.17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICSn.TRCnビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック端子（SCL0n）の立ち下がりに同期してIICnレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA0n端子からMSBファーストで出力されます。

また、SCL0n端子の立ち上がりでSDA0n端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0-2

図17-23 マスタ スレーブ通信例(マスタ,スレーブとも9クロックでウエイト選択時)(1/3)

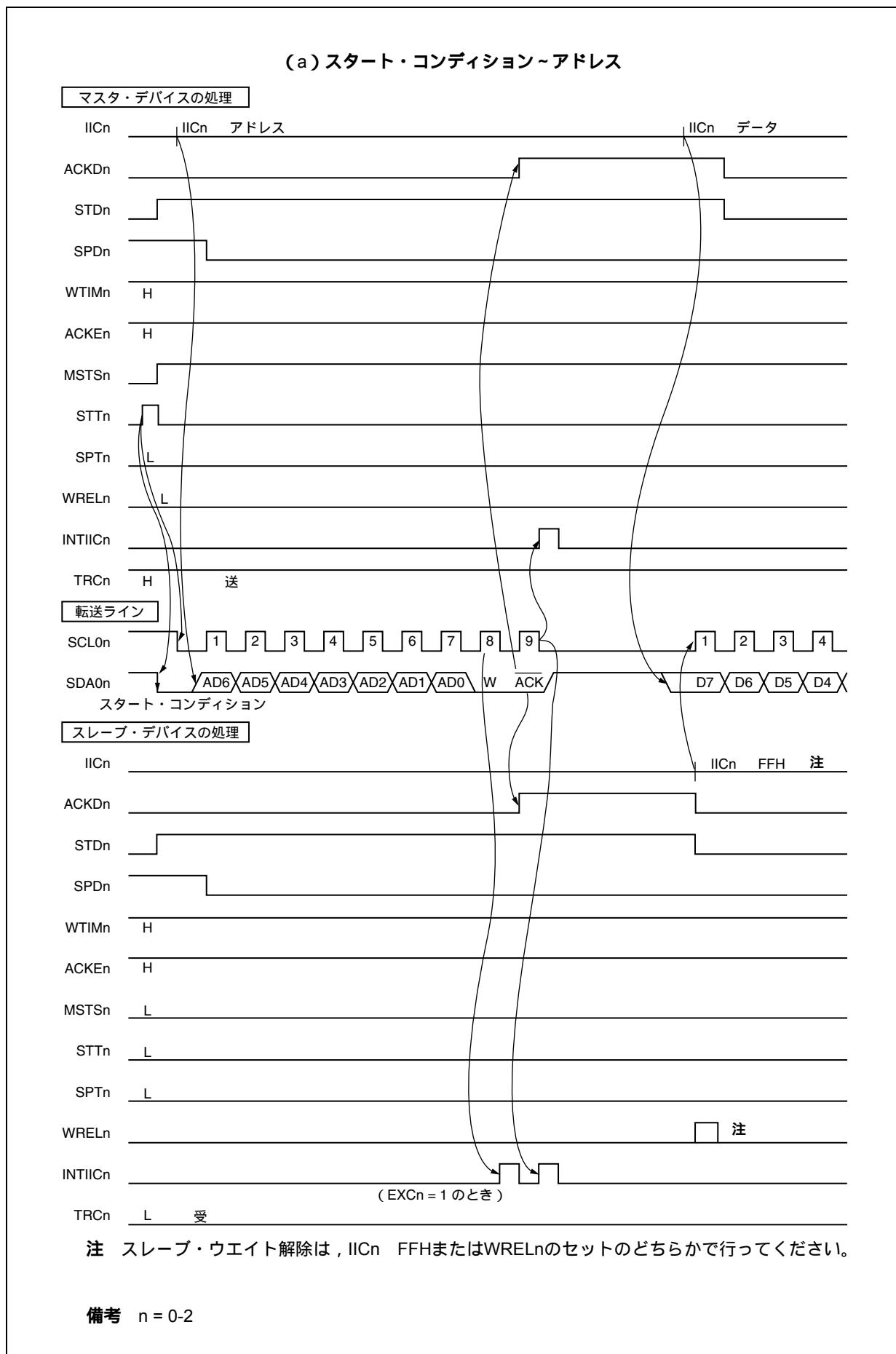


図17-23 マスタ スレーブ通信例(マスタ、スレーブとも9クロックでウエイト選択時)(2/3)

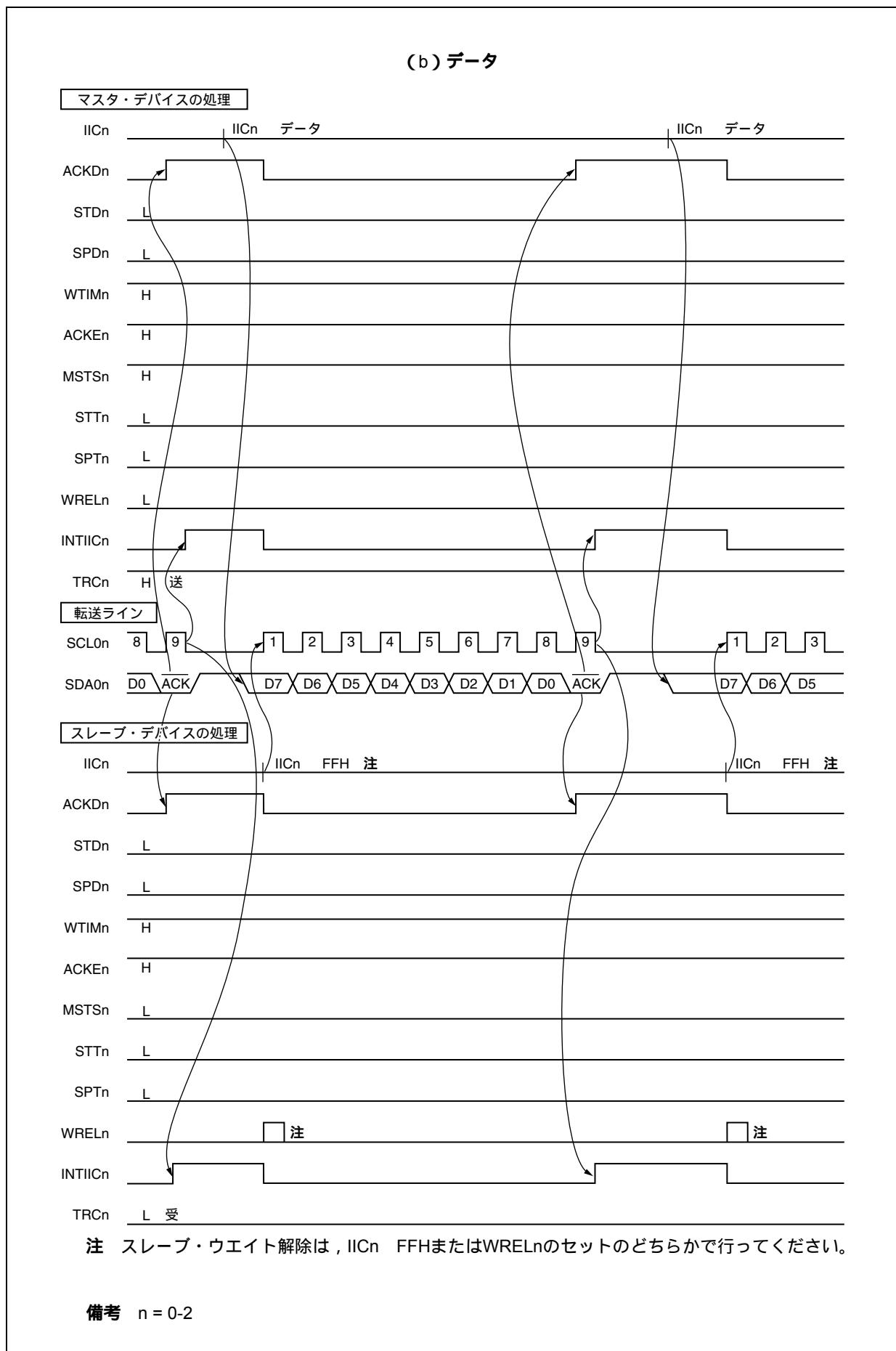


図17-23 マスタ スレーブ通信例(マスタ,スレーブとも9クロックでウエイト選択時)(3/3)

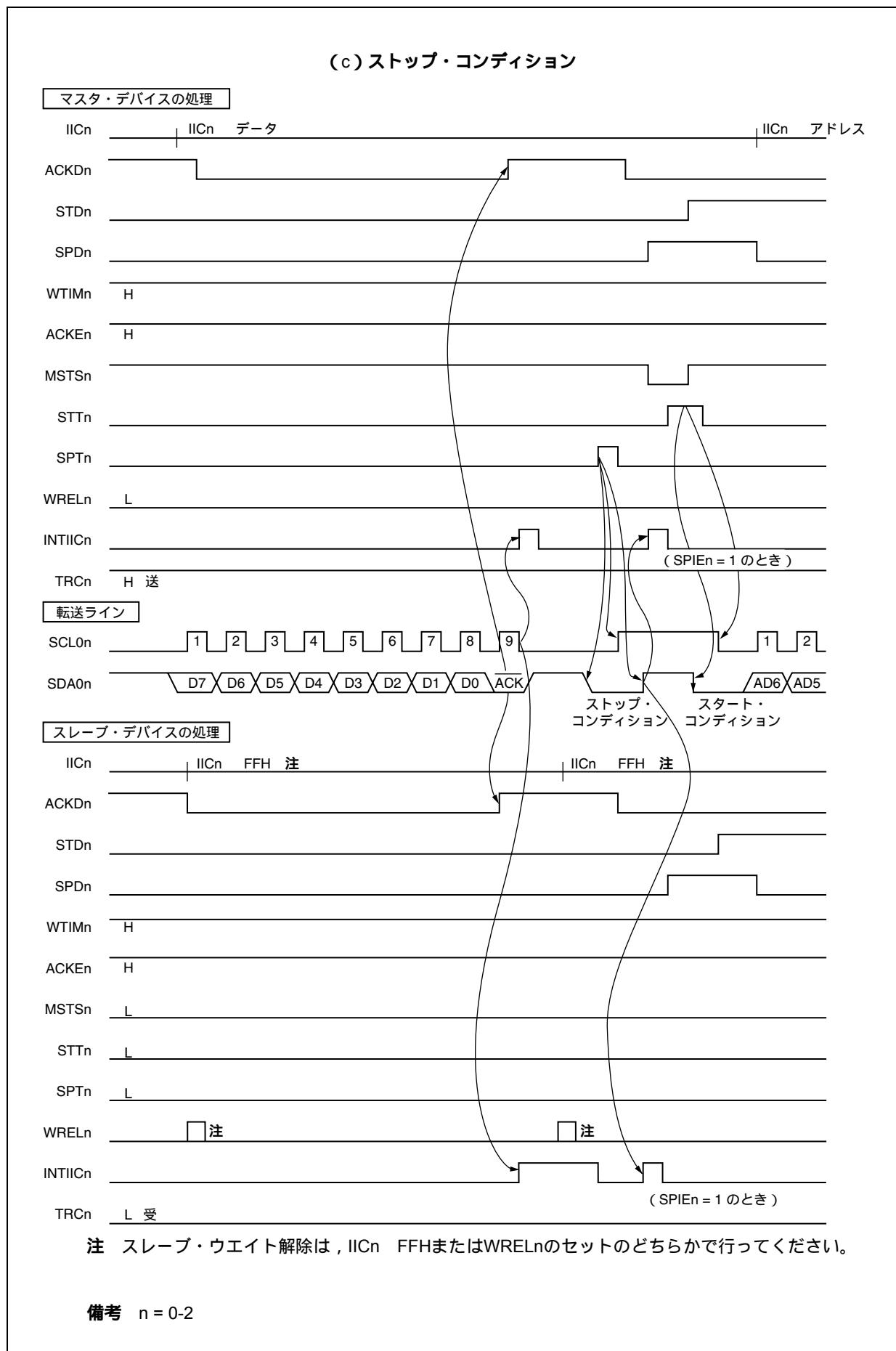


図17-24 スレーブ マスタ通信例(マスタ:8クロック,スレーブ:9クロックでウェイト選択時)(1/3)

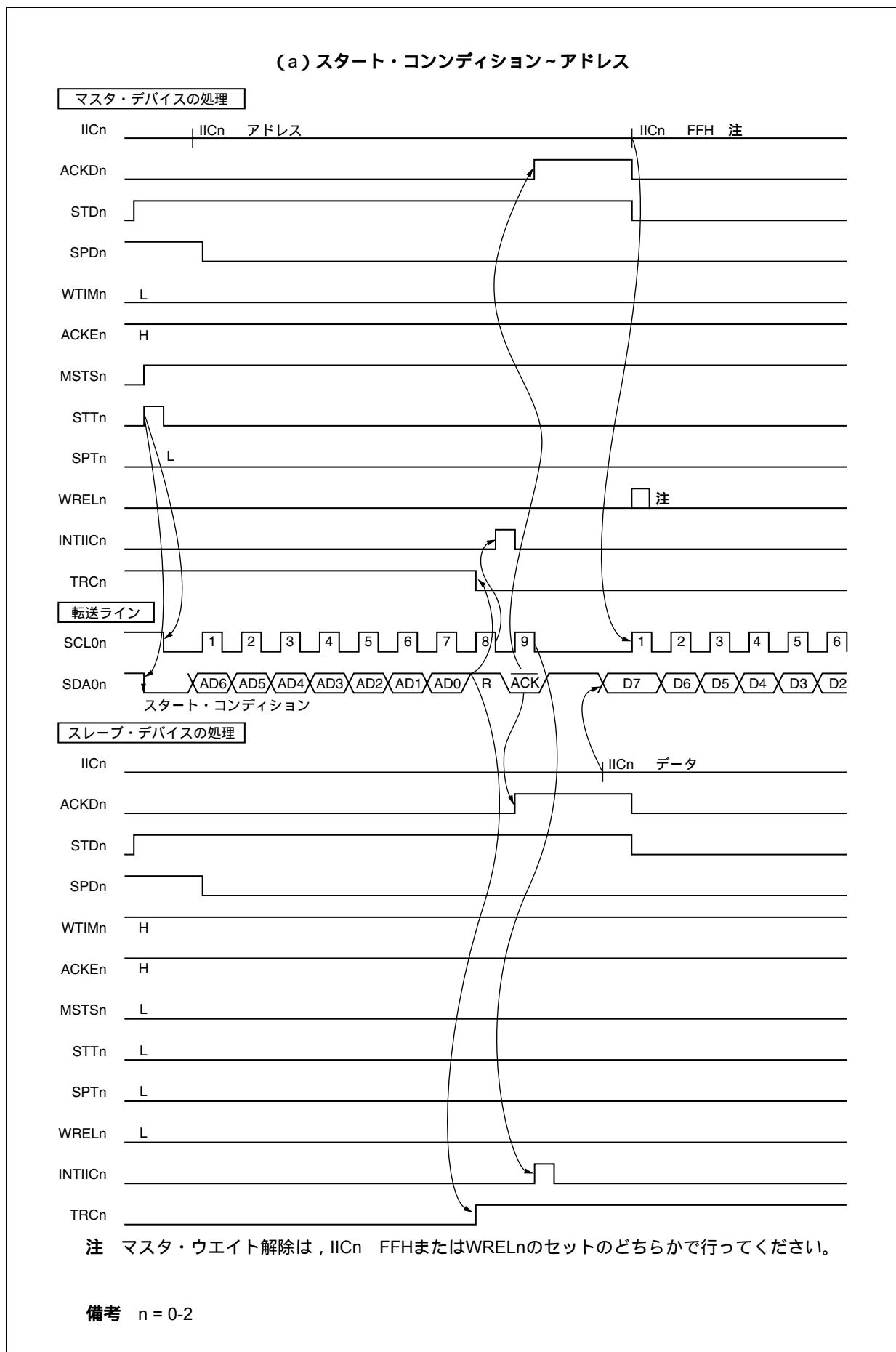


図17-24 スレーブ マスタ通信例(マスタ:8クロック,スレーブ:9クロックでウエイト選択時)(2/3)

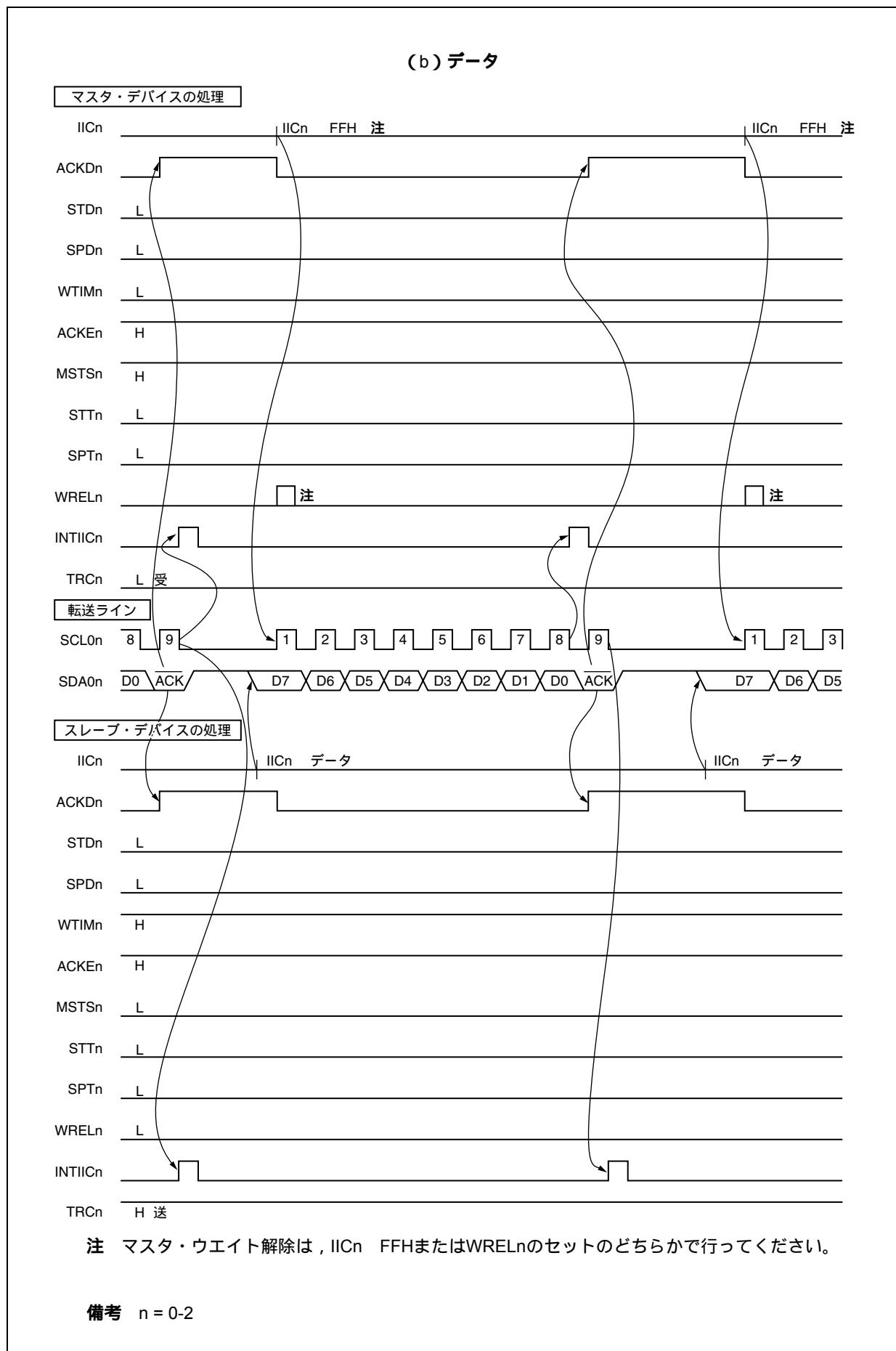
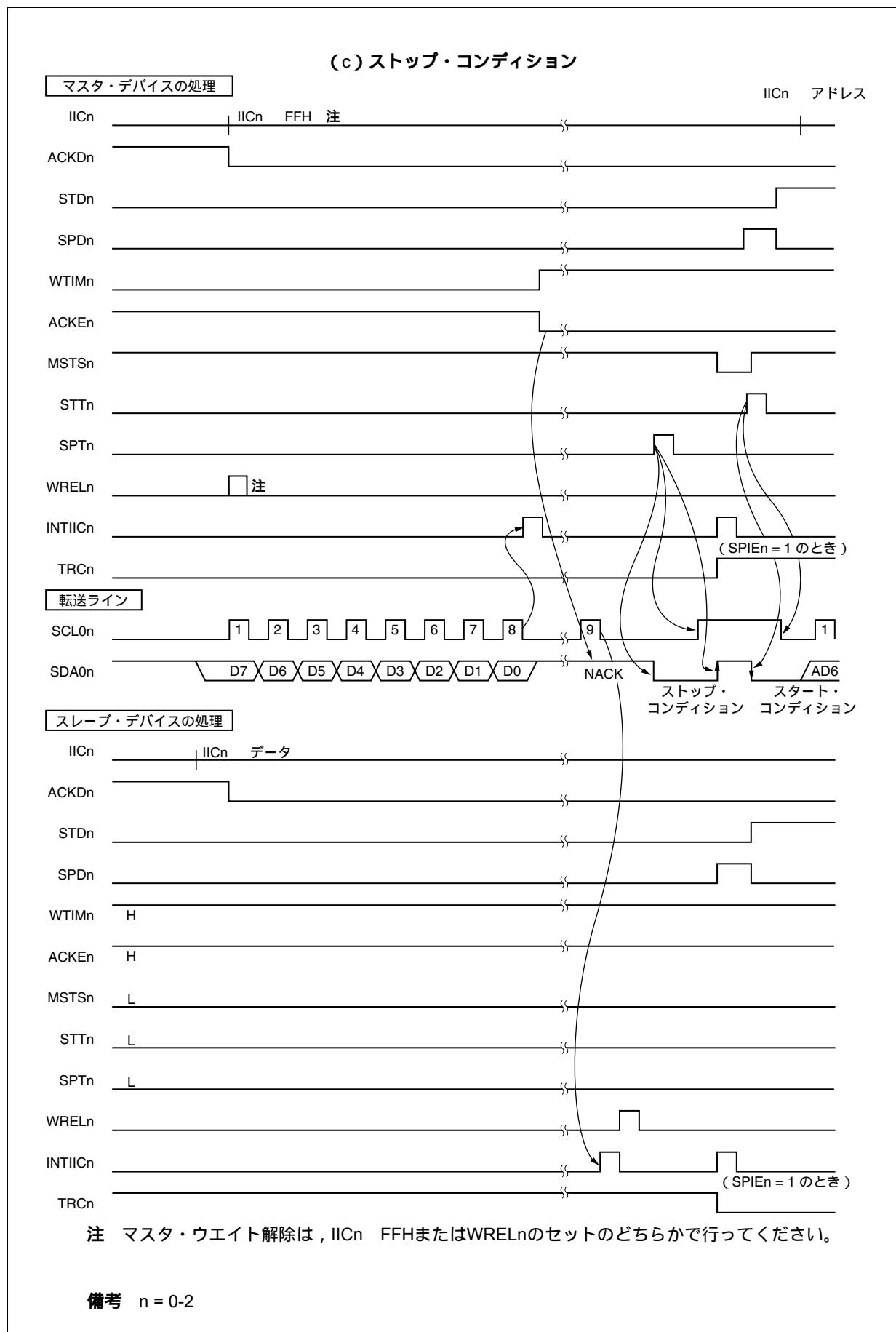


図17-24 スレーブ マスタ通信例(マスタ:8 9クロック, スレーブ:9クロックでウエイト選択時)(3/3)



第18章 DMA機能 (DMAコントローラ)

V850ES/JG2は、DMA転送を実行制御するDMA (Direct Memory Access) コントローラ (DMAC) を備えています。

DMACは、内蔵周辺I/O (シリアル・インターフェース , タイマ / カウンタ , A/Dコンバータ) , 外部入力端子からの割り込みによる要求 , またはソフトウェア・トリガによるDMA要求に基づいて , メモリ I/O間 , メモリ メモリ 間 , I/O I/O間でのデータ転送を制御します (メモリは内蔵RAM , または外部メモリを意味します) 。

18.1 特 徴

4つの独立なDMAチャネル

転送単位 : 8ビット/16ビット

最大転送回数 : 65536 (2^{16}) 回

転送タイプ : 2サイクル転送

転送モード : シングル転送モード

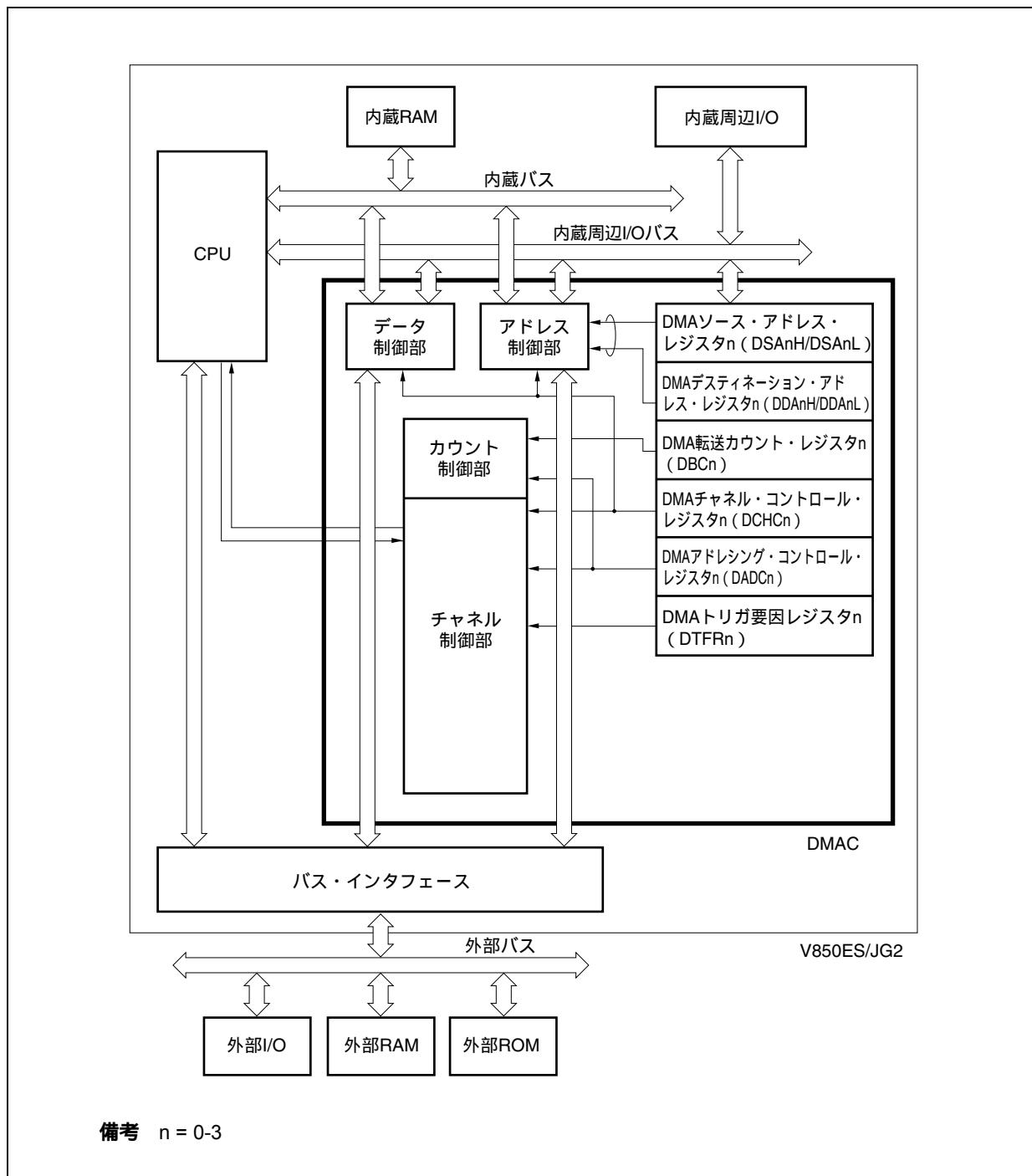
転送要求

- ・内蔵周辺I/O (シリアル・インターフェース , タイマ / カウンタ , A/Dコンバータ) , 外部入力端子からの割り込みによる要求
- ・ソフトウェア・トリガによる要求

転送対象

- ・内蔵RAM 周辺I/O
- ・周辺I/O 周辺I/O
- ・内蔵RAM 外部メモリ
- ・外部メモリ 周辺I/O
- ・外部メモリ 外部メモリ

18.2 構成



18.3 レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャネルnのDMA転送元アドレス（26ビット）を設定します（n = 0-3）。

このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定 R/W アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
 DSA2H FFFFF092H, DSA3H FFFFF09AH,
 DSA0L FFFFF080H, DSA1L FFFFF088H,
 DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16
DSAnL (n = 0-3)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	外部メモリ、内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス（A25-A16）を設定してください（初期値不定）。 DMA転送中は、次のDMA転送元アドレスを保持します。 DMA転送が完了すると、最初に設定されたDMAアドレスが保持されます。
-----------	---

SA15-SA0	DMA転送元のアドレス（A15-A0）を設定してください（初期値不定）。 DMA転送中は、次のDMA転送元アドレスを保持します。 DMA転送が完了すると、最初に設定されたDMAアドレスが保持されます。
----------	--

- 注意1. DSAnHレジスタのビット14-10には、必ず“0”を設定してください。
- 2. DSAnH, DSAnLレジスタの設定は、DMA転送禁止状態 (DCHCn.ENnビット = 0) である次のいずれかのタイミングで行ってください。
 - ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
- 3. DSAnレジスタの値を読み出す際、DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります（18.13 注意事項参照）。
- 4. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(2) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは, DDA_nH, DDA_nLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード / ライト可能です。

リセット時 : 不定 R/W アドレス : DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH,
DDA0L FFFFF084H, DDA1L FFFFF08CH,
DDA2L FFFFF094H, DDA3L FFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDA _n H (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
DDA _n L (n = 0-3)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
-----------	--

DA15-DA0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。
----------	---

- 注意1. DDA_nHレジスタのピット14-10には, 必ず“0”を設定してください。
2. DDA_nH, DDA_nLレジスタの設定は, DMA転送禁止状態 (DCHCn.ENnピット = 0) である次のいずれかのタイミングで行ってください。
- リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnピットによるチャネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnピット = 1の状態) から次のDMA転送起動までの期間
3. DDA_nレジスタの値を読み出す際, DDA_nHレジスタとDDA_nLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (18.13 注意事項参照)。
4. リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDA_nH, DDA_nL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネルnの転送数を設定する16ビット・レジスタです (n = 0-3)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかるわらず、1回の転送につき1ずつデクリメントされ、ボローが発生すると転送を終了します。

16ビット単位でリード / ライト可能です。

リセット時：不定 R/W アドレス : DBC0 FFFFF0C0H, DBC1 FFFFF0C2H,
DBC2 FFFFF0C4H, DBC3 FFFFF0C6H

DBCn (n = 0-3)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定、またはDMA転送中の残りの転送数
0000H	1回の転送、または残り転送数
0001H	2回の転送、または残り転送数
:	:
FFFFH	65536 (2 ¹⁶) 回の転送、または残り転送数
DMA転送が完了すると、最初に設定された転送データ数を保持します。	

注意1. DBCnレジスタの設定は、DMA転送禁止状態 (DCHCn.ENnビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

2. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです（n = 0-3）。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

- 注意1. DADCnレジスタのピット15, 13-8, 3-0には, 必ず“0”を設定してください。
 2. DADCnレジスタの設定は, DMA転送禁止状態 (DCHCn.ENnピット = 0) である次のいずれかのタイミングで行ってください。
 - ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnピットによるチャネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnピット = 1の状態) から次のDMA転送起動までの期間
 3. DS0ピットは転送データ・サイズを設定するものであり, バス・サイジングを制御するものではありません。したがって, 8ピット・データ (DS0ピット = 0) を設定した場合でも, 必ずしも下位データ・バスを使用するわけではありません。
 4. 転送データ・サイズを16ピットに設定した場合 (DS0ピット = 1), 奇数アドレスから始まる転送はできません。下位アドレスの1ピットを“0”にアラインしたアドレスから必ず転送を開始します。
 5. 内蔵周辺I/Oレジスタを対象 (転送元 / 転送先) とするDMA転送の場合, 必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば, 8ピットのレジスタに対するDMA転送の場合は, 必ず(8ピット)転送を指定してください。

(5) DMAチャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャネルnのDMA転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード / ライト可能です(ただし、ビット7はリードだけ、ビット1, 2はライトだけ可能です。ビット1, 2をリードした場合は0が読み出されます。)。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DCHC0 FFFF0E0H, DCHC1 FFFF0E2H,
DCHC2 FFFF0E4H, DCHC3 FFFF0E6H

	⑦	6	5	4	3	②	①	③
DCHCn	TCh注1	0	0	0	0	INITn注2	STGn注2	Enn

(n = 0-3)

TCn ^{注1}	DMAチャネルnのDMA転送の完了 / 未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了

DMA転送の最後の転送時にセット(1)され、読み出しによってクリア(0)されます。

DMA転送の最後の転送時にセット(1)され、読み出しによってクリア(0)されます。

INITn ^{注2}	DMA転送が禁止された状態で（Ennビット = 0），INITnビットをセット（1）するとDMA転送のステータスを初期化できます。 DMA転送が完了する前に（TCnビットがセット（1）される前），DMA転送ステータスの再設定（DDAnH, DDAnL, DSAnH, DSAnL, DBCn, DADCnレジスタの再設定）を行う場合は，必ずDMAチャネルの初期化後に行ってください。 ただし，DMAコントローラの初期化は，必ず18.13 注意事項 に示す手順にしたがって行ってください。
---------------------	--

STGn ^{注2}	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) でこのビットをセット (1) するとDMA転送を開始します。
--------------------	---

Enn	DMAチャネルnのDMA転送の許可 / 禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット(1)するとDMA転送が許可されます。

DMA転送が完了（ターミナル・カウント発生）すると、自動的にクリア（0）されます。

なお、DMA転送を中断するには、ソフトウェアでEnnビットをクリア（0）してください。再開するには、再度Ennビットをセット（1）してください。

ただし、DMA転送の中止／再開は、必ず18. 13 注意事項に示す手順にしたがって行ってください。

1 TCPビットはリードのみ可能です

3. INIT, STC は上記二点のうち

本店は、お問い合わせ用の専用電話番号を設けています。

注意1: DODORレンズストラップのヒント0-3には、必ず、 θ を設定してください。

2. DMA転送完了時(ノードル・カント時)は、ENnビットのクリア(0)→TCnビットのセット(1)の順で各ビットの更新が行われます。そのため、DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値(TCnビット = 0、かつENnビット = 0)が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード／ライト可能です。ただし、DFnビットのみ1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

DTFRn	(⑦)	6	5	4	3	2	1	0
	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0
(n = 0-3)								

DFn注	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。

注意1. IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.ENnビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット(1)されません)。
 3. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMA転送の許可／禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット(1)されます。この状態でDMA許可とした場合、ただちにDMA転送が起動されます。

備考 IFCn5-IFCn0ビットについては表18-1 DMA起動要因を参照してください。

表18-1 DMA起動要因

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTP0
0	0	0	0	1	0	INTP1
0	0	0	0	1	1	INTP2
0	0	0	1	0	0	INTP3
0	0	0	1	0	1	INTP4
0	0	0	1	1	0	INTP5
0	0	0	1	1	1	INTP6
0	0	1	0	0	0	INTP7
0	0	1	0	0	1	INTTQ0OV
0	0	1	0	1	0	INTTQ0CC0
0	0	1	0	1	1	INTTQ0CC1
0	0	1	1	0	0	INTTQ0CC2
0	0	1	1	0	1	INTTQ0CC3
0	0	1	1	1	0	INTTP0OV
0	0	1	1	1	1	INTTP0CC0
0	1	0	0	0	0	INTTP0CC1
0	1	0	0	0	1	INTTP1OV
0	1	0	0	1	0	INTTP1CC0
0	1	0	0	1	1	INTTP1CC1
0	1	0	1	0	0	INTTP2OV
0	1	0	1	0	1	INTTP2CC0
0	1	0	1	1	0	INTTP2CC1
0	1	0	1	1	1	INTTP3CC0
0	1	1	0	0	0	INTTP3CC1
0	1	1	0	0	1	INTTP4CC0
0	1	1	0	1	0	INTTP4CC1
0	1	1	0	1	1	INTTP5CC0
0	1	1	1	0	0	INTTP5CC1
0	1	1	1	0	1	INTTM0EQ0
0	1	1	1	1	0	INTCB0R/INTIIC1
0	1	1	1	1	1	INTCB0T
1	0	0	0	0	0	INTCB1R
1	0	0	0	0	1	INTCB1T
1	0	0	0	1	0	INTCB2R
1	0	0	0	1	1	INTCB2T
1	0	0	1	0	0	INTCB3R
1	0	0	1	0	1	INTCB3T
1	0	0	1	1	0	INTUA0R/INTCB4R
1	0	0	1	1	1	INTUA0T/INTCB4T
1	0	1	0	0	0	INTUA1R/INTIIC2
1	0	1	0	0	1	INTUA1T
1	0	1	0	1	0	INTUA2R/INTIIC0
1	0	1	0	1	1	INTUA2T
1	0	1	1	0	0	INTAD
1	0	1	1	0	1	INTKR
上記以外						設定禁止

備考 n = 0-3

18.4 転送対象

転送対象の関係を次に示します(: 転送可 , × : 転送不可)。

表18-2 転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×			
	内蔵RAM	×		×	
	外部メモリ	×			
	内蔵ROM	×	×	×	×

注意 表18-2に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

18.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト / ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャネルの新たな転送要求と、他の優先順位が低いチャネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャネルのDMA転送となります（転送サイクル中は、同一チャネルの新たな転送要求は無視されます）。

18.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

<16ビット・データ転送の場合>

32ビット・バス 16ビット・バスへの転送

リード・サイクル(上位16ビットはハイ・インピーダンス)が発生し、その後ライト・サイクル(16ビット)が発生します。

16/32ビット・バス 8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

8ビット・バス 16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

16ビット・バス 32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト(8ビット)転送を指定してください。

備考 各転送対象(転送元/転送先)のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅

18.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようにになります。

DMAチャネル0 > DMAチャネル1 > DMAチャネル2 > DMAチャネル3

1回の転送サイクルの度に優先順位がチェックされます。

18.8 DMA転送に関する各種時間

DMA要求に対する応答時間、DMA転送にかかる最小クロック数を次に示します。

シングル転送 : DMA応答時間() + 転送元メモリ・アクセス() + ^{注1}1 + 転送先メモリ・アクセス()

DMAサイクル		最小実行クロック数
DMA要求に対する応答時間		4クロック (MIN.) + ノイズ除去時間 ^{注2}
メモリ・アクセス	外部メモリ・アクセス	接続するメモリで異なります
	内蔵RAMアクセス	2クロック ^{注3}
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウェイト数 ^{注4}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
- 2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます ($n = 0-7$)。
- 3. DMAサイクルの場合は、2クロックかかります。
- 4. 特定の周辺I/Oレジスタへのアクセスについては、さらにウェイトが必要となります(詳細は3.4.8(2)を参照してください)。

18.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0、かつEnnビット = 1 (DMA転送許可) の状態で、STGnビットをセット(1)すると、DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには、DBCnレジスタにて、先のDMA転送サイクルが完了したことを確認してから、再度STGnビットをセット(1)してください(n=0-3)。

TCnビット = 0、Ennビット = 1

STGnビット = 1 ... 1回目のDMA転送開始

DBCnレジスタの内容が更新されたことを確認

STGnビット = 1 ... 2回目のDMA転送開始

:

ターミナル・カウント発生...Ennビット = 0、TCnビット = 1かつINTDMA_n信号発生

(2) 内蔵周辺I/Oによる要求

DCHCn.TCnビット = 0、かつEnnビット = 1 (DMA転送許可) の状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送を起動します。

- 注意1. 同一のDMAチャネルに対して、2つの起動要因（ソフトウェア・トリガ、ハードウェア・トリガ）を併用できません。1つのDMAチャネルに対して、2つの起動要因が同時に発生した場合、どちらか一方だけが有効となります。有効となった起動要因の特定はできません。
- 2. 先のDMA転送要求が発生してから、または先のDMA転送サイクル中に新たな転送要求が発生しても、その要求は無視（クリア）されます。
- 3. 同一のDMAチャネルに対する転送要求間隔は、DMA転送サイクル中のバス・ウェイトの設定やほかのチャネルの起動状況、または外部バス・ホールド要求により変化します。特に注意2のとおり、DMA転送サイクル前、または転送サイクル中に同一チャネルの新たな転送要求が発生しても、その要求は無視されてしまいます。したがって、同一のDMAチャネルに対する転送要求間隔は、システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は、DBCnレジスタの更新により、先に発生したDMA転送サイクルの完了を確認できます。

18. 10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ / 内蔵周辺I/O 内部メモリ / 内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

18. 11 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し,DCHCn.E_nビットがクリア(0),TCnビットがセット(1)されると、割り込みコントローラ(INTC)に対して、DMA転送終了割り込み要求信号(INTDMA_n)を発生します($n = 0-3$)。

V850ES/JG2では、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

18. 12 動作タイミング

図18-1から図18-4にDMAの動作タイミングを示します。

図18-1 DMAの優先順位(1)

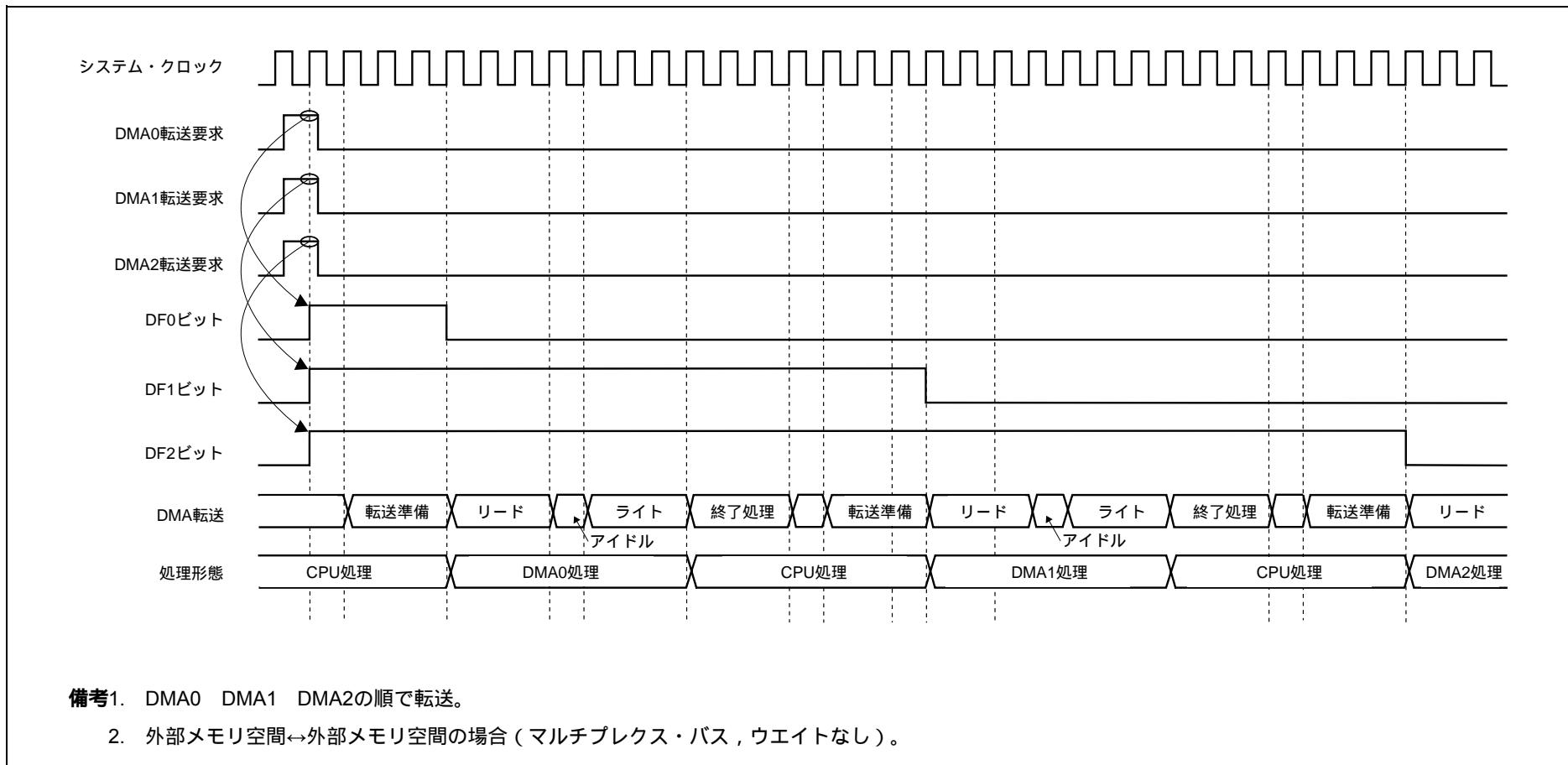


図18-2 DMAの優先順位(2)

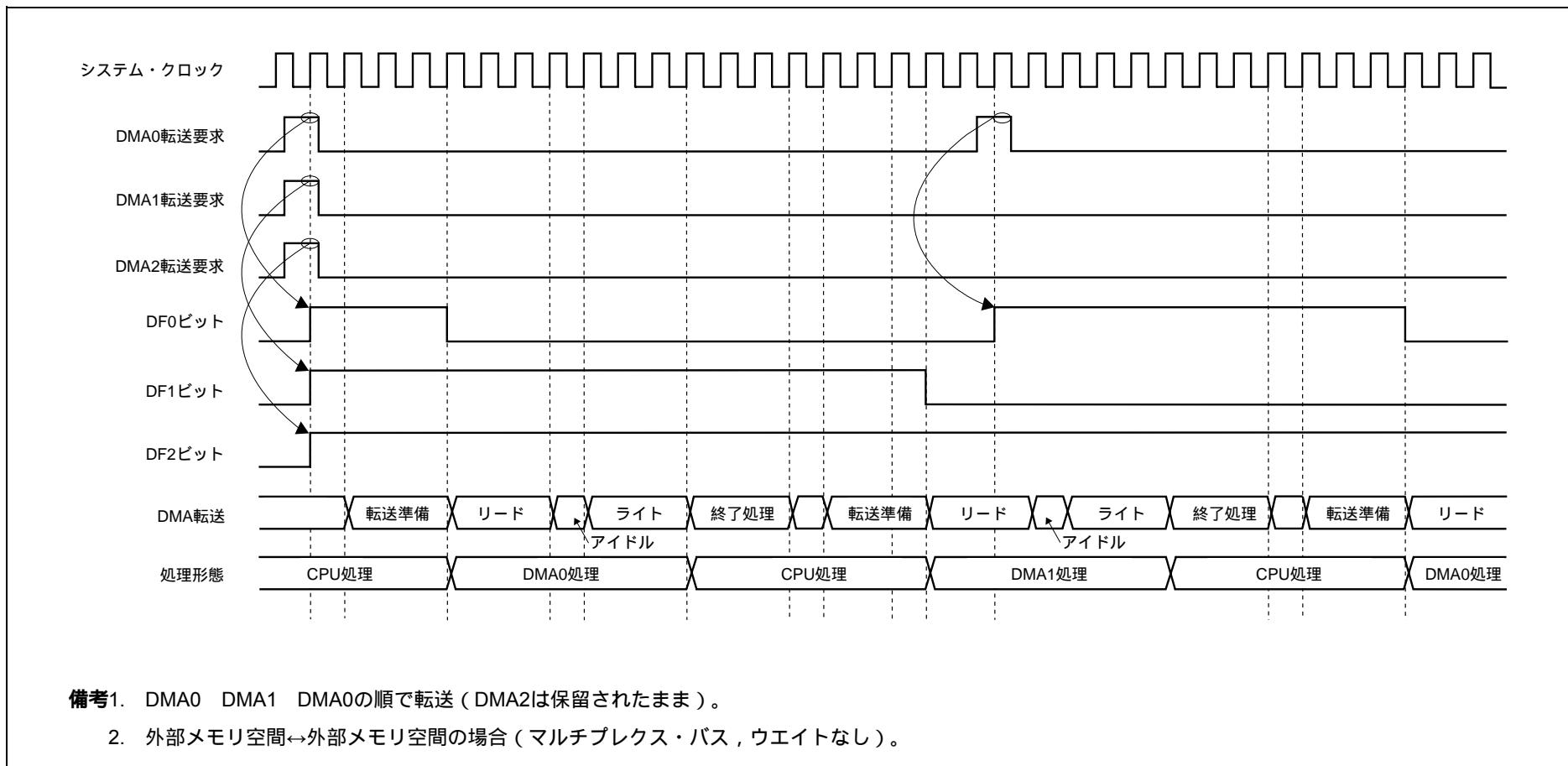
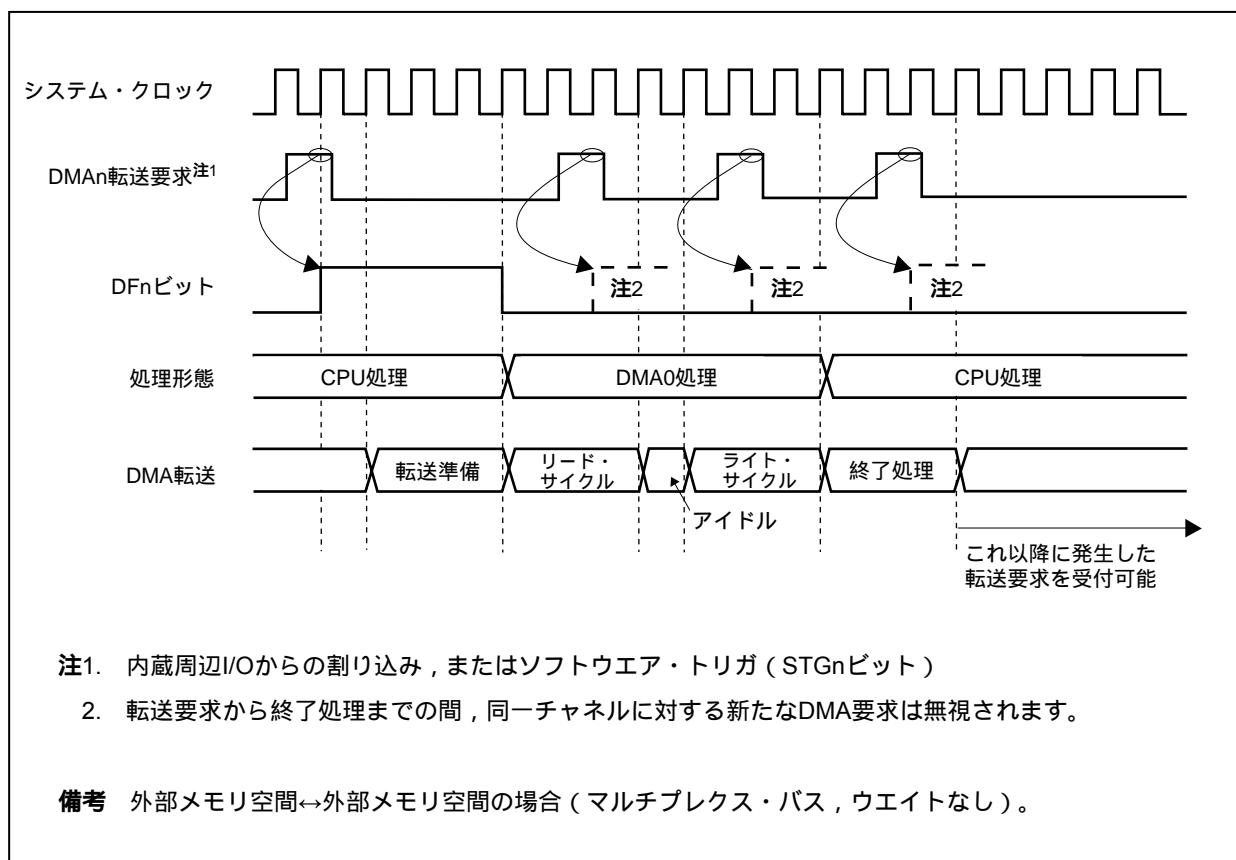


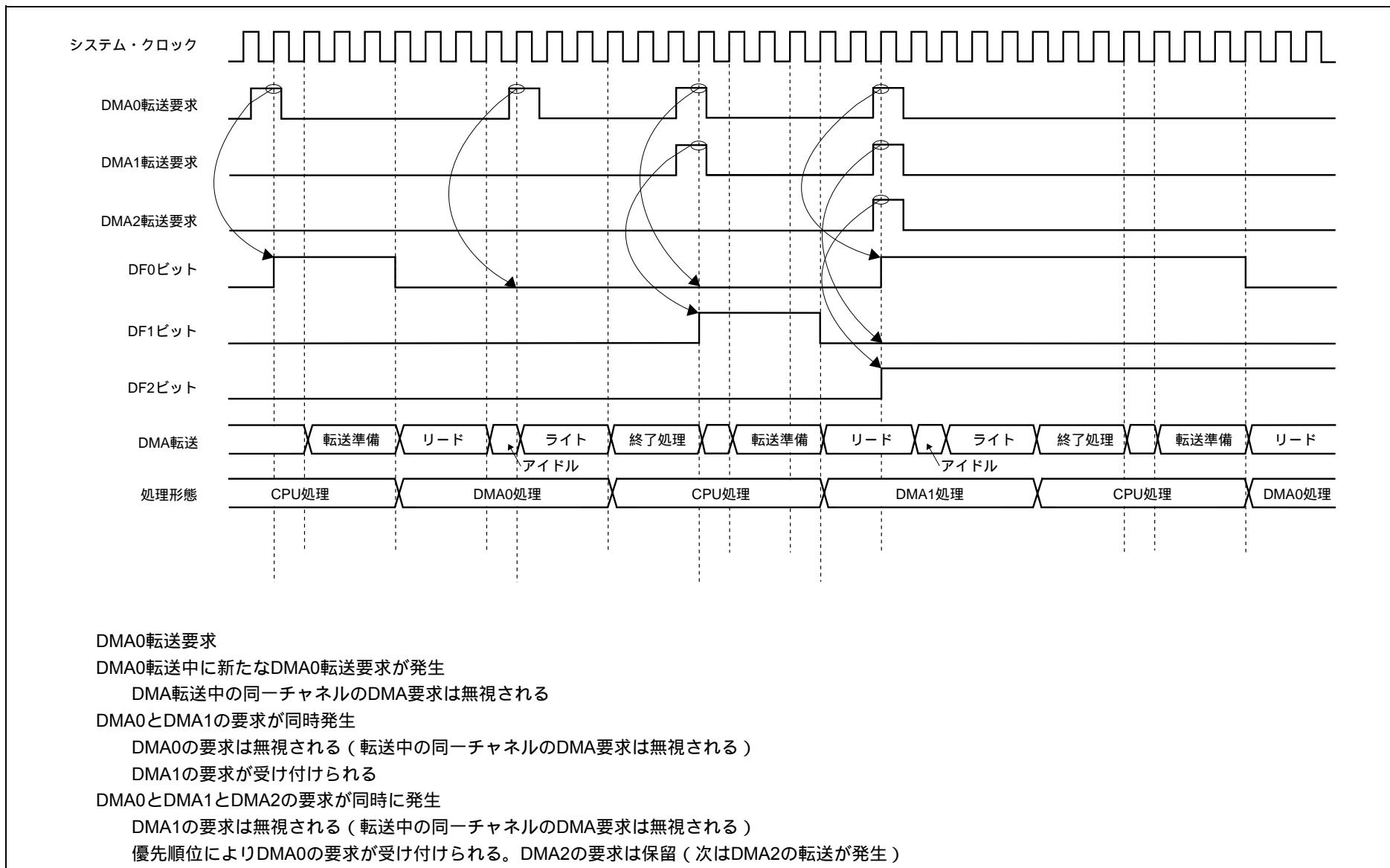
図18-3 DMAの転送要求が無視される期間(1)



- 注1. 内蔵周辺I/Oからの割り込み、またはソフトウェア・トリガ (STG_nビット)
 2. 転送要求から終了処理までの間、同一チャネルに対する新たなDMA要求は無視されます。

備考 外部メモリ空間↔外部メモリ空間の場合 (マルチプレクス・バス、ウェイトなし)。

図18-4 DMAの転送要求が無視される期間(2)



18.13 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタの初期値(77H)、または最適な値以外で使用した場合は正常に動作できません(VSWCレジスタの詳細については、3.4.8(1)(a)システム・ウェイト・コントロール・レジスタ(VSWC)を参照してください)。

(2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象(転送先/転送元)とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

- ・内蔵RAMに配置されたビット操作命令(SET1, CLR1, NOT1)
- ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令

逆に、内蔵RAMを対象(転送先/転送元)としたDMA転送を行う場合は、上の2つの命令を実行しないでください。

(3) DCHCn.TCnビットのリードに関する注意事項(n=0-3)

TCnビットは、読み出しによりクリア(0)されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア(0)されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット(1)されたことを確認したあと(TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(4) DMA転送の初期化手順について(DCHCn.INITnビットのセット(1))

DMA転送中のチャネルを初期化するときに, INITnビットをセット(1)しても, チャネルの初期化が行われない場合があります。初期化を確実に実行するために, 次に示す2つの手順のいずれかを実行させてください。

(a) 一時的にすべてのDMAチャネルの転送を停止させる方法

次に示す ~ の手順で初期化を実行してください。

ただし, 次の ~ に示す処理の実行により, TCnビットがクリア(0)されてしまいます。ほかの処理において, TCnビット = 1となっていることを期待したプログラムになつてないことを確認してください。

割り込み禁止状態(DI)にする。

強制終了したいチャネル以外に使用しているDMAチャネルのDCHCn.Ennビットを読み出し, 汎用レジスタに転送する。

使用しているDMAチャネル(強制終了するチャネルを含む)のEnnビットをクリア(0)する。

最終のDMAチャネルの場合にはEnnビットのクリア命令を2回実行する。このとき, 転送対象(転送元 / 転送先)が内蔵RAMの場合は, 3回実行する。

例 チャネル0, 1, 2を使用している場合には, 次の順で命令を実行する(転送対象が内蔵RAMでない場合)。

- ・ DCHC0.E00ビットをクリア(0)
- ・ DCHC1.E11ビットをクリア(0)
- ・ DCHC2.E22ビットをクリア(0)
- ・ 再度, DCHC2.E22ビットをクリア(0)

強制終了するチャネルのINITnビットをセット(1)する。

強制終了しない各チャネルのTCnビットを読み出し, TCnビットと ~ で読み出したEnnビットが, ともに1(論理積(AND)が1)の場合は退避していたEnnビットをクリア(0)する。

で操作後のEnnビットをDCHCnレジスタに書き込む。

割り込み許可状態(EI)にする。

注意 上記 ~ は, ~ の間に正常終了したチャネルに対して, 再度Ennビットを不正にセットすることを防ぐため, 必ず行ってください。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

強制終了したいチャネルのDMA要求元からのリクエストが発生しないようにする（内蔵周辺I/Oの動作停止）。

DTFRn.DFnビットにより、強制終了するチャネルのDMA転送要求が保留されていないかを確認する。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

強制終了するチャネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア（0）する。

再度、強制終了するチャネルのEnnビットをクリア（0）する。

ただし、強制終了するチャネルの転送対象（転送元／転送先）が内蔵RAMの場合は、この操作をさらにもう一度実行する。

強制終了するチャネルの初期転送回数を汎用レジスタにコピーする。

強制終了するチャネルのINITnビットをセット（1）する。

強制終了するチャネルのDBCnレジスタの値を読み出し、でコピーした値と比較する。比較した結果、一致しない場合はから の操作を繰り返す。

備考1. でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されます。未完了の場合は残りの転送回数が読み出されます。

2. (b)の方法は、強制終了の対象となっているDMAチャネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(5) DMA転送の一時中断手順について (Ennビットのクリア)

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

DMA要求元からの転送要求が発生しないようにする（内蔵周辺I/Oの動作を停止）。

DFnビットにより DMA転送要求が保留されていないかを確認する（DFnビット = 0であることを確認）。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。

DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア（0）する（この操作により、DMA転送が中断される）。

DMA転送を再開させるためにEnnビットをセット（1）する。

停止しているDMA要求元の動作を再開する（内蔵周辺I/Oの動作を開始）。

(6) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象（外部メモリ、内蔵RAM、内蔵周辺I/O）の領域を越えた場合の動作は保証できません。

(7) ミス・アライン・データの転送

16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(8) CPUへのバス・アービトリレーション

バス使用権の優先順位はCPUよりDMAコントローラが高いため,DMA転送中に発生したCPUのアクセスは,DMA転送サイクルが完了しCPUにバスが開放されるまで待たれます。

ただし,CPUはDMA転送を行っていない外部メモリ,内蔵周辺I/O,内蔵RAMとのアクセスが可能です。

- ・外部メモリ　内蔵周辺I/Oとの間でDMA転送が行われているとき,CPUは内蔵RAMにアクセスできます。
- ・外部メモリ　外部メモリでDMA転送が行われているときは,CPUは内蔵RAM,内蔵周辺I/Oにアクセスできます。

(9) DMA動作中の書き換え禁止レジスタ/ビット

次のレジスタの設定は,DMA動作中でない次のいずれかのタイミングで行ってください。

【対象レジスタ】

- ・DSAnH, DSAnL, DDAnH, DDAnL, DBCn, DADCnレジスタ
- ・DTFRn.IFCn5-IFCn0ビット

【設定可能タイミング】

- ・リセット後から最初のDMA転送開始までの期間
- ・チャネル初期化後からDMA転送開始までの時間
- ・DMA転送完了後(TCnビット = 1の状態)から次のDMA転送開始までの期間

(10) 次のレジスタの各ビットには,必ず“0”を設定してください。

- ・DSAnHレジスタのビット14-10
- ・DDAnHレジスタのビット14-10
- ・DADCnレジスタのビット15, 13-8, 3-0
- ・DCHCnレジスタのビット6-3

(11) DMAの起動要因

同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合,すでに設定済みのチャネルのDMAが起動されたり,優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられたりする場合があり,動作は保証できません。

(12) DSAn, DDAAnレジスタの読み出し値

DMA転送中にDSAn, DDAAnレジスタの値を読み出した場合, 更新途中の値が読み出されことがあります($n = 0\text{--}3$)。

たとえば, DMA転送元アドレス(DSAnレジスタ)が0000FFFFH, カウント方向がインクリメント(DADCn.SAD1, SAD0ビット = 00)の場合, DSAnHレジスタ DSAnLレジスタの順に読み出しを行うと, DSAnHレジスタ読み出し直後のDMA転送の有無によって, DSAnLレジスタの値が次のように異なります。

(a) DSAnレジスタの読み出し中にDMA転送が発生しない場合

DSAnHレジスタの読み出し : DSAnH = 0000H

DSAnLレジスタの読み出し : DSAnL = FFFFH

(b) DSAnレジスタの読み出し中にDMA転送が発生する場合

DSAnHレジスタの読み出し : DSAnH = 0000H

DMA転送の発生

DSAnレジスタのインクリメント : DSAn = 00100000H

DSAnLレジスタの読み出し : DSAnL = 0000H

第19章 割り込み / 例外処理機能

V850ES/JG2は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計57要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/JG2では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求信号を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

19.1 特 徴

割り込み

- ・ノンマスカブル割り込み：2要因
- ・マスカブル割り込み：外部8本、内部47要因
- ・8レベルのプログラマブル優先順位制御（マスカブル割り込み）
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスカブル割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ソフトウェア例外：32要因
- ・例外トラップ：2要因（不正命令コード例外、デバッグ・トラップ）

これらの割り込み / 例外要因を表19-1に示します。

表19-1 割り込み要因一覧(1/3)

種類	分類	デフォルト・ ノイオリティ	名称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力 / 内部要因からのリセッ ト入力	RESET	0000H	00000000H	不定	-
ノンマス カブル	割り込み	-	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	nextPC	-
		-	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	注1	-
ソフトウ エア例外	例外	-	TRAP0n ^{注2}	TRAP命令	-	004nH ^{注2}	00000040H	nextPC	-
		-	TRAP1n ^{注2}	TRAP命令	-	005nH ^{注2}	00000050H	nextPC	-
例外トラップ	例外	-	ILGOP/ DBG0	不正命令コード / DBTRAP命令	-	0060H	00000060H	nextPC	-
マスカブル	割り込み	0	INTLVI	低電圧検出	POCLVI	0080H	00000080H	nextPC	LVIIC
		1	INTP0	外部割り込み端子入力 エッジ検出 (INTP0)	端子	0090H	00000090H	nextPC	PIC0
		2	INTP1	外部割り込み端子入力 エッジ検出 (INTP1)	端子	00A0H	000000A0H	nextPC	PIC1
		3	INTP2	外部割り込み端子入力 エッジ検出 (INTP2)	端子	00B0H	000000B0H	nextPC	PIC2
		4	INTP3	外部割り込み端子入力 エッジ検出 (INTP3)	端子	00C0H	000000C0H	nextPC	PIC3
		5	INTP4	外部割り込み端子入力 エッジ検出 (INTP4)	端子	00D0H	000000D0H	nextPC	PIC4
		6	INTP5	外部割り込み端子入力 エッジ検出 (INTP5)	端子	00E0H	000000E0H	nextPC	PIC5
		7	INTP6	外部割り込み端子入力 エッジ検出 (INTP6)	端子	00F0H	000000F0H	nextPC	PIC6
		8	INTP7	外部割り込み端子入力 エッジ検出 (INTP7)	端子	0100H	00000100H	nextPC	PIC7
		9	INTTQ0OV	TMQ0オーバフロー	TMQ0	0110H	00000110H	nextPC	TQ0OVIC
		10	INTTQ0CC0	TMQ0キャプチャ0 / コンペア0一致	TMQ0	0120H	00000120H	nextPC	TQ0CCIC0
		11	INTTQ0CC1	TMQ0キャプチャ1 / コンペア1一致	TMQ0	0130H	00000130H	nextPC	TQ0CCIC1
		12	INTTQ0CC2	TMQ0キャプチャ2 / コンペア2一致	TMQ0	0140H	00000140H	nextPC	TQ0CCIC2
		13	INTTQ0CC3	TMQ0キャプチャ3 / コンペア3一致	TMQ0	0150H	00000150H	nextPC	TQ0CCIC3
		14	INTTP0OV	TMPOオーバフロー	TMPO	0160H	00000160H	nextPC	TP0OVIC
		15	INTTP0CC0	TMPOキャプチャ0 / コンペア0一致	TMPO	0170H	00000170H	nextPC	TP0CCIC0
		16	INTTP0CC1	TMPOキャプチャ1 / コンペア1一致	TMPO	0180H	00000180H	nextPC	TP0CCIC1
		17	INTTP1OV	TMPIオーバフロー	TMPI	0190H	00000190H	nextPC	TP1OVIC

注1. INTWDT2の場合の復帰については19.2.2(2) INTWDT2信号の場合を参照してください。

2. nは0-FHの値

表19-1 割り込み要因一覧(2/3)

種類	分類	デフォルト・ ライオリティ	名 称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰PC	割り込み制御 レジスタ
マスカブル	割り込み	18	INTTP1CC0	TMP1キャプチャ0 / コンペア0一致	TMP1	01A0H	000001A0H	nextPC	TP1CCIC0
		19	INTTP1CC1	TMP1キャプチャ1 / コンペア1一致	TMP1	01B0H	000001B0H	nextPC	TP1CCIC1
		20	INTTP2OV	TMP2オーバフロー	TMP2	01C0H	000001C0H	nextPC	TP2OVIC
		21	INTTP2CC0	TMP2キャプチャ0 / コンペア0一致	TMP2	01D0H	000001D0H	nextPC	TP2CCIC0
		22	INTTP2CC1	TMP2キャプチャ1 / コンペア1一致	TMP2	01E0H	000001E0H	nextPC	TP2CCIC1
		23	INTTP3OV	TMP3オーバフロー	TMP3	01F0H	000001F0H	nextPC	TP3OVIC
		24	INTTP3CC0	TMP3キャプチャ0 / コンペア0一致	TMP3	0200H	00000200H	nextPC	TP3CCIC0
		25	INTTP3CC1	TMP3キャプチャ1 / コンペア1一致	TMP3	0210H	00000210H	nextPC	TP3CCIC1
		26	INTTP4OV	TMP4オーバフロー	TMP4	0220H	00000220H	nextPC	TP4OVIC
		27	INTTP4CC0	TMP4キャプチャ0 / コンペア0一致	TMP4	0230H	00000230H	nextPC	TP4CCIC0
		28	INTTP4CC1	TMP4キャプチャ1 / コンペア1一致	TMP4	0240H	00000240H	nextPC	TP4CCIC1
		29	INTTP5OV	TMP5オーバフロー	TMP5	0250H	00000250H	nextPC	TP5OVIC
		30	INTTP5CC0	TMP5キャプチャ0 / コンペア0一致	TMP5	0260H	00000260H	nextPC	TP5CCIC0
		31	INTTP5CC1	TMP5キャプチャ1 / コンペア1一致	TMP5	0270H	00000270H	nextPC	TP5CCIC1
		32	INTTM0EQ0	TMM0コンペア一致	TMM0	0280H	00000280H	nextPC	TM0EQIC0
		33	INTCB0R/ INTIIC1	CSIB0の受信終了 / CSIB0の受信エラー / IIC1の転送終了	CSIB0 / IIC1	0290H	00000290H	nextPC	CB0RIC/ IICIC1
		34	INTCB0T	CSIB0の連続送信書き 込み許可	CSIB0	02A0H	000002A0H	nextPC	CB0TIC
		35	INTCB1R	CSIB1の受信終了 / CSIB1の受信エラー	CSIB1	02B0H	000002B0H	nextPC	CB1RIC
		36	INTCB1T	CSIB1の連続送信書き 込み許可	CSIB1	02C0H	000002C0H	nextPC	CB1TIC
		37	INTCB2R	CSIB2の受信終了 / CSIB2の受信エラー	CSIB2	02D0H	000002D0H	nextPC	CB2RIC
38	INTCB2T	CSIB2の連続送信書き 込み許可	CSIB2	02E0H	000002E0H	nextPC	CB2TIC		
39	INTCB3R	CSIB3の受信終了 / CSIB3の受信エラー	CSIB3	02F0H	000002F0H	nextPC	CB3RIC		
40	INTCB3T	CSIB3の連続送信書き 込み許可	CSIB3	0300H	00000300H	nextPC	CB3TIC		

表19-1 割り込み要因一覧 (3/3)

種類	分類	デフォルト・プライオリティ	名稱	トリガ	発生ユニット	例外コード	ハンドラ・アドレス	復帰PC	割り込み制御レジスタ
マスカブル	割り込み	41	INTUA0R/ INTCB4R	UARTA0の受信終了 / CSIB4の受信終了 / CSIB4の受信エラー	UARTA 0/CSIB4	0310H	00000310H	nextPC	UA0RIC/ CB4RIC
		42	INTUA0T/ INTCB4T	UARTA0の連続送信許可 / CSIB4の連続送信書き込み許可	UARTA 0/CSIB4	0320H	00000320H	nextPC	UA0TIC/ CB4TIC
		43	INTUA1R/ INTIIC2	UARTA1の受信終了 / UARTA1受信エラー / IIC2転送終了	UARTA 1/IIC2	0330H	00000330H	nextPC	UA1RIC/ IICIC2
		44	INTUA1T	UARTA1の連続送信許可	UARTA1	0340H	00000340H	nextPC	UA1TIC
		45	INTUA2R/ INTIIC0	UARTA2の受信終了 / IIC0の転送終了	UARTA/ IIC0	0350H	00000350H	nextPC	UA2RIC/ IICIC0
		46	INTUA2T	UARTA2の連続送信許可	UARTA2	0360H	00000360H	nextPC	UA2TIC
		47	INTAD	A/D変換終了	A/D	0370H	00000370H	nextPC	ADIC
		48	INTDMA0	DMA0転送終了	DMA	0380H	00000380H	nextPC	DMAIC0
		49	INTDMA1	DMA1転送終了	DMA	0390H	00000390H	nextPC	DMAIC1
		50	INTDMA2	DMA2転送終了	DMA	03A0H	000003A0H	nextPC	DMAIC2
		51	INTDMA3	DMA3転送終了	DMA	03B0H	000003B0H	nextPC	DMAIC3
		52	INTKTR	キー・リターン割り込み	KR	03C0H	000003C0H	nextPC	KRIC
		53	INTWTI	時計タイマのインターパル	WT	03D0H	000003D0H	nextPC	WTIIC
		54	INTWT	時計タイマの基準時間	WT	03E0H	000003E0H	nextPC	WTIC

備考1. ディフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

ノンマスカブル割り込みの優先順位は、INTWDT2 > NMIとなります。

復帰PC：割り込み処理起動時に、CPUのEIPC, FEPCまたはDBPCにセーブされるプログラム・カウンタ(PC)のことです。なお、次の命令実行中にノンマスカブル / マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません(命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます)。

- ・ロード命令 (SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W)
- ・除算命令 (DIV, DIVH, DIVU, DIVHU)
- ・PREPARE, DISPOSE命令 (スタック・ポインタの更新前に割り込みが発生した場合のみ)

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC - 4)で求められます。

19.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には、次の2つがあります。

- ・NMI端子入力（NMI）
- ・ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”、“立ち下がりエッジ”、“両エッジ”、“エッジ検出なし”的4種類から選択できます。

ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2 > NMI

なお、NMI処理中に、新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

（1）NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

（2）NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。

保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が実行されます（NMI処理は中断されます）。

注意 ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については

19.2.2(2) INTWDT2信号の場合を参照してください。

図19-1 ノンマスカブル割り込み要求信号の受け付け動作 (1/2)

(a) NMI, INTWDT2要求信号が同時に発生する場合

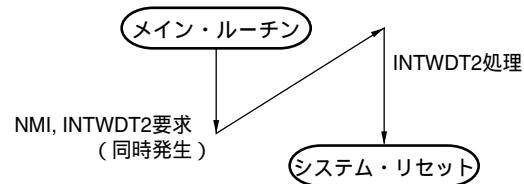


図19-1 ノンマスカブル割り込み要求信号の受け付け動作 (2/2)

(b) ノンマスカブル割り込み処理中に新たにノンマスカブル割り込み要求信号が発生する場合		
処理中の ノンマスカブル 割り込み	ノンマスカブル割り込み処理中に新たに発生するノンマスカブル割り込み要求信号	
	NMI	INTWDT2
NMI	<ul style="list-style-type: none"> NMI処理中にNMI要求が発生 	<ul style="list-style-type: none"> NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNPビット = 1のまま) <ul style="list-style-type: none"> NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNPビット = 0にする) <ul style="list-style-type: none"> NMI処理中にINTWDT2要求が発生 (INTWDT2要求後にNP = 0にする)
INTWDT2	<ul style="list-style-type: none"> INTWDT2処理中にNMI要求が発生 	<ul style="list-style-type: none"> INTWDT2処理中にINTWDT2要求が発生

19.2.1 動 作

ノンマスカブル割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

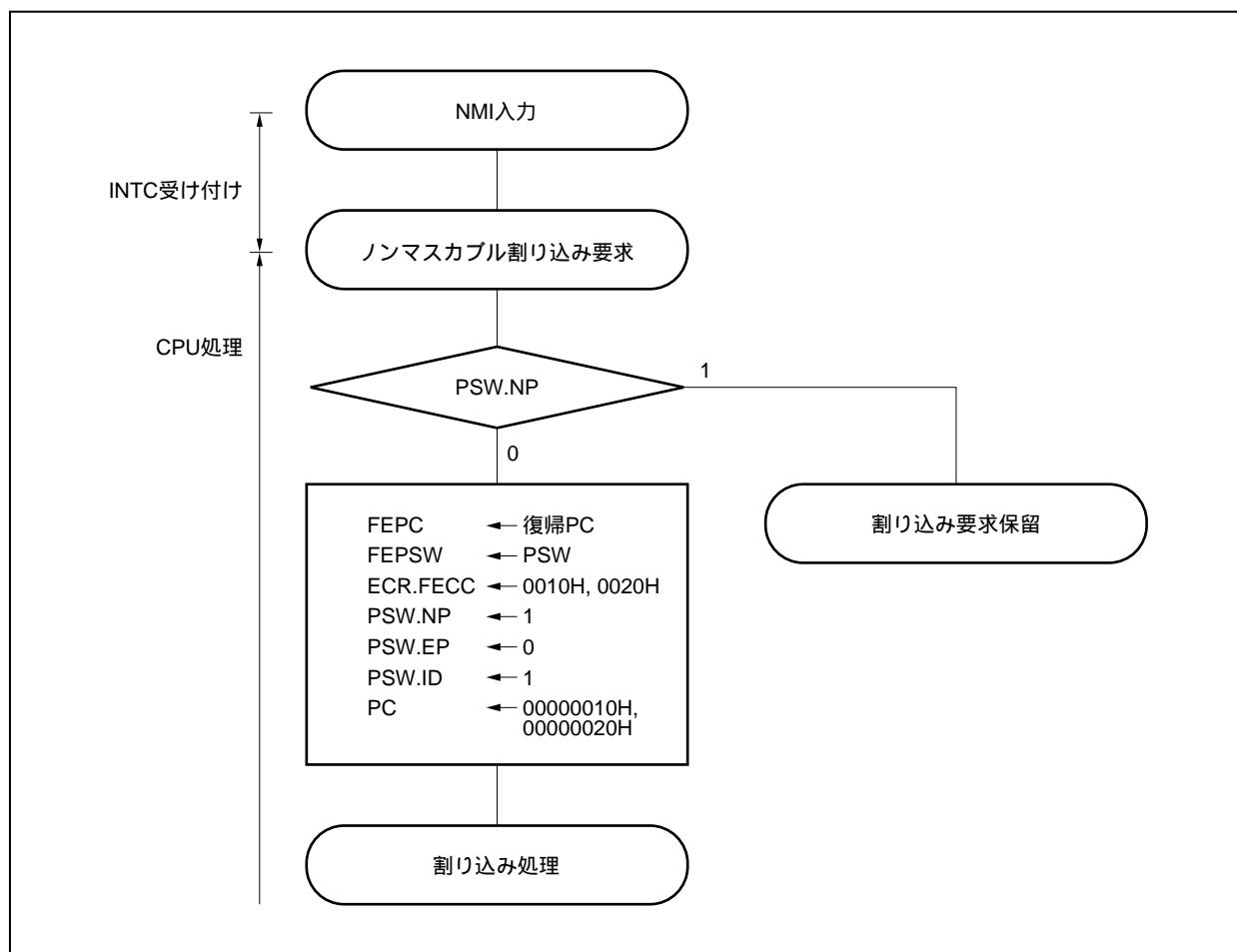
ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。

PSW.NP, IDビットをセット (1) し、PSW.EPビットをクリア (0) します。

PCにノンマスカブル割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし、制御を移します。

ノンマスカブル割り込みの処理形態を次に示します。

図19-2 ノンマスカブル割り込みの処理形態



19.2.2 復 帰

(1) NMI端子入力の場合

NMI処理からの復帰は、RETI命令により行います。

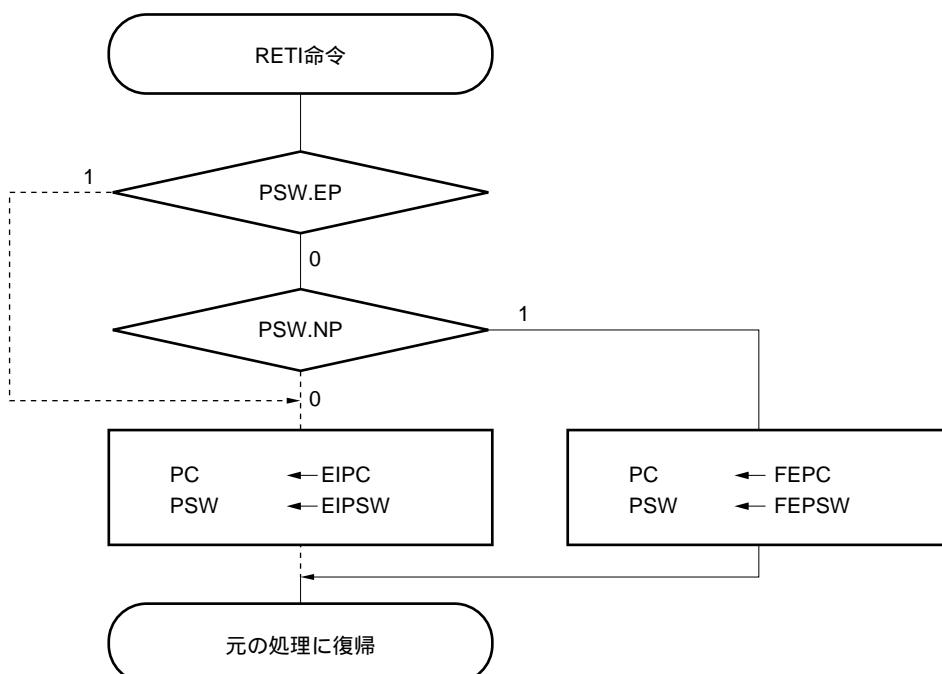
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図19-3 RETI命令の処理形態



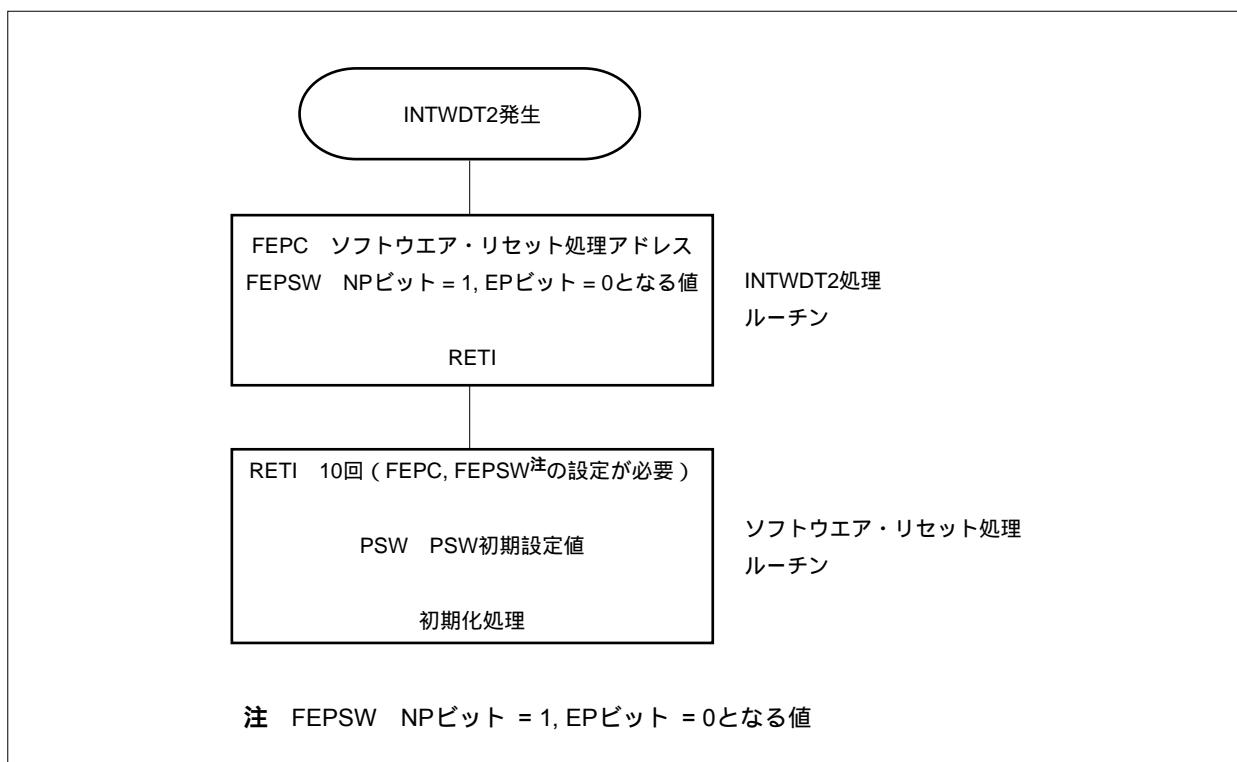
注意 ノンマスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット = 0かつNPビット = 1に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

(2) INTWDT2信号の場合

ノンマスカブル割り込み要求(INTWDT2)によるノンマスカブル割り込み処理実行後に, RETI命令による復帰はできません。次に示すソフトウェア・リセット処理を実行してください。

図19-4 ソフトウェア・リセット処理



19. 2. 3 NPフラグ

NPフラグは、ノンマスカブル割り込みの処理中であることを示すステータス・フラグです。

ノンマスカブル割り込み要求信号を受け付けるとセットされ、ノンマスカブル割り込み要求をマスクして多重割り込みを禁止します。

19.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、55種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、ディフォールト優先順位により、その優先順位が決定します。また、ディフォールト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC, EIPSWをメモリ、または汎用レジスタに退避し、RETI命令を実行する前にDIを行って、EIPC, EIPSWを元の値に復帰してください。

19.3.1 動 作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

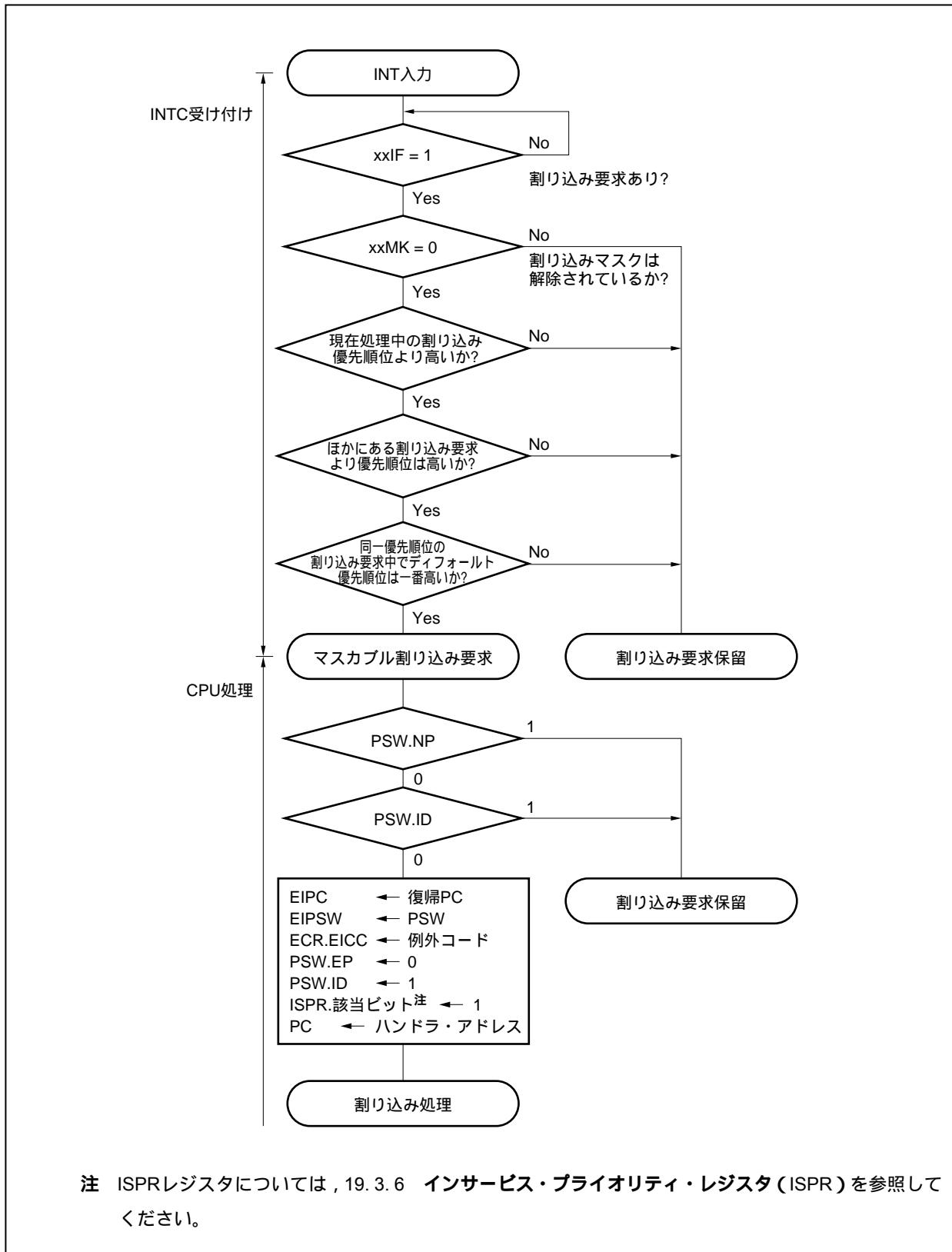
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、INTCでマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図19-5 マスカブル割り込みの処理形態



注 ISPRレジスタについては、19.3.6 インサービス・プライオリティ・レジスタ (ISPR) を参照してください。

19.3.2 復 帰

マスカブル割り込み処理からの復帰は、RETI命令により行います。

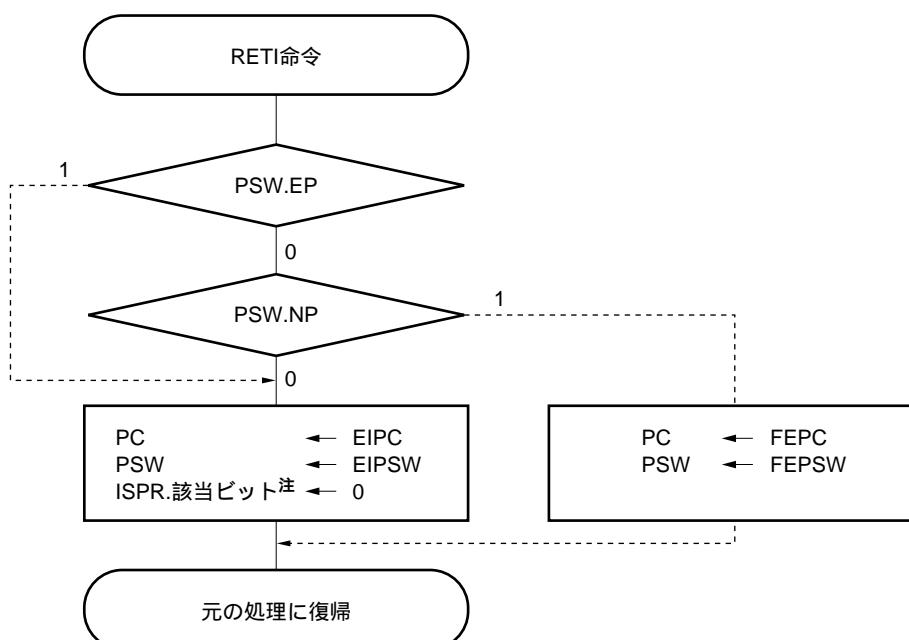
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図19-6 RETI命令の処理形態



注 ISPRレジスタについては、19.3.6 インサービス・プライオリティ・レジスタ(ISPR)を参照してください。

注意 マスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合は、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット = 0かつNPビット = 0に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

19.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、ディフォールト優先順位による制御と、割り込み制御レジスタ ($xxICn$) の割り込み優先順位指定ビット ($xxPRn$) によるプログラマブル優先順位制御があります。ディフォールト優先順位制御は、 $xxPRn$ ビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位（ディフォールト優先順位）に従って割り込みを処理します（表19-1 割り込み要因一覧参照）。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット（1）されるので、多重割り込みを使用する場合は、割り込み処理プログラム内でEI命令を実行するなどしてIDフラグをクリア（0）し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称（表19-2 割り込み制御レジスタ ($xxICn$) 参照）

n : 周辺ユニット番号（表19-2 割り込み制御レジスタ ($xxICn$) 参照）

図19-7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

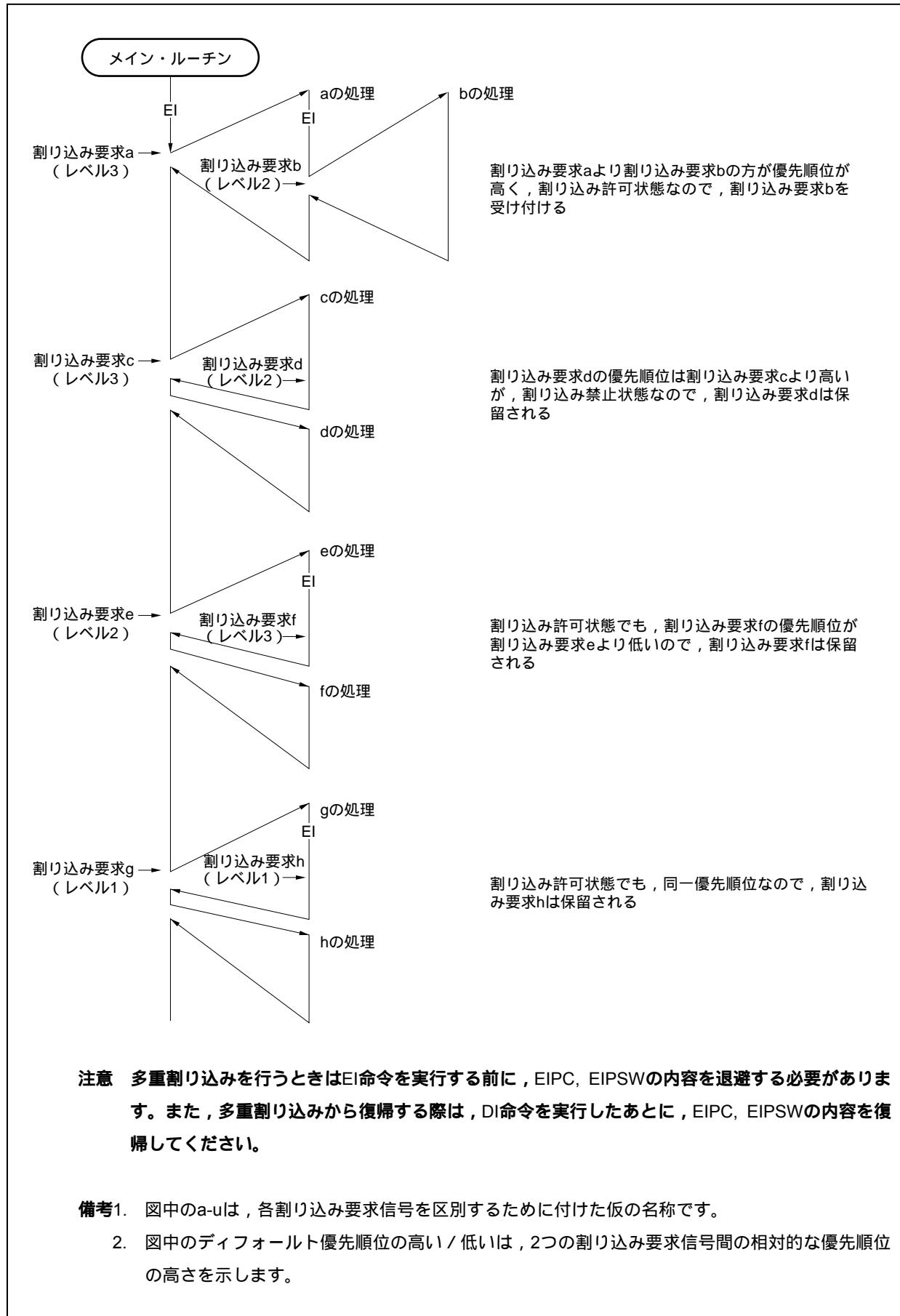


図19-7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

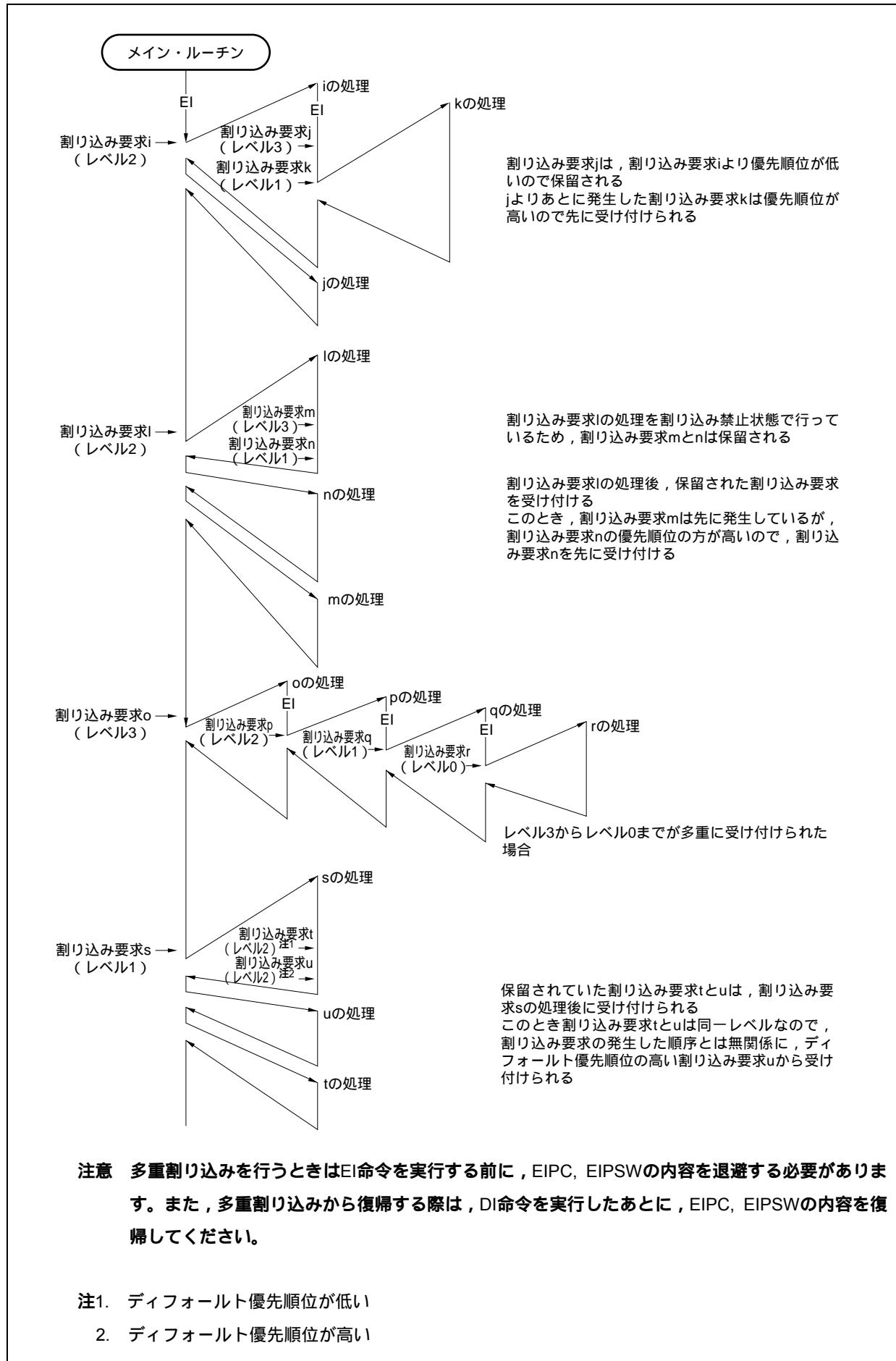
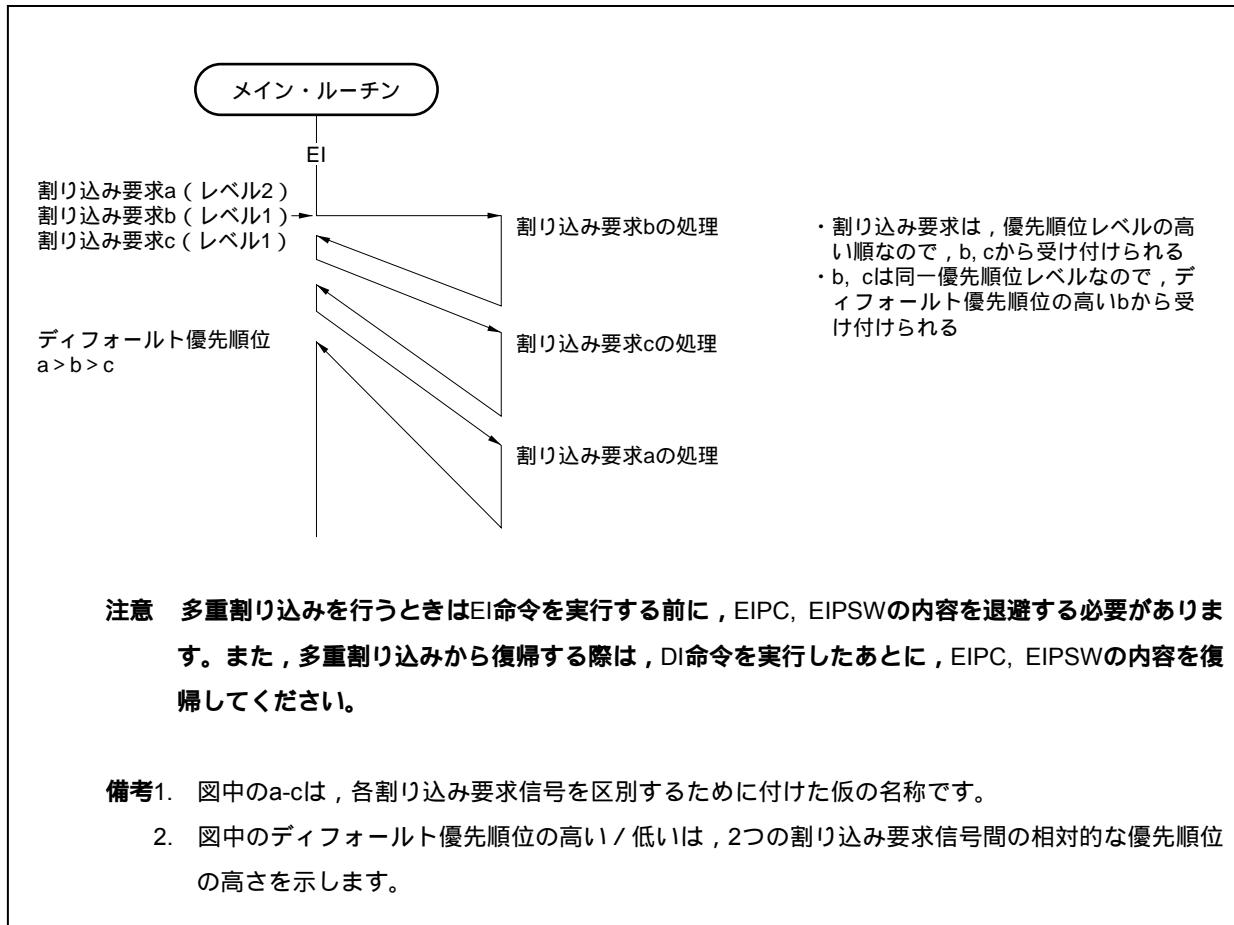


図19-8 同時発生した割り込み要求信号の処理例



19.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号(マスクブル割り込み)ごとに割り当てられ、各割り込みに対する制御条件を設定します。
8/1ビット単位でリード / ライト可能です。
リセットにより47Hになります。

注意 xxICn.xxIFnビットを読み出す場合は、割り込み禁止(DI)状態または割り込みをマスクした状態で行ってください。割り込み許可(EI)状態または割り込みマスクを解除した状態でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時 : 47H R/W アドレス : FFFFF110H-FFFFF184H

xxICn	(7) xxIFn	(6) xxMKn	5 0	4 0	3 0	2 xxPRn2	1 xxPRn1	0 xxPRn0
-------	--------------	--------------	--------	--------	--------	-------------	-------------	-------------

xxIFn	割り込み要求フラグ注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止(保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0(最高位)を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7(最低位)を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (表19-2 割り込み制御レジスタ (xxICn) 参照)
n : 周辺ユニット番号 (表19-2 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表19-2 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	LVIIC	LVIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF124H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR02	TQ0CCPR01	TQ0CCPR00
FFFFF126H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF128H	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12AH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12CH	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF12EH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF130H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF132H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF134H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR02	TP1CCPR01	TP1CCPR00
FFFFF136H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF138H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF13AH	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR02	TP2CCPR01	TP2CCPR00
FFFFF13CH	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF13EH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF140H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR02	TP3CCPR01	TP3CCPR00
FFFFF142H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF144H	TP4OVIC	TP4OVIF	TP4OVMK	0	0	0	TP4OVPR2	TP4OVPR1	TP4OVPR0
FFFFF146H	TP4CCIC0	TP4CCIF0	TP4CCMK0	0	0	0	TP4CCPR02	TP4CCPR01	TP4CCPR00
FFFFF148H	TP4CCIC1	TP4CCIF1	TP4CCMK1	0	0	0	TP4CCPR12	TP4CCPR11	TP4CCPR10
FFFFF14AH	TP5OVIC	TP5OVIF	TP5OVMK	0	0	0	TP5OVPR2	TP5OVPR1	TP5OVPR0
FFFFF14CH	TP5CCIC0	TP5CCIF0	TP5CCMK0	0	0	0	TP5CCPR02	TP5CCPR01	TP5CCPR00
FFFFF14EH	TP5CCIC1	TP5CCIF1	TP5CCMK1	0	0	0	TP5CCPR12	TP5CCPR11	TP5CCPR10
FFFFF150H	TM0EQICO	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF152H	CB0RIC/ IICIC1	CB0RIF/ IICIF1	CB0RMK/ IICMK1	0	0	0	CB0RPR2/ IICPR12	CB0RPR1/ IICPR11	CB0RPR0/ IICPR10
FFFFF154H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF156H	CB1RIC	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0
FFFFF158H	CB1TIC	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF15AH	CB2RIC	CB2RIF	CB2RMK	0	0	0	CB2RPR2	CB2RPR1	CB2RPR0
FFFFF15CH	CB2TIC	CB2TIF	CB2TMK	0	0	0	CB2TPR2	CB2TPR1	CB2TPR0
FFFFF15EH	CB3RIC	CB3RIF	CB3RMK	0	0	0	CB3RPR2	CB3RPR1	CB3RPR0
FFFFF160H	CB3TIC	CB3TIF	CB3TMK	0	0	0	CB3TPR2	CB3TPR1	CB3TPR0

表19-2 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF162H	UA0RIC/ CB4RIC	UA0RIF/ CB4RIF	UA0RMK/ CB4RMK	0	0	0	UA0RPR2/ CB4RPR2	UA0RPR1/ CB4RPR1	UA0RPR0/ CB4RPR0
FFFFF164H	UA0TIC/ CB4TIC	UA0TIF/ CB4TIF	UA0TMK/ CB4TMK	0	0	0	UA0TPR2/ CB4TPR2	UA0TPR1/ CB4TPR1	UA0TPR0/ CB4TPR0
FFFFF166H	UA1RIC/ IICIC2	UA1RIF/ IICIF2	UA1RMK/ IICMK2	0	0	0	UA1RPR2/ IICPR22	UA1RPR1/ IICPR21	UA1RPR0/ IICPR20
FFFFF168H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF16AH	UA2RIC/ IICIC0	UA2RIF/ IICIF0	UA2RMK/ IICMK0	0	0	0	UA2RPR2/ IICPR02	UA2RPR1/ IICPR01	UA2RPR0/ IICPR00
FFFFF16CH	UA2TIC	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFF16EH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF170H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF172H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF174H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF176H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF178H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF17AH	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFF17CH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0

19.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード／ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です (m = 0-3)。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。

リセット時 : FFFFH R/W アドレス : IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H注)	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
IMR3L	1	WTMK	WTIMK	KRMK	DMAMK3	DMAMK2	DMAMK1	DMAMK0

リセット時 : FFFFH R/W アドレス : IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H注)	ADMK	UA2TMK	UA2RMK/ IICMK0	UA1TMK	UA1RMK/ IICMK2	UA0TMK/ CB4TMK	UA0RMK/ CB4RMK	CB3TMK
	7	6	5	4	3	2	1	0
IMR2L	CB3RMK	CB2TMK	CB2RMK	CB1TMK	CB1RMK	CB0TMK	CB0RMK/ IICMK1	TM0EQMK0

リセット時 : FFFFH R/W アドレス : IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H注)	TP5CCMK1	TP5CCMK0	TP50VMK	TP4CCMK1	TP4CCMK0	TP40VMK	TP3CCMK1	TP3CCMK0
	7	6	5	4	3	2	1	0
IMR1L	TP30VMK	TP2CCMK1	TP2CCMK0	TP20VMK	TP1CCMK1	TP1CCMK0	TP10VMK	TP0CCMK1

リセット時 : FFFFH R/W アドレス : IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H注)	TP0CCMK0	TP00VMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ00VMK	PMK7
	7	6	5	4	3	2	1	0
IMR0L	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR0-IMR3 レジスタのビット8-15を8/1ビット単位でリード / ライトする場合は、
IMR0H-IMR3H レジスタのビット0-7として指定してください。

注意 IMR3 レジスタのビット7-15には1を設定してください。変更した場合の動作は保証できません。

備考 xx : 各周辺ユニット識別名称 (表19-2 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表19-2 割り込み制御レジスタ (xxICn) 参照)

19.3.6 インサービス・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

ISPR	(7) ISPR7	(6) ISPR6	(5) ISPR5	(4) ISPR4	(3) ISPR3	(2) ISPR2	(1) ISPR1	(0) ISPR0
------	--------------	--------------	--------------	--------------	--------------	--------------	--------------	--------------

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考 n : 0-7 (優先順位のレベル)

19.3.7 IDフラグ

マスカブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可 / 禁止制御情報を記憶します。割り込み禁止フラグ (ID) は、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時 : 00000020H

PSW	31	8	7	6	5	4	3	2	1	0
		0		NP	EP	ID	SAT	CY	OV	S Z

ID	マスカブル割り込み処理の指定 ^注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット (1), EI命令でクリア (0) されます。また, RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

19.3.8 ウオッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

8ビット単位でリード / ライト可能です (詳細は第11章 ウオッチドッグ・タイマ2機能参照)。

リセットにより67Hになります。

リセット時 : 67H R/W アドレス : FFFFF6D0H

WDTM2	7	6	5	4	3	2	1	0
	0	WDM21	WDM20	0	0	0	0	0

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード
1	x	リセット・モード (初期値)

19.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

19.4.1 動 作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

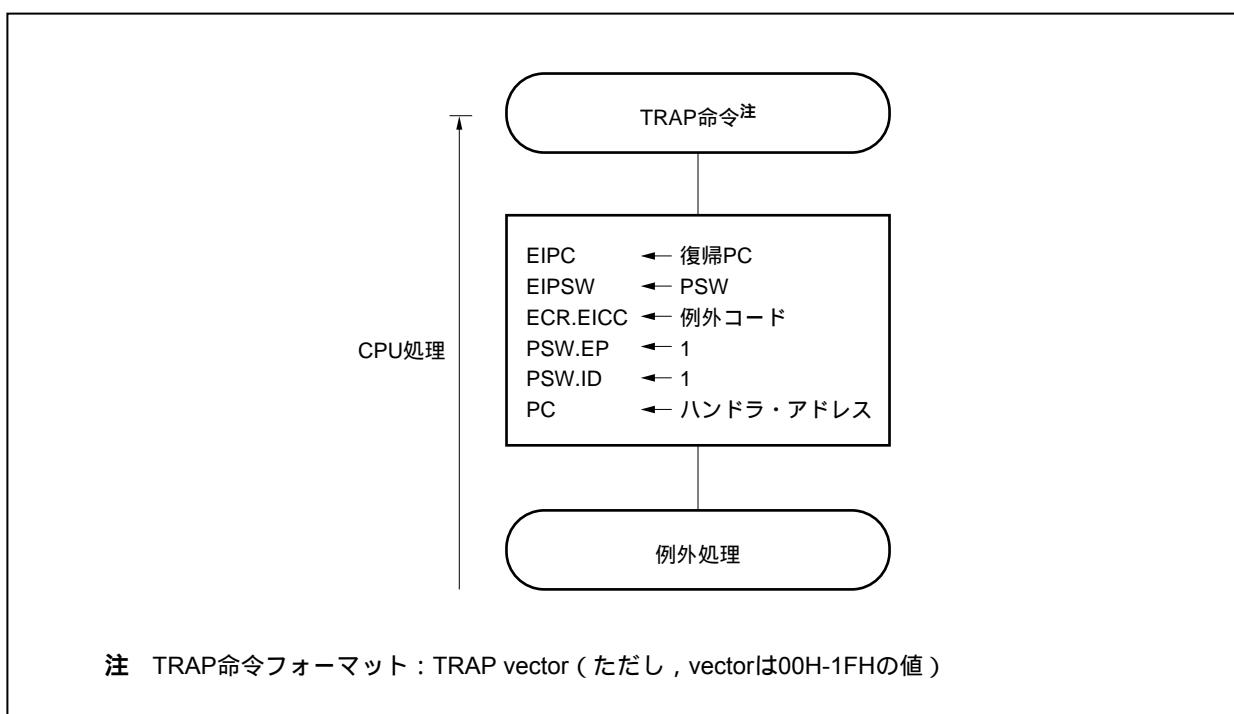
ECR(割り込み要因)の下位16ビット(EICC)に例外コードを書き込みます。

PSW.EP, IDビットをセット(1)します。

PCにソフトウェア例外に対するハンドラ・アドレス(00000040Hまたは00000050H)をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図19-9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド(vector)によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

19.4.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

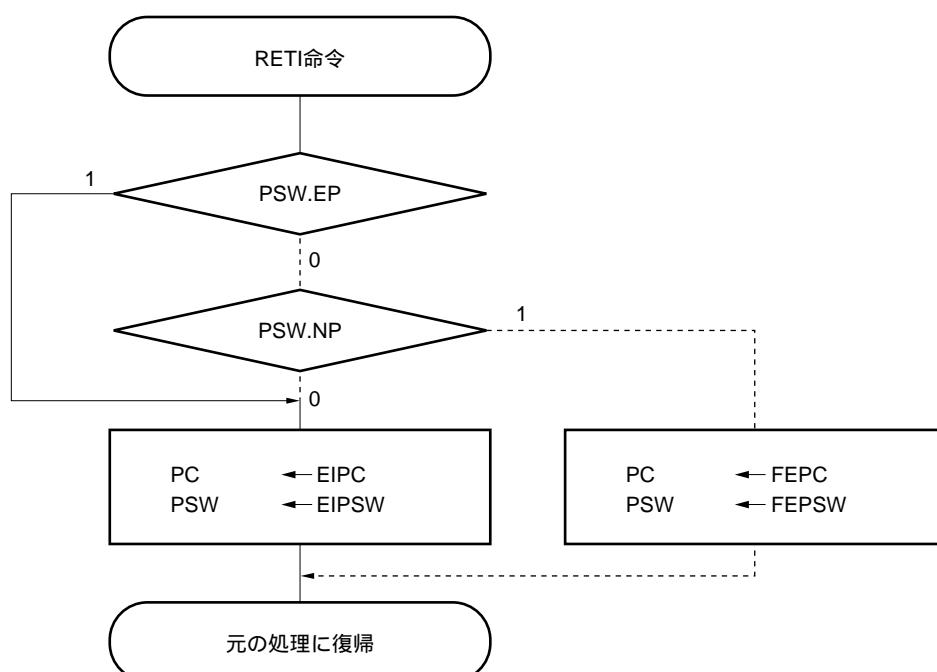
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図19-10 RETI命令の処理形態



注意 ソフトウェア例外処理中にLDSR命令によりEP, NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット = 1かつNPビット = 0に戻しておく必要があります。

備考 CPUは実線のフローで処理します。

19.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

リセット時 : 00000020H

PSW	31	8	7	6	5	4	3	2	1	0
	0			NP	EP	ID	SAT	CY	OV	S Z

EP	例外処理状態
0	例外処理中でない
1	例外処理中

19.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/JG2では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

19.5.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が11111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当たる命令を実行したときに、例外トラップが発生します。

15	11 10	5 4	0 31	27 26	23 22	16
X X X X X	1 1 1 1 1	X X X X X	X X X X X	0 1 1 1 1 1 1 1 1	X X X X X X	0

X : 任意

注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動 作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

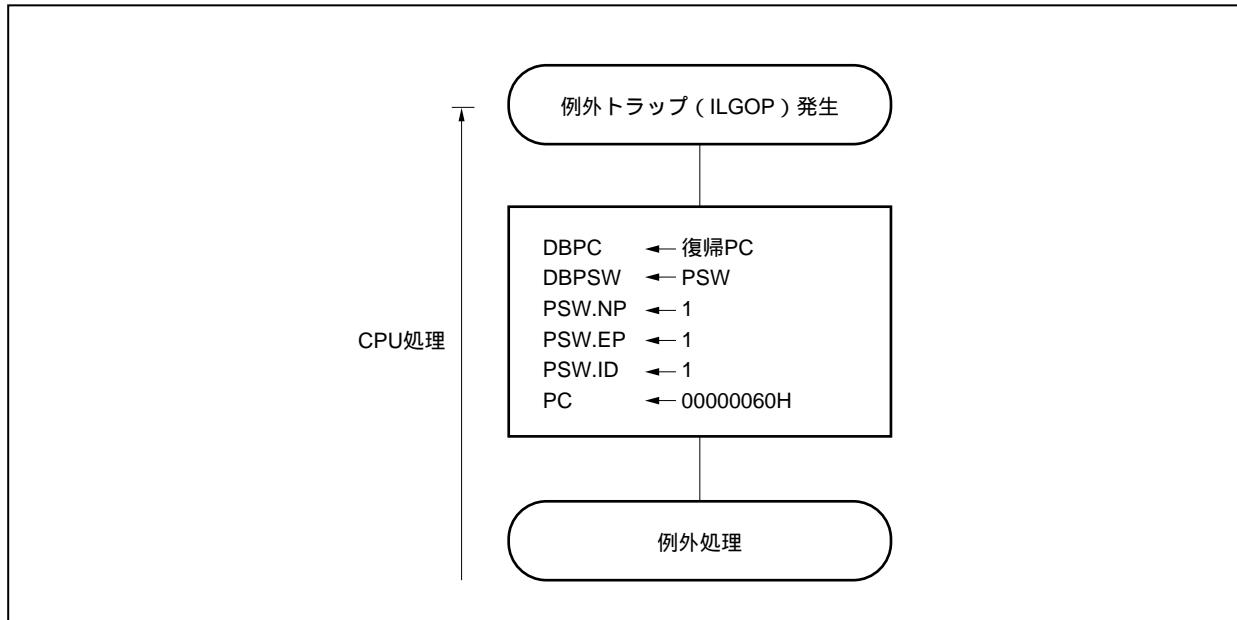
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図19-11 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

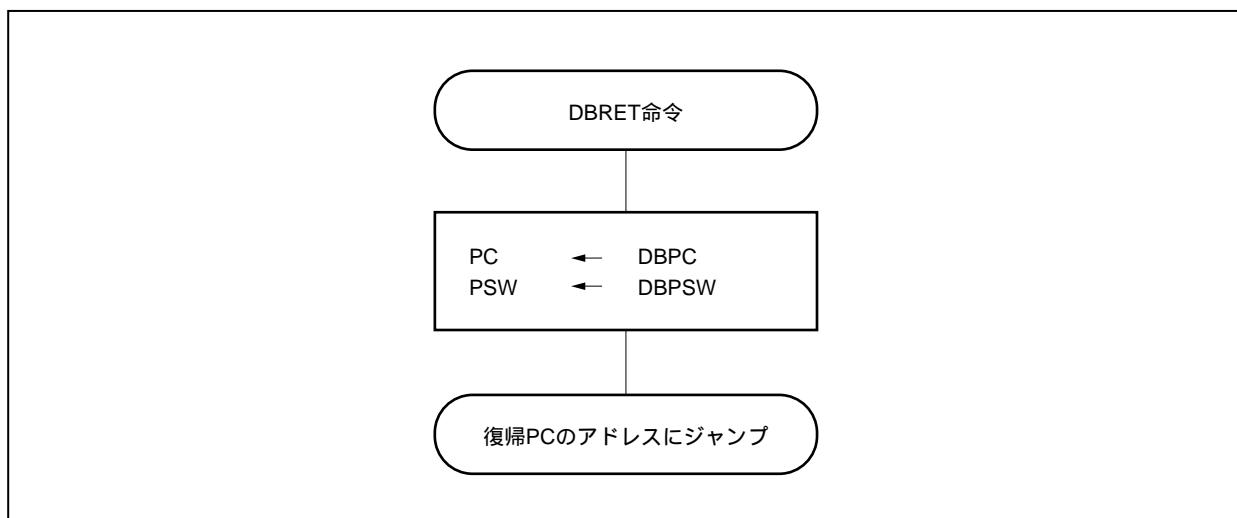
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

例外トラップからの復帰の処理形態を次に示します。

図19-12 例外トラップからの復帰の処理形態



19.5.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

(1) 動 作

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

復帰PCをDBPCに退避します。

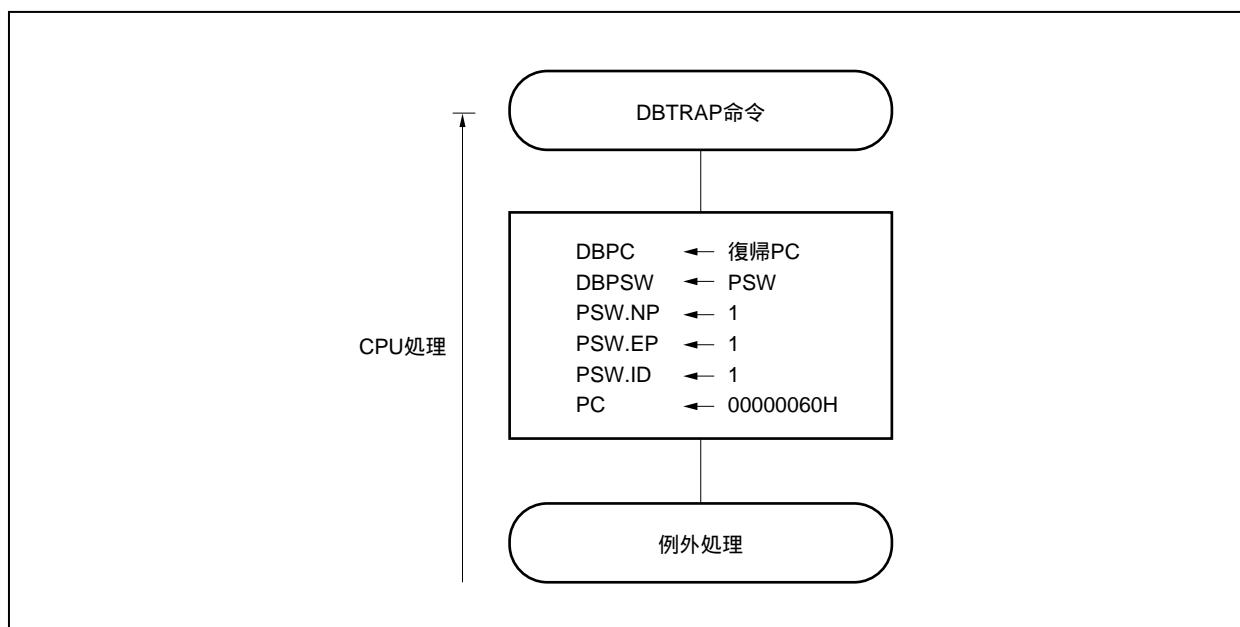
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図19-13 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

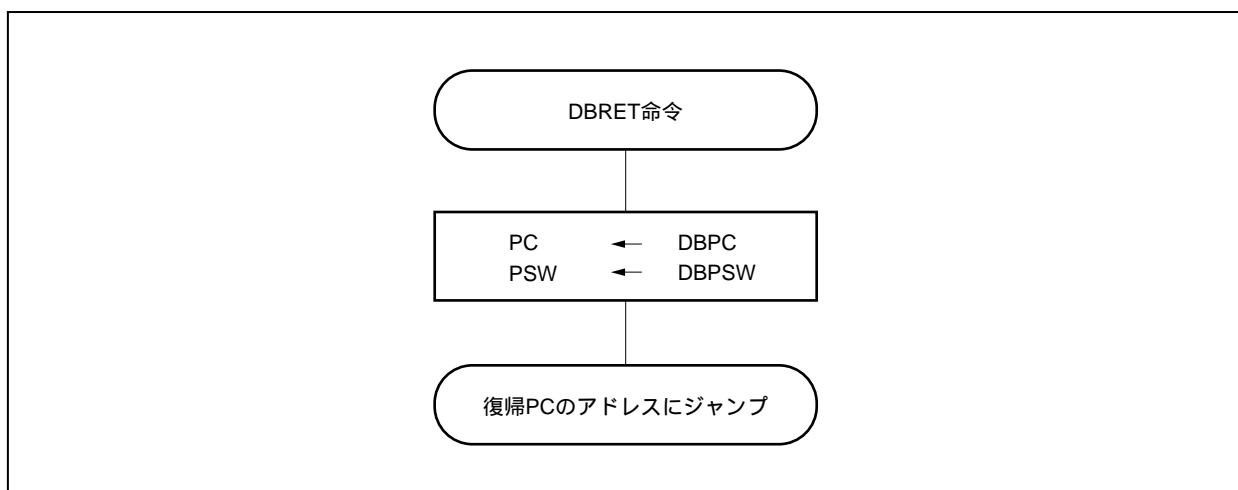
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を次に示します。

図19-14 デバッグ・トラップからの復帰の処理形態



19.6 外部割り込み要求入力端子 (NMI, INTP0-INTP7)

19.6.1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用できます。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP7端子のノイズ除去

INTP0-INTP7端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

19.6.2 エッジ検出

NMI, INTP0-INTP7端子の有効エッジは、次の4種類から端子ごとに選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

リセット後のNMI端子は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを許可しないと、割り込み要求信号を受け付けません（通常ポートとして機能します）。

(1) 外部割り込み立ち下がり , 立ち上がりエッジ指定レジスタ0 (INTF0, INTR0)

ビット2でNMI端子 , ビット3-6で外部割り込み端子 (INTP0-INTP3) の立ち下がり , 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際 , エッジ検出を行う可能性があるため , INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定してください。

リセット時 : 00H R/W アドレス : INTF0 FFFFFC00H, INTR0 FFFFFC20H

	7	6	5	4	3	2	1	0
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	0	0
		INTP3	INTP2	INTP1	INTP0	NMI		
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	0	0
		INTP3	INTP2	INTP1	INTP0	NMI		

備考 有効エッジの指定については表19 - 3を参照してください。

表19 - 3 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 NMI, INTP0-INTP3端子として使用しない場合 , 必ずINTF0n, INTR0nビット = 00に設定してください。

備考 n = 2 : NMI端子の制御

n = 3-6 : INTP0-INTP3端子の制御

(2) 外部割り込み立ち下がり，立ち上がりエッジ指定レジスタ3 (INTF3, INTR3)

外部割り込み端子 (INTP7) の立ち下がり，立ち上がりエッジ検出を指定する8ビットのレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより00Hになります。

- 注意1. 外部割り込み機能（兼用機能）からポート機能に切り替える際，エッジ検出を行う可能性があるため，INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定してください。
2. INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください(INTF3.INTF31ビット = 0, INTR3INTR31ビット = 0に設定）。またINTP7端子として使用する場合はUARTA0を受信動作停止してください(UA0CTL0.UA0RXEビット = 0）。

リセット時 : 00H R/W アドレス : INTF3 FFFFFC06H, INTR3 FFFFFC26H

	7	6	5	4	3	2	1	0
INTF3	0	0	0	0	0	0	INTF31	0
							INTP7	

	7	6	5	4	3	2	1	0
INTR3	0	0	0	0	0	0	INTR31	0
							INTP7	

備考 有効エッジの指定については表19-4を参照してください。

表19-4 有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP7端子として使用しない場合，必ずINTF31, INTR31ビット = 00に設定してください。

(3) 外部割り込み立ち下がり , 立ち上がりエッジ指定レジスタ9H (INTF9H, INTR9H)

外部割り込み端子 (INTP4-INTP6) の立ち下がり , 立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能(兼用機能)からポート機能に切り替える際 , エッジ検出を行う可能性があるため , INTF9n, INTR9nビット = 0に設定したあとにポート・モードに設定してください。

リセット時 : 00H R/W アドレス : INTF9H FFFFFC13H, INTR9H FFFFFC33H

	15	14	13	12	11	10	9	8
INTF9H	INTF915	INTF914	INTF913	0	0	0	0	0
	 INTP6	 INTP5	 INTP4					
INTR9H	INTR915	INTR914	INTR913	0	0	0	0	0
	 INTP6	 INTP5	 INTP4					

備考 有効エッジの指定については表19 - 5を参照してください。

表19 - 5 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP4-INTP6端子として使用しない場合 , 必ずINTF9n, INTR9nビット = 00に設定してください。

備考 n = 13-15 : INTP4-INTP6端子の制御

(4) ノイズ除去制御レジスタ (NFC)

INTP3端子はディジタル・ノイズ除去を選択することが可能で、NFCレジスタにてノイズ除去の設定を選択します。

ディジタル・ノイズ除去を選択した場合、ディジタル・サンプリングを行うサンプリング・クロックを、 $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, f_{XT} の中から選択できます。なおサンプリングの回数は3回です。

ディジタル・ノイズ除去を選択した場合でも、サンプリング・クロックに f_{XT} を使用すると、IDLE1/IDLE2/STOPモードの解除にINTP3の割り込み要求信号を使用できます。

8ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、ディジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック $\times 3$ クロックの時間がかかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック $\times 3$ クロックの間に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点を注意してください。

- ・割り込み機能使用時は、サンプリング・クロック $\times 3$ クロック経過後、割り込み要求フラグ (PIC3.PIF3ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時 (INTP3で起動) は、サンプリング・クロック $\times 3$ クロック経過後、DMAを許可してください。

リセット時 : 00H R/W アドレス : FFFF318H

NFC	7	6	5	4	3	2	1	0
	NFEN	0	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う (60 ns (TYP.))
1	ディジタル・ノイズ除去を行う

NFC2	NFC1	NFC0	ディジタル・サンプリングを行うクロック
0	0	0	$f_{xx}/64$
0	0	1	$f_{xx}/128$
0	1	0	$f_{xx}/256$
0	1	1	$f_{xx}/512$
1	0	0	$f_{xx}/1024$
1	0	1	f_{XT} (サブクロック)
その他		設定禁止	

- 備考**
- 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック $\times 2$ になります。
 - サンプリング・クロック $\times 2$ より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

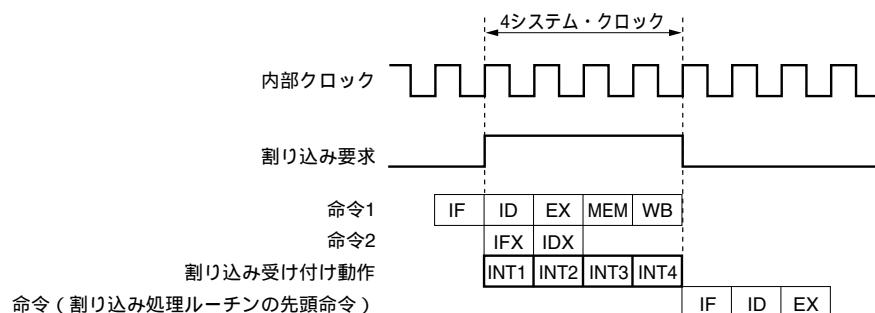
19.7 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

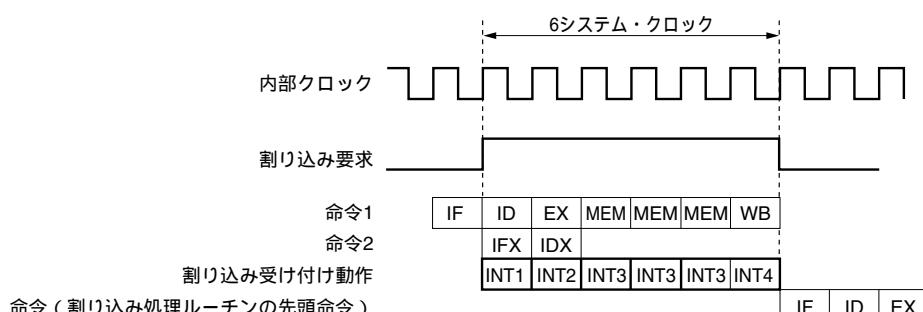
- ・IDLE1/IDLE2/STOPモード時
- ・外部バス・アクセス時
- ・割り込み要求非サンプル命令（19.8 CPUが割り込みを受け付けない期間参照）が連続しているとき
- ・割り込み制御レジスタへのアクセス時

図19-15 割り込み要求信号受け付け時のパイプライン動作例（概略）

（1）最小割り込み応答時間



（2）最大割り込み応答時間



備考 INT1-INT4：割り込み受け付け処理

IFX：無効となる命令フェッチ

IDX：無効となる命令デコード

割り込み応答時間（内部システム・クロック）			条件
	内部割り込み	外部割り込み	
最小	4	4 + アナログ・ディレイ時間	次の場合は除きます。 ・IDLE1, IDLE2, STOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・周辺I/Oレジスタへのアクセス時
最大	6	6 + アナログ・ディレイ時間	

19.8 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・EI命令
- ・DI命令
- ・LDSR reg2, 0x5命令（対PSW）
- ・PRCMDレジスタに対するストア命令
- ・次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
 - ・割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn）、割り込みマスク・レジスタ0-3（IMR0-IMR3）
 - ・パワー・セーブ・コントロール・レジスタ（PSC）
 - ・オンチップ・デバッグ・モード・レジスタ（OCDM）

備考 xx : 各周辺ユニット識別名称（表19-2 割り込み制御レジスタ（xxICn）参照）

n : 周辺ユニット番号（表19-2 割り込み制御レジスタ（xxICn）参照）

19.9 注意事項

NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていまので、INTF0, INTR0レジスタで有効エッジを選択してください。

第20章 キー割り込み機能

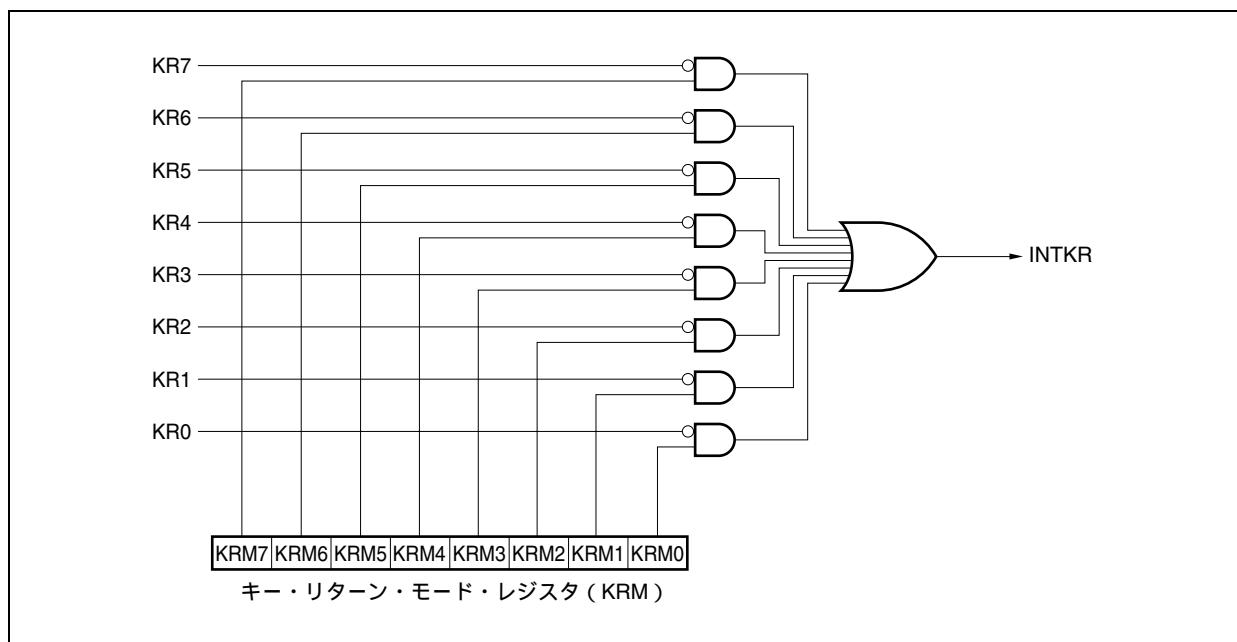
20.1 機能

KRMレジスタの設定により、キー入力端子（KR0-KR7）に立ち下がりエッジを入力することによって、キー割り込み要求信号（INTKR）を発生させることができます。

表20-1 キー・リターン検出端子の割り当て

フラグ	設定される端子
KRM0	KR0信号を1ビット単位で制御
KRM1	KR1信号を1ビット単位で制御
KRM2	KR2信号を1ビット単位で制御
KRM3	KR3信号を1ビット単位で制御
KRM4	KR4信号を1ビット単位で制御
KRM5	KR5信号を1ビット単位で制御
KRM6	KR6信号を1ビット単位で制御
KRM7	KR7信号を1ビット単位で制御

図20-1 キー・リターンのブロック図



20.2 レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF300H

KRM	7	6	5	4	3	2	1	0
KRMn	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

キー・リターン・モードの制御	
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

備考 兼用端子の設定は表4-15 ポート端子を兼用端子として使用する場合を参照してください。

20.3 注意事項

- (1) KR0-KR7端子のうち1つでもロウ・レベルが入力されると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。
- (2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください(PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。
- (3) KRMレジスタを変更すると、割り込み要求信号(INTKR)が発生する場合があります。したがって、あらかじめ割り込みを禁止(DI)またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ(KRIC.KRIFビット)をクリア(0)してから、割り込みを許可(EI)またはマスク解除してください。
- (4) キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第21章 スタンバイ機能

21.1 概 要

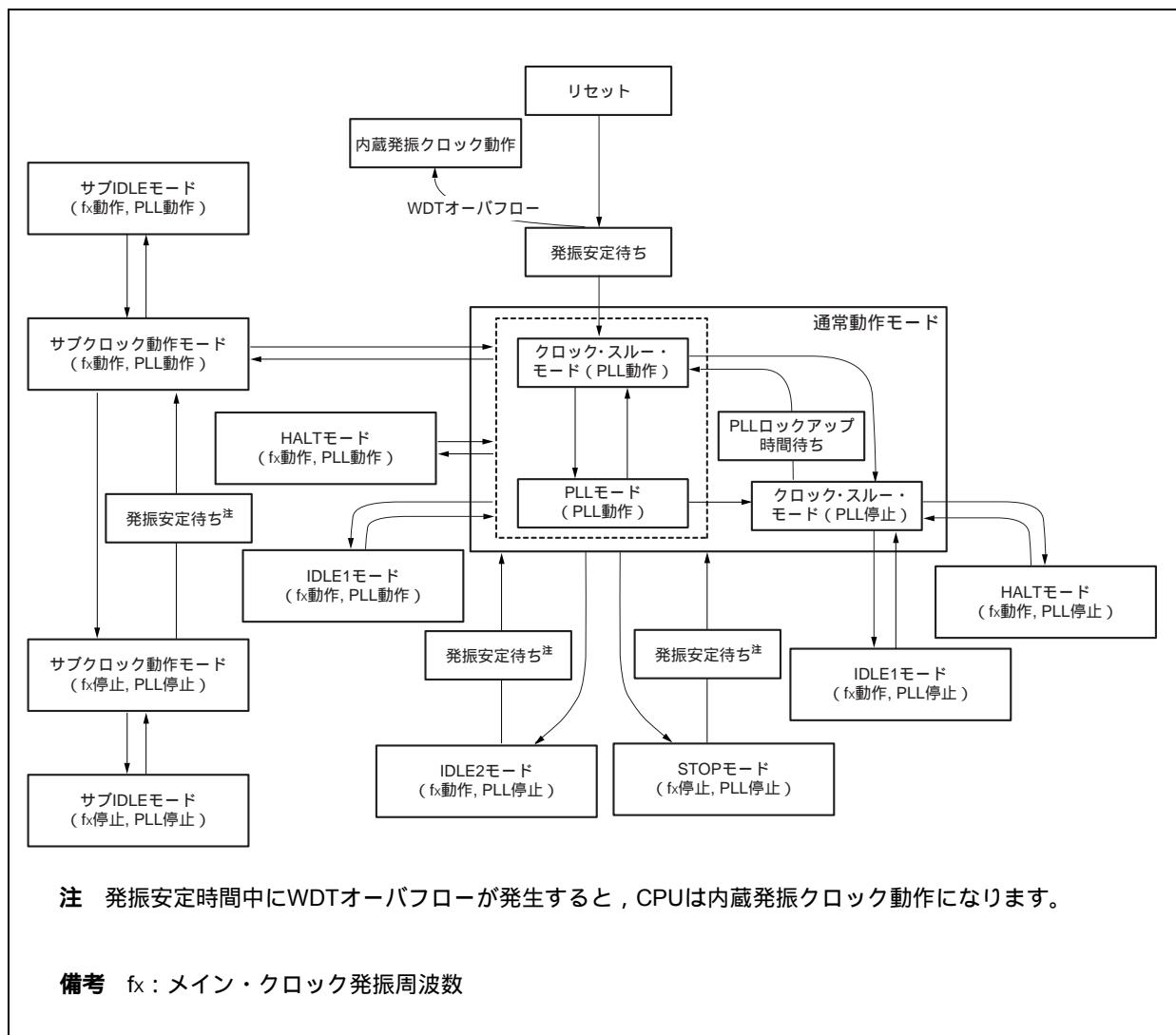
各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。
スタンバイ機能には、次に示すものがあります。

表21-1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLE1モード	発振回路、PLL動作 ^注 、フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモード
IDLE2モード	発振回路以外の内部回路の動作をすべて停止させるモード
STOPモード	サブクロック発振回路以外の内部回路の動作をすべて停止させるモード
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモード
サブIDLEモード	サブクロック動作モード時、発振回路以外の内部回路の動作をすべて停止させるモード

注 PLLは前の動作状態を保持します。

図21-1 状態遷移図



21.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりSTOPモードを指定します。

PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.

7 特定レジスタ参照)。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF1FEH

	7	(6)	(5)	(4)	3	2	(1)	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード注の設定
0	通常モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード : IDLE1, IDLE2, STOP, サブIDLEモード

- 注意1. IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは, PSMR.PSM1, PSM0ビットを設定してから, STPビットを設定してください。
2. NMI1M, NMI0M, INTMビットの設定は, HALTモード解除時は無効です。
3. NMI1M, NMI0M, INTMビットと, STPビットを同時にセット(1)した場合, NMI1M, NMI0M, INTMビットの設定は無効になります。したがって, IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は, その割り込み要求信号に対するビット(NMI1M, NMI0M, INTM)をセット(1)したあとにSTPビットをセット(1)してください。

(2) パワー・セーブ・モード・レジスタ(PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

PSMR	7	6	5	4	3	2	①	②
	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1, サブIDLEモード
0	1	STOPモード
1	0	IDLE2, サブIDLEモード
1	1	STOPモード

注意1. ビット2-7には、必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

備考 IDLE1 : 発振回路と一部の回路(フラッシュ・メモリ , PLL)以外の動作を停止するモードです。

IDLE1モード解除後 , HALTモードと同様に発振安定時間を確保する必要なく , 通常モードに復帰します。

IDLE2 : 発振回路以外の動作を停止するモードです。

IDLE2モード解除後 , OSTSレジスタで指定したセットアップ時間(フラッシュ・メモリ , PLL)を確保したあと , 通常モードに復帰します。

STOP : サブクロック発振回路以外の動作を停止するモードです。

STOPモード解除後 , OSTSレジスタで指定した発振安定時間を確保したあと , 通常モードに復帰します。

サブIDLE : サブクロック動作モード時 , 発振回路以外の動作を停止するモードです。

割り込み要求信号によるサブIDLEモードの解除後 , サブクロックの12周周期分の時間を確保したあと , サブクロック動作モードに復帰します。

(3) 発振安定時間選択レジスタ(OSTS)

STOPモードを解除してから発振が安定するまでのウエイト時間や、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのウエイト時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード／ライト可能です。

リセットにより06Hになります。

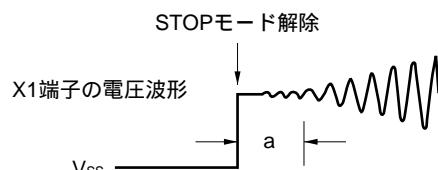
リセット時 : 06H R/W アドレス : FFFFFF6C0H

OSTS	7	6	5	4	3	2	1	0
	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間 / セットアップ時間の選択 ^注		
			fx		
			4 MHz	5 MHz	
0	0	0	$2^{10}/fx$	0.256 ms	0.205 ms
0	0	1	$2^{11}/fx$	0.512 ms	0.410 ms
0	1	0	$2^{12}/fx$	1.024 ms	0.819 ms
0	1	1	$2^{13}/fx$	2.048 ms	1.638 ms
1	0	0	$2^{14}/fx$	4.096 ms	3.277 ms
1	0	1	$2^{15}/fx$	8.192 ms	6.554 ms
1	1	0	$2^{16}/fx$	16.38 ms	13.107 ms
1	1	1	設定禁止		

注 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

注意1. STOPモード解除時のウエイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



2. ビット7-3には必ず“0”を設定してください。
3. リセット解除後の発振安定時間は、 $2^{16}/fx$ (OSTSレジスタの初期値 = 06Hのため)となります

備考 fx = メイン・クロック発振周波数

21.3 HALTモード

21.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表21-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

21.3.2 HALTモードの解除

HALTモードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとHALTモードの解除だけを行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。

表21-2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可（EI）状態	割り込み禁止（DI）状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐、または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表21-3 HALTモード時の動作状態

項目	動作状態	
	サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路	発振可能	
サブクロック発振回路	-	発振可能
内蔵発振器	発振可能	
PLL	動作可能	
CPU	動作停止	
DMA	動作可能	
割り込みコントローラ	動作可能	
タイマP (TMP0-TMP5)	動作可能	
タイマQ (TMQ0)	動作可能	
タイマM (TMM0)	カウント・クロックにfXT以外を選択時に動作可能	動作可能
時計用タイマ	カウント・クロックにfx (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2	カウント・クロックにfXT以外を選択時に動作可能	動作可能
シリアル・インターフェース	CSIB0-CSIB4 I ² C00-I ² C02 UARTA0-UARTA2	
A/Dコンバータ	動作可能	
D/Aコンバータ	動作可能	
リアルタイム出力機能 (RTO)	動作可能	
キー割り込み機能 (KR)	動作可能	
外部バス・インターフェース	2.2 端子状態参照	
ポート機能	HALTモード設定前の状態を保持	
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持	

21.4 IDLE1モード

21.4.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“00”に設定し、PSC.STPビットを“1”に設定することにより、IDLE1モードに設定されます。

IDLE1モードに設定すると、クロック発振回路、PLL動作、フラッシュ・メモリは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表21-5にIDLE1モード時の動作状態を示します。

IDLE1モードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLE1モード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

- 注意1. IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2. マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合、保留されている割り込み要求によりIDLE1モードはすぐに解除されます。

21.4.2 IDLE1モードの解除

IDLE1モードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により、通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLE1モードに設定した場合は次になります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE1モードの解除だけを行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると、IDLE1モードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M、NM10M、INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE1モードは解除されません。

表21-4 割り込み要求信号によるIDLE1モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐、または次の命令を実行	

(2) リセットによる解除

通常のリセット動作と同じです。

表21-5 IDLE1モード時の動作状態

項 目	IDLE1モードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路		発振可能	
サブクロック発振回路		-	発振可能
内蔵発振器		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止 (ただしスタンバイ・モードの解除は可能)	
タイマP (TMP0-TMP5)		動作停止	
タイマQ (TMQ0)		動作停止	
タイマM (TMM0)		カウント・クロックに $f_R/8$ を選択時に動作可能	カウント・クロックに $f_R/8$ または f_{XT} 選択時に動作可能
時計用タイマ		カウント・クロックに f_X (BRG分周) を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		カウント・クロックに f_R を選択時に動作可能	カウント・クロックに f_R または f_{XT} を選択時に動作可能
シリアル・インターフェース	CSIB0-CSIB4	カウント・クロックに $SCKBn$ 入力クロック選択時に動作可能 ($n = 0-4$)	
	I ² C00-I ² C02	動作停止	
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作保持 (変換結果も保持) ^注	
D/Aコンバータ		動作保持 (出力保持) ^注	
リアルタイム出力機能 (RTO)		動作停止 (出力保持)	
キー割り込み機能 (KR)		動作可能	
外部バス・インターフェース		2.2 端子状態参照	
ポート機能		IDLE1モード設定前の状態を保持	
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMなどの内部データはすべてIDLE1モード設定前の状態を保持	

注 低消費電力を実現するためには、IDLE1モードに遷移する前にA/Dコンバータ、D/Aコンバータを停止してください。

21.5 IDLE2モード

21.5.1 設定および動作状態

通常動作モード時，PSMR.PSM1, PSM0ビットを“10”に設定し，PSC.STPビットを“1”に設定することにより，IDLE2モードに設定されます。

IDLE2モードに設定すると，クロック発振回路は動作を継続しますが，CPU, PLL, フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また，CPU, PLLや，そのほかの内蔵周辺機能は動作を停止します。ただし，サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表21-7にIDLE2モード時の動作状態を示します。

IDLE2モードは，内蔵周辺機能，PLL，フラッシュ・メモリの動作が停止するので，IDLE1モードよりさらに低消費電力を実現できます。ただし，PLL, フラッシュ・メモリは停止するため，IDLE2モード解除時，必ずPLL, フラッシュ・メモリのセットアップ時間が必要となります。

- 注意1.** IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。
- 2. マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合，保留されている割り込み要求によりIDLE2モードはすぐに解除されます。

21.5.2 IDLE2モードの解除

IDLE2モードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（RESET端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。また，PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

- (a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとIDLE2モードの解除だけを行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。
- (b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，IDLE2モードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NM10M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，IDLE2モードは解除されません。

表21-6 割り込み要求信号によるIDLE2モード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	所定のセットアップ時間確保後、ハンドラ・アドレスに分岐、または次の命令を実行	所定のセットアップ時間確保後、次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表21-7 IDLE2モード時の動作状態

項目	IDLE2モードの設定	動作状態	
		サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路	発振可能		
サブクロック発振回路	-	発振可能	
内蔵発振器	発振可能		
PLL	動作停止		
CPU	動作停止		
DMA	動作停止		
割り込みコントローラ	動作停止 (ただしスタンバイ・モードの解除は可能)		
タイマP (TMP0-TMP5)	動作停止		
タイマQ (TMQ0)	動作停止		
タイマM (TMM0)	カウント・クロックにfr/8を選択時に動作可能	カウント・クロックにfr/8またはfxT選択時に動作可能	
時計用タイマ	カウント・クロックにfx (BRG分周) を選択時に動作可能	動作可能	
ウォッチドッグ・タイマ2	カウント・クロックにfrを選択時に動作可能	カウント・クロックにfrまたはfxTを選択時に動作可能	
シリアル・インターフェース	CSIB0-CSIB4 I ² C00-I ² C02 UARTA0-UARTA2	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0-4) 動作停止 動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)	
A/Dコンバータ		動作保持 (変換結果も保持) ^注	
D/Aコンバータ		動作保持 (出力保持) ^注	
リアルタイム出力機能 (RTO)		動作停止 (出力保持)	
キー割り込み機能 (KR)		動作可能	
外部バス・インターフェース		2.2 端子状態参照	
ポート機能		IDLE2モード設定前の状態を保持	
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMなどの内部データはすべてIDLE2モード設定前の状態を保持	

注 低消費電力を実現するためには、IDLE2モードに遷移する前にA/Dコンバータ、D/Aコンバータを停止してください。

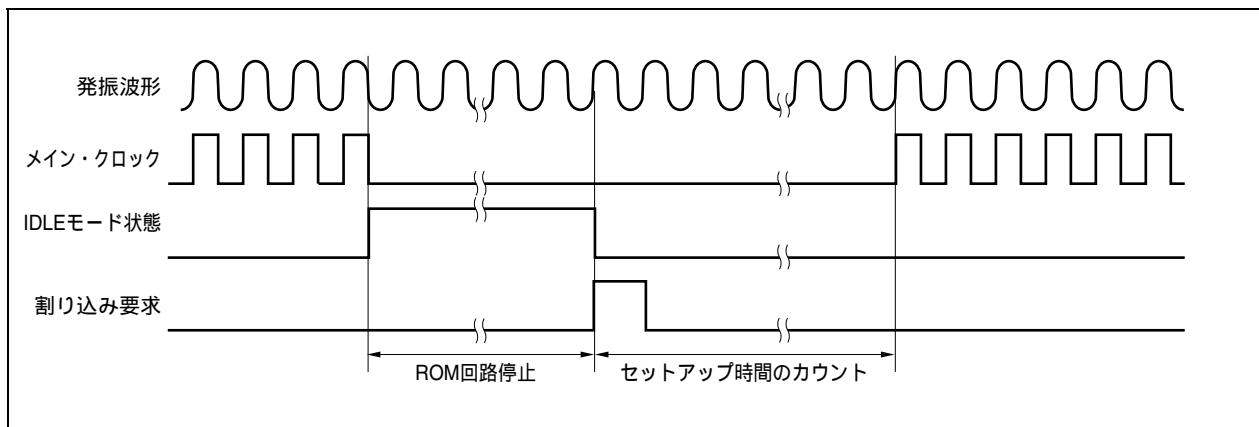
21.5.3 IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより、メイン・クロック発振回路以外は動作を停止するので、IDLE2モード解除後、フラッシュ・メモリのセットアップ時間を確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセット (RESET端子入力、WDT2RES発生) による解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/fx$ になります。

21.6 STOPモード

21.6.1 設定および動作状態

通常動作モード時，PSMR.PSM1, PSM0ビットを“01”または“11”に設定し，PSC.STPビットを“1”に設定することにより，STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが，メイン・クロック発振回路は動作を停止します。また，CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はSTOPモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック発振回路，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

表21-9にSTOPモード時の動作状態を示します。

STOPモードは，メイン・クロック発振回路の動作が停止するので，IDLE2モードよりさらに低消費電力を実現できます。また，サブクロック発振回路，内蔵発振器，外部クロックを使用しない場合は，リーク電流のみの超低消費電力を実現できます

- 注意1.** STOPモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。
- 2. マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合，保留されている割り込み要求によりSTOPモードはすぐに解除されます。

21.6.2 STOPモードの解除

STOPモードは，ノンマスカブル割り込み要求信号（NMI端子入力, INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（RESET端子入力，WDT2RES信号，低電圧検出回路（LVI）によるリセット）により解除されます。

STOPモードの解除により，発振安定時間を確保したあと，通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生するとSTOPモードの解除だけを行い，この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。

(b) 現在処理中の割り込み要求よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると，STOPモードの解除とともにこの割り込み要求信号を受け付けます。

注意 PSC.NMI1M, NM10M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり，STOPモードは解除されません。

表21-8 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表21-9 STOPモード時の動作状態

項目	STOPモードの設定	
	サブクロックがない場合	サブクロックがある場合
メイン・クロック発振回路	発振停止	
サブクロック発振回路	-	発振可能
内蔵発振器	発振可能	
PLL	動作停止	
CPU	動作停止	
DMA	動作停止	
割り込みコントローラ	動作停止（ただしスタンバイ・モードの解除は可能）	
タイマP (TMP0-TMP5)	動作停止	
タイマQ (TMQ0)	動作停止	
タイマM (TMM0)	カウント・クロックに $f_R/8$ を選択時に動作可能	カウント・クロックに $f_R/8$ または f_{XT} 選択時に動作可能
時計用タイマ	動作停止	カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2	カウント・クロックに f_R を選択時に動作可能	カウント・クロックに f_R または f_{XT} を選択時に動作可能
シリアル・インターフェース	CSIB0-CSIB4 I ² C00-I ² C02 UARTA0-UARTA2	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0-4) 動作停止 動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）
A/Dコンバータ		動作停止（変換結果も不定） ^{注1,2}
D/Aコンバータ		動作停止 ^{注3,4} （出力はハイ・インピーダンス）
リアルタイム出力機能 (RTO)		動作停止（出力保持）
キー割り込み機能 (KR)		動作可能
外部バス・インターフェース		2.2 端子状態参照
ポート機能		STOPモード設定前の状態を保持
内部データ		CPUのレジスタ、ステータス、データ、内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持

- 注1. A/Dコンバータを動作したままSTOPモードに遷移した場合、STOPモード期間中A/Dコンバータは自動的に停止しますが、STOPモード解除後、再び動作を開始します。ただし、その場合STOPモード解除後のA/D変換結果は無効です。また、STOPモード遷移前のA/D変換結果はすべて無効です。
2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも、STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。
3. D/Aコンバータを動作したままSTOPモードに遷移した場合、STOPモード期間中D/Aコンバータは自動的に停止し、端子状態はハイ・インピーダンスになります。STOPモード解除後、再び動作を開始しセトリング時間を経て、STOPモード遷移前の出力レベルにもどります。
4. D/Aコンバータを動作したままSTOPモードに遷移した場合でも、STOPモード遷移前にD/Aコンバータを停止した場合と同等に消費電力を低減できます。

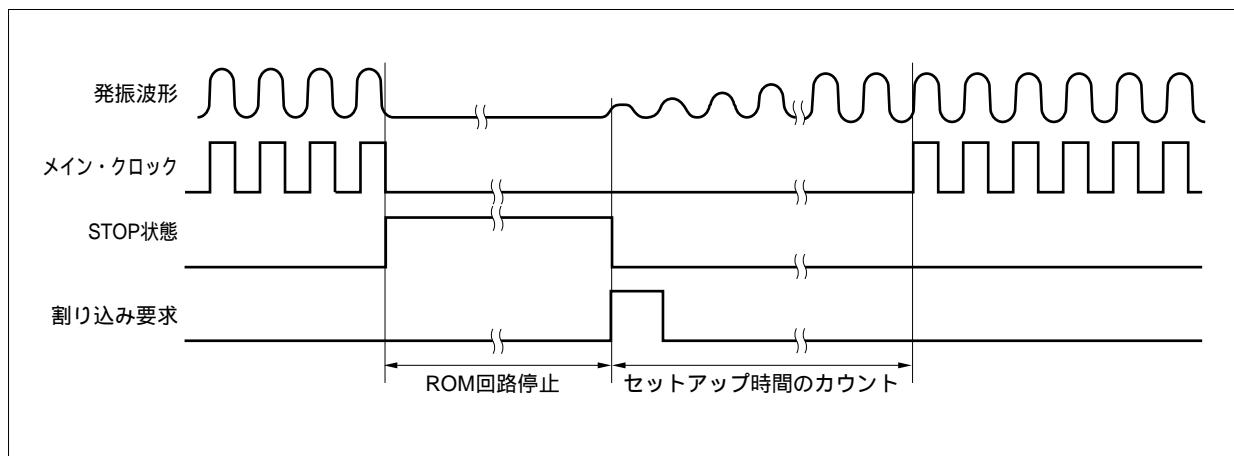
21.6.3 STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{16}/f_x$ になります。

21.7 サブクロック動作モード

21.7.1 設定および動作状態

通常動作モード時、PCC.CK3ビットを“1”に設定することにより、サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると、内部システム・クロックがメイン・クロック サブクロックに切り替わります。切り替わりは、PCC.CLSビットを確認してください。

さらに、PCC.MCKビットを“1”に設定することにより、メイン・クロック発振回路の動作を停止します。これにより、システム全体がサブクロックでのみ動作します。

サブクロック動作モードは、内部システム・クロックがサブクロックとなるので、通常動作モードよりも消費電力を低減できます。さらに、メイン・クロック発振回路の動作を停止させることにより、STOPモードに近い低消費電力を実現できます。

サブクロック動作モード時の動作状態を表21-10に示します。

- 注意1.** CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。
2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

内部システム・クロック (f_{CLK}) > サブクロック ($f_{XT} = 32.768 \text{ kHz}$) $\times 4$

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{xx}) から生成するクロック

21.7.2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定するか、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除します。

なお、メイン・クロックを停止（MCKビット = 1）していた場合は、MCKビットを“1”に設定し、メイン・クロックの発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

- 注意** CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

表21-10 サブクロック動作モード時の動作状態

項目	サブクロック動作モードの設定		動作状態
		メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路	発振可能		
内蔵発振器	発振可能		
PLL	動作可能		動作停止 ^注
CPU	動作可能		
DMA	動作可能		
割り込みコントローラ	動作可能		
タイマP (TMP0-TMP5)	動作可能		動作停止
タイマQ (TMQ0)	動作可能		動作停止
タイマM (TMM0)	動作可能		カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能
時計用タイマ	動作可能		カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2	動作可能		カウント・クロックにf _R またはf _{XT} 選択時に動作可能
シリアル・インターフェース	CSIB0-CSIB4	動作可能	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0-4)
	I ² C00-I ² C02	動作可能	動作停止
	UARTA0-UARTA2	動作可能	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)
A/Dコンバータ	動作可能		動作停止
D/Aコンバータ	動作可能		
リアルタイム出力機能 (RTO)	動作可能		動作停止 (出力保持)
キー割り込み機能 (KR)	動作可能		
外部バス・インターフェース	2.2 端子状態参照		
ポート機能	設定可能		
内部データ	設定可能		

注 メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットのみです (3.4.8(2) 参照)。

21.8 サブIDLEモード

21.8.1 設定および動作状態

サブクロック動作モード時，PSMR.PSM1, PSM0ビットを“00”または“10”に設定し，PSC.STPビットを“1”に設定することにより，サブIDLEモードに設定されます。

サブIDLEモードに設定すると，クロック発振回路は動作を継続しますが，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより，プログラムの実行が停止し，内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また，CPUやそのほかの内蔵周辺機能は動作を停止します。ただし，サブクロック，あるいは外部クロックで動作可能な内蔵周辺機能に関しては，動作を継続します。

サブIDLEモードは，CPU，フラッシュ・メモリやそのほかの内蔵周辺機能の動作が停止するので，サブクロック動作モードよりさらに低消費電力を実現できます。

また，メイン・クロックを停止してからサブIDLEモードに設定した場合は，STOPモードに近い低消費電力を実現できます。

サブIDLEモード時の動作状態を，表21-12に示します。

- 注意1. サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには，NOP命令を5命令以上挿入してください。
- 2. マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合，保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。

21.8.2 サブIDLEモードの解除

サブIDLEモードは，ノンマスカブル割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（RESET端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。また，PLLはサブIDLEモード設定前の動作状態と同じ状態に復帰します。

割り込み要求信号によるサブIDLEモードの解除により，サブクロック動作モードに移行します。

(1) ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号，マスクされていないマスカブル割り込み要求信号が発生すると，優先順位とは無関係に解除されます。

ただし，割り込み処理ルーチン内でサブIDLEモードに設定した場合，次のようにになります。

(a) 現在処理中の割り込み要求よりも優先順位の低い割り込み要求信号が発生すると，サブIDLEモードの解除だけを行い，この割り込み要求信号は受けません。割り込み要求信号そのものは保留されます。

(b) 現在処理中の割り込み要求よりも優先順位の高い割り込み要求信号（ノンマスカブル割り込み要求信号も含む）が発生すると，サブIDLEモードの解除とともにこの割り込み要求信号を受け付けます。

- 注意1. PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり，サブIDLEモードは解除されません。
- 2. サブIDLEモードからの復帰時は，割り込み要求信号による解除要因が発生してから解除されるまでに，サブクロックの12周期分の時間（約366μs）が挿入されます。

表21-11 割り込み要求信号によるサブIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスカブル割り込み要求信号	ハンドラ・アドレスに分岐	
マスカブル割り込み要求信号	ハンドラ・アドレスに分岐、または次の命令を実行	次の命令を実行

(2) リセットによる解除

通常のリセット動作と同じです。

表21-12 サブIDLEモード時の動作状態

項目	動作状態	
	メイン・クロック発振時	メイン・クロック停止時
サブクロック発振回路	発振可能	
内蔵発振器	発振可能	
PLL	動作可能	動作停止 ^{注1}
CPU	動作停止	
DMA	動作停止	
割り込みコントローラ	動作停止 (ただしスタンバイ・モードの解除は可能)	
タイマP (TMP0-TMP5)	動作停止	
タイマQ (TMQ0)	動作停止	
タイマM (TMM0)	カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能	
時計用タイマ	動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2	カウント・クロックにf _R またはf _{XT} 選択時に動作可能	
シリアル・インタフェース	CSIB0-CSIB4	カウント・クロックにSCKBn入力クロック選択時に動作可能 (n = 0-4)
	I ² C00-I ² C02	動作停止
	UARTA0-UARTA2	動作停止 (ただしUARTA0はASCKA0入力クロック選択時に動作可能)
A/Dコンバータ	動作保持 (変換結果も保持) ^{注2}	
D/Aコンバータ	動作保持 (出力保持 ^{注2})	
リアルタイム出力機能 (RTO)	動作停止 (出力保持)	
キー割り込み機能 (KR)	動作可能	
外部バス・インターフェース	2.2 端子状態参照 (IDLE1, IDLE2モードと同じ動作状態)	
ポート機能	サブIDLEモード設定前の状態を保持	
内部データ	CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてサブIDLEモード設定前の状態を保持	

注1. メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

2. 低消費電力を実現するためには、サブIDLEモードに遷移する前にA/Dコンバータ, D/Aコンバータを停止してください。

第22章 リセット機能

22.1 概 要

リセット機能の概要を次に示します。

(1) 4種類のリセット要因

- ・**RESET**端子による外部リセット入力
- ・ウォッチドッグ・タイマ2 (WDT2) のオーバフローによるリセット機能 (WDT2RES)
- ・低電圧検出回路 (LVI) の電源電圧と検出電圧との比較によるシステム・リセット
- ・クロック・モニタ (CLM) の発振停止検出によるシステム・リセット

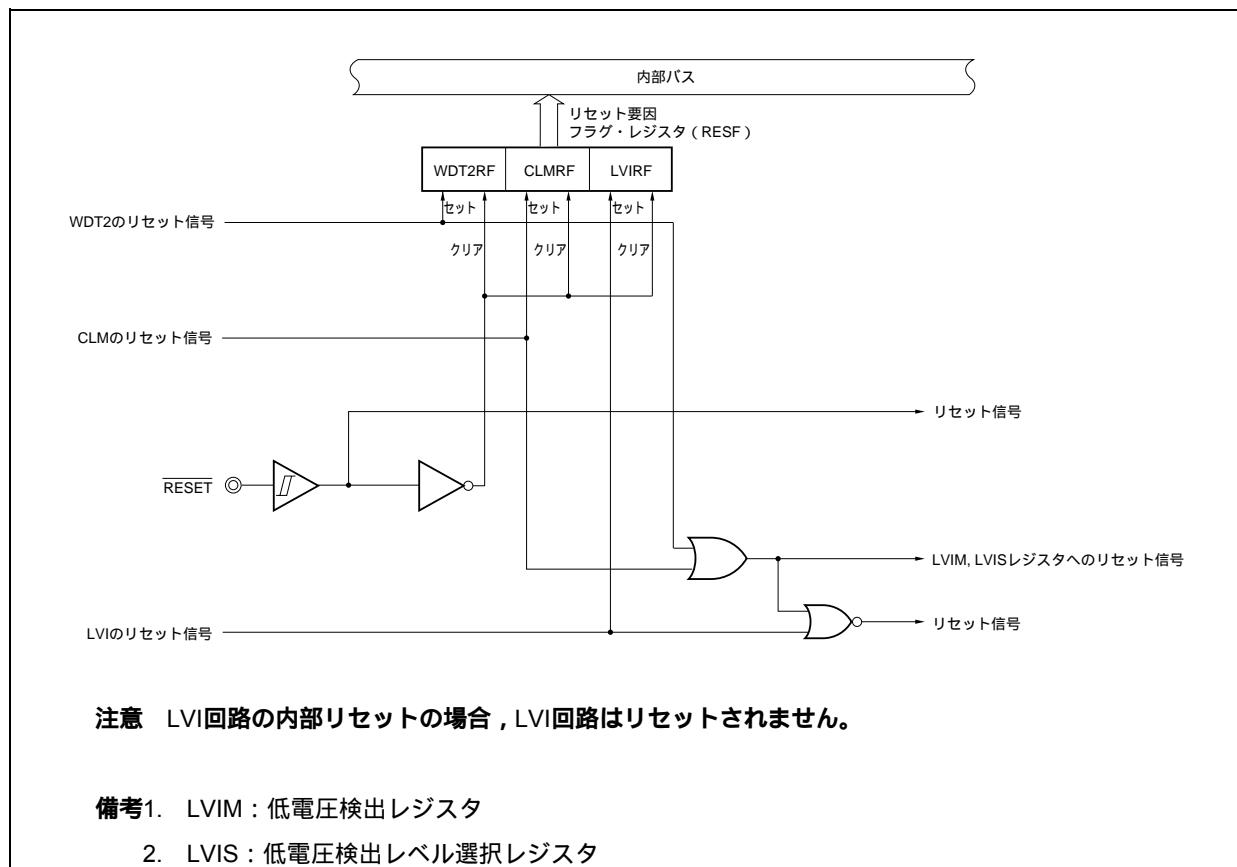
リセット解除後、リセット要因フラグ・レジスタ (RESF) によりリセット要因を確認できます。

(2) 緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合、メイン・クロックの発振異常と判断し、内蔵発振クロックでCPUの動作を開始します。

注意 CPUが内蔵発振クロックで動作しているとき、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生するレジスタについては、3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

図22-1 リセット機能のブロック図



注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

- 備考1.** 1. LVIM：低電圧検出レジスタ
2. LVIS：低電圧検出レベル選択レジスタ

22.2 リセット要因を確認するレジスタ

V850ES/JG2には4つのリセット要因が存在します。リセット解除後、リセット要因フラグ・レジスタ(RESF)により発生したリセット要因を確認できます。

(1) リセット要因フラグ・レジスタ(RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

RESFレジスタは、どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード／ライト可能です。

RESET端子入力により00Hになります。RESET端子以外の要因のリセットにより初期値は異なります。

リセット時 : 00H^注 R/W アドレス : FFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF

WDT2RF	WDT2からのリセット信号発生有無
0	発生なし
1	発生あり

CLMRF	CLMからのリセット信号発生有無
0	発生なし
1	発生あり

LVIRF	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

注 RESET端子によるリセット時はRESFレジスタは00H。

ウォッチドッグ・タイマ2(WDT2)、低電圧検出回路(LVI)、クロック・モニタ(CLM)によるリセット時は、自身のリセット・フラグ(WDT2RF, CLMRF, LVIRFビット)をセットします。ただし、ほかの要因は保持します。

注意 各ビットへの書き込みは“0”ライトのみ可能で，“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。

22.3 動 作

22.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。

RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

表22-1 RESET端子入力時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{xt})	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック ($f_x-f_x/1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{CLK})、 CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力が競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持 ^{注1} 。	
I/Oライン（ポート／兼用端子）	ハイ・インピーダンス ^{注2}	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタはセット（01H）	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 1. V850ES/JG2は、ブート切り替え機能をサポートするので、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがって、パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は、22.3.4 リセット解除後の動作を参照してください。

2. 次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・P10/ANO0端子
- ・P11/ANO1端子
- ・P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

注意 OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度 OCDM.OCDM0ビットをクリアするまでの間にP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。

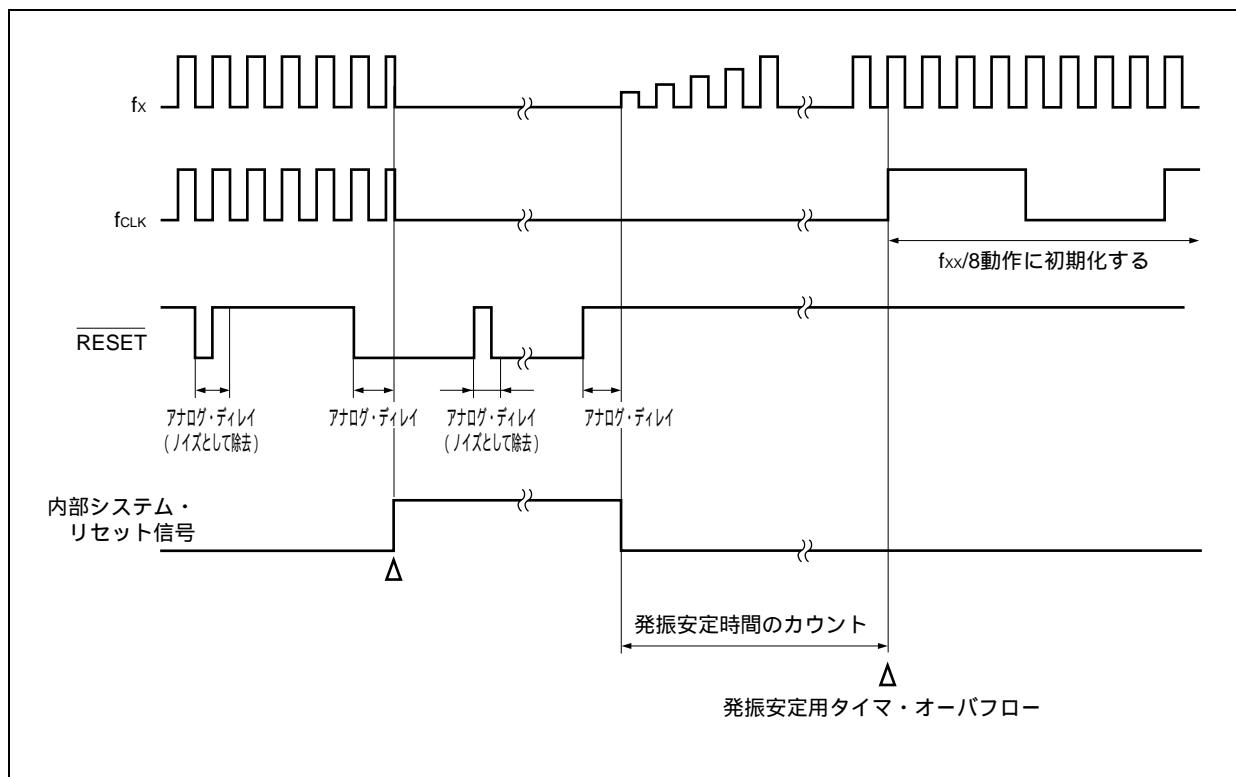
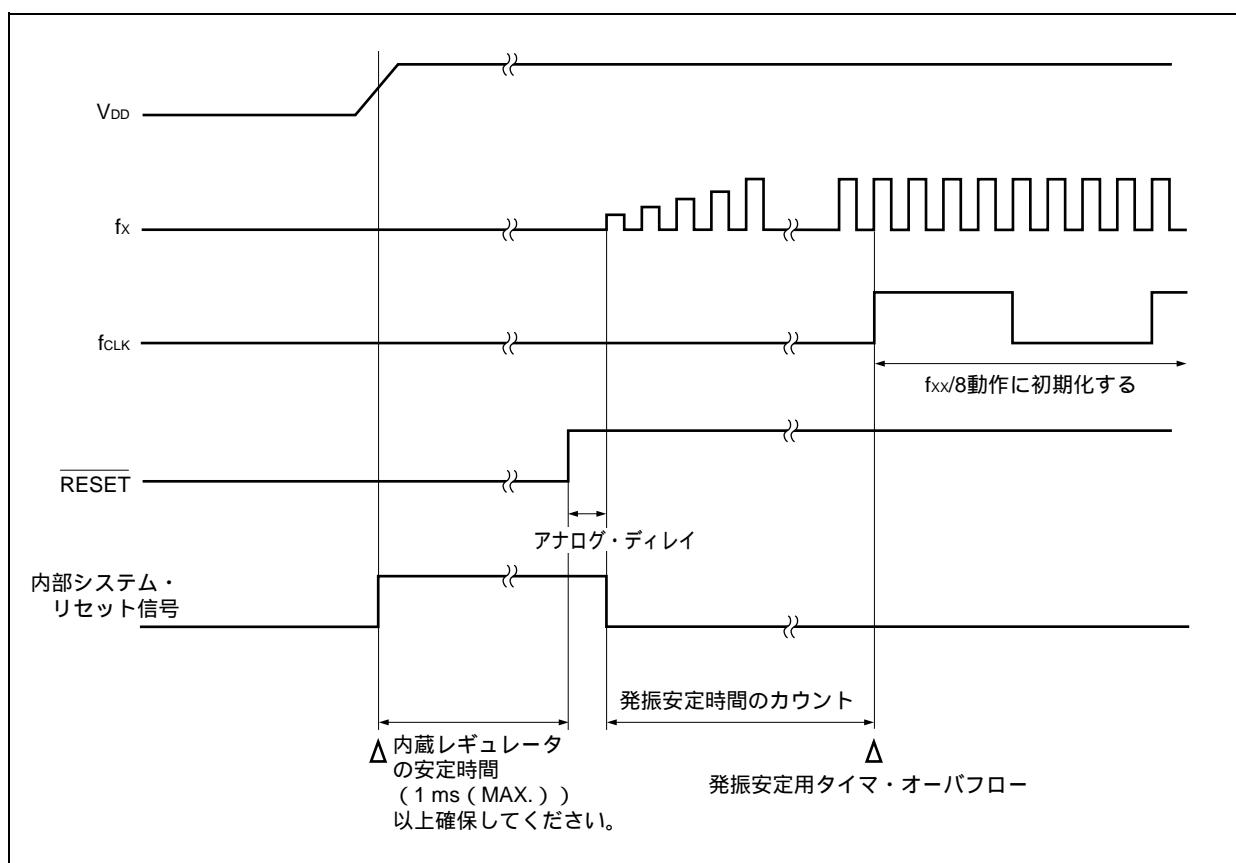
図22-2 $\overline{\text{RESET}}$ 端子入力によるリセット動作のタイミング

図22-3 パワーオン時のリセット動作のタイミング



22.3.2 ウオッヂドッグ・タイマ2によるリセット動作

ウォッヂドッグ・タイマ2をオーバフローによるリセット動作モードに設定時、ウォッヂドッグ・タイマ2がオーバフロー（WDT2RES信号発生）すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

ウォッヂドッグ・タイマ2のオーバフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。

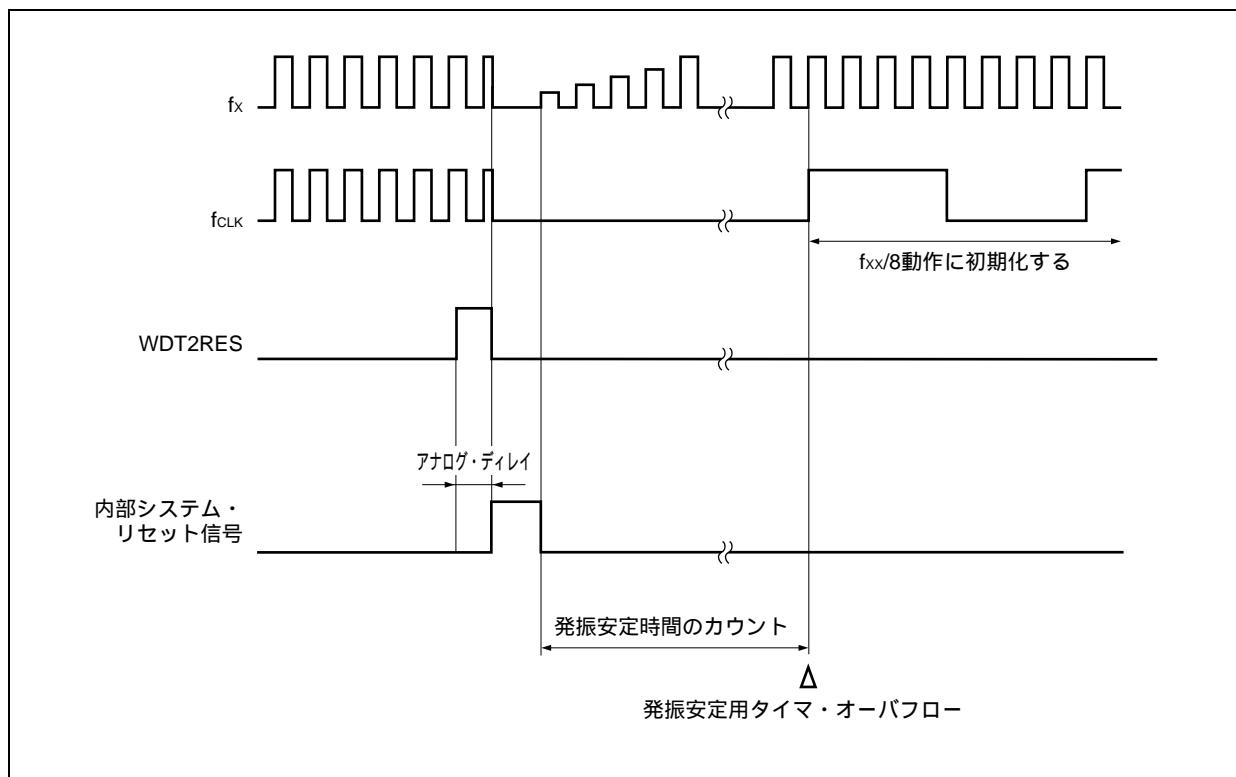
なお、リセット期間中はメイン・クロック発振回路は停止します。

表22-2 ウォッヂドッグ・タイマ2によるリセット動作時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック ($f_{xx}-f_{xx}/1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{xx})、 CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力が競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持 ^注 。	
I/Oライン（ポート／兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 V850ES/JG2は、ブート切り替え機能をサポートするので、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがって、パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は、22.3.4 リセット解除後の動作を参照してください。

図22-4 WDT2RES信号によるリセット動作のタイミング



22.3.3 低電圧検出回路によるリセット動作

LVIの動作許可時、電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合、システム・リセットがかかり（LVIMDビット = 1設定時）、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となります。

なお、リセット期間中はメイン・クロック発振回路は停止します。

LVIMDビット = 0設定時は、低電圧を検出すると割り込み要求信号（INTLVI）を発生します。

表22-3 低電圧検出回路によるリセット動作時の各ハードウェアの状態

項目	リセット中	リセット後
メイン・クロック発振回路（fx）	発振停止	発振開始
サブクロック発振回路（fx _T ）	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック（fx-fx/1024）	動作停止	発振安定時間確保後、動作開始
内部システム・クロック（fx _x ）、 CPUクロック（f _{CPU} ）	動作停止	発振安定時間確保後、動作開始 (fx _x /8に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
WDT2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力が競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持 ^注 。	
I/Oライン（ポート／兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
LVI	動作停止	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 V850ES/JG2は、ブート切り替え機能をサポートするので、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがって、パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は、22.3.4 リセット解除後の動作を参照してください。

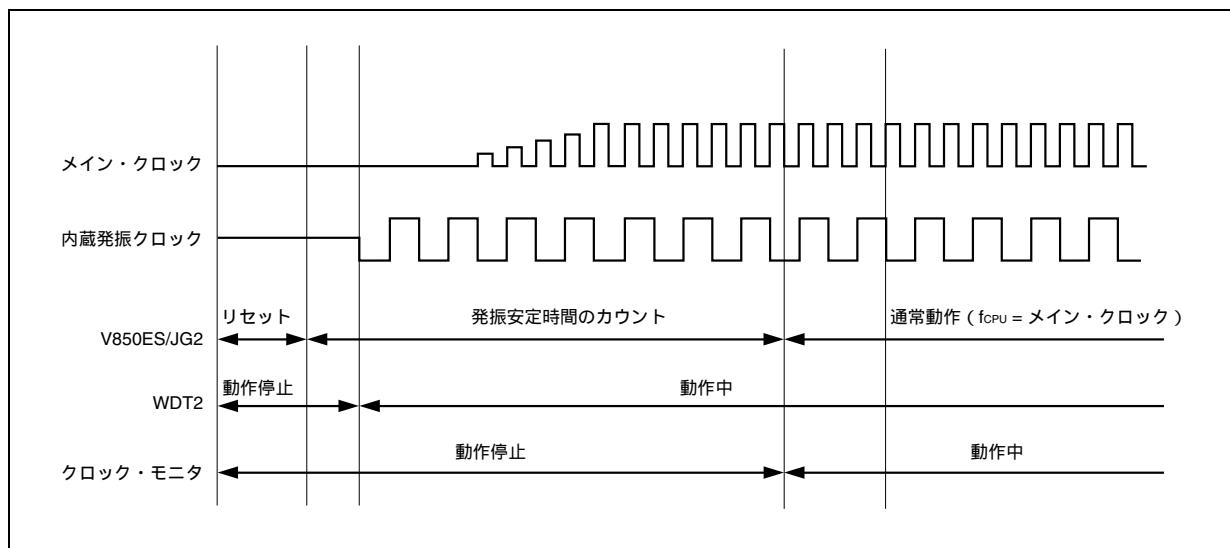
備考 低電圧検出回路のリセット・タイミングは、第24章 低電圧検出回路（LVI）を参照してください。

22.3.4 リセット解除後の動作

リセット解除後、メイン・クロックは発振を開始し、発振安定時間（OSTSレジスタの初期値： $2^{16}/fx$ ）を確保したあと、CPUはプログラムの実行を開始します。

また、WDT2はリセット解除後、内蔵発振クロックをソース・クロックとして、すぐに動作を開始します。

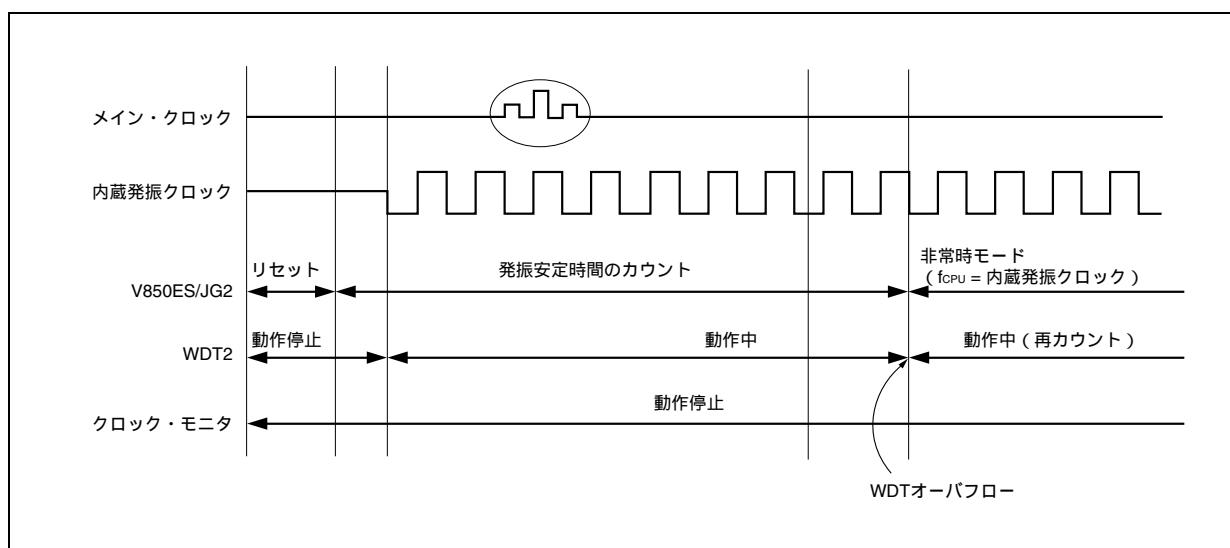
図22-5 リセット解除後の動作



(1) 緊急動作モード

発振安定時間が確保される前にメイン・クロックに異常が発生した場合、CPUがプログラムの実行を開始する前にWDT2がオーバフローします。このとき、CPUは内蔵発振クロックをソース・クロックとして、プログラムの実行を開始します。

図22-6 リセット解除後の動作



CPU動作クロックの状態は、CPU動作クロック・ステータス・レジスタ (CCLS) で確認してください。

(2) ファームウェア動作

V850ES/JG2は、ブート切り替え機能をサポートするため、リセット解除後、ユーザ・プログラム開始前に内蔵ファームウェアが動作します。

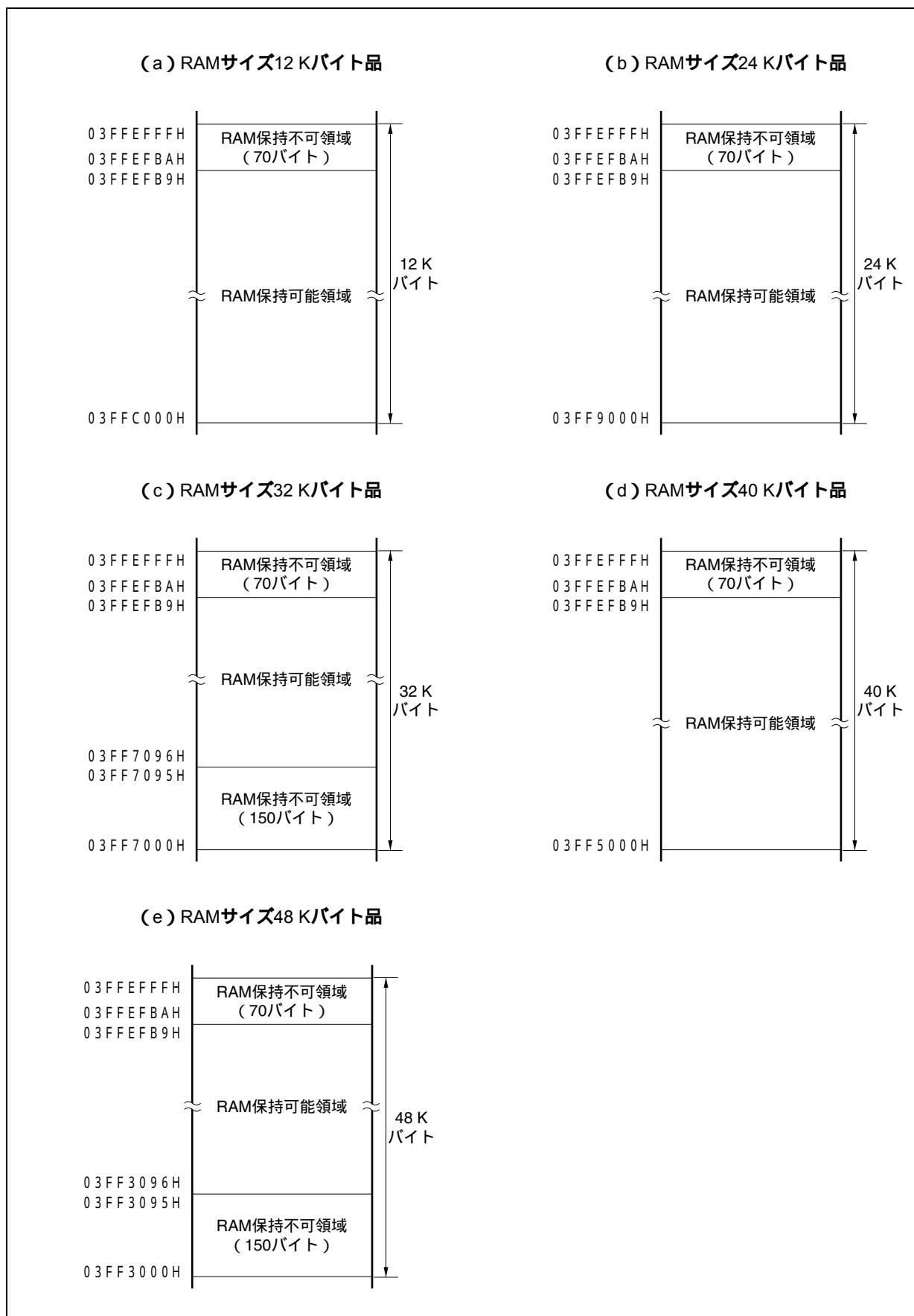


ファームウェア動作時間 : $14974 \times (1/f_x) \text{ (sec)}$

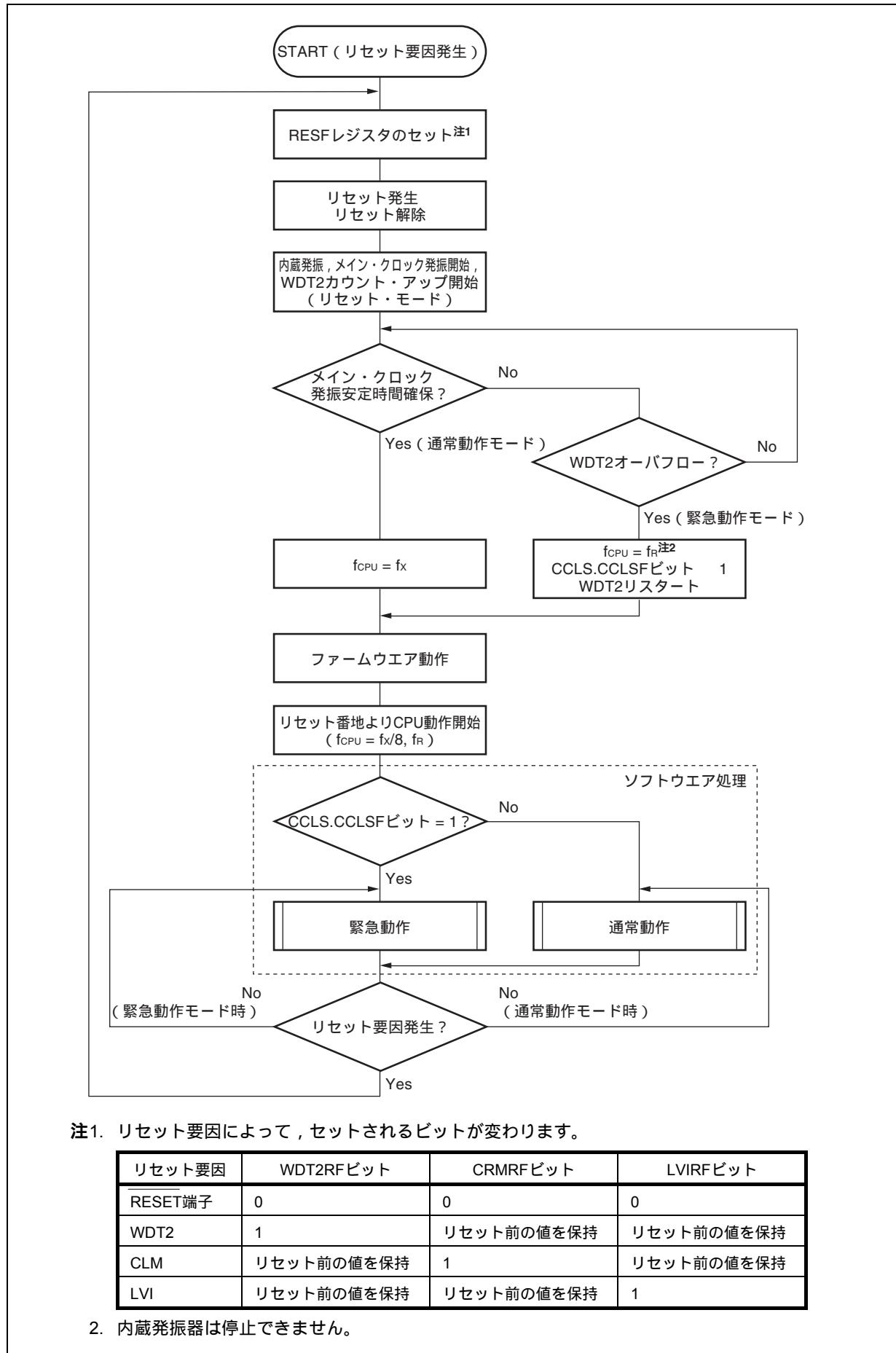
備考 f_x : メイン・クロック発振周波数 (MHz)

また、ファームウェアが内蔵RAMの一部を使用するため、パワーオン状態でのリセットでも次のRAM領域の内容を保持しません。

- ・ RAMサイズ12 Kバイト品 : 03FFEFBAH-03FFEFFFH
- ・ RAMサイズ24 Kバイト品 : 03FFEFBAH-03FFEFFFH
- ・ RAMサイズ32 Kバイト品 : 03FF7000H-03FF7095H, 03FFEFBAH-03FFEFFFH
- ・ RAMサイズ40 Kバイト品 : 03FFEFBAH-03FFEFFFH
- ・ RAMサイズ48 Kバイト品 : 03FF3000H-03FF3095H, 03FFEFBAH-03FFEFFFH



22.3.5 リセット機能の動作フロー



第23章 クロック・モニタ

23.1 機能

クロック・モニタは、内蔵発振クロックで、メイン・クロックのサンプリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると、リセット以外ではクリア(0)できません。

クロック・モニタによるリセットが発生した場合、RESF.CLMRFビットがセットされます。RESFレジスタの詳細については、22.2 リセット要因を確認するレジスタを参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- ・STOPモード～発振安定時間時
- ・メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット=0とするまで)
- ・サンプリング・クロック(内蔵発振クロック)停止時
- ・CPUが内蔵発振クロック動作時

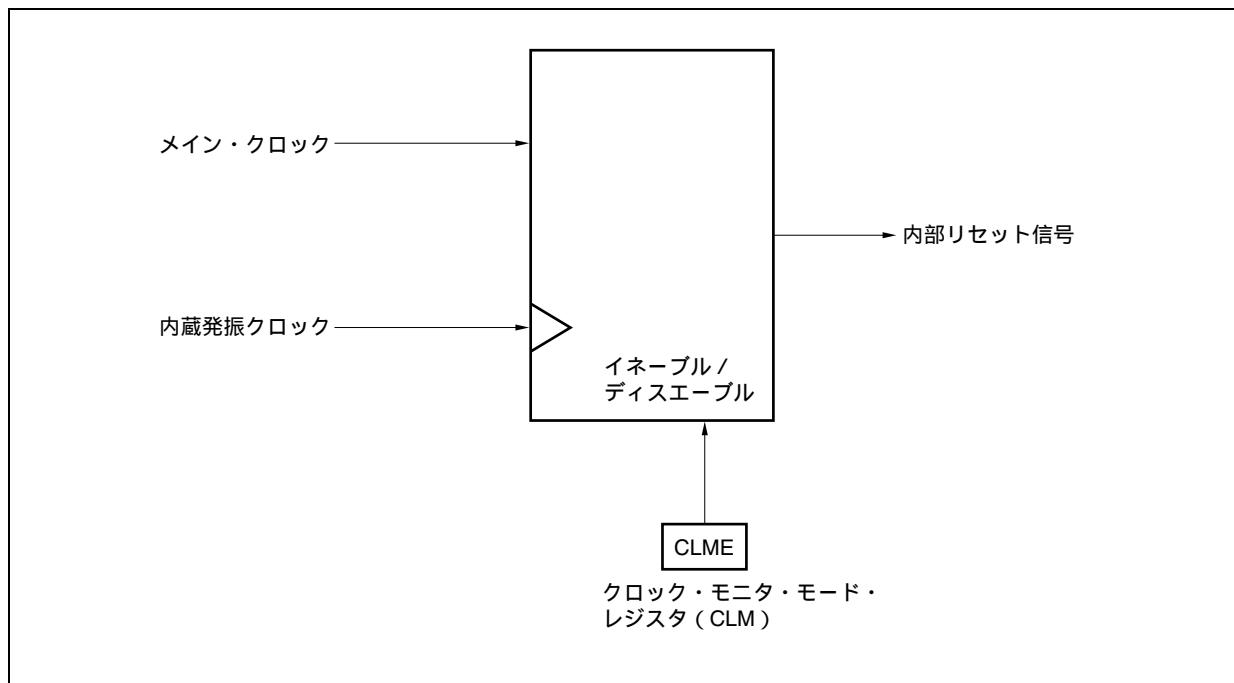
23.2 構成

クロック・モニタは、次のハードウェアで構成しています。

表23-1 クロック・モニタの構成

項 目	構 成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図23-1 $\overline{\text{RESET}}$ 端子入力によるリセット動作のタイミング



23.3 レジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ（CLM）で制御します。

(1) クロック・モニタ・モード・レジスタ（CLM）

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3.

4.7 特定レジスタ参照）。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF870H

	7	6	5	4	3	2	1	①
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可／禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意1. 一度CLMEビット = 1に設定した場合、リセット以外ではクリア(0)できません。

2. クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFビットがセット(1)されます。

23.4 動 作

クロック・モニタの持つ機能について説明します。スタート条件、ストップ条件は次のようにになります。

<スタート条件>

CLM.CLMEビットを動作許可(1)に設定

<ストップ条件>

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット=0とするまで)
- ・サンプリング・クロック(内蔵発振クロック)停止時
- ・CPUが内蔵発振クロック動作時

表23-2 クロック・モニタの動作状態(CLMEビット=1設定時、内蔵発振クロック動作時)

CPU動作クロック	動作モード	メイン・クロックの状態	内蔵発振クロックの状態	クロック・モニタの状態
メイン・クロック	HALTモード	発振	発振 ^{注1}	動作 ^{注2}
	IDLE1, IDLE2モード	発振	発振 ^{注1}	動作 ^{注2}
	STOPモード	停止	発振 ^{注1}	停止
サブクロック(PCCレジスタのMCKビット=0)	サブIDLEモード	発振	発振 ^{注1}	動作 ^{注2}
サブクロック(PCCレジスタのMCKビット=1)	サブIDLEモード	停止	発振 ^{注1}	停止
内蔵発振クロック	-	停止	発振 ^{注3}	停止
リセット中	-	停止	停止	停止

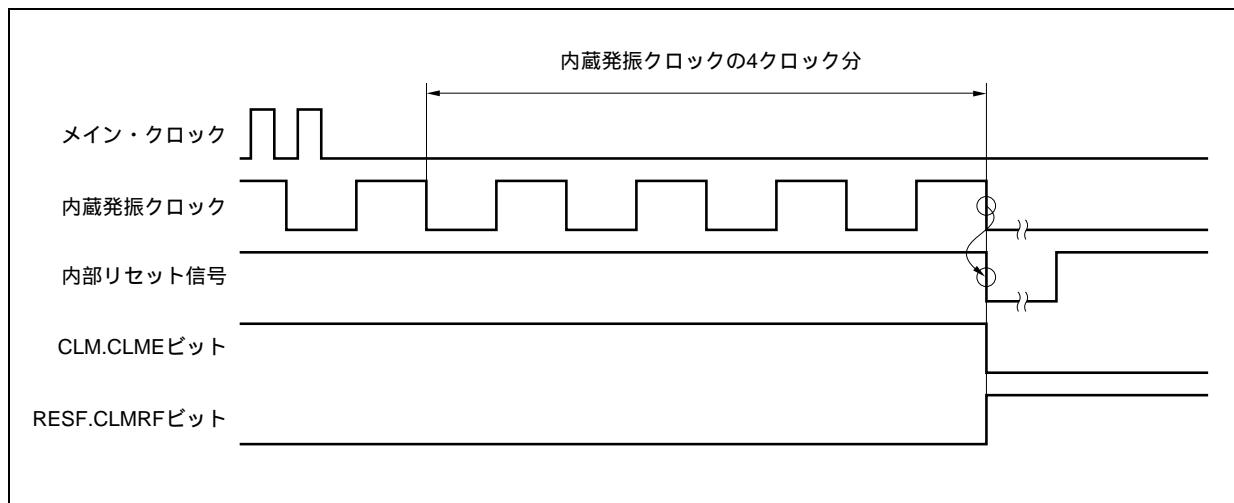
注1. RCM.RSTOPビットをセット(1)することで内蔵発振器を停止できます。

2. 内蔵発振器が停止している場合、クロック・モニタは停止します。
3. 内蔵発振器をソフトウェアで停止することはできません。

(1) メイン・クロック発振停止時の動作 (CLMEビット = 1)

CLMEビット = 1のとき、メイン・クロックの発振が停止した場合、図23-2のタイミングで内部リセット信号が発生します。

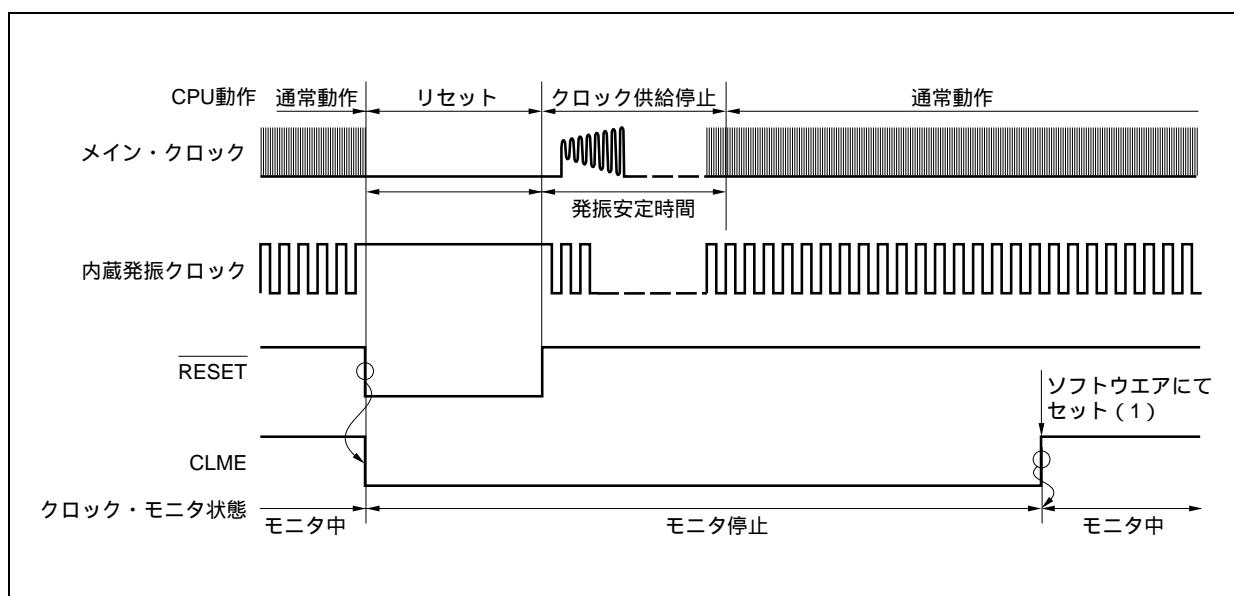
図23-2 メイン・クロックの発振停止によってリセットがかかる時間

(2) RESET入力後のクロック・モニタの状態

RESET入力により、CLM.CLMEビットはクリア(0)されて、クロック・モニタは動作停止します。メイン・クロックの発振安定時間後にソフトウェアでCLMEビットをセット(1)すると、モニタ動作を開始します。

図23-3 RESET入力後のクロック・モニタの状態

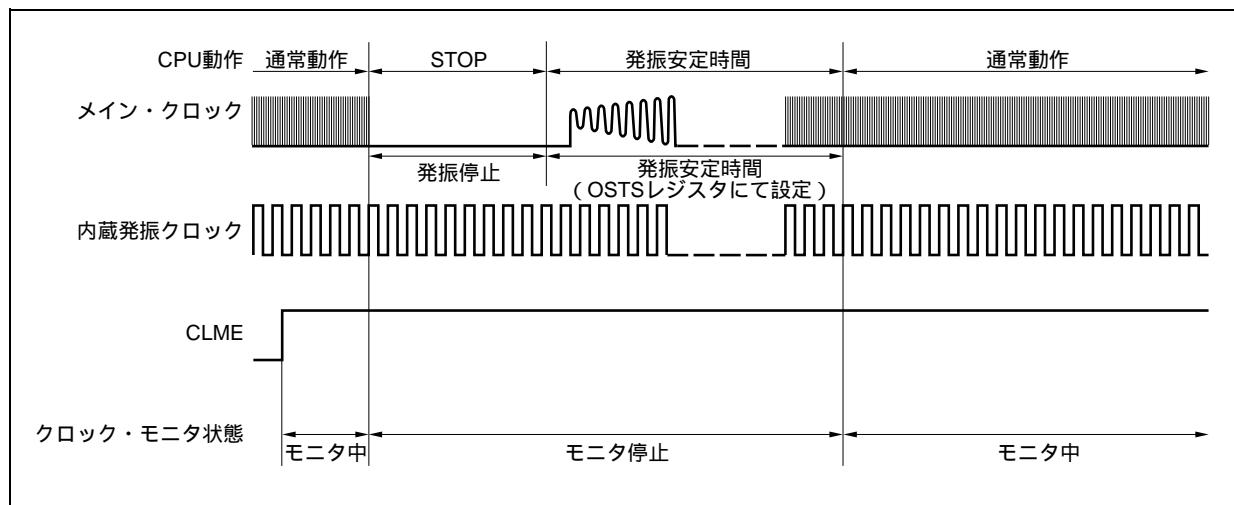
(RESET入力後、メイン・クロックの発振安定時間終了後に、CLM.CLMEビット = 1を設定)



(3) STOPモード中およびSTOPモード解除後の動作

CLM.CLMEビット = 1の状態でソフトウェアSTOPモードに移行した場合、STOPモード中および発振安定時間カウント中はモニタ動作を停止します。発振安定時間カウント終了後に自動的にモニタ動作を開始します。

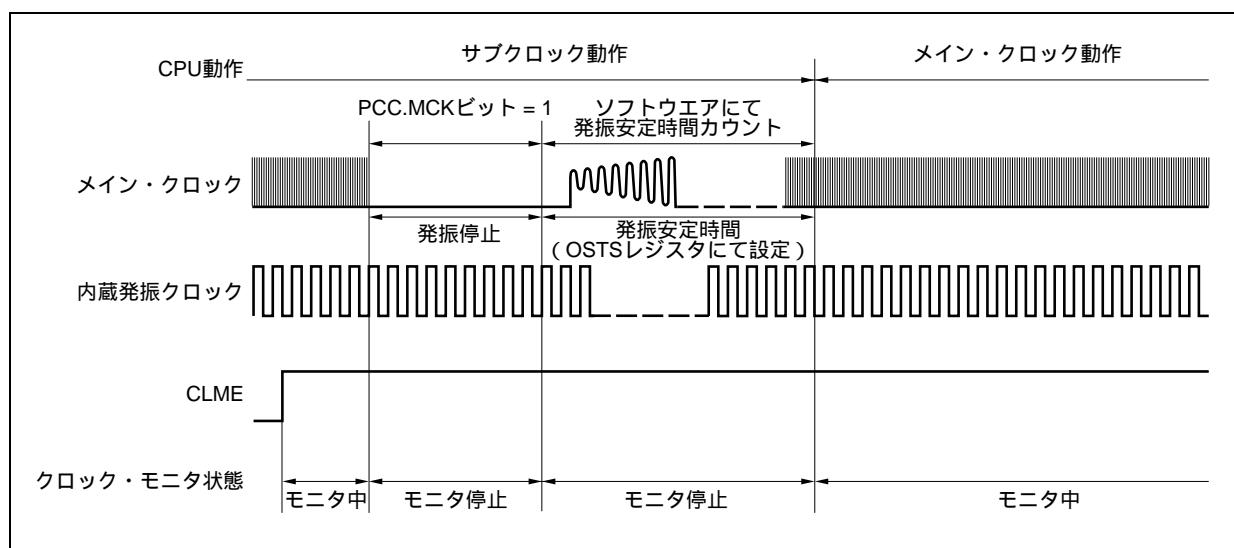
図23-4 STOPモード中およびSTOPモード解除後の動作



(4) メイン・クロック停止時(任意)の動作

サブクロック動作時(PCC.CLSビット = 1)、PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作(PCC.CLSビット = 0)に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図23-5 メイン・クロック停止時(任意)の動作



(5) CPUが内蔵発振クロックで動作時(CCLS.CCLSFビット = 1)の動作

CCLS.CCLSFビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

第24章 低電圧検出回路 (LVI)

24.1 機能

低電圧検出回路 (LVI) は次のような機能を持ちます。

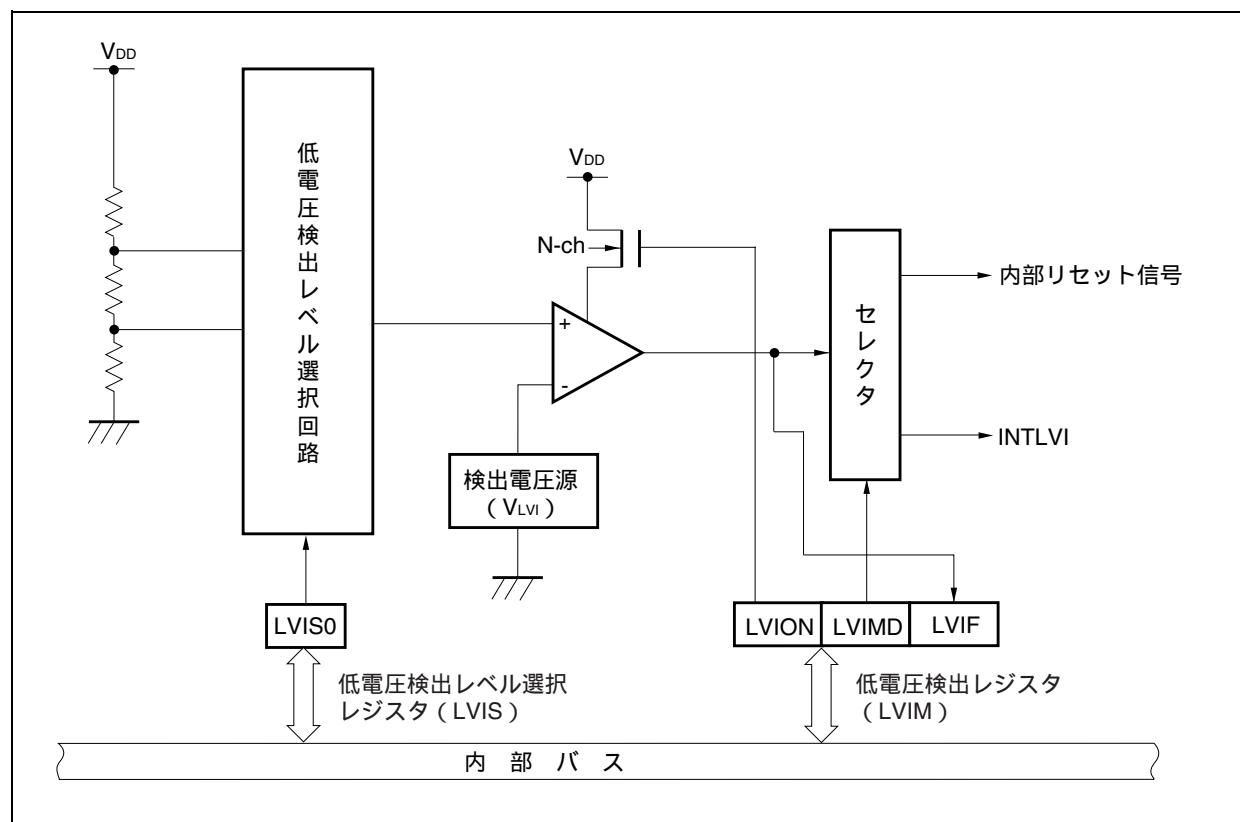
- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、内部割り込み信号もしくは内部リセット信号を発生します。
- ・電源電圧の検出レベル (2段階) をソフトウェアにて変更できます。
- ・割り込み / リセットをソフトウェアにて選択できます。
- ・STOPモードにおいて動作可能です。

低電圧検出回路をリセットとして使用した場合に、リセットが発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、22.2 リセット要因を確認するレジスタを参照してください。

24.2 構成

低電圧検出回路のブロック図を次に示します。

図24-1 低電圧検出回路のブロック図



24.3 レジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 参照)。

LVIMレジスタは、低電圧検出、動作モードを設定するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、LVIFビットはリードのみ可能です。

リセット時 : 注1 R/W アドレス : FFFFF890H

	(7)	6	5	4	3	2	(1)	(0)
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可／禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 < 検出電圧時に割り込み要求信号INTLVIを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIRESを発生

LVIF ^{注2}	低電圧検出フラグ
0	電源電圧 > 検出電圧、または動作禁止時
1	接続する電源電圧 < 検出電圧

注1. 低電圧検出によるリセット : 82H

そのほかの要因によるリセット : 00H

2. LVIFフラグの値は、LVIONビット = 1かつLVIMDビット = 0の場合に、割り込み要求信号INTLVIとして出力されます。

注意1. LVIONビット = 1かつLVIMDビット = 1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。

2. LVIONビットをセット(1)すると、LVI回路内のコンパレータの動作が開始します。LVIONビットをセットしてからLVIFビットで電圧を確認するまでに、ソフトウェアで0.2 ms以上ウェイトしてください。

3. ビット6-2には必ず0を設定してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード / ライト可能です。

リセット時 : 注 R/W アドレス : FFFFF891H

7	6	5	4	3	2	1	0	LVIS0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	3.0 V ± 0.15 V
1	2.85 V ± 0.15 V (設定禁止)

注 低電圧検出によるリセット : 保持

そのほかの要因によるリセット : 00H

注意1. LVIM.LVIONビット = 1かつLVIM.LVIMDビット = 1に設定したあと、低電圧検出によるリセット以外のリセット要求が発生するまで、このレジスタへの書き込みは行えません。

2. ビット7-1には必ず0を設定してください。

(3) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます

(3.4.7 特定レジスタ参照)。

内蔵RAMデータの有効 / 無効を示すフラグ・レジスタです。

8/1ビット単位でリード / ライト可能です。

次にRAMFビットのセット / クリア条件を示します。

- ・ セット条件 : 検出レベル以下の電圧検出
: 命令によるセット
: WDT2, CLMによるリセット発生
: 内蔵RAMアクセス中にRESET端子によるリセット発生
- ・ クリア条件 : 特定シーケンスによる0書き込み

リセット時 : 01H^注 R/W アドレス : FFFFF892H

7	6	5	4	3	2	1	①	RAMF
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAMデータ有効 / 無効
0	有効
1	無効

注 RESET端子入力 (RAMアクセス時のみ)、ウォッチドッグ・タイマ2のオーバフロー、クロック・モニタによるリセット時は01Hとなります。それ以外の要因によるリセット時は、そのときのレジスタ値を保持します。

24.4 動 作

LVIM.LVIMDビットの設定により、割り込み信号 (INTLVI) もしくは内部リセット信号を発生します。次に動作設定方法とタイミング図を示します。

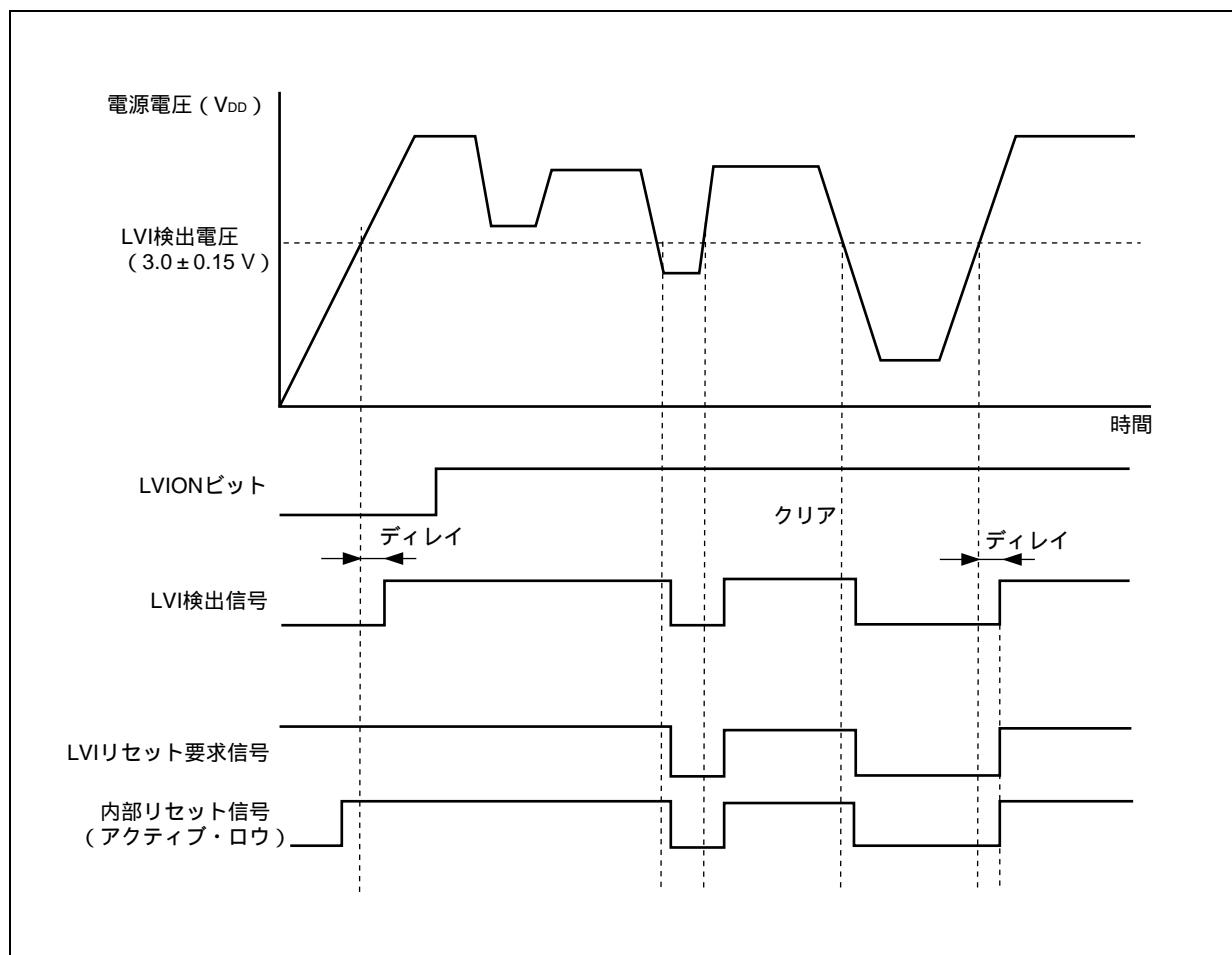
24.4.1 内部リセット信号として使用する場合

<動作開始時>

- LVIの割り込みをマスクします。
- LVIS.LVIS0ビットにて検出電圧を設定します。
- LVIM.LVIONビット = 1に設定（動作許可）します。
- 0.2 ms (MAX.) 以上ソフトウェアにてウエイトを挿入します。
- LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図24-2 低電圧検出回路の動作タイミング (LVIMDビット = 1)



24.4.2 割り込みとして使用する場合

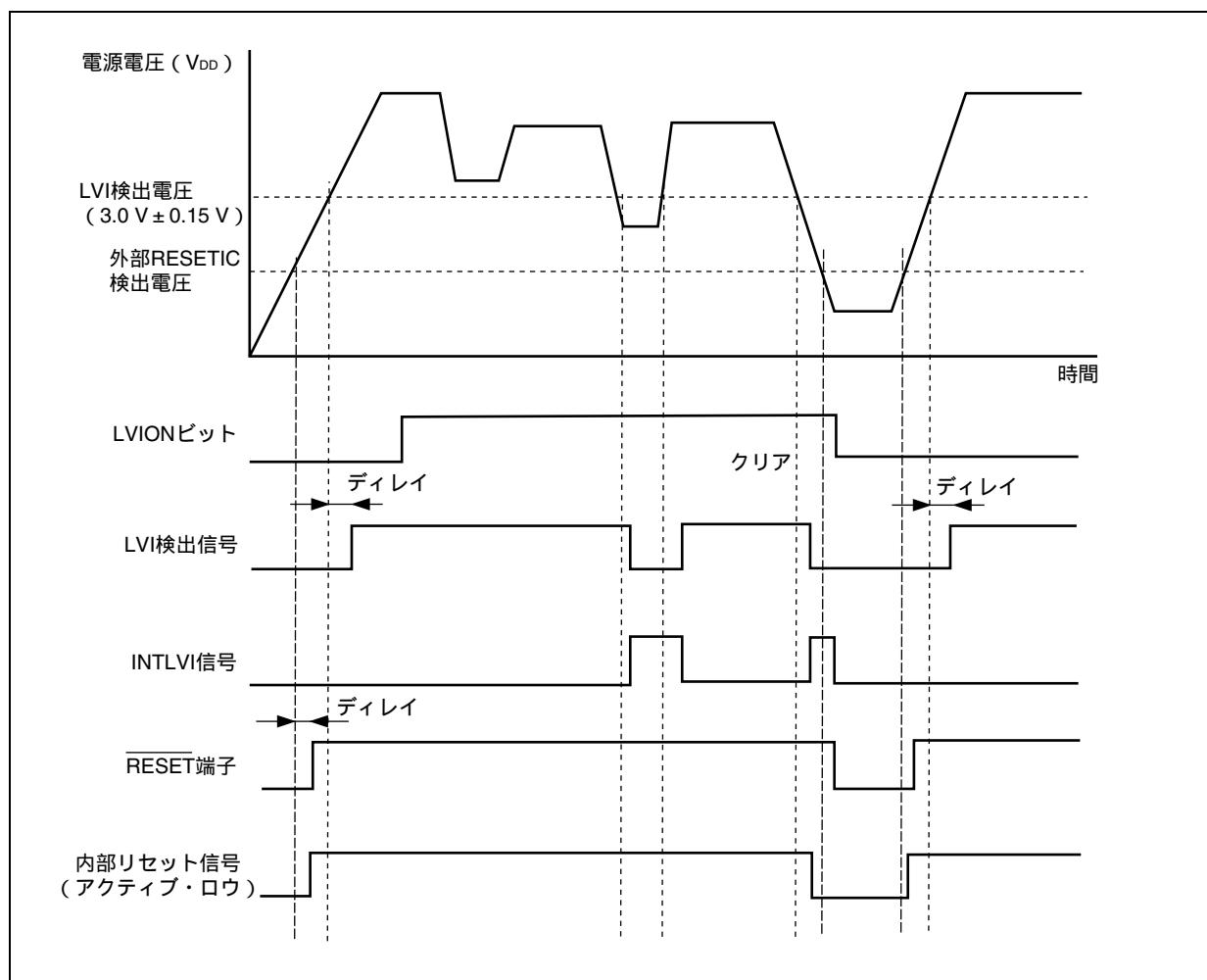
<動作開始時>

- LVIの割り込みをマスクします。
- LVIS.LVIS0ビットにて検出電圧を設定します。
- LVIM.LVIONビット = 1に設定（動作許可）します。
- 0.2 ms (MAX.) 以上ソフトウェアにてウェイトを挿入します。
- LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- LVIの割り込み要求フラグをクリアします。
- LVIの割り込みマスクを解除します。

<動作停止時>

- LVIONビット = 0に設定します。

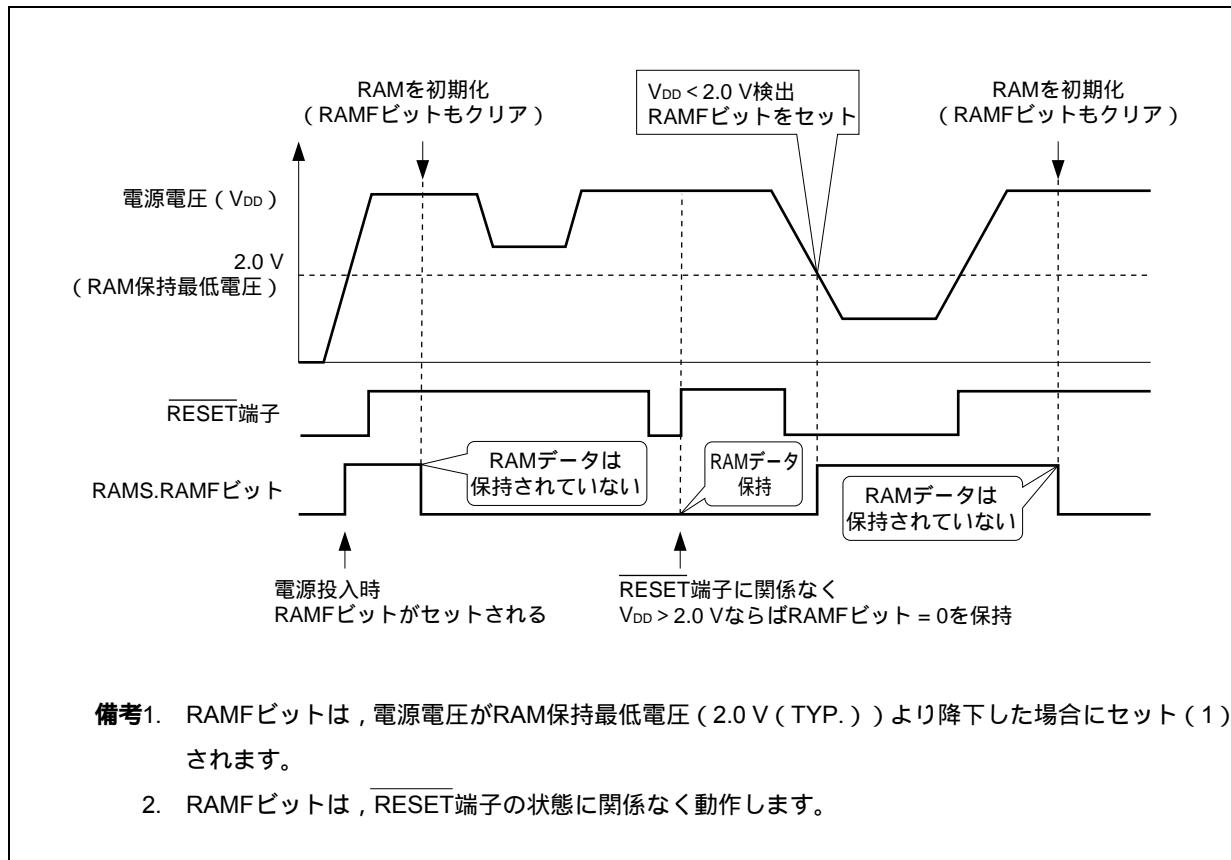
図24-3 低電圧検出回路の動作タイミング (LVIMDビット = 0)



24.5 RAM保持電圧検出動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時も含みます）、RAMS.RAMF ビットをセット（1）します。

図24-4 RAM保持電圧検出機能の動作タイミング



24.6 エミュレーション機能

インサーキット・エミュレータ使用時、デバッガ上で、PEMU1レジスタを操作することにより、疑似的にRAM保持フラグ（RAMS.RAMFビット）動作を制御し、エミュレーションを実現することが可能です。

なお、このレジスタは、エミュレーション・モード時のみ有効で、通常モードでは無効になります。

(1) 周辺エミュレーション・レジスタ1 (PEMU1)

リセット時 : 00H R/W アドレス : FFFFF9FEH							
PEMU1	7	6	5	4	3	2	1 0
	0	0	0	0	0	EVARAMIN	0 0
EVARAMIN	RAM保持電圧検出信号疑似指定						
0	RAM保持電圧以下を非検出						
1	RAM保持電圧以下を検出 (RAMF フラグをセット)						

注意 このビットは、自動的にクリアされません。

[使用方法]

インサーキット・エミュレータ使用時、デバッガ上でこのレジスタの書き換えを行うことにより、RAMFの疑似エミュレーションを実現します。

CPUブレーク (CPU動作停止)

レジスタ書き込みコマンドにより、EVARAMINビットを“1”にします。

EVARAMINビットを“1”にすることにより、ハード上でRAMFビットが“1”（内蔵RAMデータが無効）になります。

再度、レジスタ書き込みコマンドにより、EVARAMINビットを“0”にします。

この動作を行わない (EVARAMINビットを“1 0”) 場合は、CPU動作命令にてRAMFビットをクリア(0)することができなくなります。

CPUをRUNし、エミュレーションを再開。

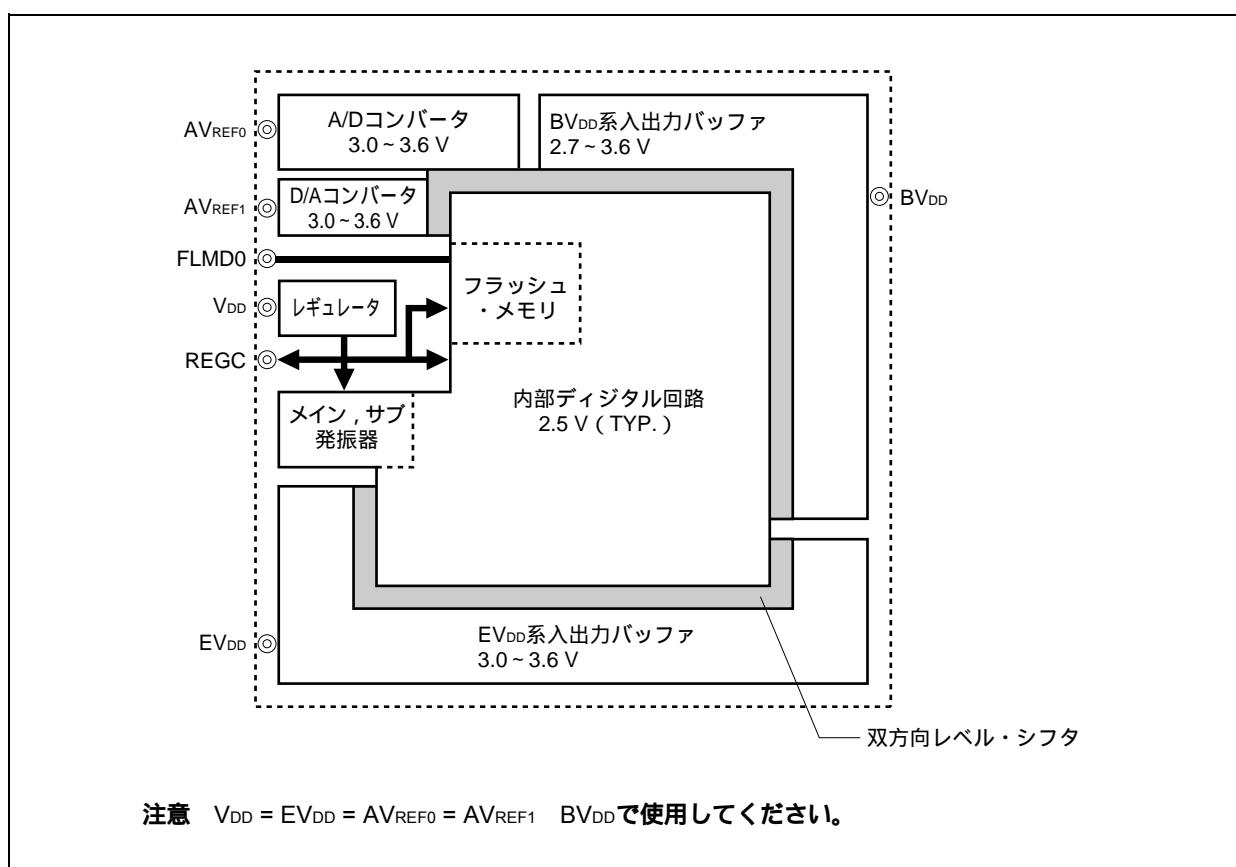
第25章 レギュレータ

25.1 概 要

V850ES/JG2は、低消費電力 / 低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ、D/Aコンバータ、出力バッファは除く）に、 V_{DD} 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は、2.5 V（TYP.）に設定しています。

図25-1 レギュレータ



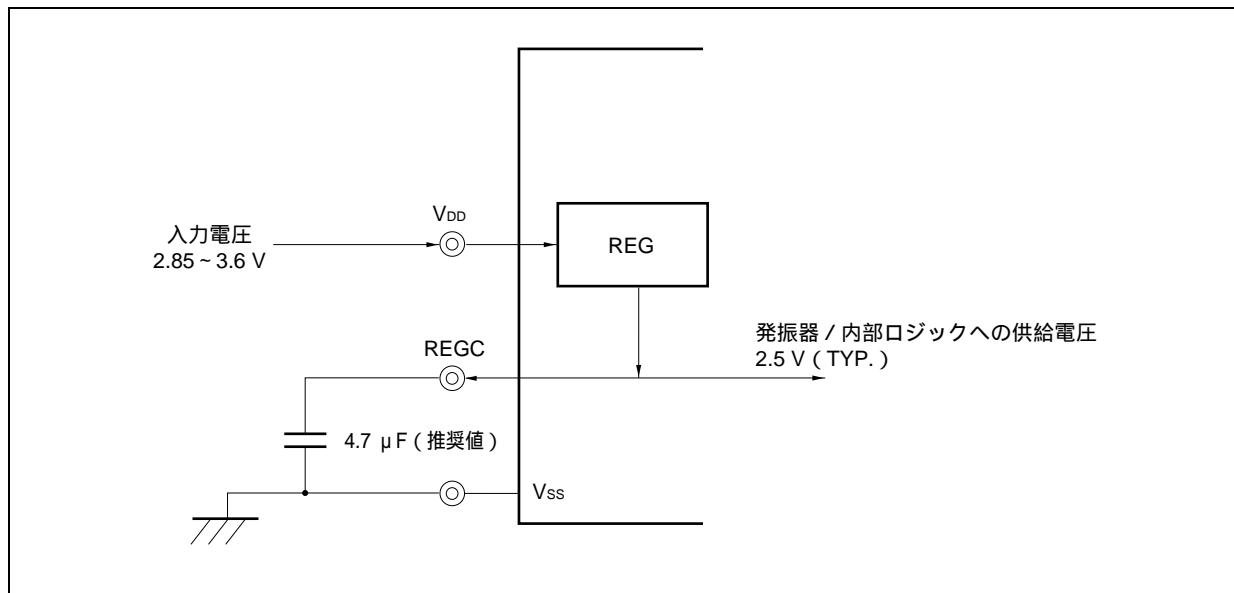
25.2 動 作

この製品のレギュレータは、いかなるモード（通常動作モード / HALTモード / IDLE1モード / IDLE2モード / STOPモード / リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（ $4.7 \mu F$ （推奨値））を接続してください。

次に端子の接続の方法を示します。

図25-2 REGC端子の接続



第26章 フラッシュ・メモリ

V850ES/JG2は、フラッシュ・メモリを内蔵しています。

- ・ μ PD70F3715 : 128 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3716 : 256 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3717 : 384 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3718 : 512 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3719 : 640 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品は、開発用途および量産用途として次のような利点があります。

ターゲット・システムにV850ES/JG2を半田実装後、ソフトウェアの変更可能

量産立ち上げ時のデータ調整が容易

規格ごとにソフトウェアを区別することで少量多品種生産が容易

在庫管理が容易

出荷後のソフトウェアのアップデートが容易

26.1 特 徴

4バイト/1クロック・アクセス（命令フェッチ時）

容量：640 Kバイト / 512 Kバイト / 384 Kバイト / 256 Kバイト / 128 Kバイト

書き換え電圧：単一電源による消去 / 書き込みが可能

書き換え方式

- ・専用フラッシュ・ライタとのシリアル・インターフェースを介しての通信による書き換え（オンボード / オフボード・プログラミング）
- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）

フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能

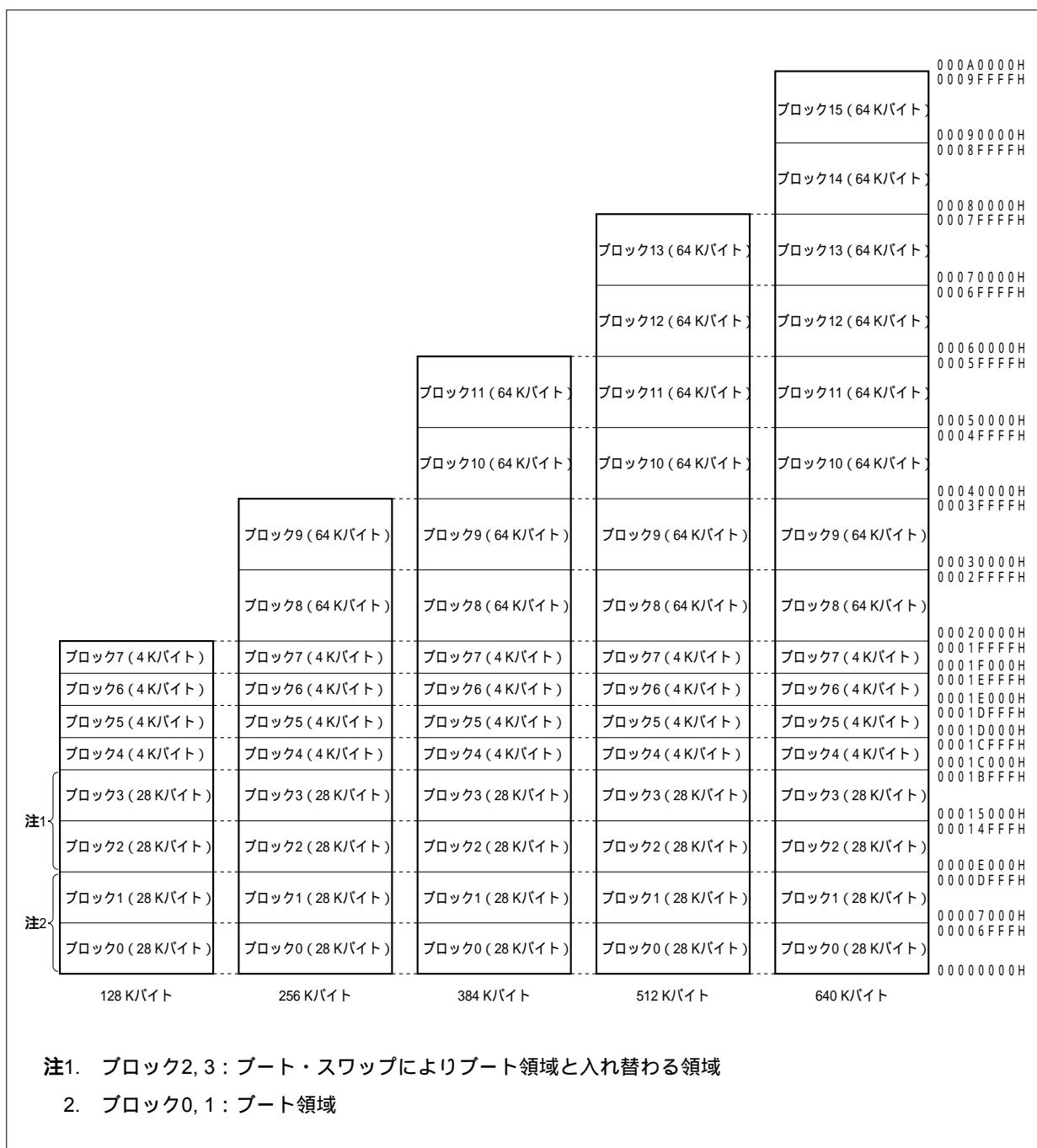
セルフ・プログラミング中の割り込み受け付け可能

26.2 メモリ構成

V850ES/JG2の内蔵フラッシュ・メモリの領域は16, 14, 12, 10, 8個のブロックに分割されており、各ブロック単位でプログラム／消去可能となっています。また、全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブロック0, 1のアドレスに配置された物理メモリと、ブロック2, 3のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については、26.5 セルフ・プログラミングによる書き換えを参照してください。

図26-1 フラッシュ・メモリ・マッピング



26.3 機能概要

V850ES/JG2の内蔵フラッシュ・メモリは、専用フラッシュ・ライタによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オフポート／オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表26-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・ライタを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・ライタと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード／オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表26-2 基本機能一覧

機能	機能概要	サポートの有無	
		(: サポート , × : 未サポート)	オンボード / オフボード・プログラミング
ロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのペリファイ・チェックを行います。		
ペリファイ / チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・ライタから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しが可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ロック消去コマンド / チップ消去コマンド / プログラム・コマンドの使用禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

次にセキュリティ機能の一覧を示します。ロック消去コマンド禁止 / チップ消去コマンド禁止 / プログラム・コマンド禁止機能は、出荷後の初期状態はすべて許可になっており、オンボード / オフポート・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表26-3 セキュリティ機能一覧

機能	機能概要
ロック消去コマンド禁止	全ブロックに対してのロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・コマンド禁止	サポートしていません（禁止固定）。
ポート領域の書き換え禁止設定	サポートしていません。

表26-4 セキュリティ設定

機能	各セキュリティ設定時の消去 / 書き込み / 読み出し動作 (: 実行可能 , × : 実行不可 , - : 未サポート)		セキュリティ設定 注意事項	
	オンボード / オフボード・プログラミング	セルフ・プログラミング	オンボード / オフボード・プログラミング	セルフ・プログラミング
ロック消去 コマンド禁止	ロック消去コマンド : × チップ消去コマンド : プログラム・コマンド : リード・コマンド : ×	ロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマンドによる禁止 設定の初期化が可能	設定を許可から禁止にする場合のみ可能
チップ消去 コマンド禁止	ロック消去コマンド : × チップ消去コマンド : × プログラム・コマンド : * リード・コマンド : ×	ロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期化が不可能	
プログラム・ コマンド禁止	ロック消去コマンド : × チップ消去コマンド : プログラム・コマンド : × リード・コマンド : ×	ロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマンドによる禁止 設定の初期化が可能	

注 消去コマンドは無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

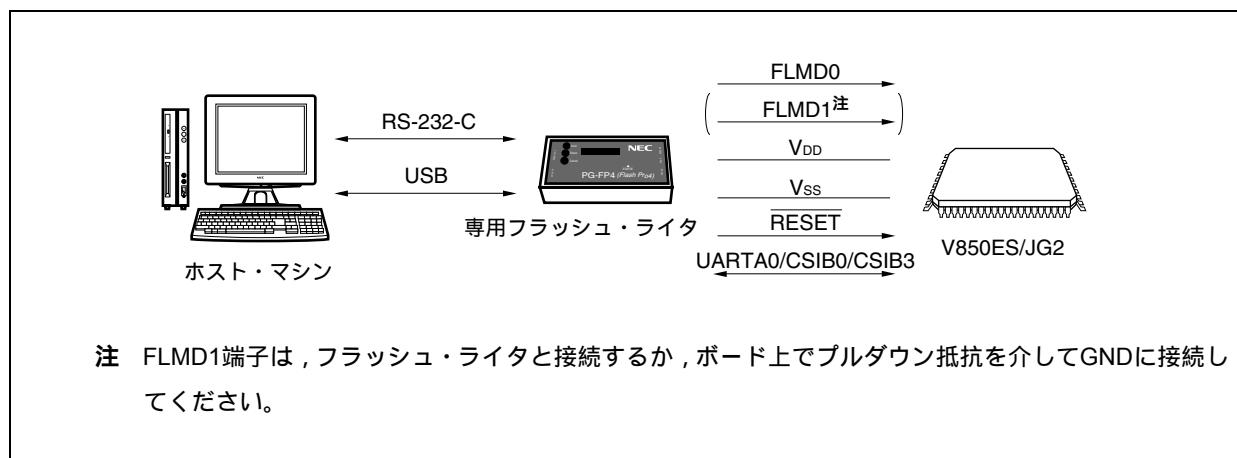
26.4 専用フラッシュ・ライタでの書き換え

専用フラッシュ・ライタにて、ターゲット・システム上にV850ES/JG2を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

26.4.1 プログラミング環境

V850ES/JG2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図26-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・ライタには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・ライタとV850ES/JG2とのインターフェースはUARTA0, CSIB0またはCSIB3を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

- FA-70F3719GC-8EA-MX (GC-8EAタイプ) (配線済み)
- FA-70F3717GF-JBT-MX (GF-JBTタイプ) (配線済み)
- FA-100GC-8EU-A (GC-8EAタイプ) (未配線: 配線が必要です。)
- FA-100GF-3BA-A (GF-JBTタイプ) (未配線: 配線が必要です。)

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

26.4.2 通信方式

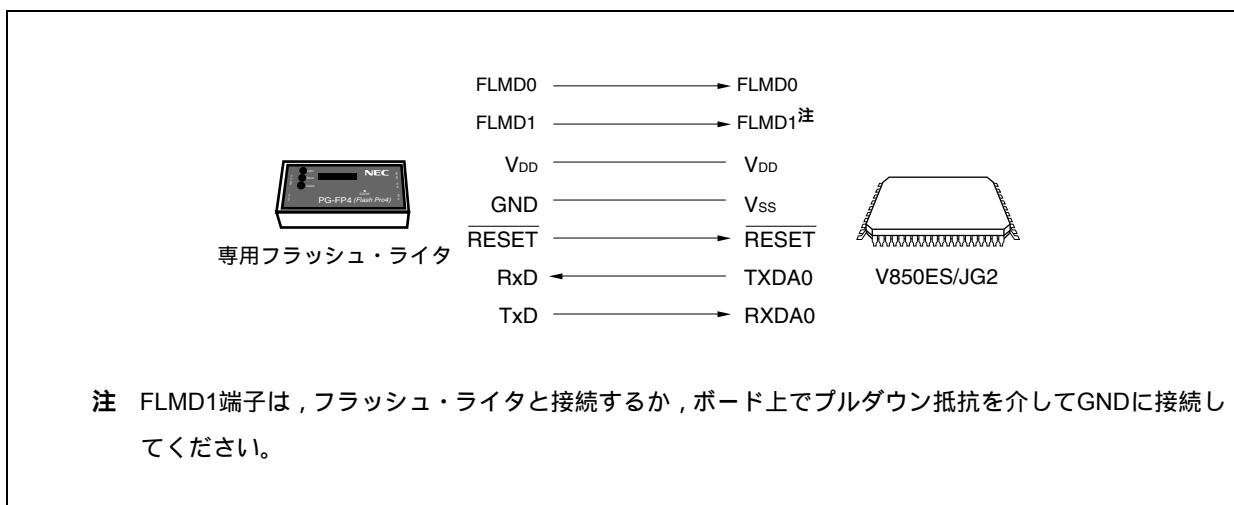
専用フラッシュ・ライタとV850ES/JG2との通信は、V850ES/JG2のUARTA0、CSIB0またはCSIB3によるシリアル通信で行います。

(1) UARTA0

転送レート：9600, 19200, 31250, 38400, 76800, 153600 bps

(57600, 115200, 128000 bpsの設定はサポートしていません)

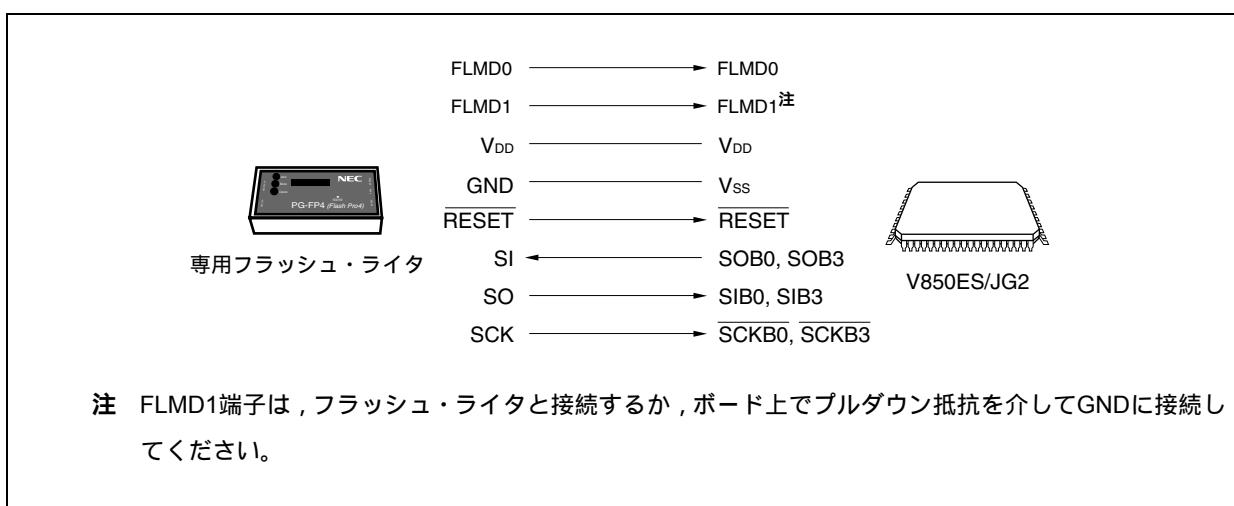
図26-3 専用フラッシュ・ライタとの通信(UARTA0)



(2) CSIB0, CSIB3

シリアル・クロック：2.4 kHz ~ 2.5 MHz (MSBファースト)

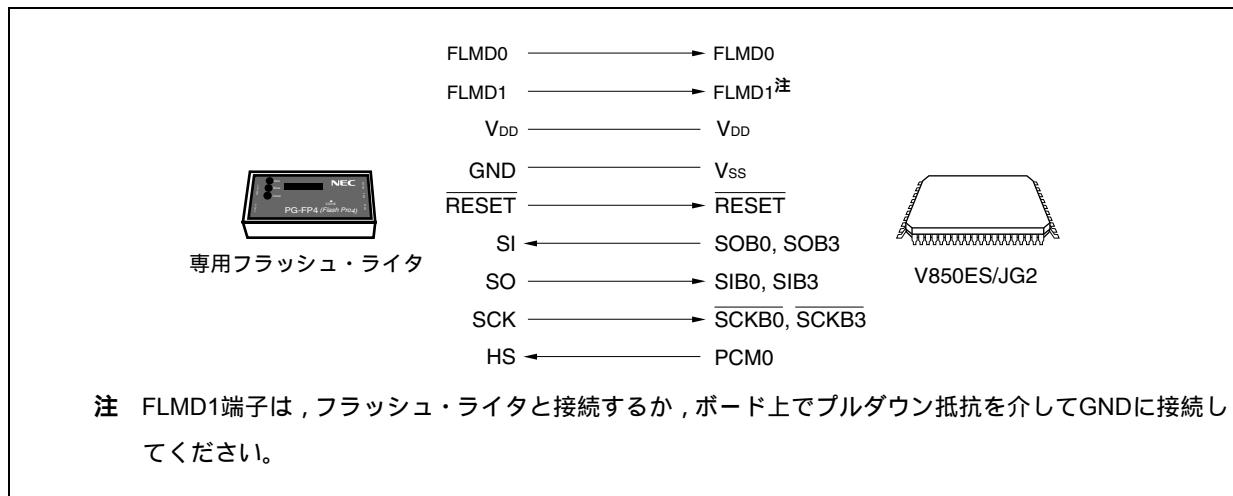
図26-4 専用フラッシュ・ライタとの通信(CSIB0, CSIB3)



(3) CSIB0 + HS, CSIB3 + HS

シリアル・クロック : 2.4 kHz ~ 2.5 MHz (MSBファースト)

図26 - 5 専用フラッシュ・ライタとの通信 (CSIB0 + HS, CSIB3 + HS)



専用フラッシュ・ライタが転送クロックを出力し、V850ES/JG2はスレーブとして動作します。

専用フラッシュ・ライタとしてPG-FP4を使用した場合、PG-FP4はV850ES/JG2に対して次の信号を生成します。詳細はPG-FP4 ユーザーズ・マニュアル (U15260J) を参照してください。

表26 - 5 専用フラッシュ・ライタ (PG-FP4) の信号接続一覧

PG-FP4			V850ES/JG2	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSIB0, CSIB3	CSIB0 + HS, CSIB3 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V _{DD} 電圧生成/電圧監視	V _{DD}			
GND	-	グランド	V _{SS}			
CLK	出力	V850ES/JG2へのクロック出力	X1, X2	×	×	×
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOB0, SOB3/ TXDA0			
SO/TxD	出力	送信信号	SIB0, SIB3/ RXDA0			
SCK	出力	転送クロック	SCKB0, SCKB3	×		
HS	入力	CSIB0 + HS, CSIB3 + HS通信のハンドシェーク信号	PCM0	×	×	

- 注1. 図26 - 6, 図26 - 7のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
2. フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。

備考 : 必ず接続してください。

× : 接続の必要はありません。

表26-6 V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GF-3BA-A, FA-100GC-8EU-A)の配線表(1/2)

フラッシュ・ライタ (PG-FP4)接続端子			FAボード の端子名	CSIB0+HS使用時				CSIB0使用時				UARTA0使用時				
信号名	入出力	端子機能		端子名	ピン番号		端子名	ピン番号		端子名	ピン番号		端子名	ピン番号		
					GF	GC		GF	GC		GF	GC		GF	GC	
SI/RxD	入力	受信信号	SI	P41/SOB0/ SCL01	25	23	P41/SOB0/ SCL01	25	23	P30/TXDA0/ SOB4	27	25				
SO/TxD	出力	送信信号	SO	P40/SIB0/ SDA01	24	22	P40/SIB0/ SDA01	24	22	P31/RXDA0/ INTP7/SIB4	28	26				
SCK	出力	転送クロック	SCK	P42/SCKB0	26	24	P42/SCKB0	26	24	必要なし	-	-				
CLK	出力	V850ES/JG2 へのクロック	X1	必要なし	-	-	必要なし	-	-	必要なし	-	-				
			X2	必要なし	-	-	必要なし	-	-	必要なし	-	-				
/RESET	出力	リセット信号	/RESET	/RESET	16	14	/RESET	16	14	/RESET	16	14				
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	10	8	FLMD0	10	8	FLMD0	10	8				
FLMD1	出力	書き込み電圧	FLMD1	PLD5/AD5/ FLMD1	78	76	PLD5/AD5/ FLMD1	78	76	PLD5/AD5/ FLMD1	78	76				
HS	入力	CSI0+HS通信 のハンドシェーク信号	RESERVE /HS	PCM0/WAIT	63	61	必要なし	-	-	必要なし	-	-				
VDD	-	VDD電圧生成 /電圧監視	VDD	V _{DD}	11	9	V _{DD}	11	9	V _{DD}	11	9				
				BV _{DD}	72	70	BV _{DD}	72	70	BV _{DD}	72	70				
				EV _{DD}	36	34	EV _{DD}	36	34	EV _{DD}	36	34				
				AV _{REF0}	3	1	AV _{REF0}	3	1	AV _{REF0}	3	1				
				AV _{REF1}	7	5	AV _{REF1}	7	5	AV _{REF1}	7	5				
GND	-	グランド	GND	V _{SS}	13	11	V _{SS}	13	11	V _{SS}	13	11				
				AV _{SS}	4	2	AV _{SS}	4	2	AV _{SS}	4	2				
				BV _{SS}	71	69	BV _{SS}	71	69	BV _{SS}	71	69				
				EV _{SS}	35	33	EV _{SS}	35	33	EV _{SS}	35	33				

注意1. REGC端子は、必ず4.7μFのコンデンサを介してGNDに接続してください。

2. フラッシュ・ライタのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

備考 GF : 100ピン・プラスチックQFP(14×20)

GC : 100ピン・プラスチックLQFP(ファインピッチ)(14×14)

表26-6 V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GF-3BA-A, FA-100GC-8EU-A)の配線表(2/2)

フラッシュ・ライタ (PG-FP4)接続端子			FAボードの 端子名	CSIB3 + HS使用時				CSIB3使用時				
信号名	入出力	端子機能		端子名	ピン番号		端子名	ピン番号		端子名	ピン番号	
					GF	GC		GF	GC			
SI/RxD	入力	受信信号	SI	P911/A11/SOB3	56	54	P911/A11/SOB3	56	54			
SO/TxD	出力	送信信号	SO	P910/A10/SIB3	55	53	P910/A10/SIB3	55	53			
SCK	出力	転送クロック	SCK	P912/A12/SCKB3	57	55	P912/A12/SCKB3	57	55			
CLK	出力	V850ES/JG2へのクロック	X1	必要なし	-	-	必要なし	-	-			
		ロック	X2	必要なし	-	-	必要なし	-	-			
/RESET	出力	リセット信号	/RESET	/RESET	16	14	/RESET	16	14			
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	10	8	FLMD0	10	8			
FLMD1	出力	書き込み電圧	FLMD1	PLD5/AD5/FLMD1	78	76	PLD5/AD5/FLMD1	78	76			
HS	入力	CSI0 + HS通信のハンドシェーク信号	RESERVE/HS	PCM0/WAIT	63	61	必要なし	-	-			
VDD	-	VDD電圧生成 / 電圧監視	VDD	V _{DD}	11	9	V _{DD}	11	9			
				BV _{DD}	72	70	BV _{DD}	72	70			
				EV _{DD}	36	34	EV _{DD}	36	34			
				AV _{REF0}	3	1	AV _{REF0}	3	1			
				AV _{REF1}	7	5	AV _{REF1}	7	5			
GND	-	グランド	GND	V _{SS}	13	11	V _{SS}	13	11			
				AV _{SS}	4	2	AV _{SS}	4	2			
				BV _{SS}	71	69	BV _{SS}	71	69			
				EV _{SS}	35	33	EV _{SS}	35	33			

注意1. REGC端子は、必ず4.7 μ Fのコンデンサを介してGNDに接続してください。

2. フラッシュ・ライタのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

備考 GF : 100ピン・プラスチックQFP (14×20)

GC : 100ピン・プラスチックLQFP(ファインピッチ) (14×14)

図26-6 V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GF-3BA-A)の配線例(CSIB0 + HSモード時)(1/2)

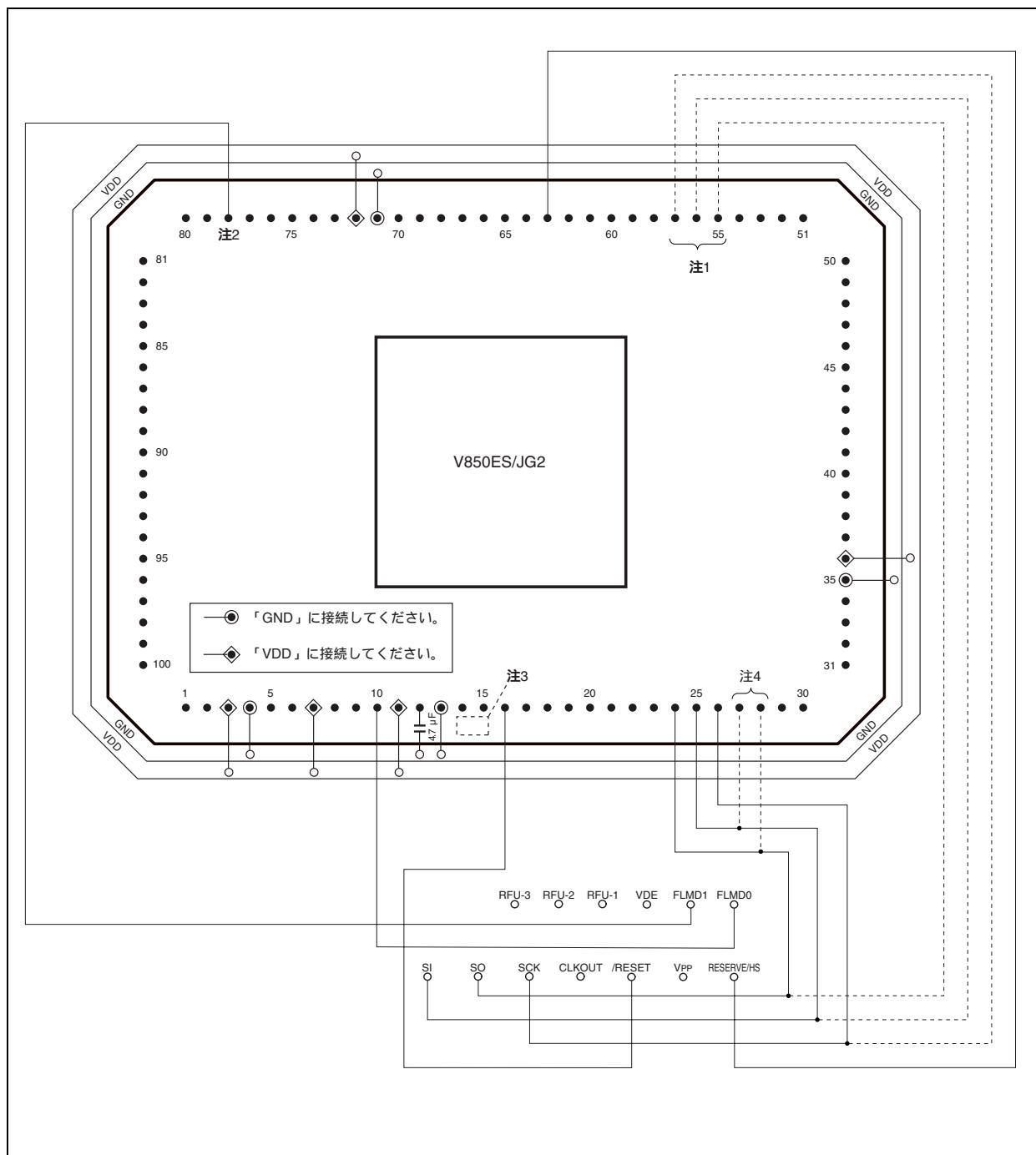
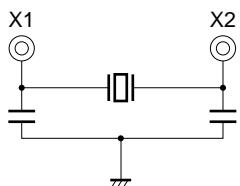


図26-6 V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GF-3BA-A)の配線例(CSIB0 + HSモード時)(2/2)

注1. CSIB3使用時の該当端子

2. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
3. フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。
次に発振回路例を示します。

例



4. UARTA0使用時の該当端子

注意 DRST端子には、ハイ・レベルを入力しないでください。

- 備考**
1. 記述していない端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理参照)。
 2. このアダプタは100ピン・プラスチックQFPパッケージ用です。

図26-7 V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GC-8EU-A)の配線例(CSIB0 + HSモード時)(1/2)

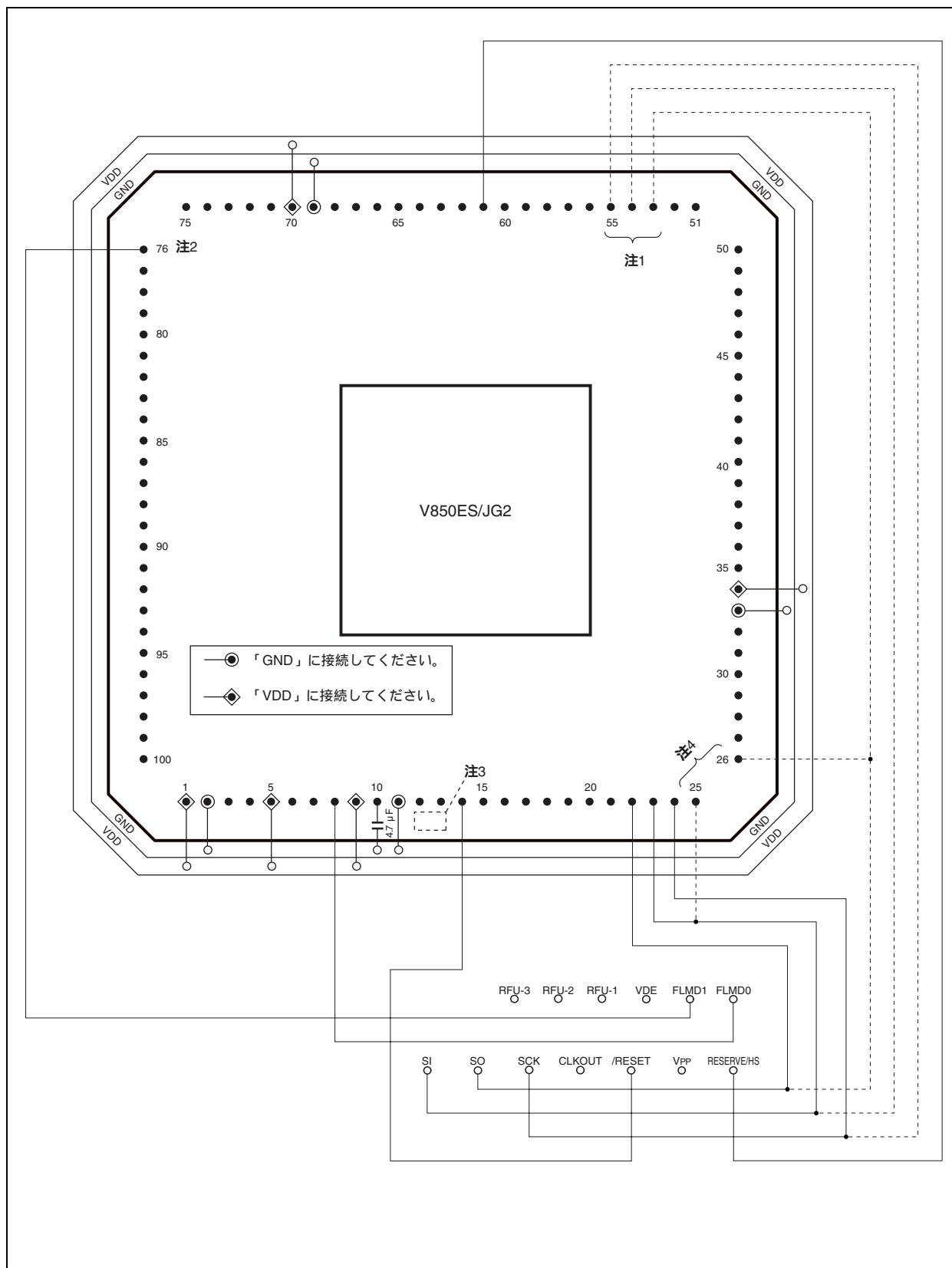
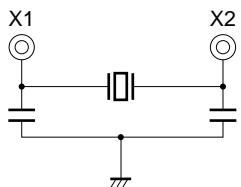


図26-7 V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GC-8EU-A)の配線例(CSIB0 + HSモード時)(2/2)

注1. CSIB3使用時の該当端子

2. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
3. フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。
次に発振回路例を示します。

例



4. UARTA0使用時の該当端子

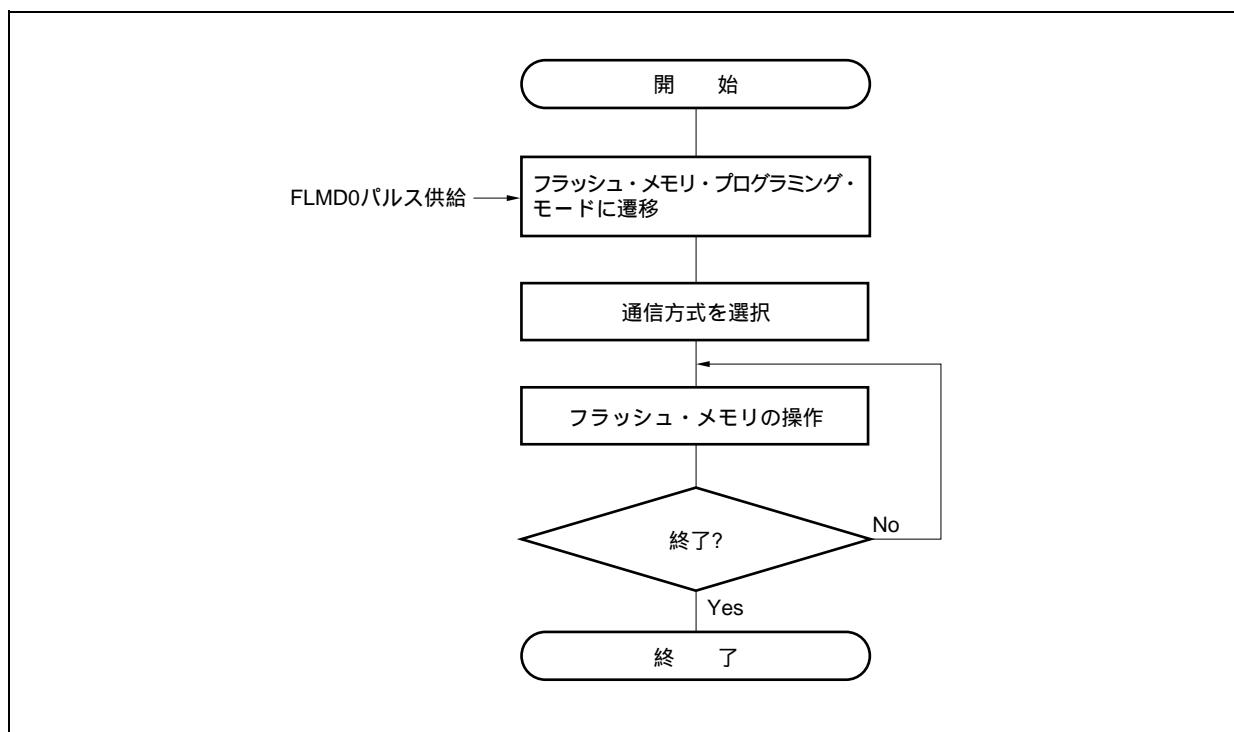
注意 DRST端子には、ハイ・レベルを入力しないでください。

- 備考**
1. 記述していない端子は、未使用時の端子処理に従って処理してください(2.3 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理参照)。
 2. このアダプタは100ピン・プラスチックLQFPパッケージ用です。

26.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

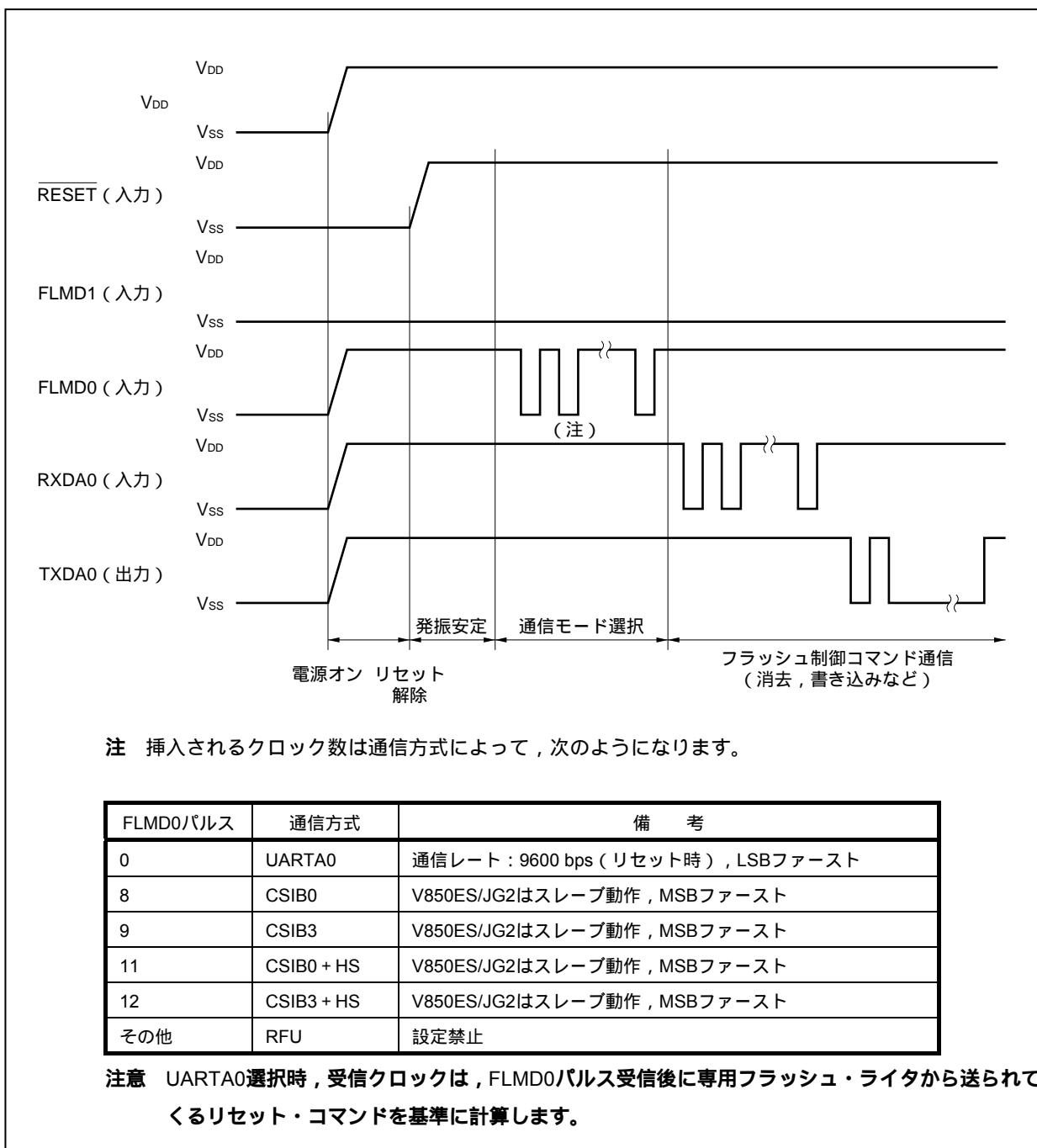
図26-8 フラッシュ・メモリの操作手順



26.4.4 通信方式の選択

V850ES/JG2では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大12パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・ライタが生成します。パルス数と通信方式の関係を次に示します。

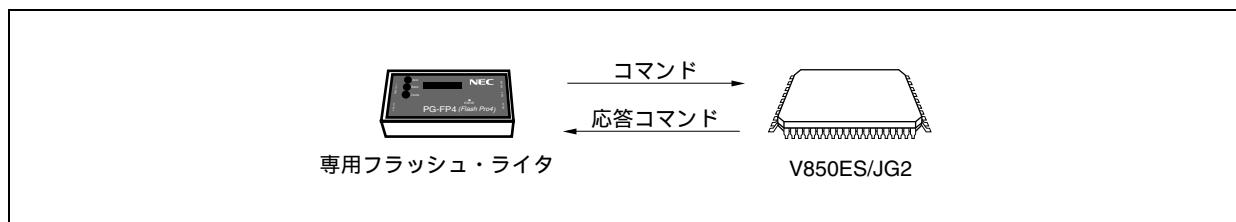
図26-9 通信方式の選択



26.4.5 通信コマンド

V850ES/JG2と専用フラッシュ・ライタは、コマンドを介して通信します。専用フラッシュ・ライタからV850ES/JG2へ送られる信号を「コマンド」と呼び、V850ES/JG2から専用フラッシュ・ライタへ送られる応答信号を「応答コマンド」と呼びます。

図26-10 通信コマンド



V850ES/JG2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてライタから発行され、V850ES/JG2がコマンドに対応した各処理を行います。

表26-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0, CSIB3	CSIB0+HS, CSIB3+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ペリファイ・チェックを実行
ペリファイ	ペリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・ライタから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す
システム設定、制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド、ブロック消去コマンド、プログラム・コマンドの禁止設定

26.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

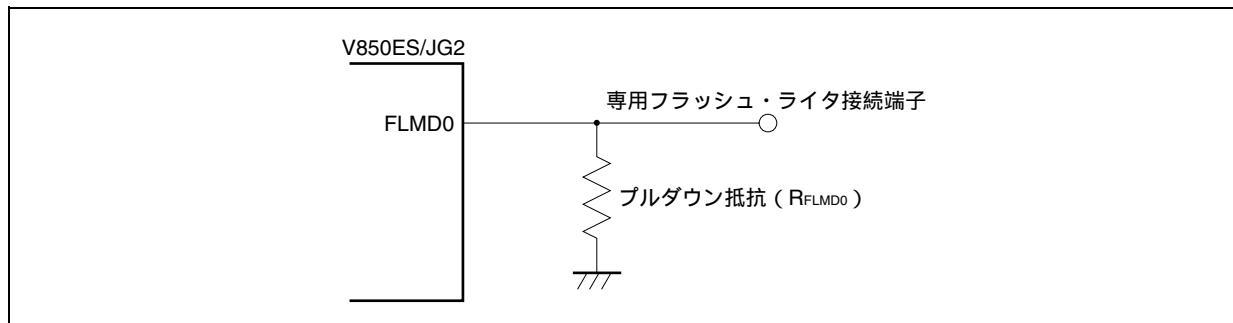
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子にV_{SS}レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子にV_{DD}レベルの電圧を供給する必要があります。詳細は、26.5.5 (1) FLMD0端子を参照してください。

図26-11 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子にV_{DD}が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図26-12 FLMD1端子の接続例

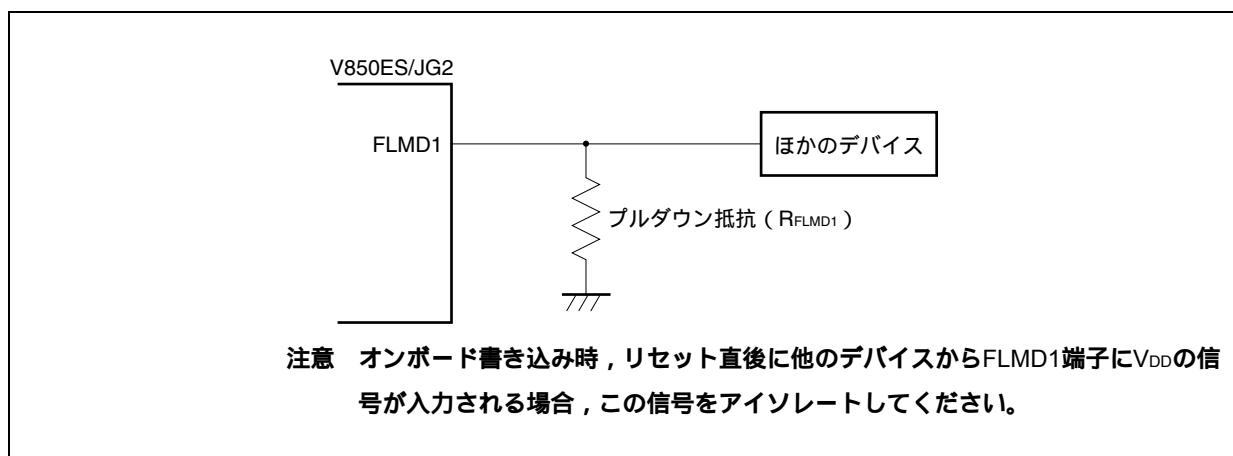


表26-8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インターフェース端子

各シリアル・インターフェースが使用する端子を次に示します。

表26-9 各シリアル・インターフェースが使用する端子

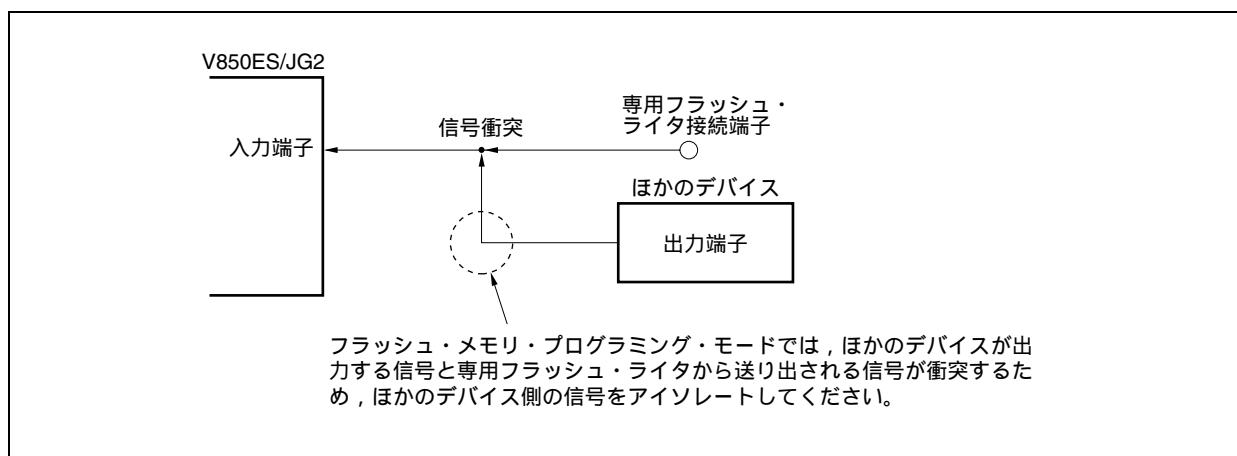
シリアル・インターフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, <u>SCKB0</u>
CSIB3	SOB3, SIB3, <u>SCKB3</u>
CSIB0 + HS	SOB0, SIB0, <u>SCKB0</u> , PCM0
CSIB3 + HS	SOB3, SIB3, <u>SCKB3</u> , PCM0

オンボード上でほかのデバイスと接続しているシリアル・インターフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インターフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

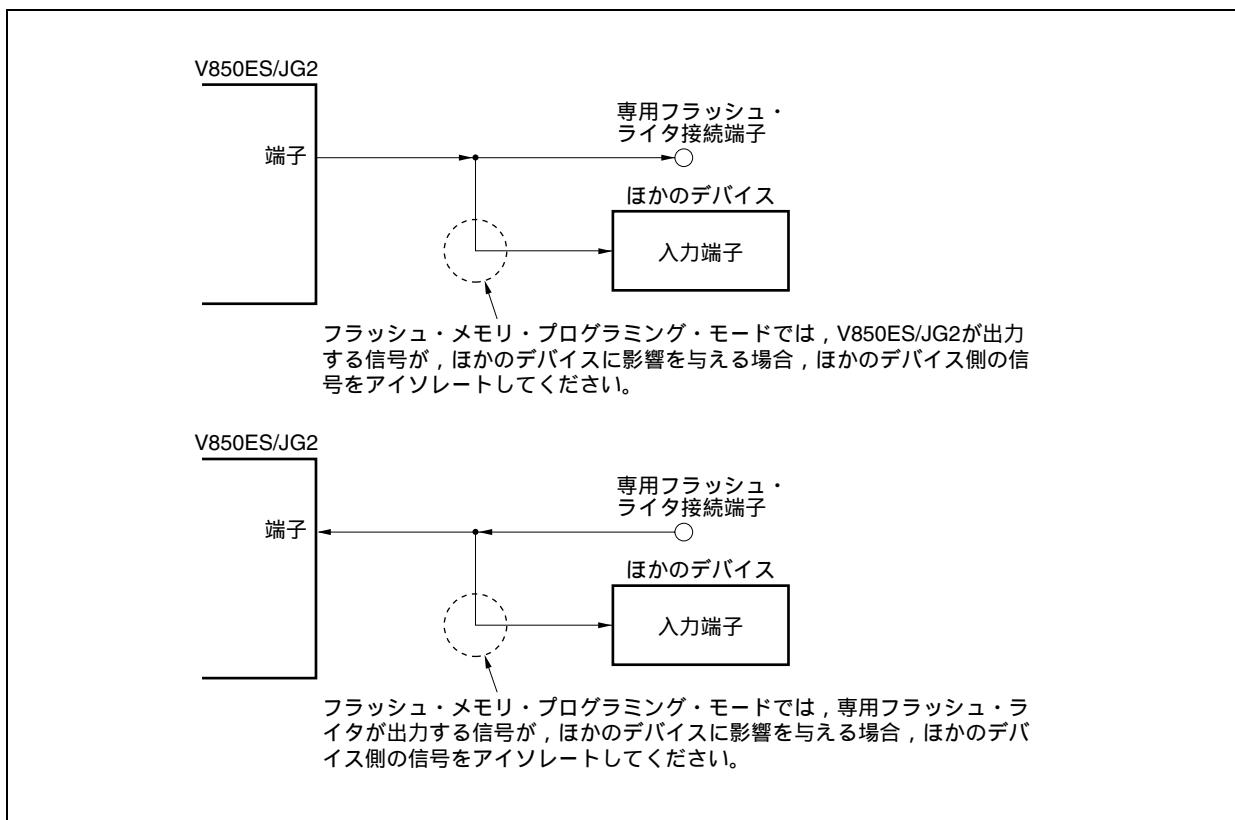
図26-13 信号の衝突（シリアル・インターフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インターフェース用の端子(入力または出力)に、専用フラッシュ・ライタ(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図26-14 ほかのデバイスの異常動作

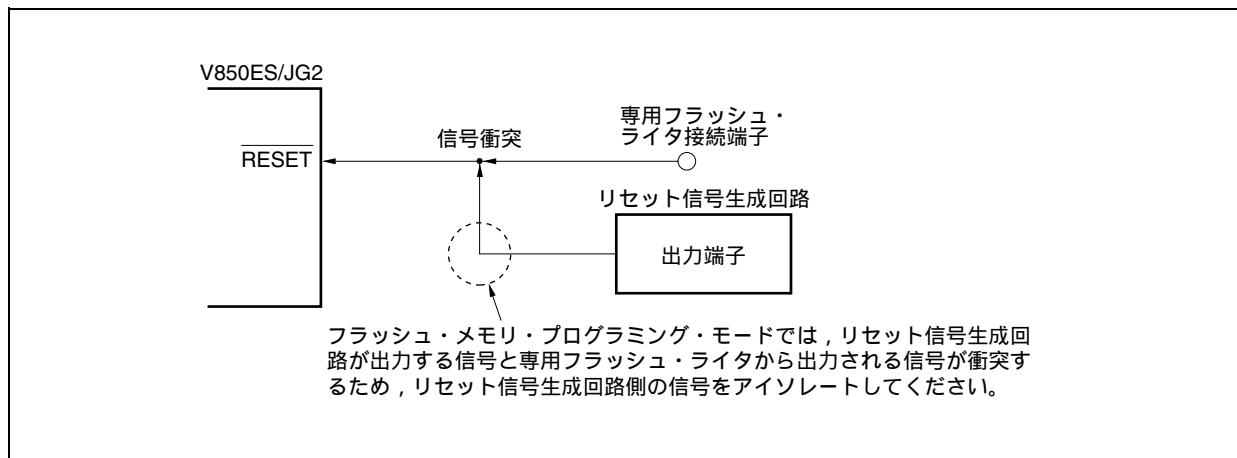


(4) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図26-15 信号の衝突(RESET端子)



(5) ポート端子(NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{ss}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCは、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、DRST端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

(7) 電 源

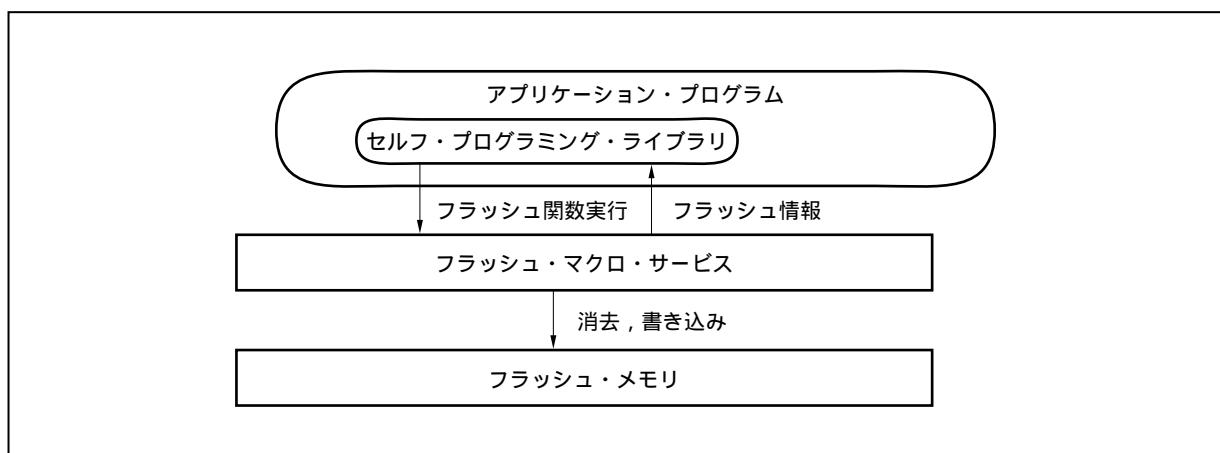
電源 (V_{DD}, V_{ss}, EV_{DD}, EV_{ss}, BV_{DD}, BV_{ss}, AV_{REF0}, AV_{REF1}, AV_{ss}) は、通常動作モード時と同じ電源を供給してください。

26.5 セルフ・プログラミングによる書き換え

26.5.1 概 要

V850ES/JG2は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインターフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図26-16 セルフ・プログラミングの概念図

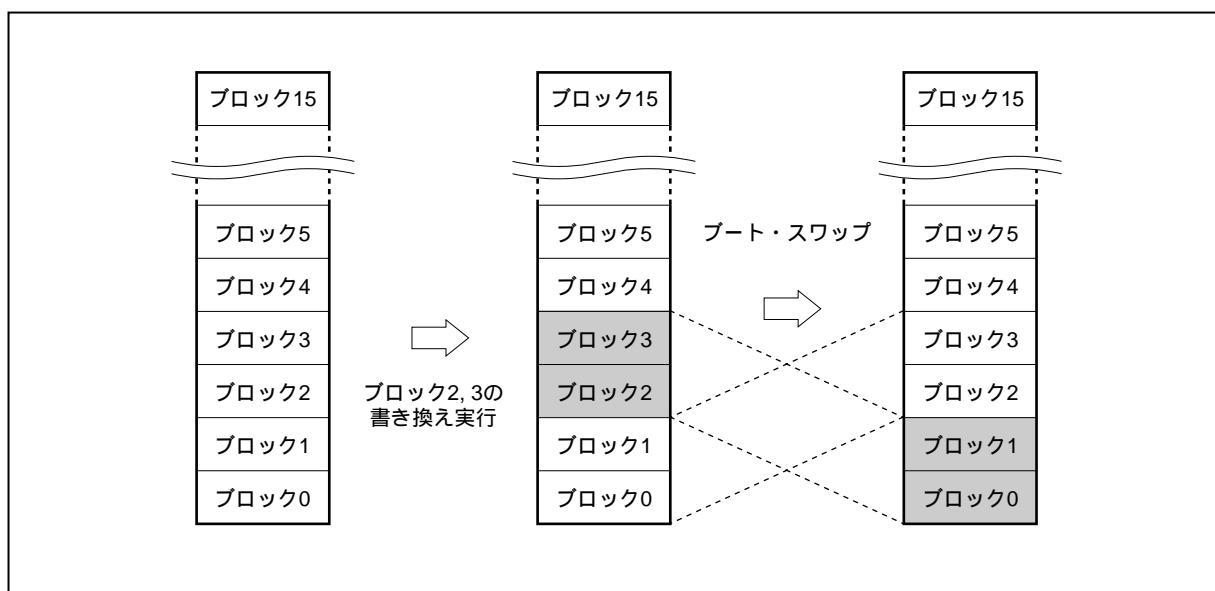


26.5.2 特 徴

(1) セキュア・セルフ・プログラミング(ブート・スワップ機能)

V850ES/JG2は、ブロック0, 1の物理メモリと、ブロック2, 3の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えた起動用のプログラムをブロック2, 3に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0, 1には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図26-17 全メモリ領域の書き換え(ブート・スワップ対応)



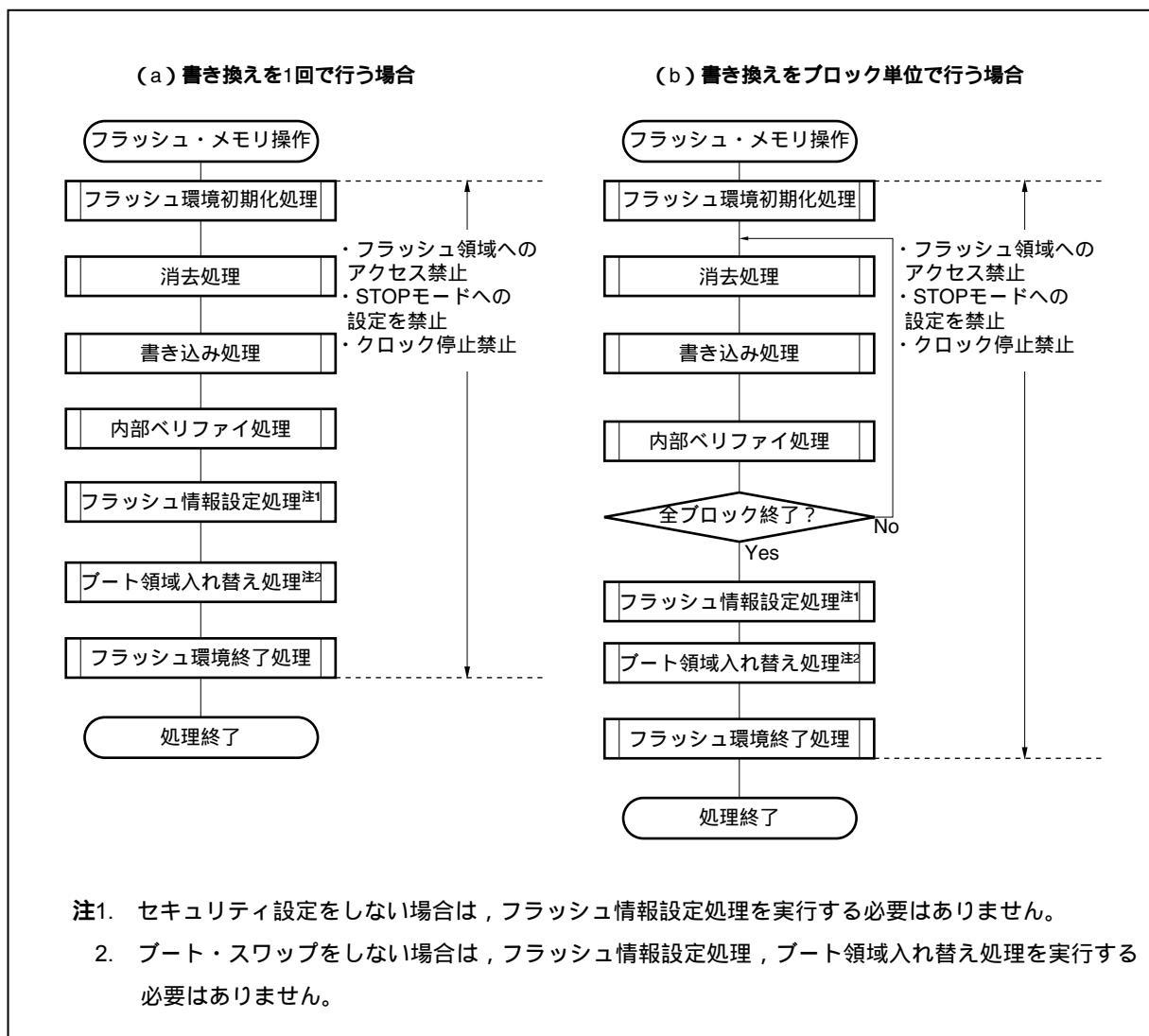
(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できませんでした。この製品では、ライプラリ関数を使用することによって、エントリRAM領域へユーザ・ハンドラを登録することができるため、内部RAMもしくは外部メモリ実行による割り込み処理が可能となります。

26.5.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図26-18 標準セルフ・プログラミング・フロー



26.5.4 フラッシュ関数一覧

表26-10 フラッシュ関数一覧

関数名	概要	対応
FlashEnv	フラッシュ制御マクロの初期化	
FlashBlockErase	指定した1ブロックの消去	
FlashWordWrite	指定したアドレスからの書き込み	
FlashBlockVerify	指定した1ブロックの内部ベリファイ	
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	
FlashFLMDCheck	FLMD端子のチェック	
FlashStatusCheck	直前に指定した動作のステータス・チェック	
FlashGetInfo	フラッシュ情報の読み出し	
FlashSetInfo	フラッシュ情報の設定	
FlashBootSwap	ブート領域入れ替え	
FlashSetUserHandler	ユーザ割り込みハンドラ登録関数	

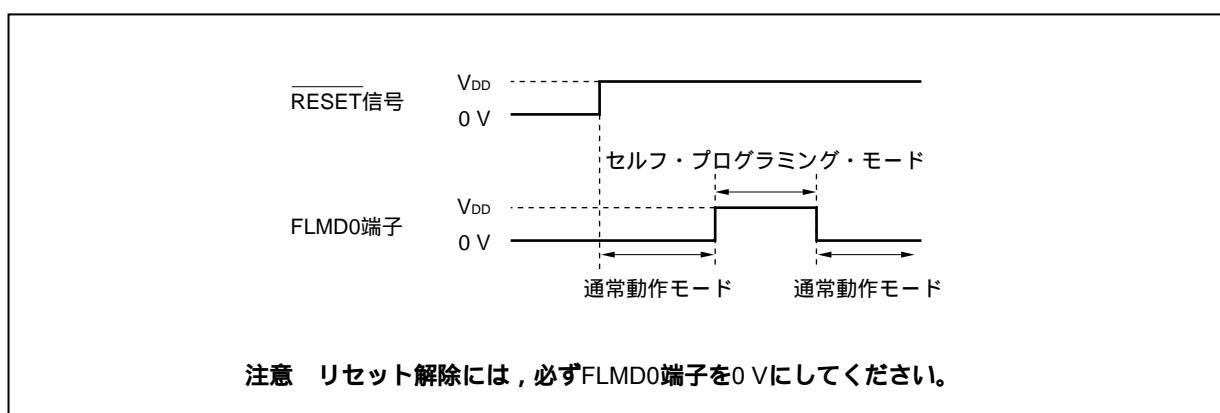
26.5.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子にV_{DD}レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図26-19 モード切り替わりタイミング



26.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表26-11 使用する内部資源

リソース名	説明
エントリRAM領域 (内部RAM / 外部RAMどちらかに 124バイト)	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとディフォールトのパラメータがコピーされます。
スタック領域 (ユーザ・スタック + 300バイト)	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード (1900バイト)	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには、あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。
NMI割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには、あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。

第27章 オンチップ・デバッグ機能

V850ES/JG2のオンチップ・デバッグ機能を実現するには次の2つの方法があります。

- DCU(デバッグ・コントロール・ユニット)を使用する方法
DRST, DCK, DMS, DDI, DDO端子をデバッグ・インターフェース端子としてV850ES/JG2に内蔵されているDCUによってオンチップ・デバッグを実現します。
- DCUを使用しない方法
DCUを使用せず、ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表27-1 オンチップ・デバッグ機能の特徴

	DCUを使用する方法	DCUを使用しない方法
デバッグ・インターフェース端子	DRST, DCK, DMS, DDI, DDO	<ul style="list-style-type: none">UARTA0使用時 RXDA0, TXDA0CSIB0使用時 SIB0, SOB0, SCKB0, HS (PCM0)CSIB3使用時 SIB3, SOB3, SCKB3, HS (PCM0)
ユーザ資源の確保	不要	必要
ハードウェア・ブレーク機能	2ポイント	2ポイント
ソフトウェア・ 内蔵ROM領域	4ポイント	4ポイント
ブレーク機能 内蔵RAM領域	2000ポイント	2000ポイント
リアルタイムRAMモニタ機能 ^{注1}	可能	可能
ダイナミック・メモリ・モディフィイ ケーション (DMM) 機能 ^{注2}	可能	可能
マスク機能	リセット, NMI, INTWDT2, HLDREQ, WAIT	RESET端子
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	MINICUBE®など	MINICUBE2など
トレース機能	サポートしていません	サポートしていません
デバッグ割り込みインターフェース機 能 (DBINT)	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

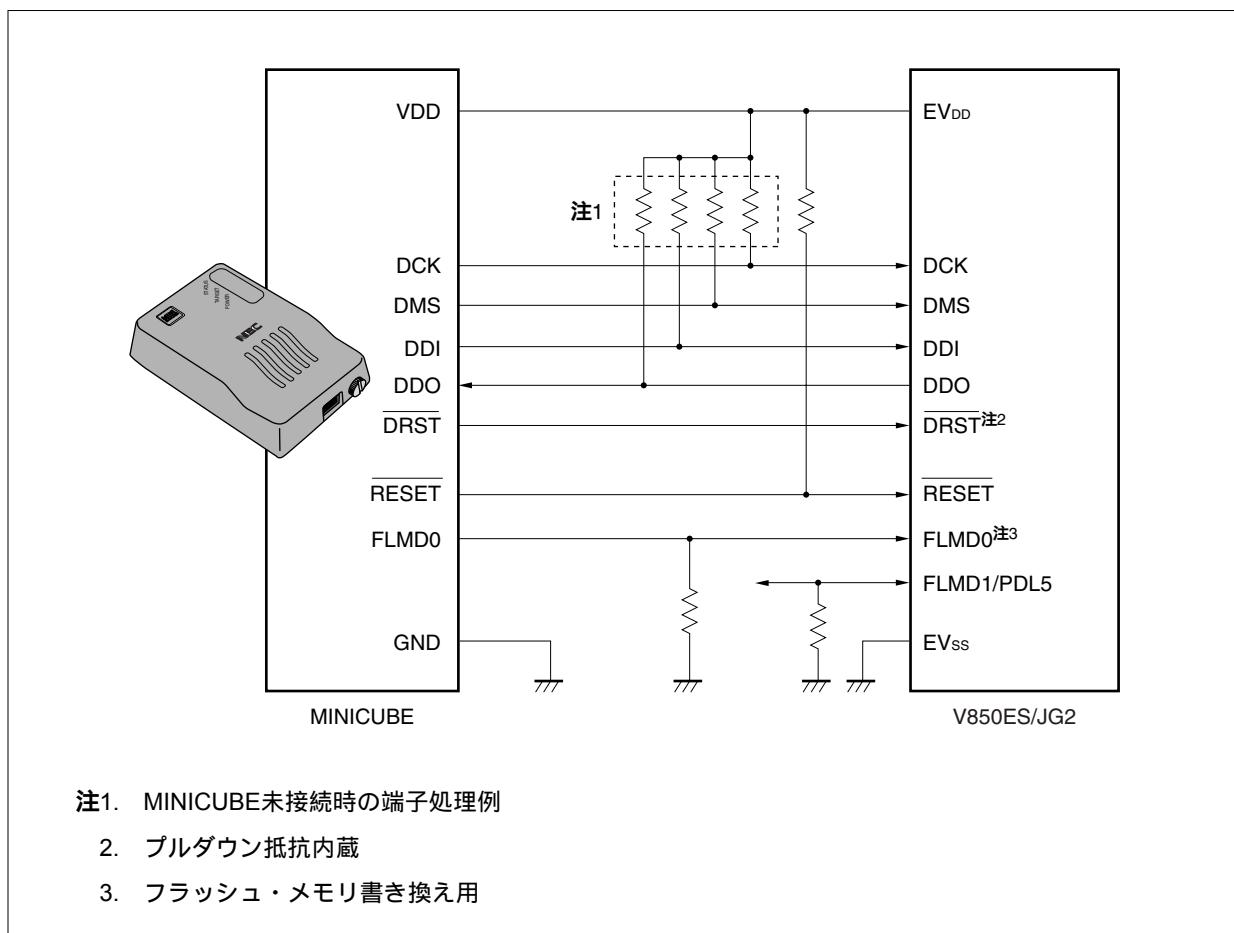
2. プログラム実行中にRAMの内容の書き換えを行う機能です。

27.1 DCUを使用する方法

デバッグ・インターフェース端子 (\overline{DRST} , DCK, DMS, DDI, DDO端子) を利用して、オンチップ・デバッグ・エミュレータ (MINICUBE) を接続することで、プログラムのデバッグが可能です。

27.1.1 接続回路例

図27-1 デバッグ・インターフェース端子を通信インターフェースとして使用する場合の回路接続例



27.1.2 インタフェース信号

インターフェース信号について説明します。

(1) \overline{DRST}

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッガの起動後にターゲット・システムのV_{DD}を検出すると、 \overline{DRST} 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 \overline{DRST} 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッガを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がりに同期してDMS, DDI信号をサンプリングし、DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV_{DD}

ターゲット・システムのVDD検出用です。ターゲット・システムからのVDDが未検出の場合は、MINICUBEからの出力信号 (\overline{DRST} , DCK, DMS, DDI, FLMD0, \overline{RESET} 端子) はハイ・インピーダンスになります。

(7) FLMD0

統合デバッガによるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

通常モード時はMINICUBEからは何もドライブしません（ハイ・インピーダンス）。

ブレーク中、統合デバッガのダウンロード機能を実行した際にMINICUBEはFLMD0端子をハイ・レベルに制御します。

ポートから制御する場合

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

統合デバッガのコンソールによって、ダウンロード機能実行前にポート端子をハイ・レベルにする、または、ダウンロード機能実行後にポート端子をロウ・レベルにする設定を行ってください。

詳細はID850QB Ver.3.10 統合デバッガ ユーザーズ・マニュアル 操作編 (U17435J) を参照してください。

(8) RESET

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、DRST端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEからRESET端子によるリセットを与えて、DRST端子を有効（初期化）にします。

27.1.3 マスク機能

リセット、NMI、INTWDT2、WAIT、HLDREQ信号のマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表27 - 2 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/JG2の機能
NMI0	NMI端子入力
NMI2	ノンマスカブル割り込み要求信号 (INTWDT2) 発生
STOP	×
HOLD	<u>HLDREQ</u> 端子入力
RESET	RESET端子入力、低電圧検出回路、クロック・モニタまたはウォッチドッグ・タイマ (WDT2) のオーバフローによるリセット信号発生
<u>WAIT</u>	<u>WAIT</u> 端子入力

27.1.4 レジスタ

(1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタです。OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 [特定レジスタ参照](#))。

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート／周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/DRST端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタへの書き込みは、DRST端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード／ライト可能です。

リセット時 : 01H^注 R/W アドレス : FFFFF9FCH

OCDM	7	6	5	4	3	2	1	①
	0	0	0	0	0	0	0	OCDM0

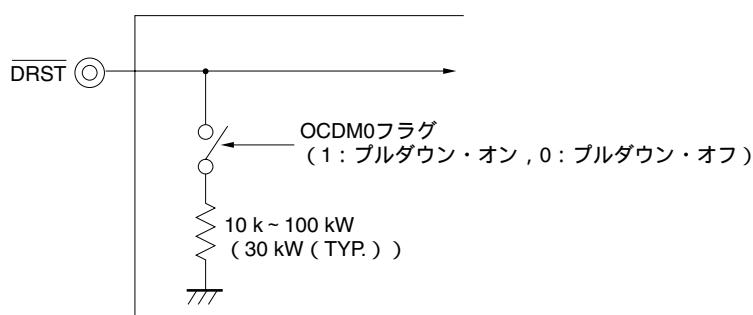
OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート／周辺機能端子として使用）かつ、P05/INTP2/DRST端子の内蔵プルダウン抵抗を切断
1	DRST端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート／周辺機能端子として使用） DRST端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 RESET端子によるリセット時は01Hになります。ただし、WDT2RES信号、クロック・モニタ(CLM)、低電圧検出回路(LVI)によるリセット時は、OCDMレジスタの値を保持します。

注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- P05/INTP2/DRST端子にロウ・レベルを入力します。
- OCDM0ビットを設定します。この場合の処置は次のとおりです。
OCDM0ビットをクリア(0)します。
の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

2. DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



27.1.5 動 作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

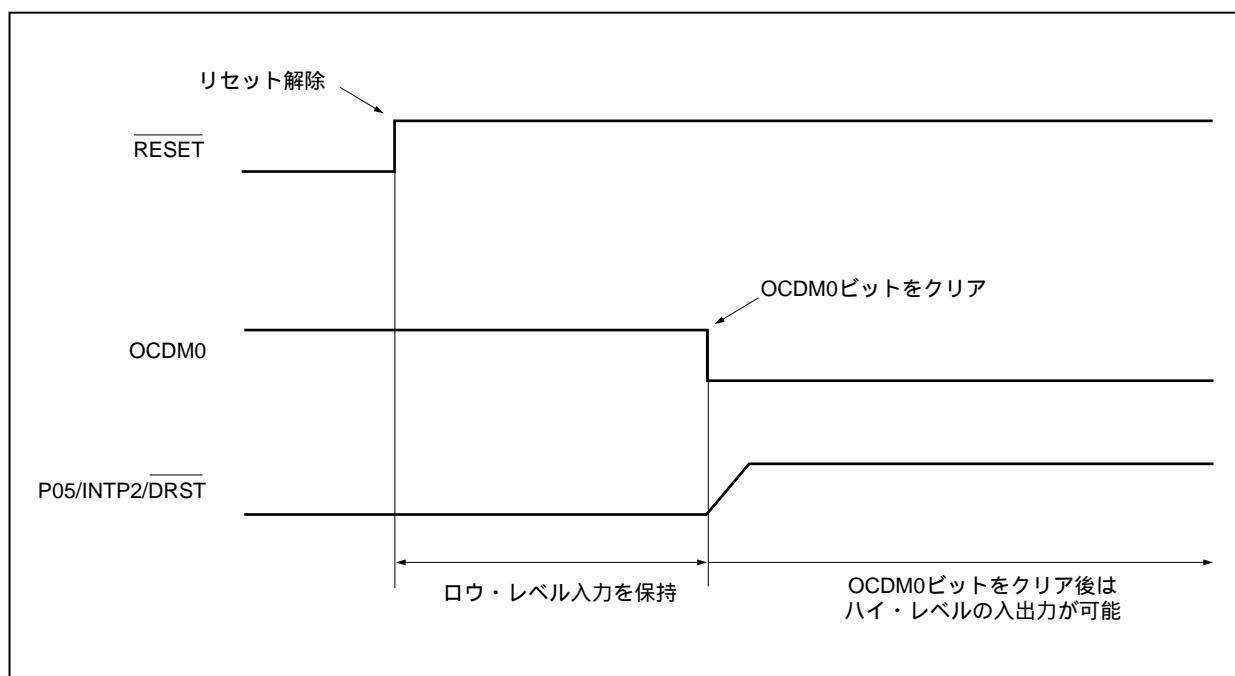
未使用時はOCDM0フラグをクリア(0)するまで、DRST端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ DRST端子	0	1
L	無効	無効
H	無効	有効

備考 L: ロウ・レベル入力

H: ハイ・レベル入力

図27-2 オンチップ・デバッグ機能未使用時のタイミング



27.1.6 注意事項

- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) 内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは、ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが、それまではソフトウェア・ブレークは発生しません。
- (4) ブレーク中の端子リセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (5) 次に示す条件（a）、（b）を同時に満たし、エミュレータ（IECUBE[®], MINICUBE）上でブレークなどにより動作を停止させた場合、ウォッチドッグ・タイマ2は停止せず、リセットまたはノンマスカブル割り込みが発生します。リセットが発生した場合は、デバッガがハングアップしてしまいます。
- （a）ウォッチドッグ・タイマ2のソース・クロックにメイン・クロックまたはサブクロックを使用している
 - （b）内蔵発振クロックを停止している（RCM.RSTOPビット = 1）

回避策として次のいずれか1つを行ってください。

- ・エミュレータ使用時、ソース・クロックとして内蔵発振クロックを使用する
- ・エミュレータ使用時、内蔵発振器を停止させない

- (6) 次に示す条件（a）、（b）を同時に満たし、エミュレータ（IECUBE, MINICUBE）上でブレークなどにより動作を停止させた場合、Peripheral Break機能が「Break」に設定されていてもTMMは停止しません。
- （a）TMMのソース・クロックにINTWT、内蔵発振クロック（f_R/8）、サブクロックのいずれかを選択する
 - （b）メイン・クロックを停止する

回避策として次のいずれか1つを行ってください。

- ・エミュレータ使用時、ソース・クロックとしてメイン・クロック（f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/64, f_{xx}/512）を使用する
- ・エミュレータ使用時、メイン・クロック発振を停止させない

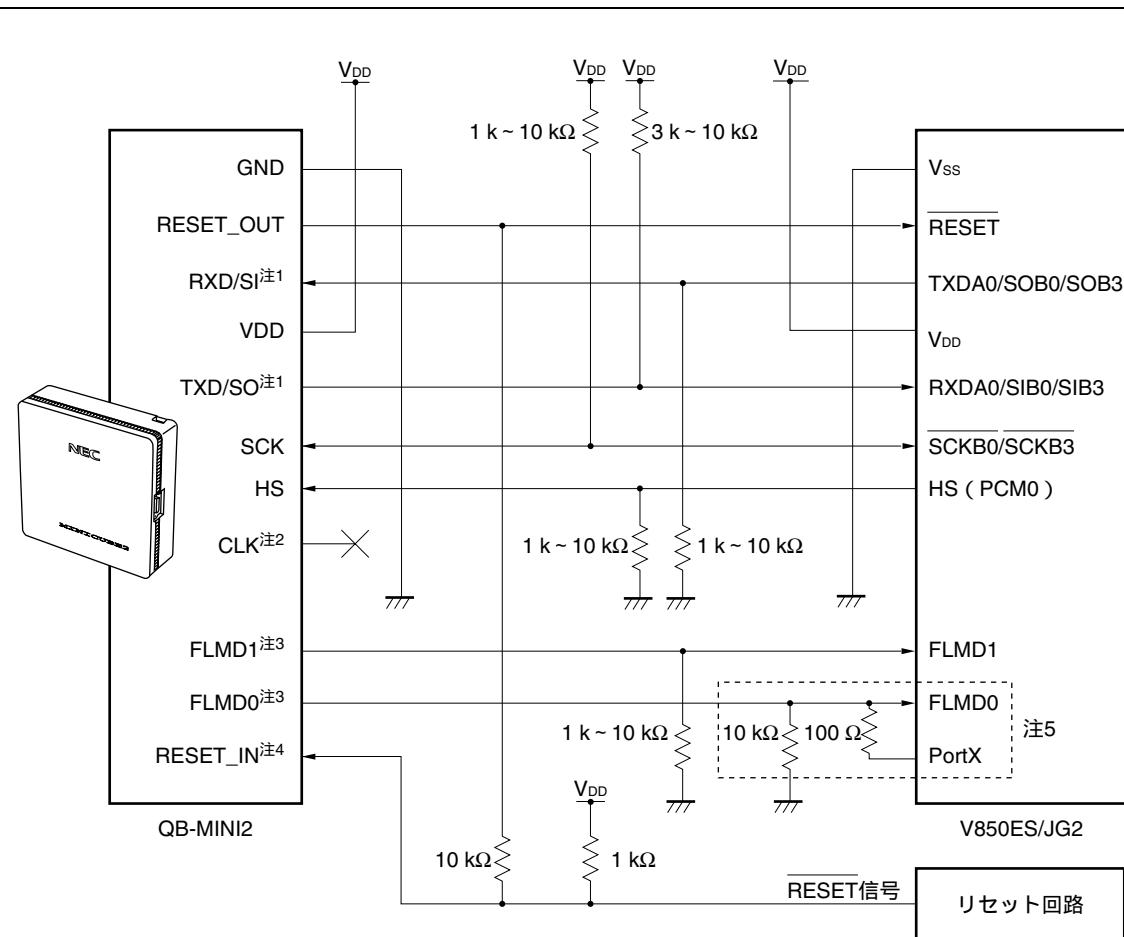
- (7) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。

27.2 DCUを使用しない方法

DCUを使用せず、UARTA0用端子（RXDA0, TXDA0）、CSIB0用端子（SIB0, SOB0, SCKB0, HS（PMC0））またはCSIB3用端子（SIB3, SOB3, SCKB3, HS（PMC0））をデバッグ・インターフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

27.2.1 接続回路例

図27-3 UARTA0/CSIB0/CSIB3を通信インターフェースとして使用する場合の回路接続例



- 注1. V850ES/JG2のTXDA0/SOB0/SOB3（送信側）はターゲット・コネクタのRXD/SI（受信側）に、ターゲット・コネクタのTXD/SO（送信側）はV850ES/JG2のRXDA0/SIB0/SIB3（受信側）に接続してください。
- 2. フラッシュ・メモリ・プログラミング時にMINICUBE2からクロック供給することができます。
詳細は第26章 フラッシュ・メモリを参照してください。
- 3. デバッグ時ブレーク中のメモリ書き換え以外は、Hi-Zになるため兼用機能としての使用は可能です。
- 4. RESET信号の出力がN-chオープン・ドレーンのバッファ（出力抵抗100 Ω以下）によるものを想定した回路接続です。
- 5. 点線内の回路はフラッシュ・セルフ・プログラミング用にFLMD0端子をポートで制御する場合の回路です。ポートは、ハイ・レベル出力か入力で使用してください。フラッシュ・セルフ・プログラミングを使用しない場合、FLMD0端子のプルダウン抵抗は1 kΩ～10 kΩで構いません。

備考 UARTA0/CSIB0/CSIB3を通信インターフェースとして使用する場合に使用する端子については表27-3を参照してください。

表27-3 V850ES/JG2とMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIB0-HS使用時				CSIB3-HS使用時				UARTA0使用時			
信号名	入出力	端子機能	端子名	ピン番号		端子名	ピン番号		端子名	ピン番号		端子名	ピン番号	
				GC	GF		GC	GF		GC	GF		GC	GF
SI/RxD	入力	V850ES/JG2からのコマンド、データ受信端子	P41/SOB0	23	25	P911/SOB3	54	56	P30/TXDA0	25	27			
SO/TxD	出力	V850ES/JG2へのコマンド、データ送信端子	P40/SIB0	22	24	P910/SIB3	53	55	P31/RXDA0	26	28			
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKB0	24	26	P912/SCKB3	55	57	必要なし	-	-			
CLK [#]	出力	V850ES/JG2へのクロック出力端子	必要なし [#]	-	-	必要なし [#]	-	-	必要なし [#]	-	-			
			必要なし [#]	-	-	必要なし [#]	-	-	必要なし [#]	-	-			
RESET_OUT	出力	V850ES/JG2へのリセット出力端子	RESET	14	16	RESET	14	16	RESET	14	16			
FLMD0	出力	V850ES/JG2をデバッグ・モード、またはプログラミング・モードにするための出力端子	FLMD0	8	10	FLMD0	8	10	FLMD0	8	10			
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/FLMD1	76	78	PDL5/FLMD1	76	78	PDL5/FLMD1	76	78			
HS	入力	CSI0 + HS通信のハンドシェーク信号	PCM0/WAIT	61	63	PCM0/WAIT	61	63	必要なし	-	-			
GND	-	グランド	V _{ss}	11	13	V _{ss}	11	13	V _{ss}	11	13			
			A _{Vss}	2	4	A _{Vss}	2	4	A _{Vss}	2	4			
			B _{Vss}	69	71	B _{Vss}	69	71	B _{Vss}	69	71			
			E _{Vss}	33	35	E _{Vss}	33	35	E _{Vss}	33	35			
RESET_IN	入力	ターゲット・システム上のリセット入力端子												

注 MINICUBE2のフラッシュ・ライタとして使用する場合のクロック出力として使用します。詳細は第26章 フラッシュ・メモリを参照してください

備考 GC : 100ピン・プラスチックLQFP(ファインピッチ) (14×14)

GF : 100ピン・プラスチックQFP (14×20)

27.2.2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ (ID850QB) のマスク機能および対応する機能を示します。

表27-4 マスク機能

デバッガ (ID850QB) のマスク機能	対応するV850ES/JG2の機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	×

27.2.3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信、または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは、ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

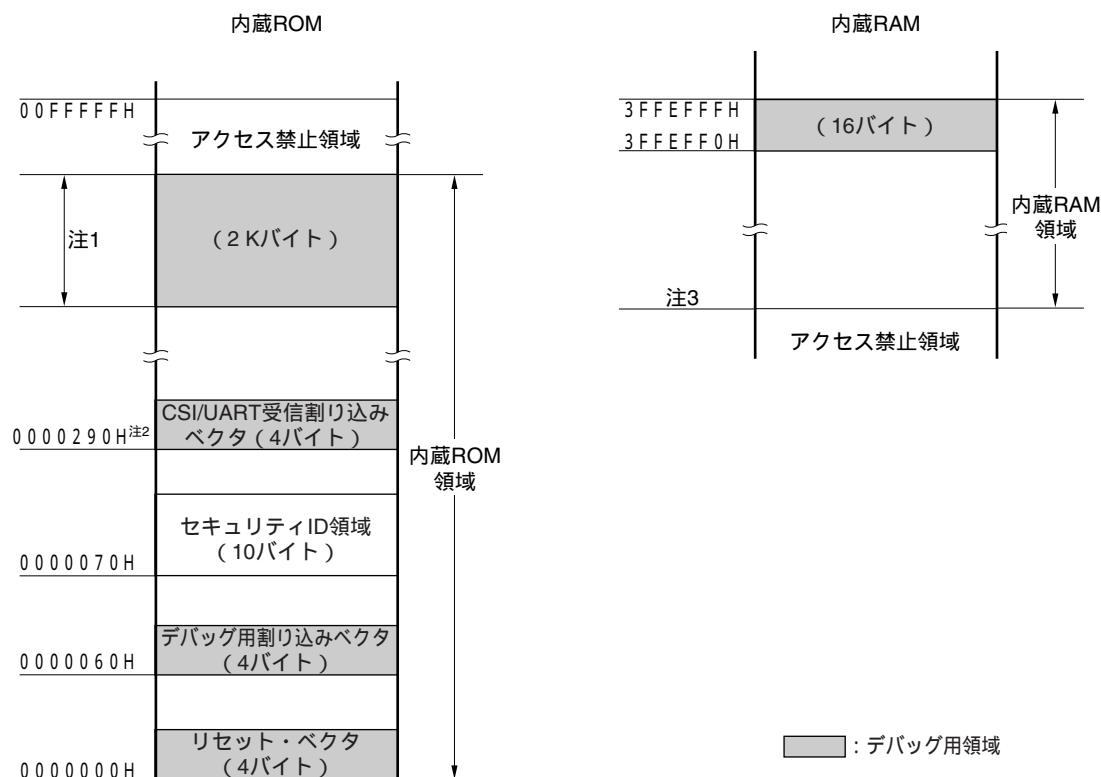
(1) メモリ空間の確保

図27-4で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように、領域を確保する必要があります。

(2) セキュリティIDの設定

図27-4で示す0000070H-0000079H領域は第3者からメモリの内容を読み取られないようにするために、IDコードを埋め込む必要があります。詳細は27.3 ROMセキュリティ機能を参照してください。

図27-4 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって次のようにアドレス値が異なります。

	内蔵ROMサイズ	アドレス値
μ PD70F3715	128 Kbyte	001F800H-001FFFFH
μ PD70F3716	256 Kbyte	003F800H-003FFFFH
μ PD70F3717	384 Kbyte	005F800H-005FFFFH
μ PD70F3718	512 Kbyte	007F800H-007FFFFH
μ PD70F3719	640 Kbyte	009F800H-009FFFFH

2. CSIB0使用時のアドレスです。CSIB3使用時は“00002F0H”，UARTA0使用時は“0000310H”から始まります。

3. 製品によって次のようにアドレス値が異なります。

	内蔵RAMサイズ	アドレス値
μ PD70F3715	12 Kbyte	3FFC000H
μ PD70F3716	24 Kbyte	3FF9000H
μ PD70F3717	32 Kbyte	3FF7000H
μ PD70F3718	40 Kbyte	3FF5000H
μ PD70F3719	48 Kbyte	3FF3000H

(3) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0C34番）。

(a) 0番地からnopが2個連続している場合

書き換え前	書き換え後
0x0 nop	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 nop	0x4 xxxx
0x4 xxxx	

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前	書き換え後
0x0 0xFFFF	0x0 デバッグ用モニタ・プログラムへジャンプ
0x2 0xFFFF	0x4 xxxx
0x4 xxxx	

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前	書き換え後
0x0 jr disp22	0x0 デバッグ用モニタ・プログラムへジャンプ
	0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前	書き換え後
0x0 mov imm32,reg1	0x0 デバッグ用モニタ・プログラムへジャンプ
0x6 jmp [reg1]	0x4 mov imm32,reg1
	0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前	書き換え後
0x0 デバッグ用モニタ・プログラムへジャンプ	変更なし

(4) デバッグ用モニタ・プログラム領域の確保

図27-4の示すデバッグ用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インターフェースの初期化処理や、CPUのRUN / ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッガ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、NECエレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCB0R"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorramsym, 16, 4 ; -- monitorramsymシンボルを定義
```

- ・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、内蔵ROMが256 Kバイト（最終アドレス003FFFFH）、内蔵RAMが24 Kバイト（最終アドレス：3FFFFFFH）の場合です。

```
MROMSEG : !LOAD ?R V0x03f800{
    MonitorROM = $PROGBITS ?A MonitorROM;
};

MRAMSEG : !LOAD ?RW V0x03ffeff0{
    MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

(5) 通信用シリアル・インターフェースの確保

MINICUBE2は対象デバイスと通信するためにUARTA0, CSIB0もしくはCSIB3のいずれかを使用します。これらのシリアル・インターフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。このようなトラブルが発生しないよう、ユーザ・プログラムで通信用シリアル・インターフェースの確保を行う必要があります。

【通信用シリアル・インターフェース確保の方法】

•オンチップ・デバッグ・モード・レジスタ (OCDM)

UARTA0, CSIB0, CSIB3を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- P05/INTP2/DRST端子にロウ・レベルを入力します。
- OCDM0ビットを設定します。この場合の処置は次のとおりです。
OCDM0ビットをクリア(0)します。

の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

•シリアル・インターフェースのレジスタ

通信用に使用するCSIB0, CSIB3やUARTA0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

•割り込みマスク・レジスタ

通信用にCSIB0を使用する場合、転送終了割り込み(INTCB0R)をマスクしないようにしてください。CSIB3の場合、転送終了割り込み(INTCB3R)をマスクしないようにしてください。UARTA0の場合、受信完了割り込み(INTUA0R)をマスクしないようにしてください。

(a) CSIB0の場合

	7	6	5	4	3	2	1	0
CB0RIC	x	0	x	x	x	x	x	x

(b) CSIB3の場合

	7	6	5	4	3	2	1	0
CB3RIC	x	0	x	x	x	x	x	x

(c) UARTA0の場合

	7	6	5	4	3	2	1	0
UA0RIC	x	0	x	x	x	x	x	x

備考 x : 任意

●UARTA0使用時のポートに関するレジスタ

通信用にUARTA0を使用する場合、TXDA0, RXDA0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFC3	x	x	x	x	x	x	0	0
PMC3L	x	x	x	x	x	x	1	1

備考 x : 任意

●CSIB0使用時のポートに関するレジスタ

通信用にCSIB0を使用する場合、SIB0, SOB0, SCKB0およびHS (PMC0) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIB0, SOB0, SCKB0の設定

	7	6	5	4	3	2	1	0
PMC4	x	x	x	x	x	1	1	1
PFC4	x	x	x	x	x	x	0	0

(b) HS (PMC0端子) の設定

	7	6	5	4	3	2	1	0
PMCM	x	x	x	x	x	x	x	0
PCM	x	x	x	x	x	x	x	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

●CSIB3使用時のポートに関するレジスタ

通信用にCSIB3を使用する場合、SIB3、SOB3、SCKB3およびHS（PMC0）端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIB3, SOB3, SCKB3の設定

	7	6	5	4	3	2	1	0
PMC9H	x	x	x	1	1	1	x	x

	7	6	5	4	3	2	1	0
PFC9H	x	x	x	1	1	1	x	x

(b) HS（PMC0端子）の設定

	7	6	5	4	3	2	1	0
PMCM	x	x	x	x	x	x	x	0

	7	6	5	4	3	2	1	0
PCM	x	x	x	x	x	x	x	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 x : 任意

27.2.4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インターフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に、メイン・クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- 割り込み禁止中（DI）の場合
- MINICUBE2と対象デバイスの通信に使用するシリアル・インターフェースの割り込みがマスクされている場合
- マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に、メイン・クロックを停止している場合
- MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- MINICUBE2と対象デバイスの通信インターフェースがCSIB0, CSIB3の場合
- MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に、メイン・クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) デバッガの起動速度が遅くなるデバイスについて

デバッガの初回起動時にチップ消去とデバッグ用モニタ・プログラムの書き込みを行いますが、この動作を行うために、十数秒ほどかかります。

(7) デバッグ用モニタ・プログラムの書き込みについて

デバッガでCPU動作クロックの設定変更を行った場合、デバッガがモニタ・プログラムを書き換えます。このとき、上記(6)と同様の時間がかかります。統合デバッガ ID850QBでは、コンフィギュレーション・ダイアログのClock欄の設定変更を行った場合に該当します。

(8) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

27.3 ROMセキュリティ機能

27.3.1 セキュリティID

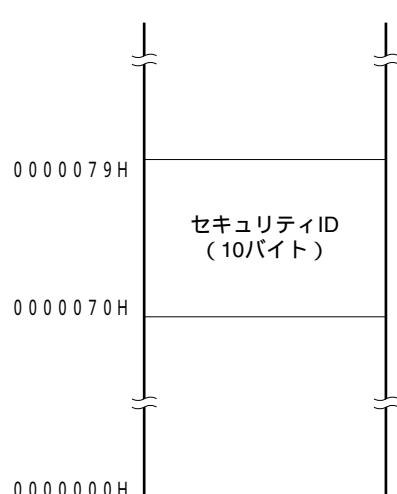
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッガがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0: 使用禁止, 1: 使用許可)
- ・オンチップ・デバッグ・エミュレータを起動すると、デバッガがID入力を要求します。デバッガ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッガが起動します。
- ・IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図27-5 セキュリティID領域



注意 フラッシュ・メモリのデータは消去状態では、すべて“1”となります。

27.3.2 設定方法

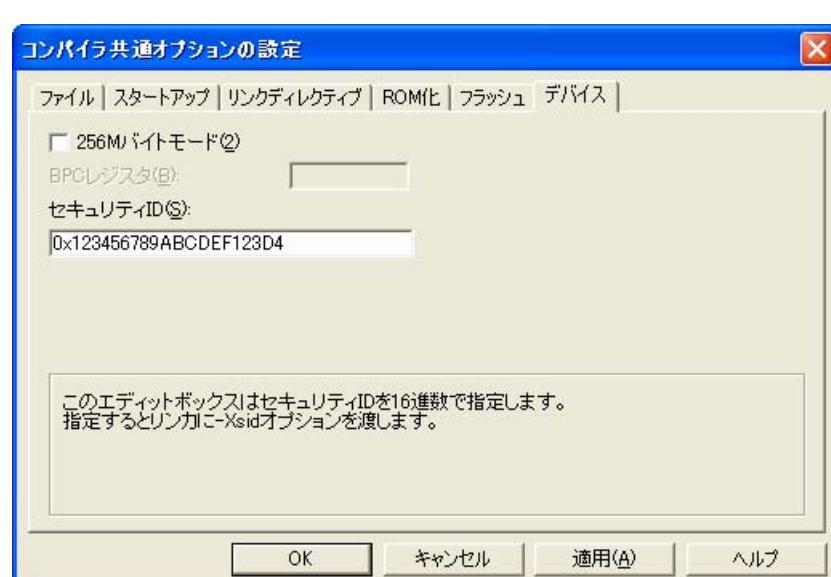
IDコードを表27-5のように設定する方法を次に示します。

表27-5のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表27-5 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 3.10以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



[プログラム例 (CA850 V3.10以上 使用時)]

```
#-----  
# SECURITYID  
#-----  
.section    "SECURITY_ID"      -- Interrupt handler address 0x70  
.word        0x78563412          -- 0 - 3 byte code  
.word        0xF1DEBC9A          -- 4 - 7 byte code  
.hword       0xD423            -- 8 - 9 byte code
```

備考 上記プログラム例はスタートアップ・ファイルに追加してください。

第28章 電気的特性

絶対最大定格 ($T_A = 25^\circ C$) (1/2)

項目	略号	条件	定格	単位
電源電圧	V_{DD}	$V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V
	BV_{DD}		- 0.5 ~ + 4.6	V
	EV_{DD}	$V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V
	AV_{REF0}	$V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V
	AV_{REF1}	$V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$	- 0.5 ~ + 4.6	V
	V_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V
	AV_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V
	BV_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V
	EV_{SS}	$V_{SS} = EV_{SS} = BV_{SS} = AV_{SS}$	- 0.5 ~ + 0.5	V
入力電圧	V_{I1}	RESET, FLMD0, PDH4, PDH5	- 0.5 ~ $EV_{DD} + 0.5^{注1}$	V
	V_{I2}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	- 0.5 ~ $BV_{DD} + 0.5^{注1}$	V
	V_{I3}	P10, P11	- 0.5 ~ $AV_{REF1} + 0.5^{注1}$	V
	V_{I4}	X1, X2, XT1, XT2	- 0.5 ~ $V_{RO}^{注2} + 0.5^{注1}$	V
	V_{I5}	P02-P06, P30-P39, P40-P42, P50-P55, P90-P915	- 0.5 ~ + 6.0	V
アナログ入力電圧	V_{IAN}	P70-P711	- 0.5 ~ $AV_{REF0} + 0.5^{注1}$	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. 内蔵レギュレータ出力電圧 (2.5 V (TYP.))

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

絶対最大定格 ($T_A = 25^\circ C$) (2/2)

項目	略号	条件	定格	単位	
ロウ・レベル出力電流	I _{OL}	P02-P06, P30-P39, P40-P42, P50-P55, P90-P915, PDH4, PDH5	1端子 全端子合計	4 50	mA
		PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子 全端子合計	4 50	mA
		P10, P11	1端子 全端子合計	4 8	mA
		P70-P711	1端子 全端子合計	4 20	mA
		P02-P06, P30-P39, P40-P42, P50-P55, P90-P915, PDH4, PDH5	1端子 全端子合計	- 4 - 50	mA
		PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子 全端子合計	- 4 - 50	mA
		P10, P11	1端子 全端子合計	- 4 - 8	mA
		P70-P711	1端子 全端子合計	- 4 - 20	mA
動作周囲温度	T _A			- 40 ~ + 85	
保存温度	T _{stg}			- 40 ~ + 125	

- 注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。
2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えるかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。
- DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の特性は、ポート端子以外の機能として使用しても同じです。

容量 (TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入出力容量	C _{IO}	f _x = 1 MHz 被測定ピン以外は0 V			10	pF

動作条件

(TA = -40 ~ +85 , BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

内部システム・クロック周波数	条件	電源電圧				単位
		V _{DD}	EV _{DD}	BV _{DD}	AV _{REF0} , AV _{REF1}	
f _{xx} = 2.5 ~ 20 MHz	C = 4.7 μF, A/Dコンバータ停止, D/Aコンバータ停止	2.85 ~ 3.6	2.85 ~ 3.6	2.7 ~ 3.6	2.85 ~ 3.6	V
	C = 4.7 μF, A/Dコンバータ動作, D/Aコンバータ動作	3.0 ~ 3.6	3.0 ~ 3.6	2.7 ~ 3.6	3.0 ~ 3.6	V
f _{XT} = 32.768 kHz	C = 4.7 μF, A/Dコンバータ停止, D/Aコンバータ停止	2.85 ~ 3.6	2.85 ~ 3.6	2.7 ~ 3.6	2.85 ~ 3.6	V

メイン・クロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x) ^{注1}		2.5		10	MHz
		発振安定時間 ^{注2}	リセット解除後		$2^{16}/f_x$		s
			STOPモード解除後	1 ^{注4}	注3		ms
			IDLE2モード解除後	350 ^{注4}	注3		μs

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。
3. OSTSレジスタの設定によって値が異なります。
4. フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・バターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

(i) 京セラキンセキ株式会社：水晶振動子 ($T_A = -40 \sim +85$)

メーカー (品名)	回路例	発振周波数 f_x (kHz)	推奨回路定数			発振電圧範囲	
			C1 (pF)	C2 (pF)	Rd (kΩ)	MIN. (V)	MAX. (V)
京セラキンセキ 株式会社 (HC-49/U-S)		4000	12	12	1	2.85	3.6
		5000	10	10	1	2.85	3.6
		8000	8	8	0	2.85	3.6
		10000	8	8	0	2.85	3.6
		3145.72	12	12	1	2.85	3.6
		4718.592	10	10	0	2.85	3.6
		6291.456	8	8	0	2.85	3.6

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JG2の内部動作条件についてはAC、DC特性の規格内で使用してください。

(ii) 株式会社村田製作所：セラミック発振子 ($T_A = -40 \sim +85$)

タイプ	回路例	品名	発振周波数 f_x (MHz)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.(V)	MAX.(V)
表面実装		CSTCR4M00G55-R0	4.000	(39)	(39)	0	2.85	3.60
		CSTCR5M00G55-R0	5.000	(39)	(39)	0	2.85	3.60
		CSTCR6M00G55-R0	6.000	(39)	(39)	0	2.85	3.60
		CSTCE8M00G55-R0	8.000	(33)	(33)	0	2.85	3.60
		CSTCE10M0G55-R0	10.000	(33)	(33)	0	2.85	3.60
リード		CSTLS4M00G56-B0	4.000	(47)	(47)	0	2.85	3.60
		CSTLS5M00G53-B0	5.000	(15)	(15)	0	2.85	3.60
		CSTLS6M00G53-B0	6.000	(15)	(15)	0	2.85	3.60
		CSTLS8M00G53-B0	8.000	(15)	(15)	0	2.85	3.60
		CSTLS10M0G53-B0	10.000	(15)	(15)	0	2.85	3.60

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。
また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JG2の内部動作条件についてはAC、DC特性の規格内で使用してください。

備考 C1, C2の()内の数値は発振子に内蔵されている容量を表しています。

サブクロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}			10		s

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. V_{DD} が発振電圧範囲 (2.85 V (MIN.)) に達してから水晶発振子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

PLL特性(TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

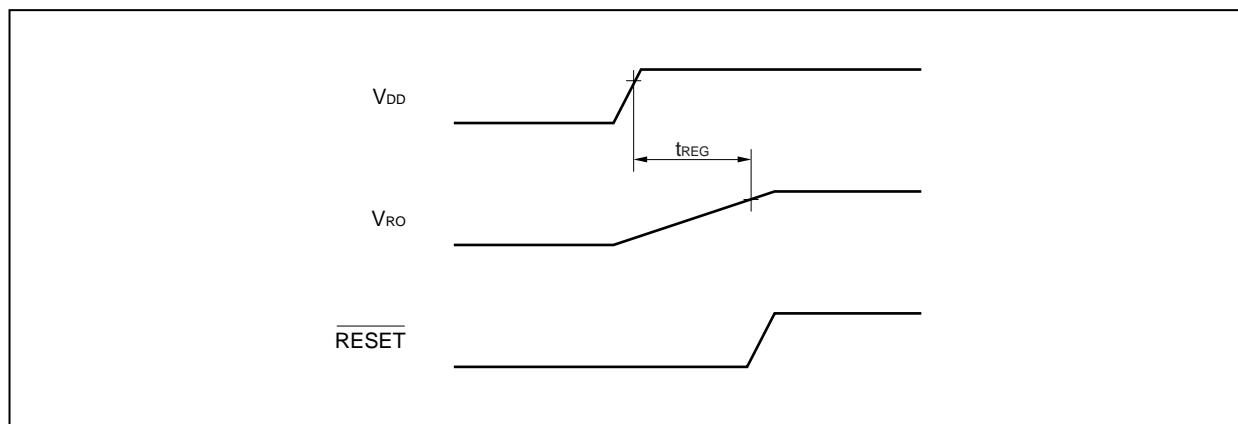
項目	略号	条件	MIN.	TYP.	MAX.	単位
入力周波数	fx	4倍モード	2.5		5	MHz
		8倍モード	2.5		2.5	MHz
出力周波数	f _{xx}	4倍モード	10		20	MHz
		8倍モード	20		20	MHz
ロック時間	t _{PLL}	V _{DD} が2.85 V (MIN.)に達したあと			800	μs

内蔵発振器特性(TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力周波数	f _R		100	200	400	kHz

レギュレータ特性(TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧	V _{DD}	f _{xx} = 20 MHz (MAX.)	2.85		3.6	V
出力電圧	V _{RO}			2.5		V
レギュレータ出力安定時間	t _{REG}	V _{DD} が2.85 V (MIN.)に達したあと REGC端子に安定化容量 C = 4.7 μF を接続時			1	ms



DC特性

(TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V) (1/3)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V _{IH1}	PDH4, PDH5	0.7 EV _{DD}		EV _{DD}	V
	V _{IH2}	RESET, FLMD0	0.8 EV _{DD}		EV _{DD}	V
	V _{IH3}	P02-P06, P30-P37, P42, P50-P55, P92-P915	0.8 EV _{DD}		5.5	V
	V _{IH4}	P38, P39, P40, P41, P90, P91	0.7 EV _{DD}		5.5	V
	V _{IH5}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	0.7 BV _{DD}		BV _{DD}	V
	V _{IH6}	P70-P711	0.7 AV _{REF0}		AV _{REF0}	V
	V _{IH7}	P10, P11	0.7 AV _{REF1}		AV _{REF1}	V
ロウ・レベル入力電圧	V _{IL1}	PDH4, PDH5	EV _{SS}		0.3 EV _{DD}	V
	V _{IL2}	RESET, FLMD0	EV _{SS}		0.2 EV _{DD}	V
	V _{IL3}	P02-P06, P30-P37, P42, P50-P55, P92-P915	EV _{SS}		0.2 EV _{DD}	V
	V _{IL4}	P38, P39, P40, P41, P90, P91	EV _{SS}		0.3 EV _{DD}	V
	V _{IL5}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	BV _{SS}		0.3 BV _{DD}	V
	V _{IL6}	P70-P711	AV _{SS}		0.3 AV _{REF0}	V
	V _{IL7}	P10, P11	AV _{SS}		0.3 AV _{REF1}	V
ハイ・レベル入力リーケ電流	I _{LIH}	V _i = V _{DD} = EV _{DD} = BV _{DD} = AV _{REF0} = AV _{REF1}			5	μA
ロウ・レベル入力リーケ電流	I _{LIL}	V _i = 0 V			-5	μA
ハイ・レベル出力リーケ電流	I _{LOH}	V _o = V _{DD} = EV _{DD} = BV _{DD} = AV _{REF0} = AV _{REF1}			5	μA
ロウ・レベル出力リーケ電流	I _{LOL}	V _o = 0 V			-5	μA

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

DC特性

(TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V) (2/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	P02-P06, P30-P39, P40-P42, P50-P55, P90-P915, PDH4, PDH5	1端子 I _{OH} = -1.0 mA	端子合計 -20 mA	EV _{DD} - 1.0		EV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -6.0 mA	EV _{DD} - 0.5		EV _{DD}	V
	V _{OH2}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子 I _{OH} = -1.0 mA	端子合計 -20 mA	BV _{DD} - 1.0		BV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -2.8 mA	BV _{DD} - 0.5		BV _{DD}	V
	V _{OH3}	P70-P711	1端子 I _{OH} = -0.4 mA	端子合計 -4.8 mA	AV _{REF0} -1.0		AV _{REF0}	V
			1端子 I _{OH} = -100 μA	端子合計 -1.2 mA	AV _{REF0} -0.5		AV _{REF0}	V
	V _{OH4}	P10, P11	1端子 I _{OH} = -0.4 mA	端子合計 -0.8 mA	AV _{REF1} -1.0		AV _{REF1}	V
			1端子 I _{OH} = -100 μA	端子合計 -0.2 mA	AV _{REF1} -0.5		AV _{REF1}	V
ロウ・レベル出力電圧	V _{OL1}	P02-P06, P30-P37, P42, P50-P55, P92-P915, PDH4, PDH5	1端子 I _{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V _{OL2}	P38, P39, P40, P41, P90, P91	1端子 I _{OL} = 3.0 mA		0		0.4	V
	V _{OL3}	PCM0-PCM3, PCT0, PCT1, PCT4, PCT6, PDH0-PDH3, PDL0-PDL15	1端子 I _{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V _{OL4}	P10, P11, P70-P711	1端子 I _{OL} = 0.4 mA	端子合計 5.6 mA	0		0.4	V
ソフトウェア・プルダウン抵抗	R ₁	P05	V _I = V _{DD}		10	30	100	kΩ

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

DC特性

(TA = -40 ~ +85 °C , BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V) (3/3)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	I _{DD1}	通常動作 f _{xx} = 20 MHz (f _x = 5 MHz)	注2		32	48	mA
			注3		30	45	mA
	I _{DD2}	HALTモード f _{xx} = 20 MHz (f _x = 5 MHz)	注2		17	26	mA
			注3		16	24	mA
	I _{DD3}	IDLE1モード f _{xx} = 5 MHz (f _x = 5 MHz), PLLオフ時			0.8	1.6	mA
	I _{DD4}	IDLE2モード f _{xx} = 5 MHz (f _x = 5 MHz), PLLオフ時			0.3	0.8	mA
	I _{DD5}	サブクロック 動作モード f _{XT} = 32.768 kHz, メイン・クロック, 内蔵発振器停止	注2		300	600	μA
			注3		200	400	μA
	I _{DD6}	サブIDLEモード f _{XT} = 32.768 kHz, メイン・クロック, 内蔵発振器停止	注2		18	100	μA
			注3		18	80	μA
	I _{DD7}	STOPモード サブクロック停止, 内蔵発振器 停止 サブクロック動作, 内蔵発振器 停止 サブクロック停止, 内蔵発振器 動作			6	50	μA
					10	60	μA
					10	60	μA
	I _{DD8}	フラッシュ・メ モリ・プログラ ミング・モード f _{xx} = 20 MHz (f _x = 5 MHz)	注2		35	54	mA
			注3		33	51	mA

注1. V_{DD}, EV_{DD}, BV_{DD}電流の合計です。出力バッファ, A/Dコンバータ, D/Aコンバータ, 内蔵プルダウン抵抗で流れる電流は含みません。

2. μPD70F3718, 70F3719
3. μPD70F3715, 70F3716, 70F3717

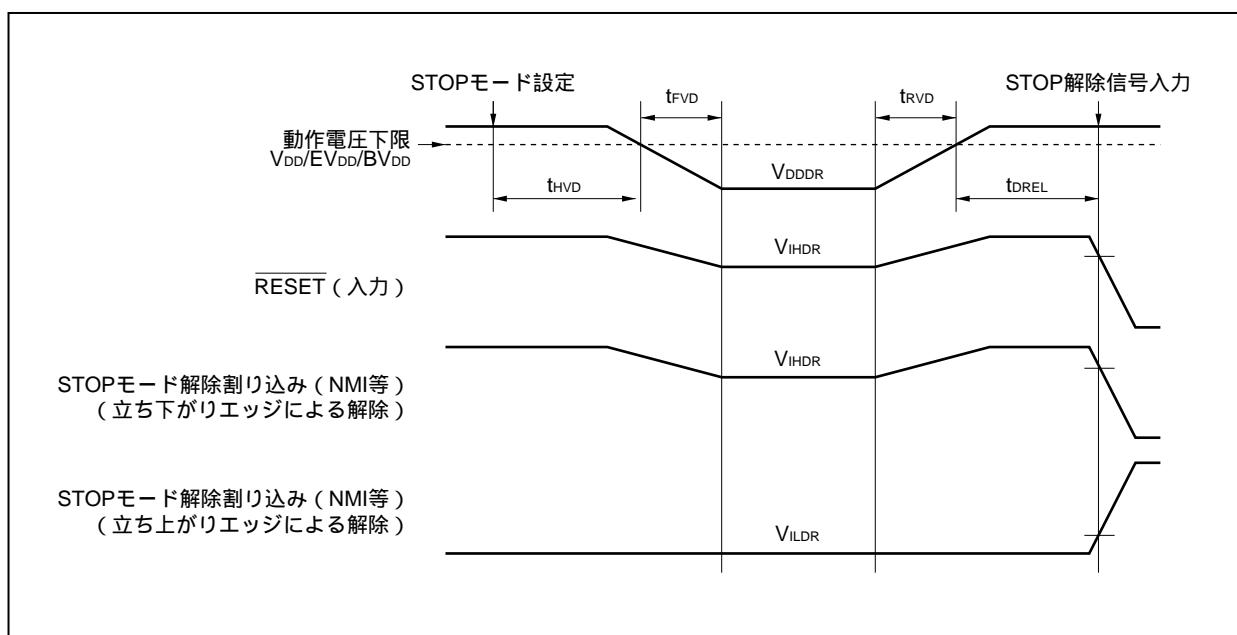
データ保持特性

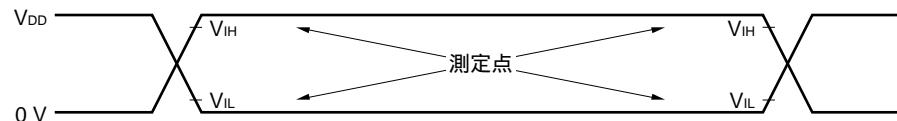
STOPモード時

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード(全機能停止)	1.9		3.6	V
データ保持電流	I_{DDDR}	STOPモード(全機能停止)		7	50	μA
電源電圧立ち上がり時間	t_{FVD}		200			μs
電源電圧立ち下がり時間	t_{FVD}		200			μs
電源電圧保持時間	t_{HVD}	STOPモード設定後	0			ms
STOP解除信号入力時間	t_{DREL}	V_{DD} が 2.85 V (MIN.)に達したあと	0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	$V_{DD} = EV_{DD} = BV_{DD} = V_{DDDR}$	0		$0.1V_{DDDR}$	V

注意 STOPモードへの移行、およびSTOPモードからの復帰は、動作範囲内で行ってください。



AC特性**ACテスト入力測定点 (V_{DD}, AV_{REF0}, AV_{REF1}, EV_{DD}, BV_{DD})****ACテスト出力測定点****負荷条件**

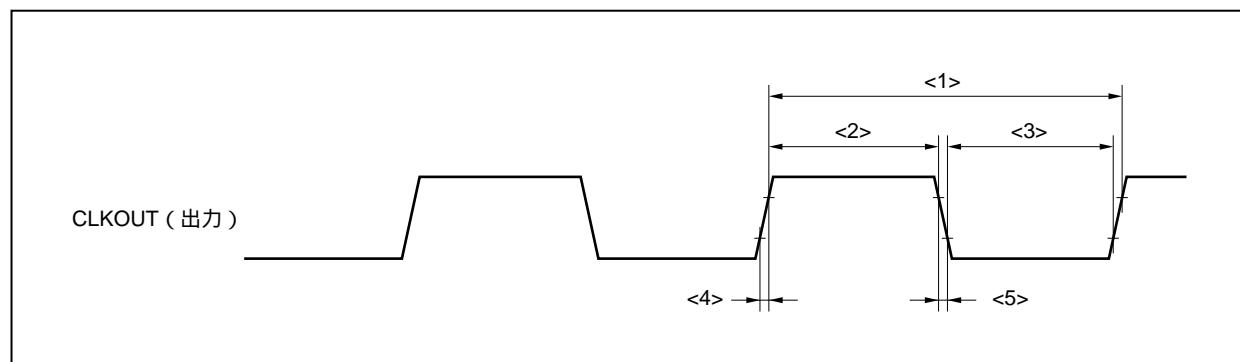
注意 回路構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。

CLKOUT出力タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	MAX.	単位
出力周期	t_{CYK}	<1>		50 ns	$31.25\ \mu\text{s}$
ハイ・レベル幅	t_{WKH}	<2>		$t_{CYK}/2 - 10$	ns
ロウ・レベル幅	t_{WKL}	<3>		$t_{CYK}/2 - 10$	ns
立ち上がり時間	t_{KR}	<4>		10	ns
立ち下がり時間	t_{KF}	<5>		10	ns

クロック・タイミング



バス・タイミング

(1) マルチプレクス・バス・モード時

(a) リード/ライト・サイクル(CLKOUT非同期)

($T_A = -40 \sim +85^\circ C$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間(対ASTB)	t_{SAST}	<6>		$(0.5 + t_{ASW}) T - 20$	ns
アドレス保持時間(対ASTB)	t_{HSTA}	<7>		$(0.5 + t_{AHW}) T - 15$	ns
RD アドレス・フロート遅延時間	t_{FRDA}	<8>		16	ns
アドレス データ入力設定時間	t_{SAID}	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 35$	ns
RD データ入力設定時間	t_{SRID}	<10>		$(1 + n) T - 25$	ns
ASTB RD, WRm 遅延時間	t_{DSTRDW}	<11>		$(0.5 + t_{AHW}) T - 15$	ns
データ入力保持時間(対RD)	t_{HRDID}	<12>	0		ns
RD アドレス出力時間	t_{DRDA}	<13>		$(1+i) T - 15$	ns
RD, WRm ASTB 遅延時間	t_{DRDWRS}	<14>		0.5T - 15	ns
RD ASTB 遅延時間	t_{DRDST}	<15>		$(1.5 + i + t_{ASW}) T - 15$	ns
RD, WRm 口ウ・レベル幅	t_{WRDWRL}	<16>		$(1+n) T - 15$	ns
ASTB ハイ・レベル幅	t_{WSTH}	<17>		$(1+i+t_{ASW}) T - 15$	ns
WRm データ出力時間	t_{DWROD}	<18>		15	ns
データ出力設定時間(対WRm)	t_{SODWR}	<19>		$(1+n) T - 20$	ns
データ出力保持時間(対WRm)	t_{HWROD}	<20>		T - 15	ns
WAIT設定時間(対アドレス)	t_{SAWT1}	<21> n 1		$(1.5 + t_{ASW} + t_{AHW}) T - 35$	ns
	t_{SAWT2}	<22>		$1.5 + n + t_{ASW} + t_{AHW} T - 35$	ns
WAIT保持時間(対アドレス)	t_{HAWT1}	<23> n 1		$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	t_{HAWT2}	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間(対ASTB)	t_{SSTWT1}	<25> n 1		$(1 + t_{AHW}) T - 25$	ns
	t_{SSTWT2}	<26>		$(1 + n + t_{AHW}) T - 25$	ns
WAIT保持時間(対ASTB)	t_{HSTWT1}	<27> n 1		$(n + t_{AHW}) T$	ns
	t_{HSTWT2}	<28>		$(1 + n + t_{AHW}) T$	ns

備考1. t_{ASW} : アドレス・セットアップ・ウェイト・クロック数

t_{AHW} : アドレス・ホールド・ウェイト・クロック数

2. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウェイト・クロック数

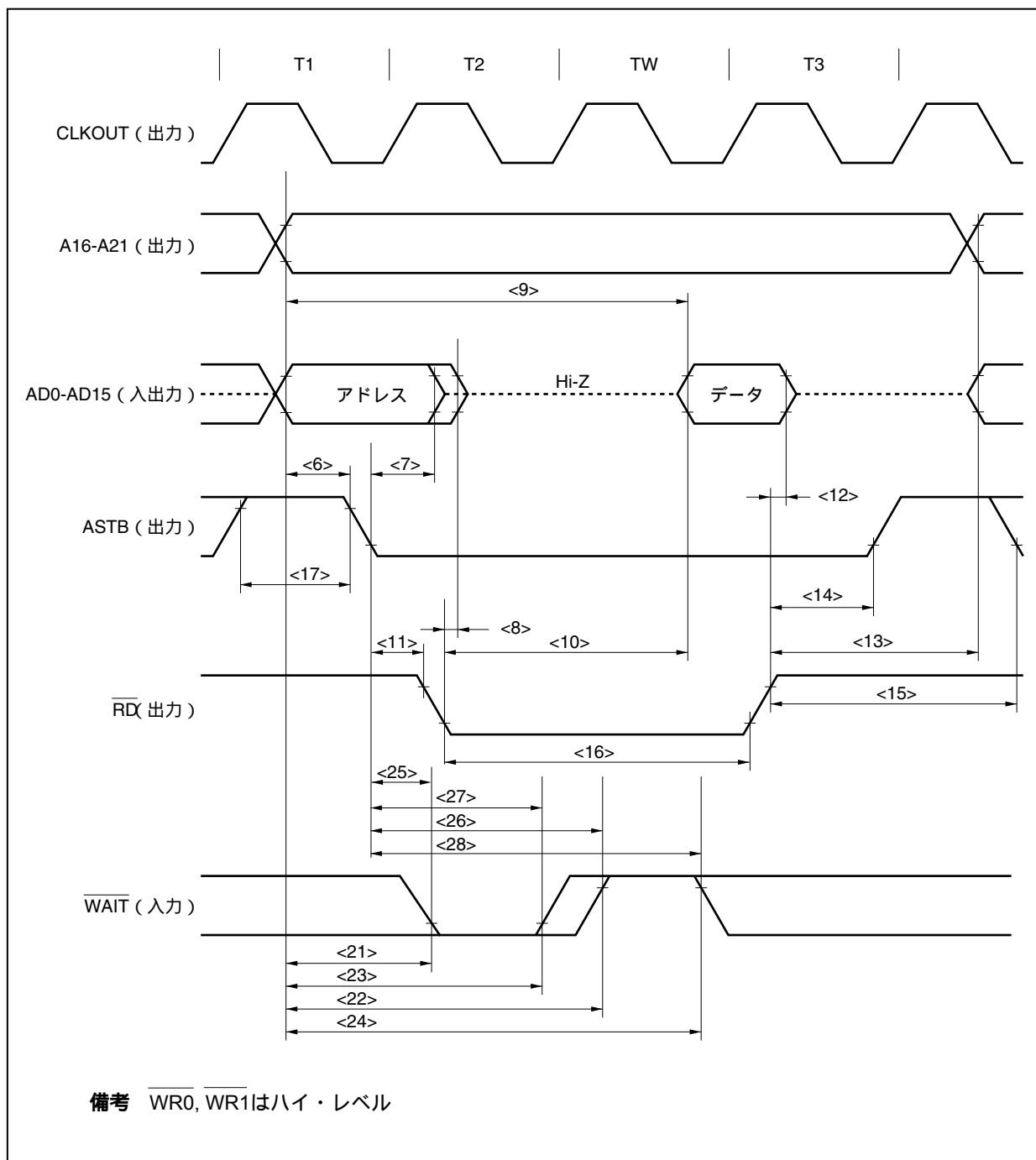
プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。

4. $m = 0, 1$

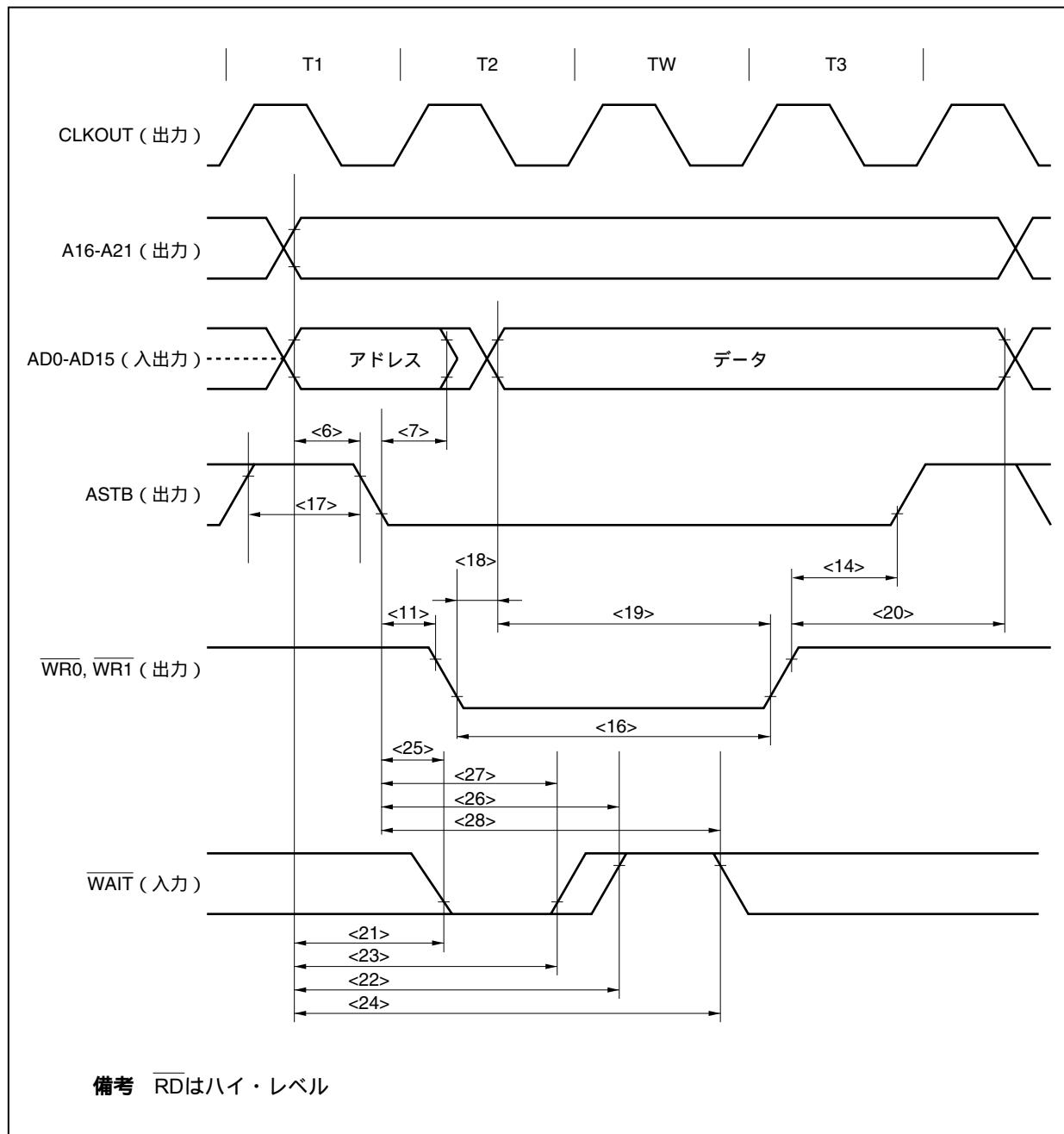
5. i : リード・サイクル後に挿入されるアイドル・ステート数(0または1)

6. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル(CLKOUT非同期)：マルチプレクス・バス・モード時



ライト・サイクル(CLKOUT非同期)：マルチプレクス・バス・モード時



(b) リード / ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時

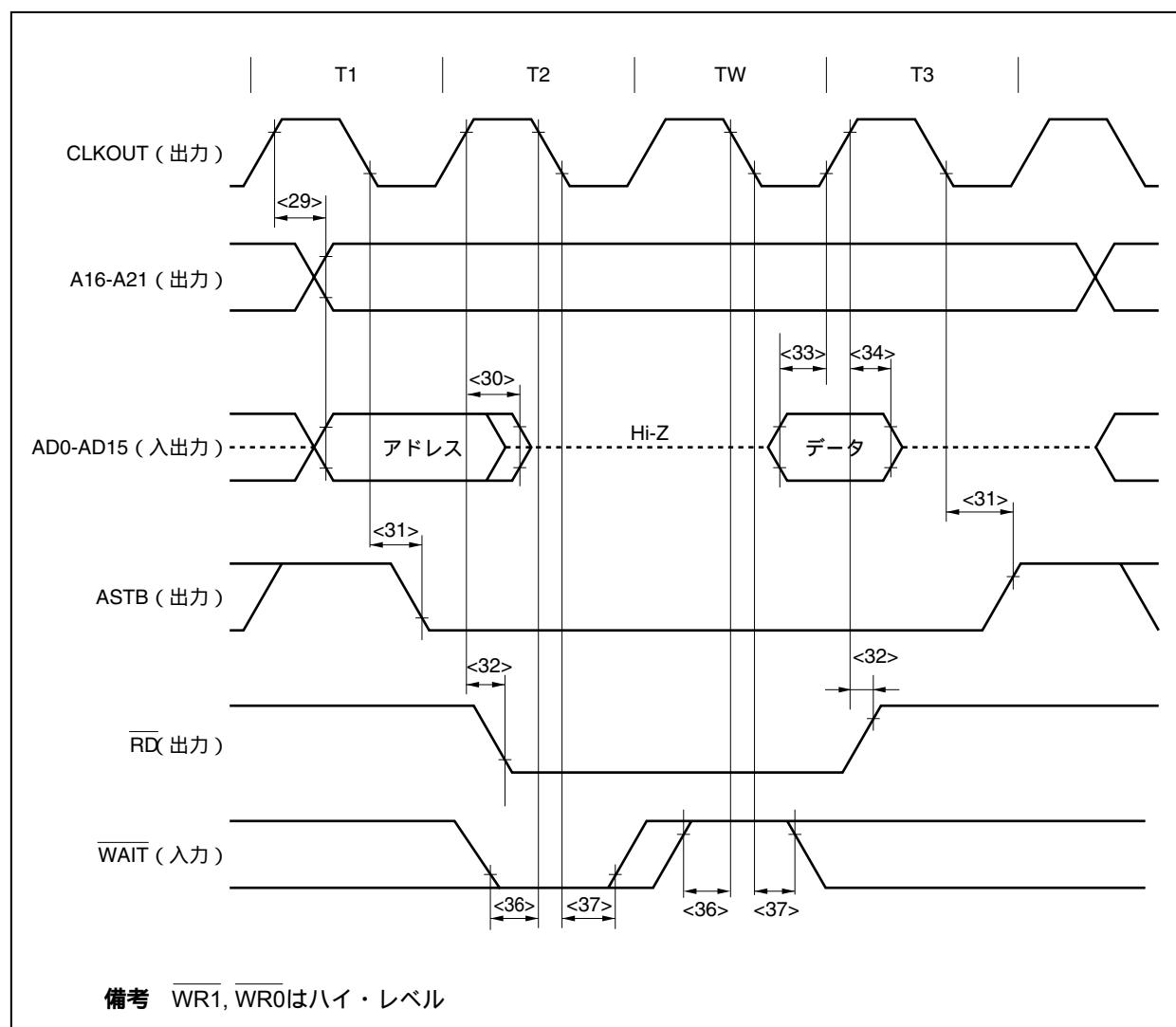
($T_A = -40 \sim +85^\circ C$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t_{DKA}	<29>	0	25	ns
CLKOUT アドレス・フロート遅延時間	t_{FKA}	<30>	0	19	ns
CLKOUT ASTB遅延時間	t_{DKST}	<31>	-12	7	ns
CLKOUT RD, WRm遅延時間	t_{DKRDWR}	<32>	-5	14	ns
データ入力設定時間 (対CLKOUT)	t_{SIDK}	<33>	15		ns
データ入力保持時間 (対CLKOUT)	t_{HKID}	<34>	5		ns
CLKOUT データ出力遅延時間	t_{DKOD}	<35>		19	ns
WAIT設定時間 (対CLKOUT)	t_{SWTK}	<36>	20		ns
WAIT保持時間 (対CLKOUT)	t_{HKWT}	<37>	5		ns

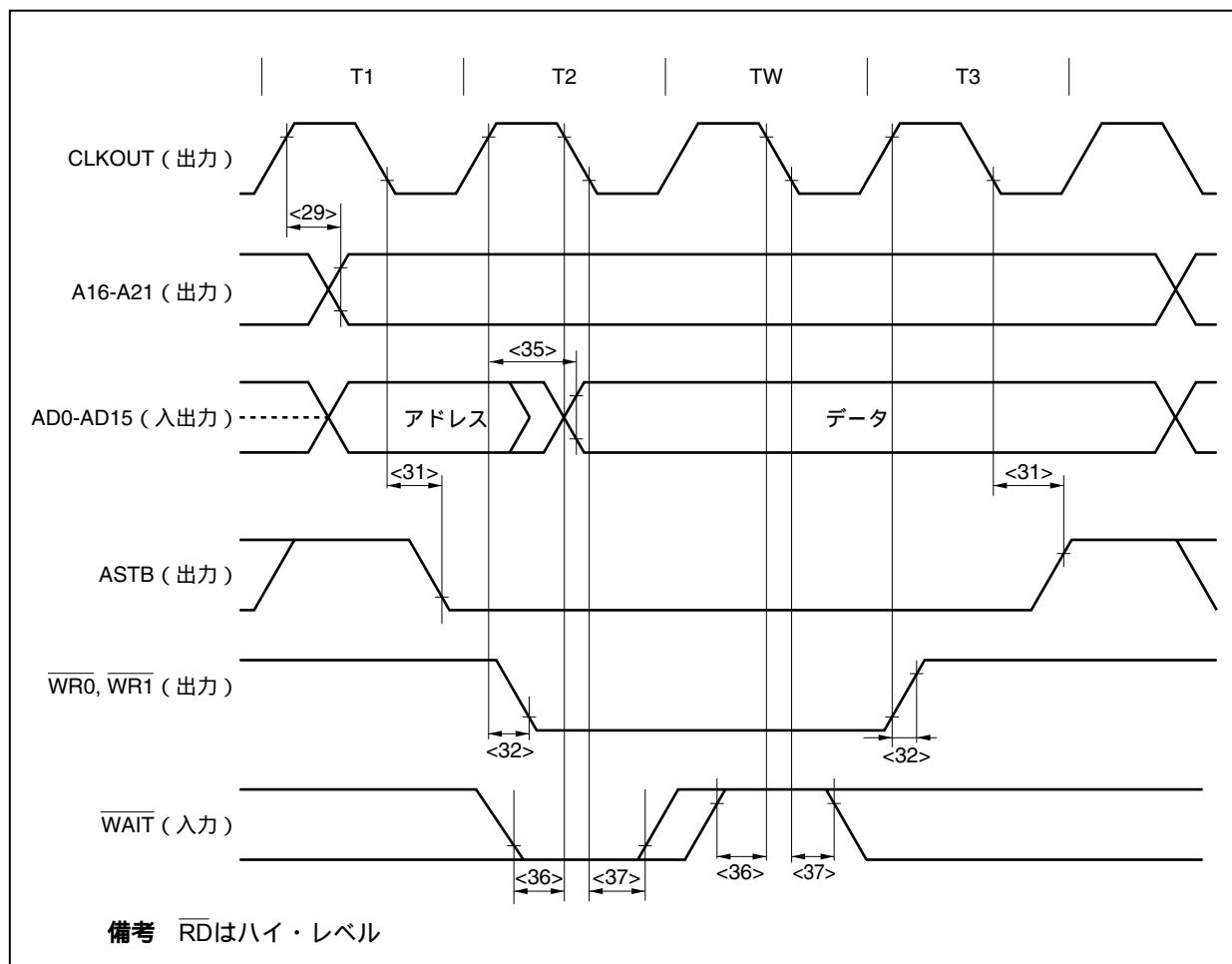
備考1. $m = 0, 1$

2. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



ライト・サイクル(CLKOUT同期)：マルチプレクス・バス・モード時



(2) セパレート・バス・モード時

(a) リード・サイクル(CLKOUT非同期)：セパレート・バス・モード時

($T_A = -40 \sim +85^\circ C$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間(対RD)	t _{SARD}	<38>	(0.5 + t _{ASW}) T - 23		ns
アドレス保持時間(対RD)	t _{HARD}	<39>	iT + 1		ns
RDロウ・レベル幅	t _{WRDL}	<40>	(1.5 + n + t _{AHW}) T - 10		ns
データ設定時間(対RD)	t _{SISD}	<41>	23		ns
データ保持時間(対RD)	t _{HISD}	<42>	0		ns
データ設定時間(対アドレス)	t _{SAID}	<43>		(2 + n + t _{ASW} + t _{AHW}) T - 40	ns
WAIT設定時間(対RD)	t _{SRDWT1}	<44>		(0.5 + t _{AHW}) T - 25	ns
	t _{SRDWT2}	<45>		(0.5 + n + t _{AHW}) T - 25	ns
WAIT保持時間(対RD)	t _{HRDWT1}	<46>	(n - 0.5 + t _{AHW}) T		ns
	t _{HRDWT2}	<47>	(n + 0.5 + t _{AHW}) T		ns
WAIT設定時間(対アドレス)	t _{SAWT1}	<48>		(1 + t _{ASW} + t _{AHW}) T - 45	ns
	t _{SAWT2}	<49>		(1 + n + t _{ASW} + t _{AHW}) T - 45	ns
WAIT保持時間(対アドレス)	t _{HAWT1}	<50>	(n + t _{ASW} + t _{AHW}) T		ns
	t _{HAWT2}	<51>	(1 + n + t _{ASW} + t _{AHW}) T		ns

備考1. t_{ASW} : アドレス・セットアップ・ウエイト・クロック数

t_{AHW} : アドレス・ホールド・ウエイト・クロック数

2. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

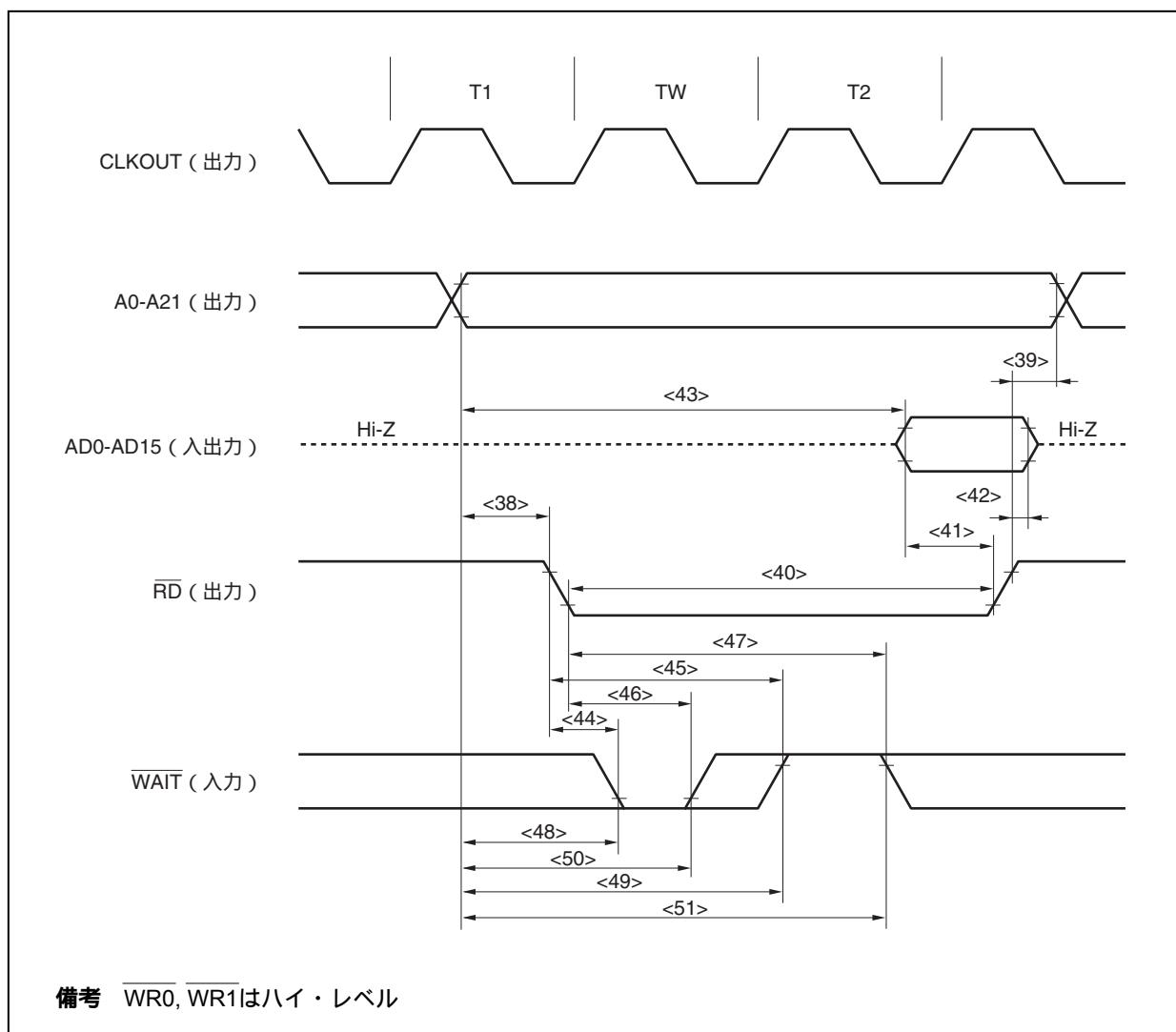
3. n : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

4. i : リード・サイクル後に挿入されるアイドル・ステート数(0または1)

5. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル(CLKOUT非同期)：セパレート・バス・モード時



(b) ライト・サイクル(CLKOUT非同期) : セパレート・バス・モード時

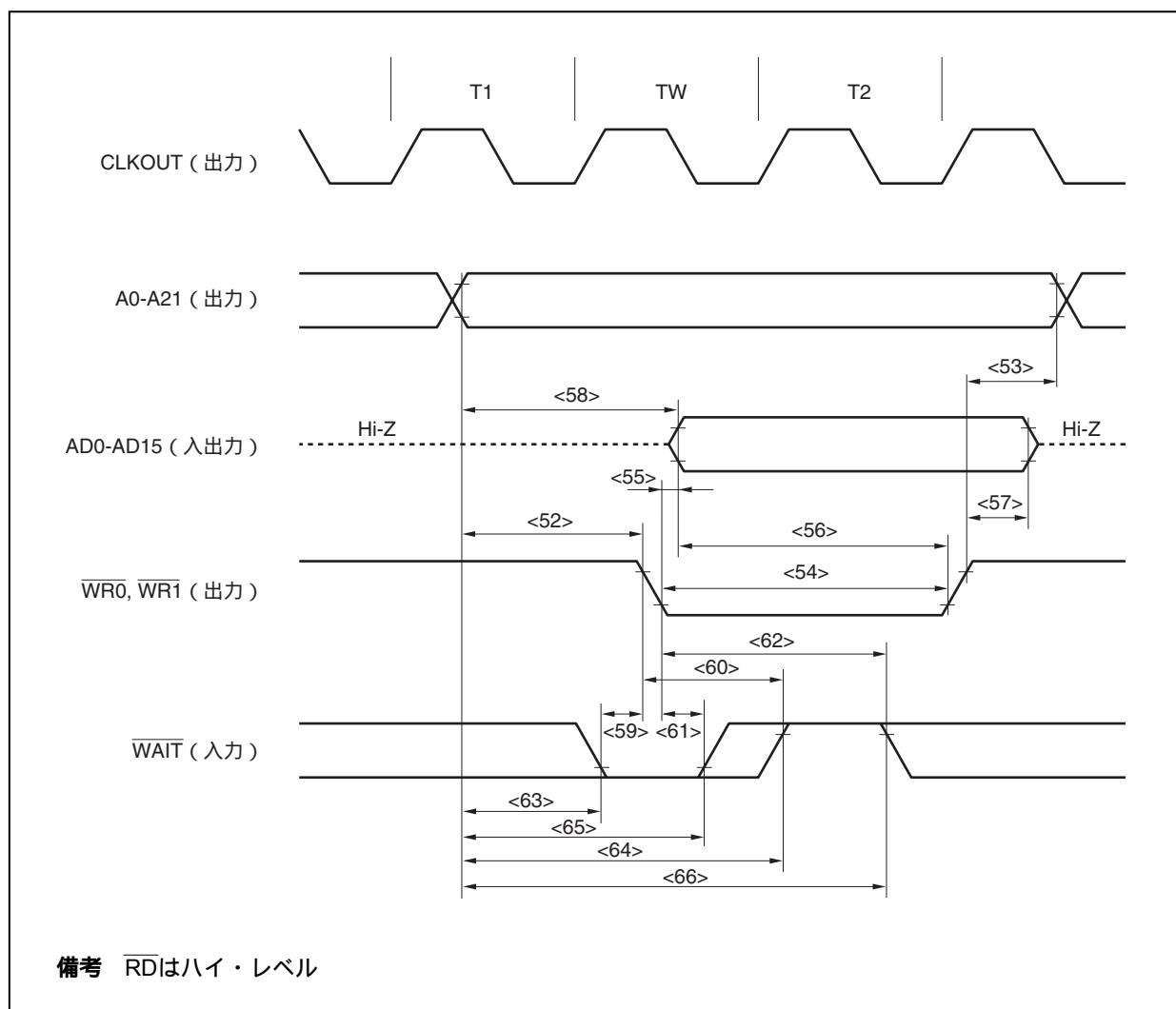
($T_A = -40 \sim +85^\circ C$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
アドレス設定時間(対WRm)	t _{SAWR}	<52>		(1 + t _{ASW} + t _{AHW}) T - 23	ns
アドレス保持時間(対WRm)	t _{HAWR}	<53>		0.5T - 10	ns
WRmロウ・レベル幅	t _{WWRL}	<54>		(0.5 + n) T - 10	ns
WRm データ出力時間	t _{DOSDW}	<55>		- 5	ns
データ設定時間(対WRm)	t _{SOSDW}	<56>		(0.5 + n) T - 20	ns
データ保持時間(対WRm)	t _{HOSDW}	<57>		0.5T - 10	ns
データ設定時間(対アドレス)	t _{SAOD}	<58>		(1 + t _{ASW} + t _{AHW}) T - 25	ns
WAIT設定時間(対WRm)	t _{SWRW1}	<59>		22	ns
	t _{SWRW2}	<60>		nT - 22	ns
WAIT保持時間(対WRm)	t _{HWRWT1}	<61>		0	ns
	t _{HWRWT2}	<62>		nT	ns
WAIT設定時間(対アドレス)	t _{SAWT1}	<63>		(1 + t _{ASW} + t _{AHW}) T - 45	ns
	t _{SAWT2}	<64>		(1 + n + t _{ASW} + t _{AHW}) T - 45	ns
WAIT保持時間(対アドレス)	t _{HAWT1}	<65>		(n + t _{ASW} + t _{AHW}) T	ns
	t _{HAWT2}	<66>		(1 + n + t _{ASW} + t _{AHW}) T	ns

備考1. m = 0, 1

2. t_{ASW} : アドレス・セットアップ・ウェイト・クロック数
3. t_{AHW} : アドレス・ホールド・ウェイト・クロック数
4. n : バス・サイクルに挿入されるウェイト・クロック数
プログラマブル・ウェイト挿入時は、サンプリング・タイミングが変わります。
5. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

ライト・サイクル(CLKOUT非同期)：セパレート・バス・モード時



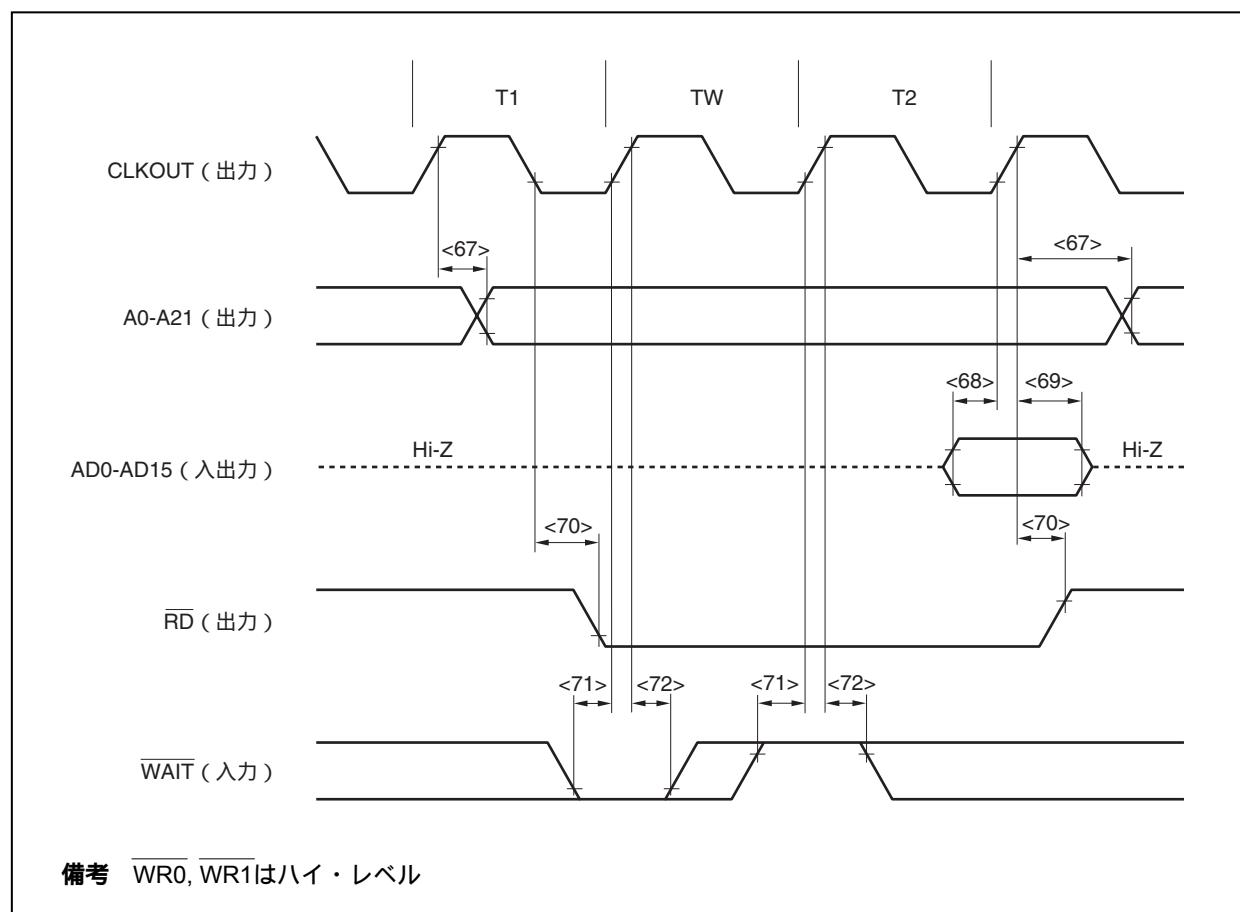
(c) リード・サイクル(CLKOUT同期) : セパレート・バス・モード時

($T_A = -40 \sim +85^\circ C$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t_{DKSA}	$<67>$		2	ns
データ入力設定時間(対CLKOUT)	t_{SISDK}	$<68>$		20	ns
データ入力保持時間(対CLKOUT)	t_{HKSD}	$<69>$		0	ns
CLKOUT RD遅延時間	t_{DKSR}	$<70>$		-2	ns
WAIT設定時間(対CLKOUT)	t_{SWTK}	$<71>$		20	ns
WAIT保持時間(対CLKOUT)	t_{HKWT}	$<72>$		0	ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル(CLKOUT同期, 1ウェイト) : セパレート・バス・モード時



(d) ライト・サイクル(CLKOUT同期) : セパレート・バス・モード時

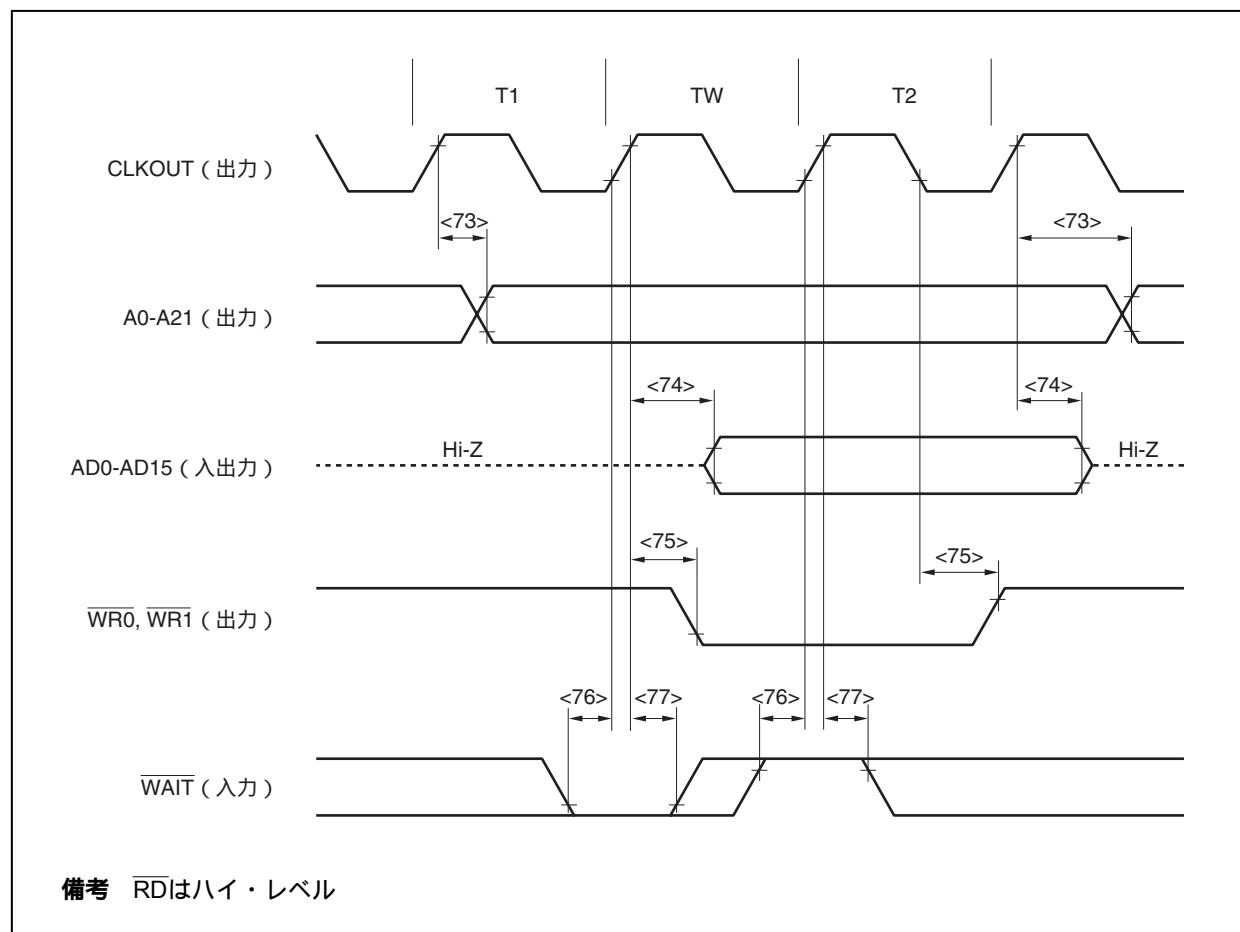
($T_A = -40 \sim +85^\circ C$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
CLKOUT アドレス遅延時間	t_{DKSA}	<73>		2	25
CLKOUT データ出力遅延時間	t_{DKSD}	<74>		2	15
CLKOUT \overline{WRm} 遅延時間	t_{DKSW}	<75>	-2	12	ns
WAIT設定時間(対CLKOUT)	t_{SWTK}	<76>	20		ns
WAIT保持時間(対CLKOUT)	t_{HKWT}	<77>	0		ns

備考1. $m = 0, 1$

2. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

ライト・サイクル(CLKOUT同期) : セパレート・バス・モード時



(3) バス・ホールド時

(a) CLKOUT非同期

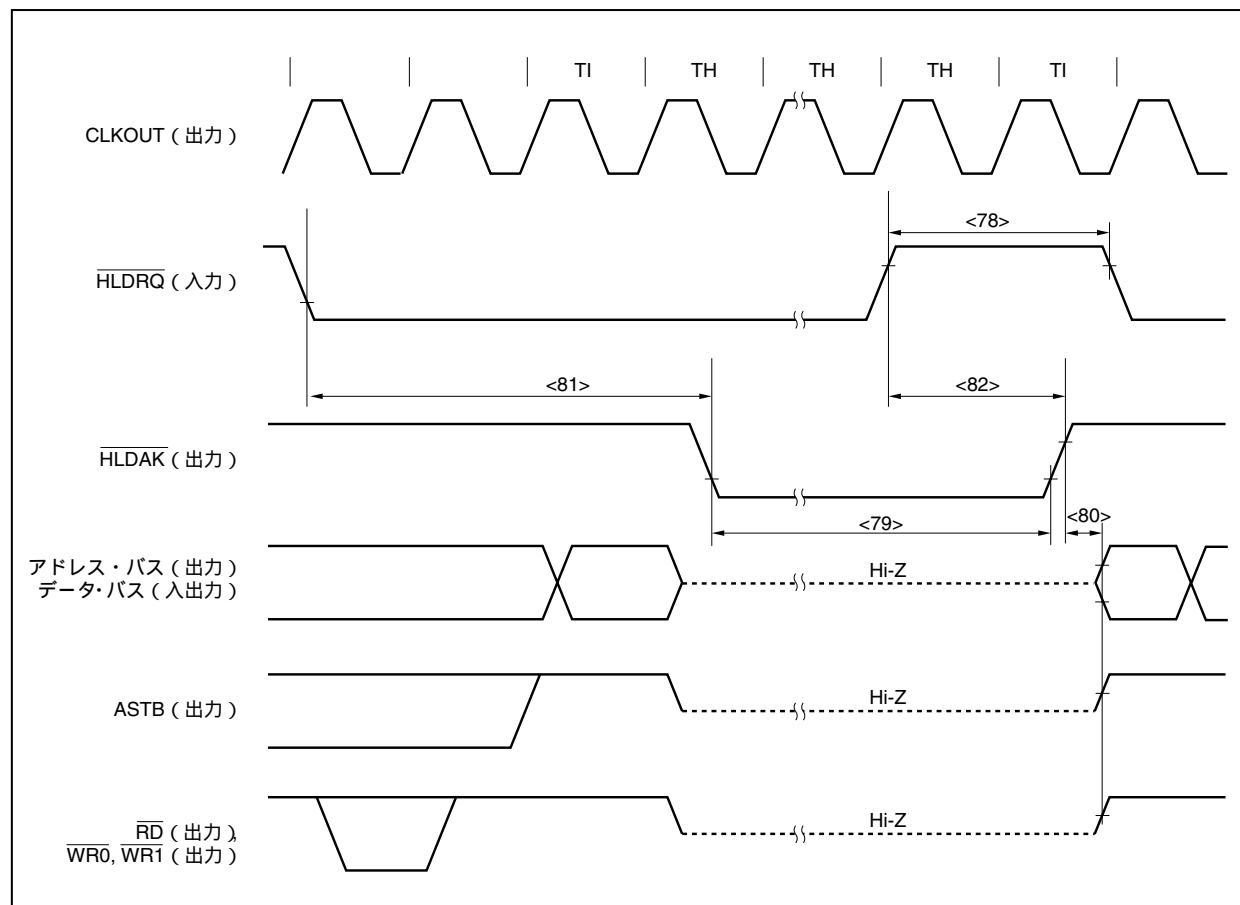
($T_A = -40 \sim +85^\circ C$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
HLDHQハイ・レベル幅	t _{WHQH}	<78>		T + 10	ns
HLDAKロウ・レベル幅	t _{WHAL}	<79>		T - 15	ns
HLDAK バス出力遅延時間	t _{DHAC}	<80>		- 3	ns
HLDHQ HLDAK 遅延時間	t _{DHQHA1}	<81>		(2n + 7.5) T + 25	ns
HLDHQ HLDAK 遅延時間	t _{DHQHA2}	<82>	0.5T	1.5T + 25	ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n: バス・サイクルに挿入されるウエイト・クロック数
プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。
3. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT非同期)



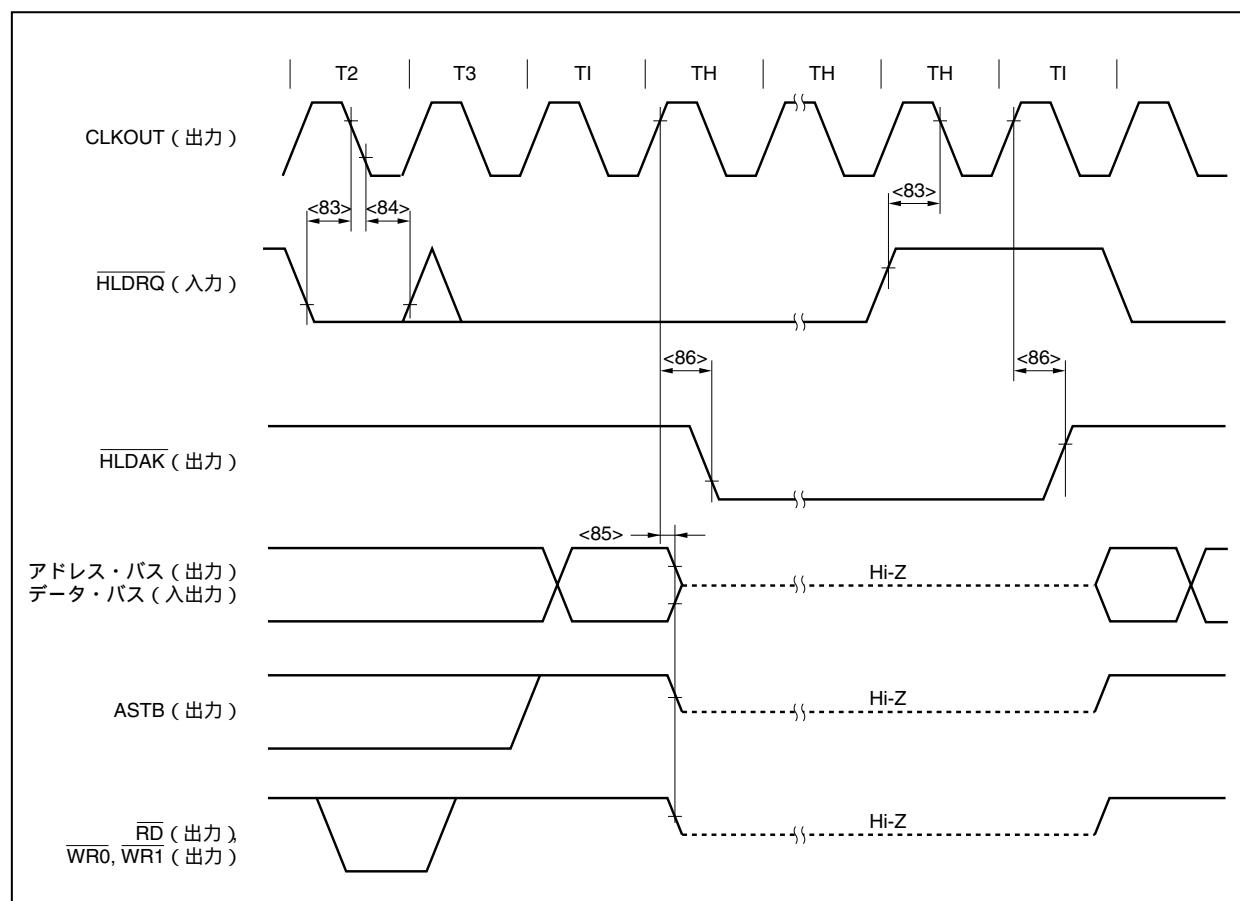
(b) CLKOUT同期

($T_A = -40 \sim +85^\circ C$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
HLDREQ設定時間(対CLKOUT)	t_{SHQK}	<83>		20	ns
HLDREQ保持時間(対CLKOUT)	t_{HKHQ}	<84>		5	ns
CLKOUT バス・フロート遅延時間	t_{DKF}	<85>		19	ns
CLKOUT HLDACK遅延時間	t_{DKHA}	<86>		19	ns

備考 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

バス・ホールド(CLKOUT同期)

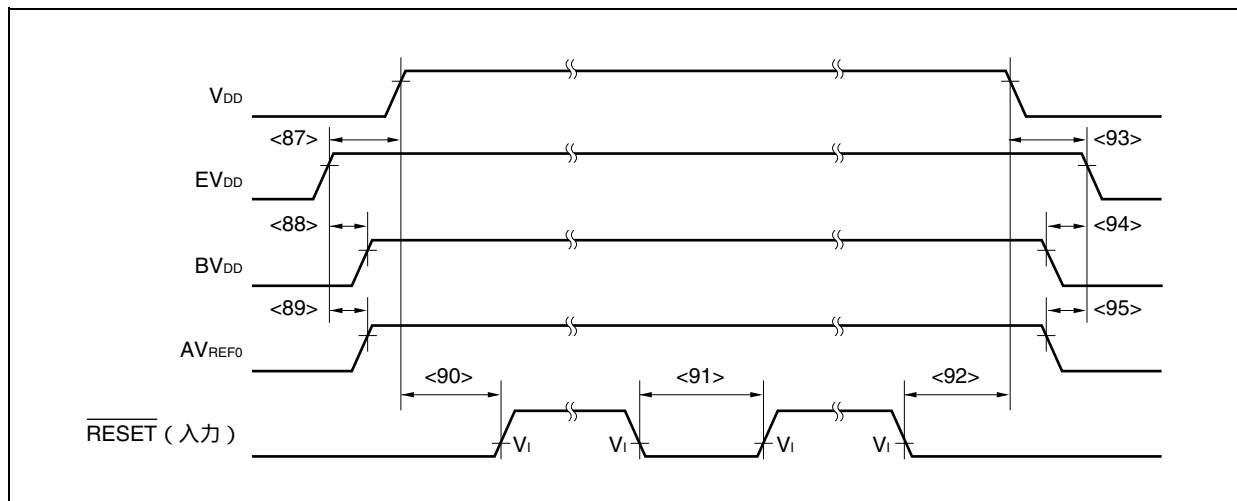


パワー・オン／パワー・オフ／リセット・タイミング

(TA = -40 ~ +85 °C, V_{SS} = AV_{SS} = BV_{SS} = EV_{SS} = 0 V, C_L = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
EV _{DD} V _{DD}	t _{REL}	<87>	0		ns
EV _{DD} BV _{DD}	t _{REB}	<88>	0	t _{REL}	ns
EV _{DD} AV _{REF0} , AV _{REF1}	t _{REA}	<89>	0	t _{REL}	ns
EV _{DD} RESET	t _{RER}	<90>	500 + t _{REG} ^注		ns
RESETロウ・レベル幅	t _{WRSL}	<91> アナログ・ノイズ除去 (フラッシュ消去 / 書き込み間) アナログ・ノイズ除去	500		ns
RESET V _{DD}	t _{FRE}	<92>	500		ns
V _{DD} EV _{DD}	t _{FEL}	<93>	0		ns
BV _{DD} EV _{DD}	t _{FEB}	<94>	0	t _{FEL}	ns
AV _{REF0} EV _{DD}	t _{FEA}	<95>	0	t _{FEL}	ns

注 内蔵レギュレータの特性に依存します。



割り込み, FLMD0端子タイミング

(TA = -40 ~ +85 °C, BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
NMIハイ・レベル幅	t _{WNH}	アナログ・ノイズ除去	500		ns
NMIロウ・レベル幅	t _{WNL}	アナログ・ノイズ除去	500		ns
INTPnハイ・レベル幅	t _{WTH}	n = 0-7 (アナログ・ノイズ除去) n = 3 (ディジタル・ノイズ除去)	500 3T _{SMP} + 20		ns
INTPnロウ・レベル幅	t _{WTL}	n = 0-7 (アナログ・ノイズ除去) n = 3 (ディジタル・ノイズ除去)	500 3T _{SMP} + 20		ns
FLMD0ハイ・レベル幅	t _{WMDH}		500		ns
FLMD0ロウ・レベル幅	t _{WMDL}		500		ns

備考 T_{SMP} : ノイズ除去サンプリング・クロック周期

キー・リターン・タイミング

($T_A = -40 \sim +85^\circ C$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
KRnハイ・レベル幅	twKRH	アナログ・ノイズ除去	500		ns
KRnロウ・レベル幅	twKRL	アナログ・ノイズ除去	500		ns

備考 $n = 0-7$

タイマ・タイミング

($T_A = -40 \sim +85^\circ C$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
TIハイ・レベル幅	t _{TH}	TIP00, TIP01, TIP10, TIP11, TIP20, TIP21, TIP30, TIP31, TIP40, TIP41, TIP50, TIP51, TIQ00-TIQ03	2T + 20		ns
TIロウ・レベル幅	t _{TL}		2T + 20		ns

備考 $T = 1/f_{xx}$

UARTタイミング

($T_A = -40 \sim +85^\circ C$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V$, $C_L = 50 pF$)

項目	略号	条件	MIN.	MAX.	単位
送信レート				312.5	kbps
ASCK0サイクル・タイム				10	MHz

CSIBタイミング

(1) マスター・モード

(TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY1}	<96>		125	ns
SCKBnハイ / ロウ・レベル幅	t _{KH1} , t _{KL1}	<97>	t _{KCY1} /2 - 5		ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK1}	<98>		30	ns
SIBnホールド時間 (対SCKBn)	t _{SH1}	<99>		30	ns
SCKBn SOBn出力遅延時間	t _{SO1}	<100>		30	ns

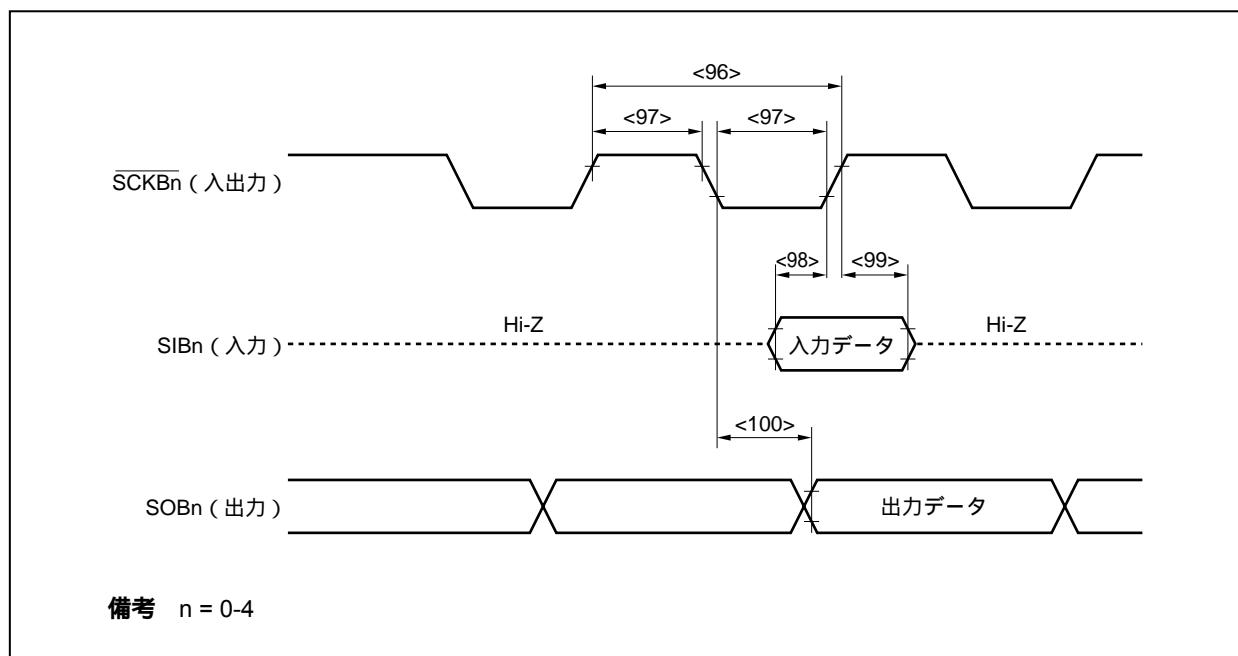
備考 n = 0-4

(2) スレーブ・モード

(TA = -40 ~ +85 °C, BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKBnサイクル・タイム	t _{KCY2}	<96>		125	ns
SCKBnハイ / ロウ・レベル幅	t _{KH2} , t _{KL2}	<97>		57.5	ns
SIBnセットアップ時間 (対SCKBn)	t _{SIK2}	<98>		30	ns
SIBnホールド時間 (対SCKBn)	t _{SH2}	<99>		30	ns
SCKBn SOBn出力遅延時間	t _{SO2}	<100>		30	ns

備考 n = 0-4



I²Cバス・モード

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	標準モード		高速モード		単位
		MIN.	MAX.	MIN.	MAX.	
SCL0nクロック周波数	f _{CLK}	0	100	0	400	kHz
バス・フリー・タイム (ストップ-スタート・コンディション間)	t _{BUF}	<101>	4.7	-	1.3	μs
ホールド時間 ^{注1}	t _{HD : STA}	<102>	4.0	-	0.6	μs
SCL0nクロックのロウ・レベル幅	t _{LOW}	<103>	4.7	-	1.3	μs
SCL0nクロックのハイ・レベル幅	t _{HIGH}	<104>	4.0	-	0.6	μs
スタート/リストア・コンディションのセットアップ時間	t _{SU : STA}	<105>	4.7	-	0.6	μs
データ・ホールド時間	t _{HD : DAT}	<106>	5.0	-	-	μs
I ² Cモードの場合			0 ^{注2}	-	0 ^{注2}	0.9 ^{注3} μs
データ・セットアップ時間	t _{SU : DAT}	<107>	250	-	100 ^{注4}	ns
SDA0nおよびSCL0n信号の立ち上がり時間	t _R	<108>	-	1000	20 + 0.1Cb ^{注5}	300 ns
SDA0nおよびSCL0n信号の立ち下がり時間	t _F	<109>	-	300	20 + 0.1Cb ^{注5}	300 ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<110>	4.0	-	0.6	μs
入力フィルタによって抑制されるスペイクのパルス幅	t _{SP}	<111>	-	-	0	50 ns
各バス・ラインの容量性負荷	C _b	-	400	-	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

2. 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために(SCL0n信号のV_{IHmin}での) SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
3. 装置がSCL0n信号のロウ・ホールド時間(t_{LOW})を延長しない場合は、最大データ・ホールド時間(t_{HD : DAT})のみ満たすことが必要です。
4. 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

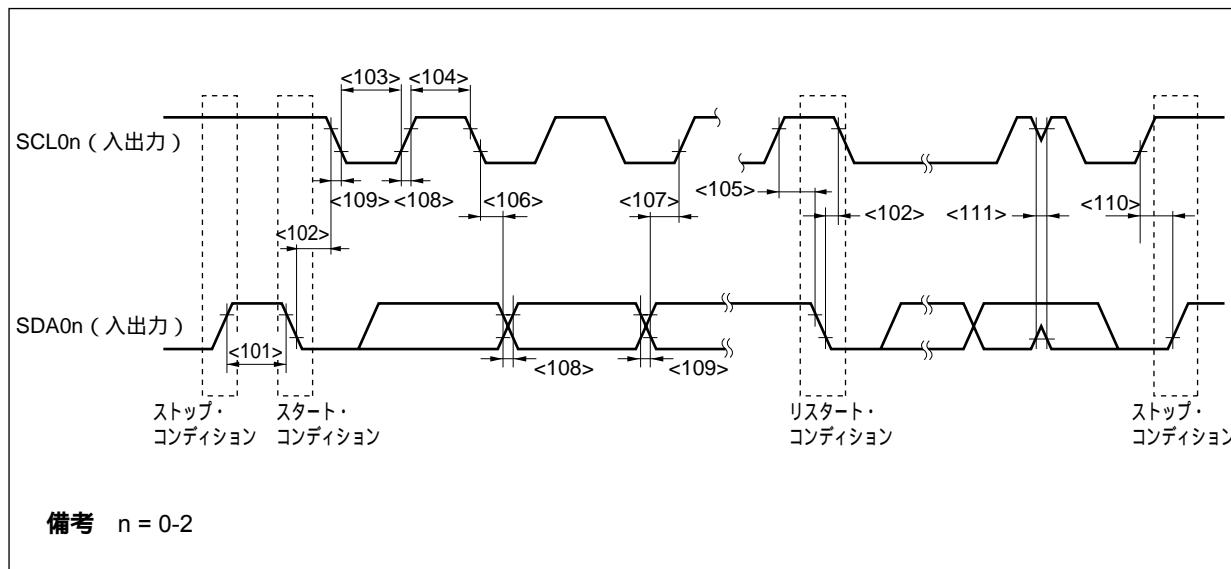
t_{SU : DAT} 250 ns

- ・装置がSCL0n信号のロウ状態ホールド時間を延長する場合

SCL0nラインが解放される(t_{Rmax} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様)前に、次のデータ・ビットをSDA0nラインに送出してください。

5. C_b : 1つのバス・ラインの合計キャパシタンス(単位 : pF)

備考 n = 0-2

I²Cバス・モード

A/Dコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 3.0\text{ V}$ $AV_{REF0} = 3.6\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					10	bit
総合誤差 ^注		$3.0 \text{ AV}_{REF0} \text{ } 3.6\text{ V}$			± 0.6	%FSR
変換時間	t_{CONV}		2.6		24	μs
ゼロスケール誤差					± 0.5	%FSR
フルスケール誤差					± 0.5	%FSR
非直線性誤差					± 4.0	LSB
微分直線性誤差					± 4.0	LSB
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
基準電圧	AV_{REF0}		3.0		3.6	V
AV_{REF0} 電流	AI_{REF0}	通常変換モード	3	6.5	mA	
		高速変換モード	4	10	mA	
		A/Dコンバータ未使用時			5	μA

注 量子化誤差 ($\pm 0.05\text{ %FSR}$) は含みません。

注意 A/D変換中に兼用ポートの設定(リード/ライト)を行わないでください。変換分解能が低下することがあります。

備考 LSB : Least Significant Bit

FSR : Full Scale Range

D/Aコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 3.0\text{ V}$ $AV_{REF1} = 3.6\text{ V}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能					8	bit
総合誤差 ^{注1}		$R = 2\text{ M}\Omega$			± 1.2	%FSR
セトリング・タイム		$C = 20\text{ pF}$			3	μs
出力抵抗	R_o	出力データ55H		3.5		$\text{k}\Omega$
基準電圧	AV_{REF1}		3.0		3.6	V
AV_{REF1} 電流 ^{注2}	AI_{REF1}	D/A変換動作時		1	2.5	mA
		D/A変換停止時			5	μA

注1. 量子化誤差 ($\pm 0.5\text{ LSB}$) は含みません。

2. D/Aコンバータ1チャネル分の値

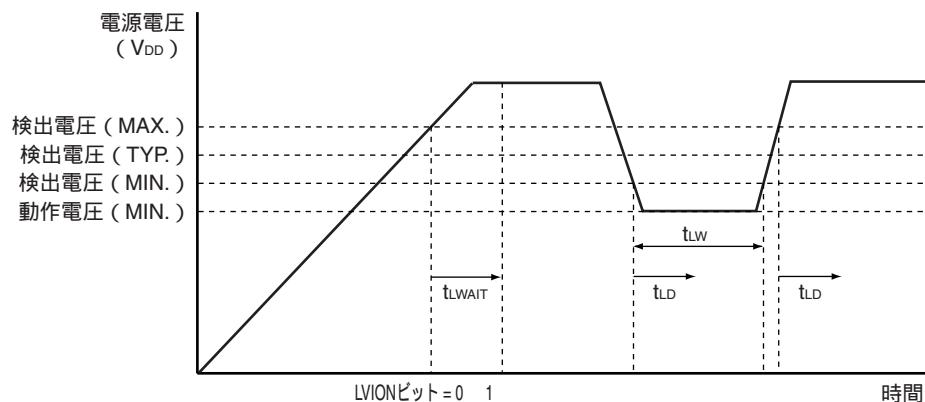
備考 Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

LVI回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LVI0}		2.85	3.0	3.15	V
応答時間 ^注	t_{LD}	V_{DD} が V_{LVI0}/V_{LVI1} (MAX.) に達したあと, または V_{DD} が V_{LVI0}/V_{LVI1} (MAX.) まで下がったあと。		0.2	2.0	ms
最小パルス幅	t_{LW}		0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	V_{DD} が2.85V (MIN.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。

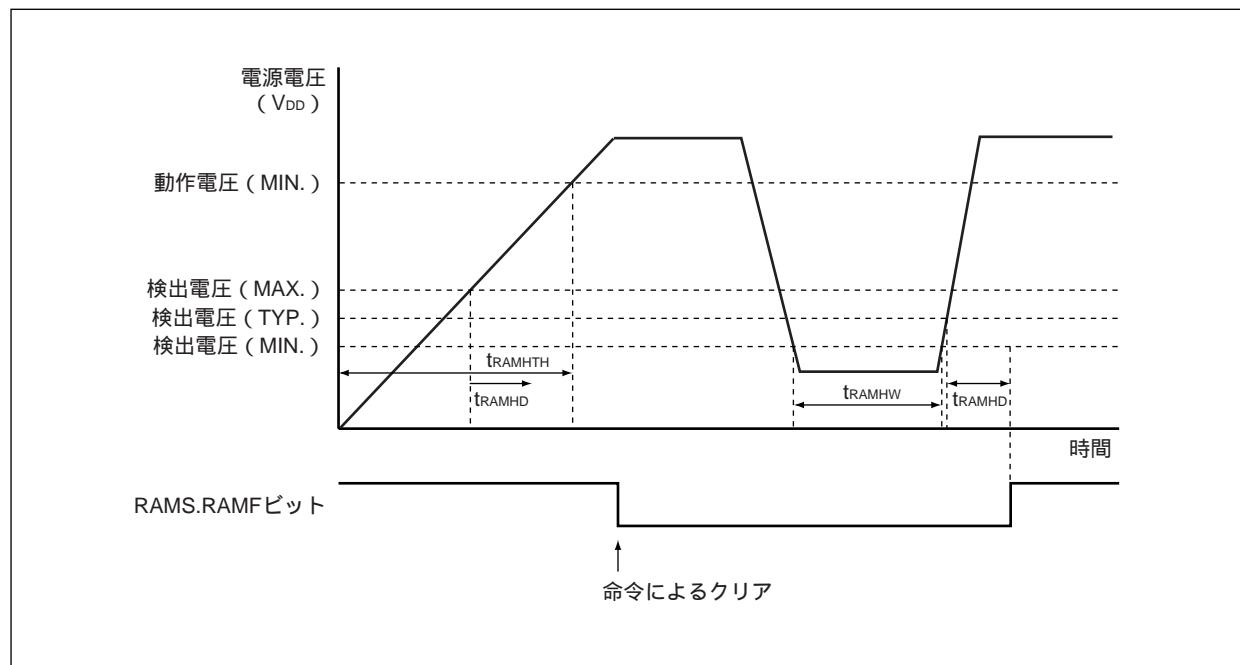


RAM保持検出

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	$V_{DD} = 0 \sim 2.85\text{ V}$	0.002			ms
応答時間 ^注	t_{RAMHD}	V_{DD} が 2.1 V に達したあと		0.2	2.0	ms
最小パルス幅	t_{RAMHW}		0.2			ms

注 検出電圧を検出してRAMS.RAMFビットを設定するまでの時間です。



フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85^\circ\text{C}$, $BV_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

(1) 基本特性

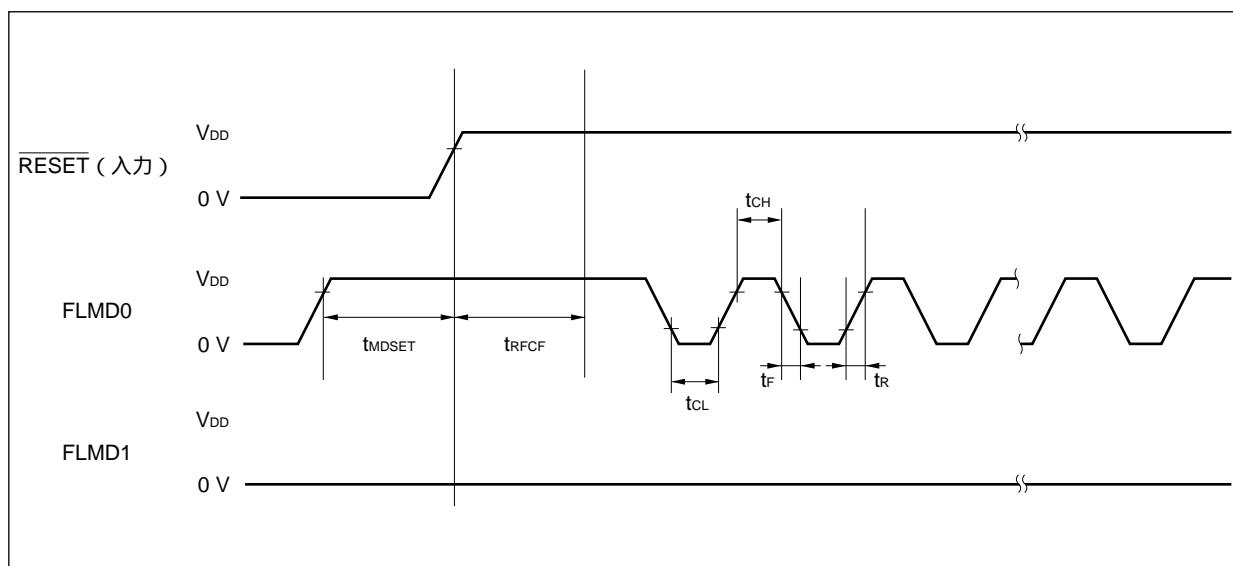
項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f_{CPU}		2.5		20	MHz
電源電圧	V_{DD}		2.85		3.6	V
書き換え回数	C_{WRT}				100	回
プログラミング温度	t_{PRG}		-40		+85	

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1設定時間	t_{MDSET}		2		3000	ms
RESET FLMD0カウント開始時間	t_{RFCF}	$f_x = 2.5 \sim 10\text{ MHz}$	$17855/f_x + \alpha$			s
FLMD0カウンタ・ハイ・レベル幅 / ロウ・レベル幅	t_{CH}/t_{CL}		10	100		μs
FLMD0カウンタ立ち上がり時間 / 立ち下がり時間	t_R/t_F				50	ns

備考 α : 発振安定時間

フラッシュ書き込みモード設定タイミング



(3) プログラミング特性

項目	略号	条件		MIN.	TYP.	MAX.	単位
ブロック消去時間		$f_{xx} = 20 \text{ MHz}$	注1		304		ms
			注2		1405		ms
			注3		3057		ms
256バイトあたりの書き込み時間		$f_{xx} = 20 \text{ MHz}$			8.1		ms
ブロック内部ペリフェイ時間		$f_{xx} = 20 \text{ MHz}$	注1		20		ms
			注2		141		ms
			注3		322		ms
ブロック・ブランク・チェック時間		$f_{xx} = 20 \text{ MHz}$	注1		9.2		ms
			注2		64		ms
			注3		147		ms
フラッシュ情報設定時間		$f_{xx} = 20 \text{ MHz}$			1.0		ms

- 注 1. ブロック・サイズ = 4 Kバイト
 2. ブロック・サイズ = 28 Kバイト
 3. ブロック・サイズ = 64 Kバイト

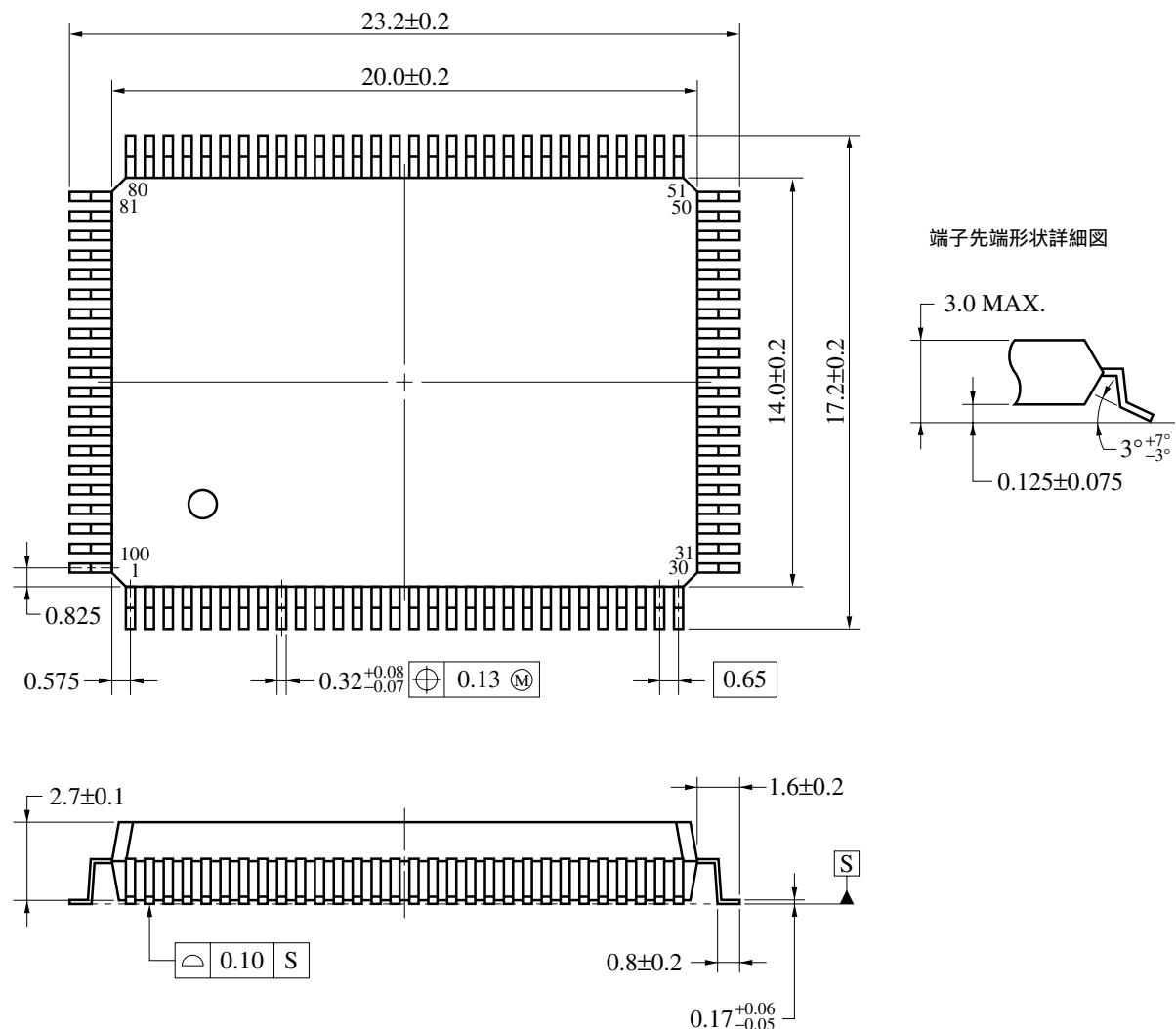
注意 出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。

例 (P:書き込み, E:消去)

出荷品 --- P E P E P : 書き換え回数3回
 出荷品 E P E P E P : 書き換え回数3回

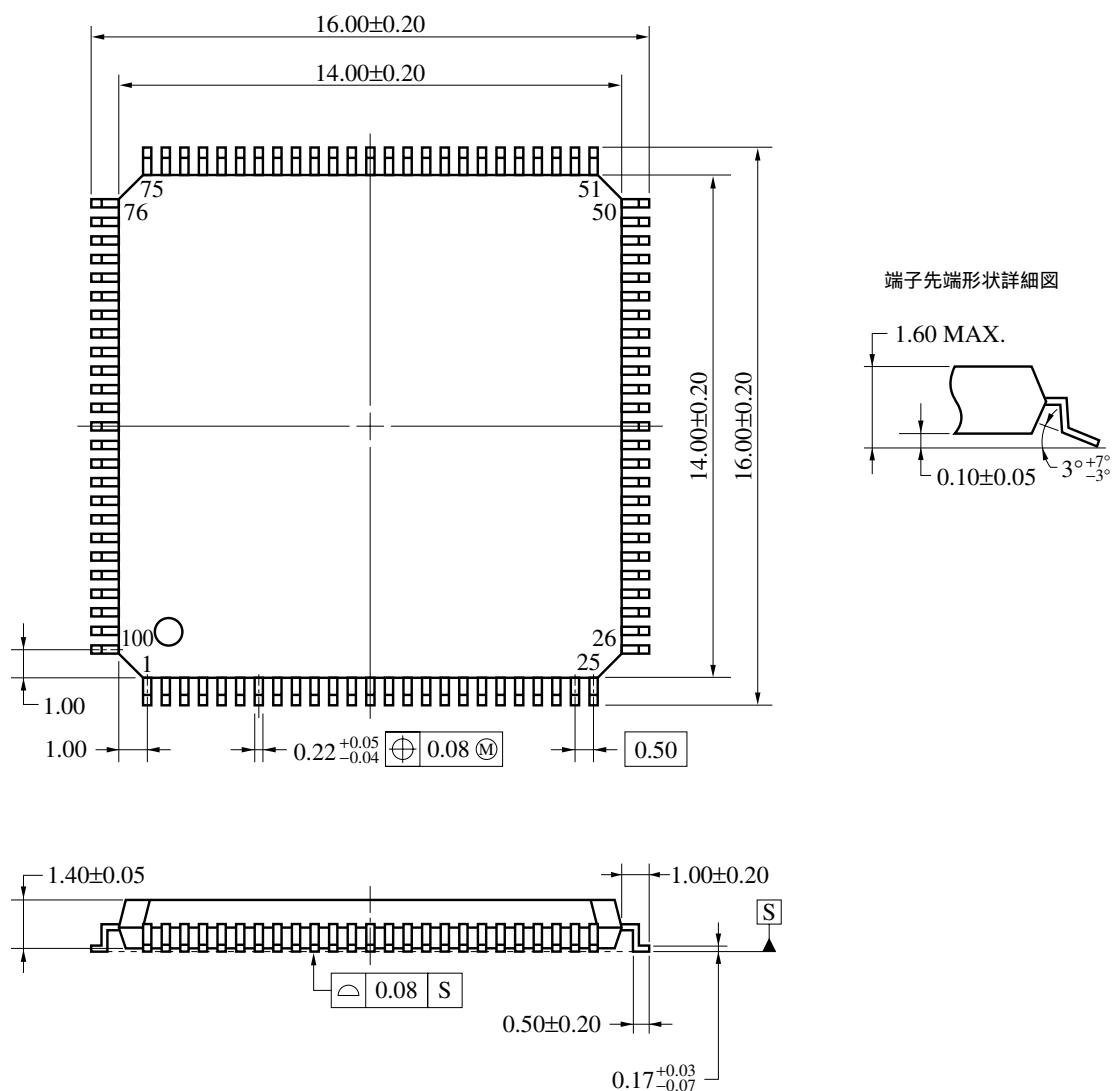
第29章 外形図

100ピン・プラスチックQFP(14x20)外形図(単位:mm)



S100GF-65-JBT-2

100ピン・プラスチック LQFP (ファインピッチ)(14x14) 外形図(単位:mm)



S100GC-50-8EU, 8EA-2

第30章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表30 - 1 表面実装タイプの半田付け条件

(1) μ PD70F3715GC-8EA-A	:	100ピン・プラスチックLQFP(ファインピッチ)(14×14)
μ PD70F3716GC-8EA-A	:	"
μ PD70F3717GC-8EA-A	:	"
μ PD70F3718GC-8EA-A	:	"
μ PD70F3719GC-8EA-A	:	"

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内(220℃以上)，回数：3回以内 制限日数：7日間 <small>注</small> (以降は125℃ブリベーカー20~72時間必要) <留意事項> 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーキングが できません。	IR60-207-3
端子部分加熱	端子温度：350℃以下，時間：3秒以内(デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください(ただし，端子部分加熱は除く)。

備考1. オーダー名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

(2) μ PD70F3715GF-JBT-A : 100ピン・プラスチックQFP (14×20)

μ PD70F3716GF-JBT-A : "

μ PD70F3717GF-JBT-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内(220℃以上)，回数：3回以内 制限日数：7日間 ^注 (以降は125℃ブリベーカー20~72時間必要) <留意事項> 耐熱トレイ以外(マガジン，テーピング，非耐熱トレイ)は，包装状態でのベーキングが できません。	IR60-207-3
ウェーブ・ソルダリング	対応可能です。詳細については，当社販売員にお問い合わせください。	-
端子部分加熱	端子温度：350℃以下，時間：3秒以内(デバイスの一辺当たり)	-

注 ドライパック開封後の保管日数で，保管条件は25℃，65%RH以下。

注意 半田付け方式の併用はお避けください(ただし，端子部分加熱は除く)。

備考1. オーダー名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 開発ツール

V850ES/JG2を使用するシステム開発のために、次のような開発ツールを用意しています。

図A-1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

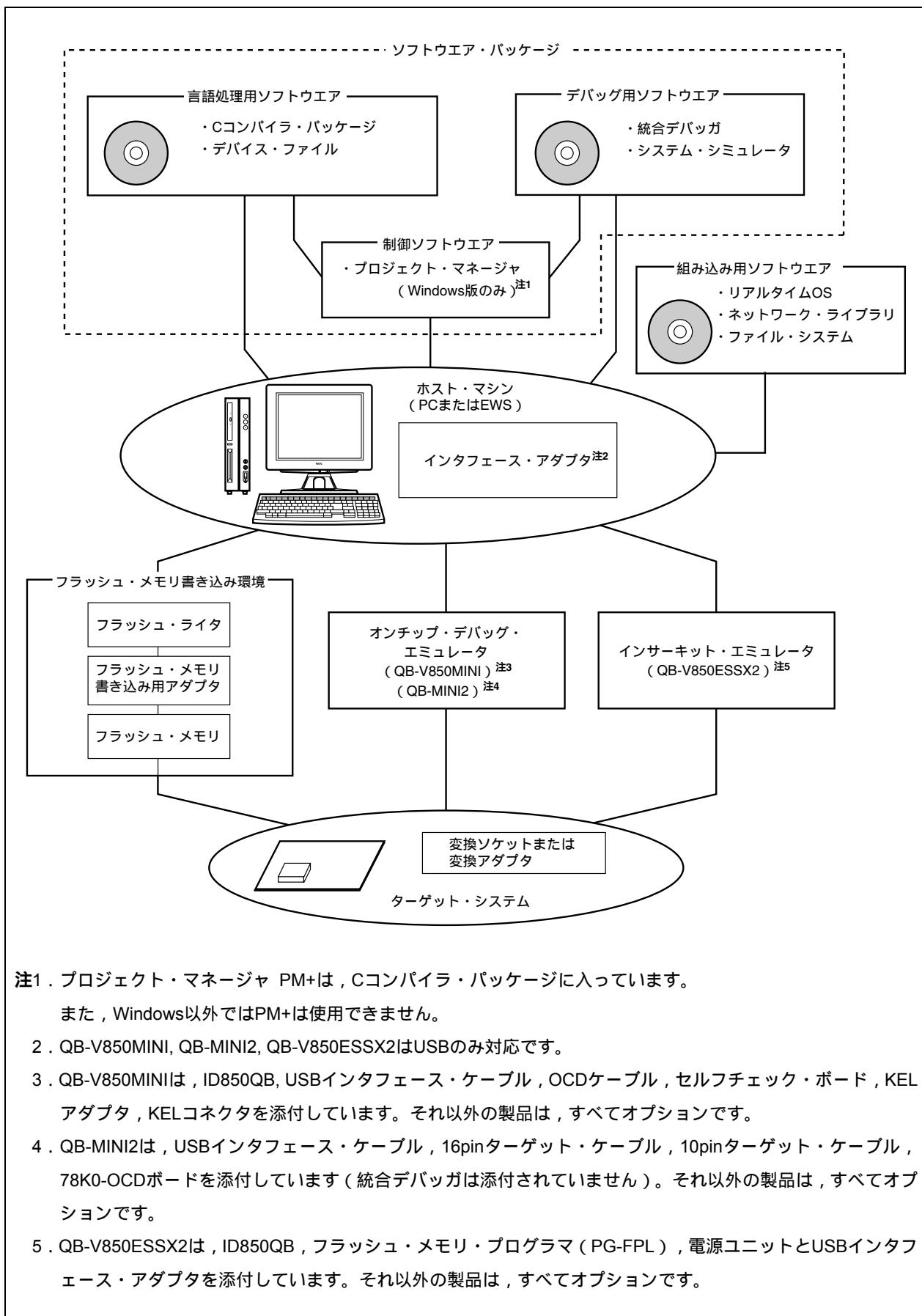
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP[®]
- Windows NT[®] Ver. 4.0

図A-1 開発ツール構成



注1. プロジェクト・マネージャ PM+は、Cコンパイラ・パッケージに入っています。

また、Windows以外ではPM+は使用できません。

2. QB-V850MINI, QB-MINI2, QB-V850ESSX2はUSBのみ対応です。

3. QB-V850MINIは、ID850QB, USBインターフェース・ケーブル, OCDケーブル, セルフチェック・ボード, KELアダプタ, KELコネクタを添付しています。それ以外の製品は、すべてオプションです。

4. QB-MINI2は、USBインターフェース・ケーブル, 16pinターゲット・ケーブル, 10pinターゲット・ケーブル, 78K0-OCDボードを添付しています（統合デバッガは添付されていません）。それ以外の製品は、すべてオプションです。

5. QB-V850ESSX2は、ID850QB, フラッシュ・メモリ・プログラマ (PG-FPL), 電源ユニットとUSBインターフェース・アダプタを添付しています。それ以外の製品は、すべてオプションです。

A. 1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times SP850$
--------------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times SP850$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、 IBM PC/AT互換機	日本語Windows 英語Windows	CD-ROM
BB17			

A. 2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを、マイコンの実行可能なオブジェクト・コードに変換する プログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称： $\mu S \times \times \times CA703000$
DF703724 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850、SM+ for V850ES/Jx2、ID850QB）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わされる各ツールに依存します。

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times CA703000$

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、 IBM PC/AT互換機	日本語Windows 英語Windows	CD-ROM
BB17			
3K17	SPARCstation™	SunOS™ (Rel. 4.1.4) , Solaris™ (Rel. 2.5.1)	

A. 3 制御ソフトウェア

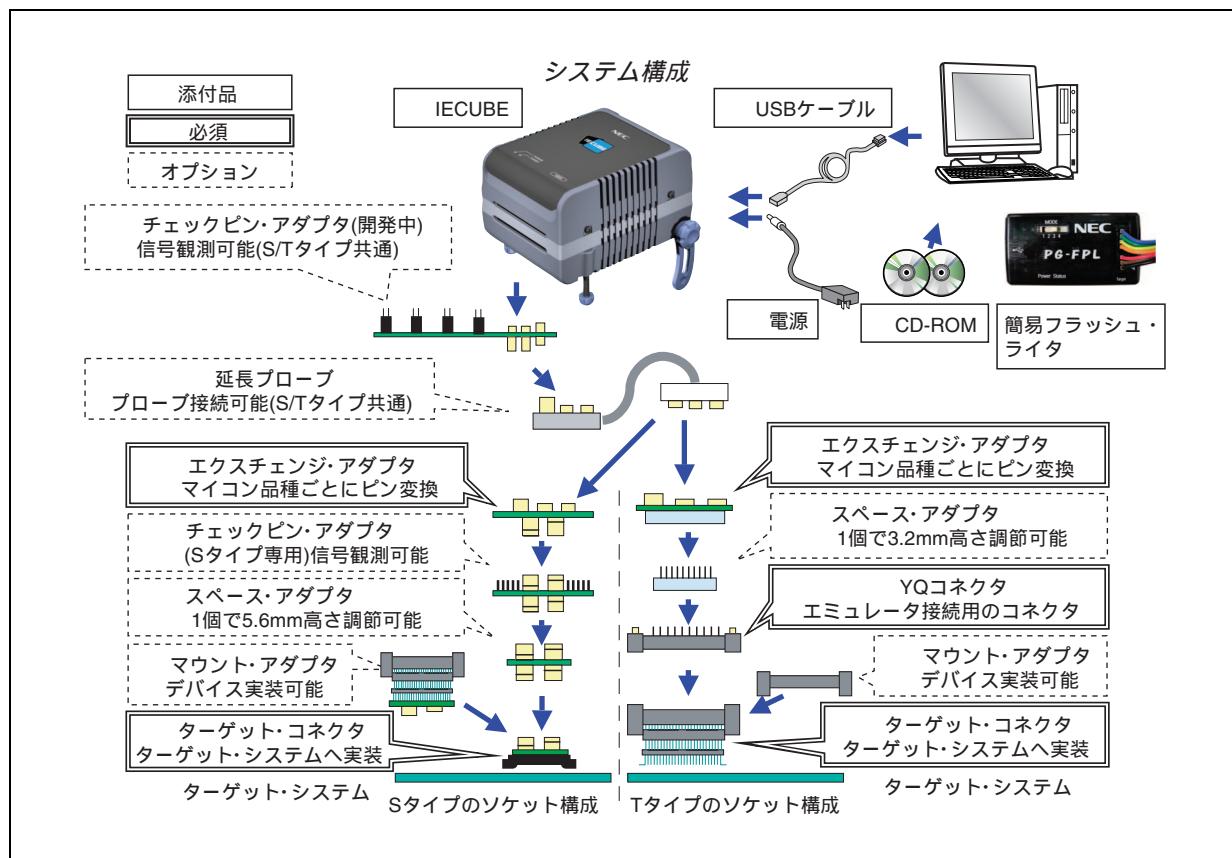
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェア です。PM+上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム 開発の一連の作業を行うことができます。 <注意> PM+は、Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A.4 デバッグ用ツール(ハードウェア)

A.4.1 IECUBE QB-V850ESSX2を使用する場合

QB-V850ESSX2とホスト・マシン(PC-9821シリーズ, PC/AT互換機)を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A-2 システム構成 (QB-V850ESSX2を使用する場合) (1/2)



図A - 2 システム構成 (QB-V850ESSX2を使用する場合) (2/2)

ホスト・マシン (PC-9821シリーズ , IBM-PC/AT互換機)
 デバッガ , USBドライバ , マニュアルなど (ID850QB Disk, Accessory Disk^{注1})
 USBインターフェース・ケーブル
 ACアダプタ
 インサーキット・エミュレータ (QB-V850ESSX2)
 チェックピン・アダプタ (S/Tタイプ共通) (QB-144-CA-01^{注2}) (オプション)
 延長プローブ (S/Tタイプ共通) (QB-144-EP-01S) (オプション)
 エクスチェンジ・アダプタ^{注3} (Sタイプ : QB-100GC-EA-01S (GCパッケージ用) , QB-100GF-EA-01S (GFパッケージ用) , Tタイプ : QB-100GC-EA-01T (GCパッケージ用) , QB-100GF-EA-01T (GFパッケージ用))
 チェックピン・アダプタ^{注4} (Sタイプのみ) (QB-100-CA-01S) (オプション)
 スペース・アダプタ^{注4} (Sタイプ : QB-100-SA-01S (GC/GFパッケージ共通) , Tタイプ : QB-100GC-YS-01T (GCパッケージ用) , QB-100GF-YS-01T (GFパッケージ用)) (オプション)
 YQコネクタ^{注3} (Tタイプのみ) (QB-100GC-YQ-01T (GCパッケージ用) , QB-100GF-YQ-01T (GFパッケージ用))
 マウント・アダプタ (Sタイプ : QB-100GC-MA-01S (GCパッケージ用) , QB-100GF-MA-01S (GFパッケージ用) , Tタイプ : QB-100GC-HQ-01T (GCパッケージ用) , QB-100GF-HQ-01T (GFパッケージ用)) (オプション)
 ターゲット・コネクタ^{注3} (Sタイプ : QB-100GC-TC-01S (GCパッケージ用) , QB-100GF-TC-01S (GFパッケージ用) , Tタイプ : QB-100GC-NQ-01T (GCパッケージ用) , QB-100GF-NQ-01T (GFパッケージ用))
 ターゲット・システム

注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

2. 開発中

3. オーダ品名によっては、添付品となります。

・ QB-V850ESSX2-ZZZでオーダした場合

エクスチェンジ・アダプタ , ターゲット・コネクタは添付されていません。

・ QB-V850ESSX2-S100GCでオーダした場合

QB-100GC-EA-01S, QB-100GC-TC-01Sが添付されています。

・ QB-V850ESSX2-S100GFでオーダした場合

QB-100GF-EA-01S, QB-100GF-TC-01Sが添付されています。

・ QB-V850ESSX2-T100GCでオーダした場合

QB-100GC-EA-01T, QB-100GC-YQ-01T, QB-100GC-NQ-01Tが添付されています。

・ QB-V850ESSX2-T100GFでオーダした場合

QB-100GF-EA-01T, QB-100GF-YQ-01T, QB-100GF-NQ-01Tが添付されています。

4. と の両方を使用する場合 , と の接続順序が逆でも接続できます。

QB-V850ESSX2 ^注 インサーキット・エミュレータ	V850ES/JG2を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ ID850QBに対応しています。電源ユニット、エミュレーション・プロープと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
USBインターフェース・ケーブル	ホスト・マシンとQB-V850ESSX2を接続するケーブルです。
ACアダプタ	ACプラグ差し替えで100～240 Vに対応可能です。
QB-100GC-EA-01S QB-100GF-EA-01S QB-100GC-EA-01T QB-100GF-EA-01T エクスチェンジ・アダプタ	ピン変換を行うアダプタです。 ・QB-100GC-EA-01S : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-EA-01S : 100ピン・プラスチックQFP (GF-JBTタイプ) 用 ・QB-100GC-EA-01T : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-EA-01T : 100ピン・プラスチックQFP (GF-JBTタイプ) 用
QB-100-CA-01S (Sタイプのみ) チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。 ・QB-100-CA-01S : GC-8EA/GF-JBTタイプ共通
QB-100-SA-01S QB-100GC-YS-01T QB-100GF-YS-01T スペース・アダプタ	高さ調節用アダプタです。 ・QB-100-SA-01S : GC-8EA/GF-JBTタイプ共通 ・QB-100GC-YS-01T : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-YS-01T : 100ピン・プラスチックQFP (GF-JBTタイプ) 用
QB-100GC-YQ-01T QB-100GF-YQ-01T (Tタイプのみ) YQコネクタ	ターゲット・コネクタとエクスチェンジ・アダプタを接続する変換アダプタ ・QB-100GC-YQ-01T : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-YQ-01T : 100ピン・プラスチックQFP (GF-JBTタイプ) 用
QB-100GC-MA-01S QB-100GF-MA-01S QB-100GC-HQ-01T QB-100GF-HQ-01T マウント・アダプタ	V850ES/JG2をソケット実装するためのアダプタです。 ・QB-100GC-MA-01S : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-MA-01S : 100ピン・プラスチックQFP (GF-JBTタイプ) 用 ・QB-100GC-HQ-01T : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-HQ-01T : 100ピン・プラスチックQFP (GF-JBTタイプ) 用
QB-100GC-TC-01S QB-100GF-TC-01S QB-100GC-NQ-01T QB-100GF-NQ-01T ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。 ・QB-100GC-TC-01S : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-TC-01S : 100ピン・プラスチックQFP (GF-JBTタイプ) 用 ・QB-100GC-NQ-01T : 100ピン・プラスチックLQFP (GC-8EAタイプ) 用 ・QB-100GF-NQ-01T : 100ピン・プラスチックQFP (GF-JBTタイプ) 用

注 QB-V850ESSX2は、電源ユニット、USBインターフェース・ケーブルとフラッシュ・メモリ・プログラマ(PG-FPL)を添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID850QBを添付しています。

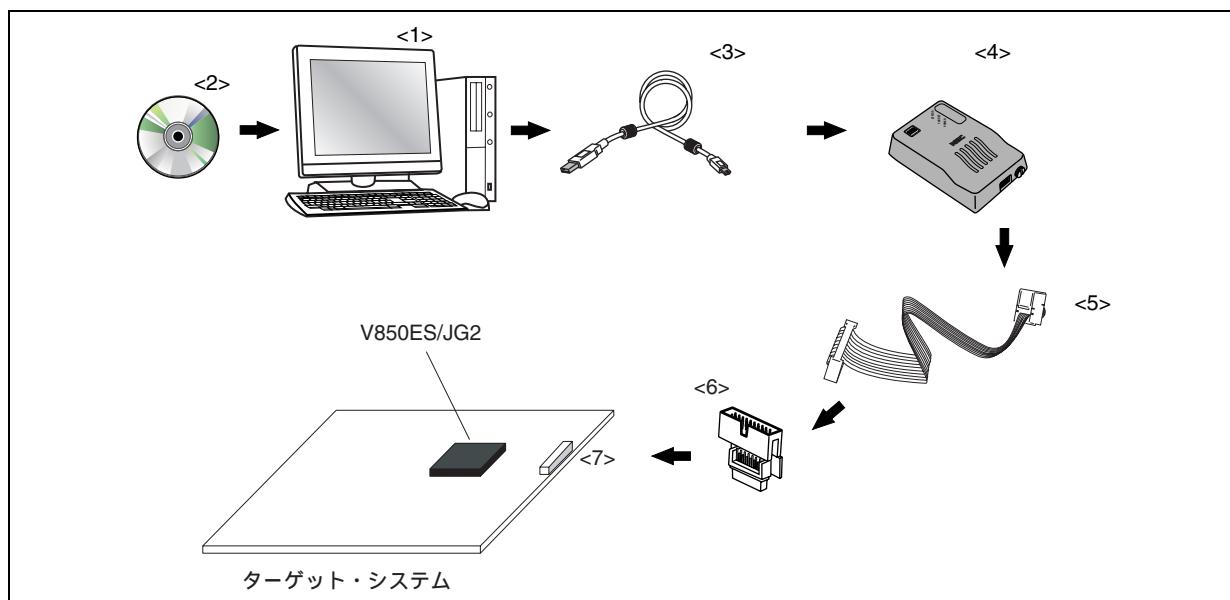
備考 表内の番号は図A-2の番号に対応しています。

A. 4. 2 MINICUBE QB-V850MINIを使用する場合

(1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン(PC-9821シリーズ , PC/AT互換機)を接続して使用する場合のシステム構成を次に示します。

図A - 3 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM ^{注1}	CD-ROM形式で統合デバッガ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3>USBインターフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/JG2を使用する応用システムを開発する際に, ハードウェア, ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6>コネクタ変換ボード KEL Adaptor	MINICUBEに添付されています。
<7> MINICUBE接続コネクタ KELコネクタ ^{注2}	8830E-026-170S (MINICUBEに添付されています) 8830E-026-170L (別売品)

注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

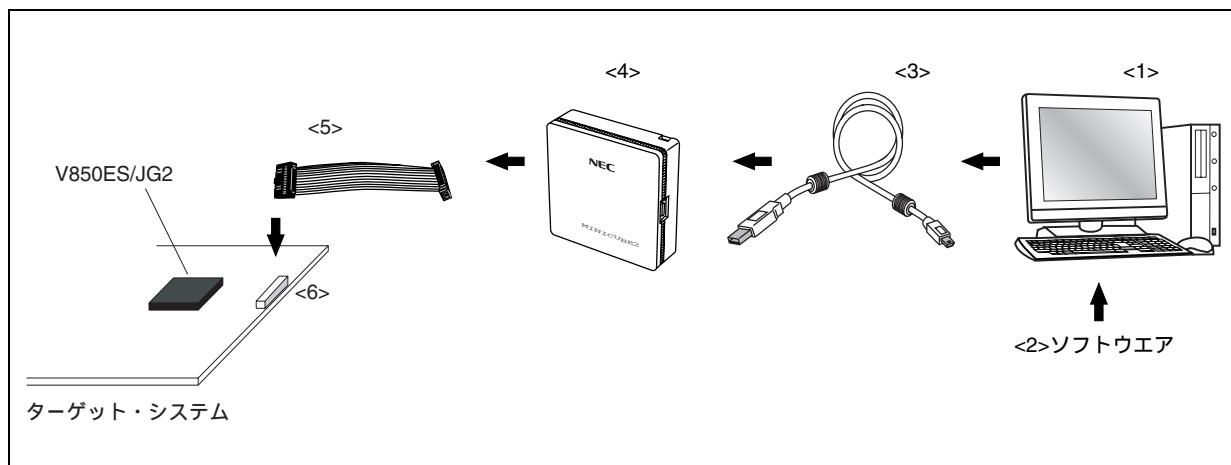
2. ケル株式会社の製品です。

備考 表内の番号は図A - 3の番号に対応しています。

A. 4. 3 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ、PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A - 4 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッグ ID850QB、デバイス・ファイルなどです。 NECエレクトロニクスのホームページから入手してください http://www.necel.com/micro/ods/jpn/index.html
<3>USBインターフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850ES/JG2を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

備考 表内の番号は図A - 4の番号に対応しています。

A.5 デバッグ用ツール(ソフトウェア)

SM+ for V850ES/Jx2 (開発中) システム・シミュレータ	V850シリーズ用のシステム・シミュレータです。SM+ for V850ES/Jx2は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for V850ES/Jx2を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。デバイス・ファイルと組み合わせて使用します。 オーダ名称： μ S××××SM703724-B
ID850QB 統合デバッガ	V850シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。 オーダ名称： μ S××××ID703000-QB (ID850QB)

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μ S××××ID703000-QB

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、 IBM PC/AT互換機	日本語Windows 英語Windows	CD-ROM
BB17			

A. 6 組み込み用ソフトウェア

RX850, RX850 Pro リアルタイムOS	μ ITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。
Applilet ^{®注}	オーダー名称： μ S × × × RX703000- (RX850) μ S × × × RX703100- (RX850 Pro) V850ES/JG2用ドライバのサンプル・プログラムを自動生成するドライバ・コンフィギュレータです。
RX-FS850 (ファイル・システム)	FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。

注 AppliletはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/product/development/applilet/index.html>

注意 RX850, RX850 Proを購入する際，事前に購入申込書にご記入のうえ，使用許諾契約書を締結してください。

備考 オーダー名称の× × × × および は，使用するホスト・マシン，OSなどにより異なります。

μ S × × × RX703000-

μ S × × × RX703100-

	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

× × × ×	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows 英語Windows	CD-ROM
BB17			
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

A.7 フラッシュ・メモリ書き込み用ツール

Flashpro IV (型番 PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタです。
QB-MINI2 (MINICUBE2)	プログラミング機能付きオンチップ・デバッグ・エミュレータです。
FA-100GC-8EU-A FA-100GF-3BA-A フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです(未配線)。Flashpro などに接続して使用します。 ・ FA-100GC-8EU-A : 100ピン・プラスチックLQFP (GC-8EAタイプ)用 ・ FA-100GF-3BA-A : 100ピン・プラスチックQFP (GF-JBTタイプ)用
FA-70F3719GC-8EA-MX FA-70F3717GF-JBT-MX フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです(配線済み)。Flashpro などに接続して使用します。 ・ FA-70F3719GC-8EA-MX : 100ピン・プラスチックLQFP (GC-8EAタイプ)用 ・ FA-70F3717GF-JBT-MX : 100ピン・プラスチックQFP (GF-JBTタイプ)用

備考 FA-100GC-8EU-A, FA-100GF-3BA-A, FA-70F3719GC-8EA-MX, FA-70F3717GF-JBT-MXは, 株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

付録B レジスタ索引

(1/10)

略号	名称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	443
ADA0CR0H	A/D変換結果レジスタ0H	ADC	443
ADA0CR1	A/D変換結果レジスタ1	ADC	443
ADA0CR1H	A/D変換結果レジスタ1H	ADC	443
ADA0CR2	A/D変換結果レジスタ2	ADC	443
ADA0CR2H	A/D変換結果レジスタ2H	ADC	443
ADA0CR3	A/D変換結果レジスタ3	ADC	443
ADA0CR3H	A/D変換結果レジスタ3H	ADC	443
ADA0CR4	A/D変換結果レジスタ4	ADC	443
ADA0CR4H	A/D変換結果レジスタ4H	ADC	443
ADA0CR5	A/D変換結果レジスタ5	ADC	443
ADA0CR5H	A/D変換結果レジスタ5H	ADC	443
ADA0CR6	A/D変換結果レジスタ6	ADC	443
ADA0CR6H	A/D変換結果レジスタ6H	ADC	443
ADA0CR7	A/D変換結果レジスタ7	ADC	443
ADA0CR7H	A/D変換結果レジスタ7H	ADC	443
ADA0CR8	A/D変換結果レジスタ8	ADC	443
ADA0CR8H	A/D変換結果レジスタ8H	ADC	443
ADA0CR9	A/D変換結果レジスタ9	ADC	443
ADA0CR9H	A/D変換結果レジスタ9H	ADC	443
ADA0CR10	A/D変換結果レジスタ10	ADC	443
ADA0CR10H	A/D変換結果レジスタ10H	ADC	443
ADA0CR11	A/D変換結果レジスタ11	ADC	443
ADA0CR11H	A/D変換結果レジスタ11H	ADC	443
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	436
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	438
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	441
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	445
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	446
ADA0S	A/Dコンバータ・チャネル指定レジスタ	ADC	442
ADIC	割り込み制御レジスタ	INTC	682
AWC	アドレス・ウェイト・コントロール・レジスタ	BCU	188
BCC	バス・サイクル・コントロール・レジスタ	BCU	189
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	177
CB0CTL0	CSIB0制御レジスタ0	CSIB	515
CB0CTL1	CSIB0制御レジスタ1	CSIB	518
CB0CTL2	CSIB0制御レジスタ2	CSIB	519
CB0RIC	割り込み制御レジスタ	INTC	682

(2/10)

略号	名称	ユニット	ページ
CB0RX	CSIB0受信データ・レジスタ	CSIB	514
CB0RXL	CSIB0受信データ・レジスタL	CSIB	514
CB0STR	CSIB0状態レジスタ	CSIB	521
CB0TIC	割り込み制御レジスタ	INTC	682
CB0TX	CSIB0送信データ・レジスタ	CSI	514
CB0TXL	CSIB0送信データ・レジスタL	CSI	514
CB1CTL0	CSIB1制御レジスタ0	CSI	515
CB1CTL1	CSIB1制御レジスタ1	CSI	518
CB1CTL2	CSIB1制御レジスタ2	CSI	519
CB1RIC	割り込み制御レジスタ	INTC	682
CB1RX	CSIB1受信データ・レジスタ	CSI	514
CB1RXL	CSIB1受信データ・レジスタL	CSI	514
CB1STR	CSIB1状態レジスタ	CSI	521
CB1TIC	割り込み制御レジスタ	INTC	682
CB1TX	CSIB1送信データ・レジスタ	CSI	514
CB1TXL	CSIB1送信データ・レジスタL	CSI	514
CB2CTL0	CSIB2制御レジスタ0	CSI	515
CB2CTL1	CSIB2制御レジスタ1	CSI	518
CB2CTL2	CSIB2制御レジスタ2	CSI	519
CB2RIC	割り込み制御レジスタ	INTC	682
CB2RX	CSIB2受信データ・レジスタ	CSI	514
CB2RXL	CSIB2受信データ・レジスタL	CSI	514
CB2STR	CSIB2状態レジスタ	CSI	521
CB2TIC	割り込み制御レジスタ	INTC	682
CB2TX	CSIB2送信データ・レジスタ	CSI	514
CB2TXL	CSIB2送信データ・レジスタL	CSI	514
CB3CTL0	CSIB3制御レジスタ0	CSI	515
CB3CTL1	CSIB3制御レジスタ1	CSI	518
CB3CTL2	CSIB3制御レジスタ2	CSI	519
CB3RIC	割り込み制御レジスタ	INTC	682
CB3RX	CSIB3受信データ・レジスタ	CSI	514
CB3RXL	CSIB3受信データ・レジスタL	CSI	514
CB3STR	CSIB3状態レジスタ	CSI	521
CB3TIC	割り込み制御レジスタ	INTC	682
CB3TX	CSIB3送信データ・レジスタ	CSI	514
CB3TXL	CSIB3送信データ・レジスタL	CSI	514
CB4CTL0	CSIB4制御レジスタ0	CSI	515
CB4CTL1	CSIB4制御レジスタ1	CSI	518
CB4CTL2	CSIB4制御レジスタ2	CSI	519
CB4RIC	割り込み制御レジスタ	INTC	682
CB4RX	CSIB4受信データ・レジスタ	CSI	514
CB4RXL	CSIB4受信データ・レジスタL	CSI	514
CB4STR	CSIB4状態レジスタ	CSI	521
CB4TIC	割り込み制御レジスタ	INTC	682

(3/10)

略号	名称	ユニット	ページ
CB4TX	CSIB4送信データ・レジスタ	CSI	514
CB4TXL	CSIB4送信データ・レジスタL	CSI	514
CCLS	CPU動作クロック・ステータス・レジスタ	CG	206
CKC	クロック・コントロール・レジスタ	CG	209
CLM	クロック・モニタ・モード・レジスタ	CLM	737
CTBP	CALLTベース・ポインタ	CPU	55
CTPC	CALLT実行時状態退避レジスタ	CPU	54
CTPSW	CALLT実行時状態退避レジスタ	CPU	54
DA0CS0	D/A変換値設定レジスタ0	DAC	470
DA0CS1	D/A変換値設定レジスタ1	DAC	470
DA0M	D/Aコンバータ・モード・レジスタ	DAC	469
DADC0	DMAアドレシング・コントロール・レジスタ0	DMAC	647
DADC1	DMAアドレシング・コントロール・レジスタ1	DMAC	647
DADC2	DMAアドレシング・コントロール・レジスタ2	DMAC	647
DADC3	DMAアドレシング・コントロール・レジスタ3	DMAC	647
DBC0	DMA転送カウント・レジスタ0	DMAC	646
DBC1	DMA転送カウント・レジスタ1	DMAC	646
DBC2	DMA転送カウント・レジスタ2	DMAC	646
DBC3	DMA転送カウント・レジスタ3	DMAC	646
DBPC	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	55
DBPSW	例外 / デバッグ・トラップ時状態退避レジスタ	CPU	55
DCHC0	DMAチャネル・コントロール・レジスタ0	DMAC	648
DCHC1	DMAチャネル・コントロール・レジスタ1	DMAC	648
DCHC2	DMAチャネル・コントロール・レジスタ2	DMAC	648
DCHC3	DMAチャネル・コントロール・レジスタ3	DMAC	648
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	645
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	645
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	645
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	645
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	645
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	645
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	645
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	645
DMAIC0	割り込み制御レジスタ	INTC	682
DMAIC1	割り込み制御レジスタ	INTC	682
DMAIC2	割り込み制御レジスタ	INTC	682
DMAIC3	割り込み制御レジスタ	INTC	682
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	644
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	644
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	644
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	644
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	644
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	644
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	644

(4/10)

略号	名称	ユニット	ページ
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	644
DTFR0	DMAトリガ要因レジスタ0	DMAC	649
DTFR1	DMAトリガ要因レジスタ1	DMAC	649
DTFR2	DMAトリガ要因レジスタ2	DMAC	649
DTFR3	DMAトリガ要因レジスタ3	DMAC	649
DWC0	データ・ウェイト・コントロール・レジスタ0	BCU	185
ECR	割り込み要因レジスタ	CPU	52
EIPC	割り込み時状態退避レジスタ	CPU	51
EIPSW	割り込み時状態退避レジスタ	CPU	51
EXIMC	外部バス・インターフェース・モード・コントロール・レジスタ	BCU	176
FEPC	NMI時状態退避レジスタ	CPU	52
FEPSW	NMI時状態退避レジスタ	CPU	52
IIC0	IICシフト・レジスタ0	I ² C	582
IIC1	IICシフト・レジスタ1	I ² C	582
IIC2	IICシフト・レジスタ2	I ² C	582
IICC0	IICコントロール・レジスタ0	I ² C	568
IICC1	IICコントロール・レジスタ1	I ² C	568
IICC2	IICコントロール・レジスタ2	I ² C	568
IICCL0	IICクロック選択レジスタ0	I ² C	578
IICCL1	IICクロック選択レジスタ1	I ² C	578
IICCL2	IICクロック選択レジスタ2	I ² C	578
IICF0	IICフラグ・レジスタ0	I ² C	576
IICF1	IICフラグ・レジスタ1	I ² C	576
IICF2	IICフラグ・レジスタ2	I ² C	576
IICIC0	割り込み制御レジスタ	INTC	682
IICIC1	割り込み制御レジスタ	INTC	682
IICIC2	割り込み制御レジスタ	INTC	682
IICS0	IIC状態レジスタ0	I ² C	573
IICS1	IIC状態レジスタ1	I ² C	573
IICS2	IIC状態レジスタ2	I ² C	573
IICX0	IIC機能拡張レジスタ0	I ² C	579
IICX1	IIC機能拡張レジスタ1	I ² C	579
IICX2	IIC機能拡張レジスタ2	I ² C	579
IMR0	割り込みマスク・レジスタ0	INTC	684
IMR0H	割り込みマスク・レジスタ0H	INTC	684
IMR0L	割り込みマスク・レジスタ0L	INTC	684
IMR1	割り込みマスク・レジスタ1	INTC	684
IMR1H	割り込みマスク・レジスタ1H	INTC	684
IMR1L	割り込みマスク・レジスタ1L	INTC	684
IMR2	割り込みマスク・レジスタ2	INTC	684
IMR2H	割り込みマスク・レジスタ2H	INTC	684
IMR2L	割り込みマスク・レジスタ2L	INTC	684
IMR3	割り込みマスク・レジスタ3	INTC	684
IMR3H	割り込みマスク・レジスタ3H	INTC	684

(5/10)

略号	名称	ユニット	ページ
IMR3L	割り込みマスク・レジスタ3L	INTC	684
INTE0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	696
INTE3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	697
INTE9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	698
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	696
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	697
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	698
ISPR	インサービス・プライオリティ・レジスタ	INTC	686
KRIC	割り込み制御レジスタ	INTC	682
KRM	キー・リターン・モード・レジスタ	KR	703
LOCKR	ロック・レジスタ	CG	210
LVIIC	割り込み制御レジスタ	INTC	682
LVIM	低電圧検出レジスタ	LVI	742
LVIS	低電圧検出レベル選択レジスタ	LVI	743
NFC	ノイズ除去制御レジスタ	INTC	699
OCDM	オンチップ・デバッグ・モード・レジスタ	DCU	780
OCKS0	IIC分周クロック選択レジスタ0	I ² C	582
OCKS1	IIC分周クロック選択レジスタ1	I ² C	582
OSTS	発振安定時間選択レジスタ	スタンバイ	708
P0	ポート0レジスタ	ポート	95
P1	ポート1レジスタ	ポート	98
P3	ポート3レジスタ	ポート	100
P3H	ポート3レジスタH	ポート	100
P3L	ポート3レジスタL	ポート	100
P4	ポート4レジスタ	ポート	106
P5	ポート5レジスタ	ポート	108
P7H	ポート7レジスタH	ポート	114
P7L	ポート7レジスタL	ポート	114
P9	ポート9レジスタ	ポート	116
P9H	ポート9レジスタH	ポート	116
P9L	ポート9レジスタL	ポート	116
PC	プログラム・カウンタ	CPU	49
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	202
PCM	ポートCMレジスタ	ポート	123
PCT	ポートCTレジスタ	ポート	125
PDH	ポートDHレジスタ	ポート	128
PDL	ポートDLレジスタ	ポート	130
PDLH	ポートDLレジスタH	ポート	130
PDLL	ポートDLレジスタL	ポート	130
PEMU1	周辺エミュレーション・レジスタ1	CPU	747
PF0	ポート0ファンクション・レジスタ	ポート	97
PF3	ポート3ファンクション・レジスタ	ポート	104
PF3H	ポート3ファンクション・レジスタH	ポート	104
PF3L	ポート3ファンクション・レジスタL	ポート	104

(6/10)

略号	名称	ユニット	ページ
PF4	ポート4ファンクション・レジスタ	ポート	107
PF5	ポート5ファンクション・レジスタ	ポート	112
PF9	ポート9ファンクション・レジスタ	ポート	122
PF9H	ポート9ファンクション・レジスタH	ポート	122
PF9L	ポート9ファンクション・レジスタL	ポート	122
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	97
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	102
PFC3H	ポート3ファンクション・コントロール・レジスタH	ポート	102
PFC3L	ポート3ファンクション・コントロール・レジスタL	ポート	102
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	107
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	110
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	119
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	119
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	119
PFCE3L	ポート3ファンクション・コントロール拡張レジスタL	ポート	102
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	110
PFCE9	ポート9ファンクション・コントロール拡張レジスタ	ポート	119
PFCE9H	ポート9ファンクション・コントロール拡張レジスタH	ポート	119
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	119
PIC0	割り込み制御レジスタ	INTC	682
PIC1	割り込み制御レジスタ	INTC	682
PIC2	割り込み制御レジスタ	INTC	682
PIC3	割り込み制御レジスタ	INTC	682
PIC4	割り込み制御レジスタ	INTC	682
PIC5	割り込み制御レジスタ	INTC	682
PIC6	割り込み制御レジスタ	INTC	682
PIC7	割り込み制御レジスタ	INTC	682
PLLCTL	PLLコントロール・レジスタ	CG	208
PLLS	PLLロックアップ時間指定レジスタ	CG	211
PM0	ポート0モード・レジスタ	ポート	96
PM1	ポート1モード・レジスタ	ポート	98
PM3	ポート3モード・レジスタ	ポート	100
PM3H	ポート3モード・レジスタH	ポート	100
PM3L	ポート3モード・レジスタL	ポート	100
PM4	ポート4モード・レジスタ	ポート	106
PM5	ポート5モード・レジスタ	ポート	109
PM7H	ポート7モード・レジスタH	ポート	114
PM7L	ポート7モード・レジスタL	ポート	114
PM9	ポート9モード・レジスタ	ポート	116
PM9H	ポート9モード・レジスタH	ポート	116
PM9L	ポート9モード・レジスタL	ポート	116
PMC0	ポート0モード・コントロール・レジスタ	ポート	96
PMC3	ポート3モード・コントロール・レジスタ	ポート	101
PMC3H	ポート3モード・コントロール・レジスタH	ポート	101

(7/10)

略号	名称	ユニット	ページ
PMC3L	ポート3モード・コントロール・レジスタL	ポート	101
PMC4	ポート4モード・コントロール・レジスタ	ポート	106
PMC5	ポート5モード・コントロール・レジスタ	ポート	109
PMC9	ポート9モード・コントロール・レジスタ	ポート	117
PMC9H	ポート9モード・コントロール・レジスタH	ポート	117
PMC9L	ポート9モード・コントロール・レジスタL	ポート	117
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	124
PMCCT	ポートCTモード・コントロール・レジスタ	ポート	126
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	128
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	131
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	131
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	131
PMCM	ポートCMモード・レジスタ	ポート	123
PMCT	ポートCTモード・レジスタ	ポート	125
PMDH	ポートDHモード・レジスタ	ポート	128
PMDL	ポートDLモード・レジスタ	ポート	130
PMDLH	ポートDLモード・レジスタH	ポート	130
PMDLL	ポートDLモード・レジスタL	ポート	130
PRCMD	コマンド・レジスタ	CPU	83
PRSCM0	プリスケーラ・コンペア・レジスタ0	WT	414
PRSCM1	プリスケーラ・コンペア・レジスタ1	BRG	558
PRSCM2	プリスケーラ・コンペア・レジスタ2	BRG	558
PRSCM3	プリスケーラ・コンペア・レジスタ3	BRG	558
PRSM0	プリスケーラ・モード・レジスタ0	WT	413
PRSM1	プリスケーラ・モード・レジスタ1	BRG	557
PRSM2	プリスケーラ・モード・レジスタ2	BRG	557
PRSM3	プリスケーラ・モード・レジスタ3	BRG	557
PSC	パワー・セーブ・コントロール・レジスタ	CG	706
PSMR	パワー・セーブ・モード・レジスタ	CG	707
PSW	プログラム・ステータス・ワード	CPU	53
r0-r31	汎用レジスタ	CPU	49
RAMS	内蔵RAMデータ・ステータス・レジスタ	CG	743
RCM	内蔵発振モード・レジスタ	CG	206
RESF	リセット要因フラグ・レジスタ	リセット	725
RTBHO	リアルタイム出力バッファ・レジスタ0H	RTP	427
RTBL0	リアルタイム出力バッファ・レジスタ0L	RTP	427
RPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	429
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	428
SELCNT0	セレクタ動作制御レジスタ0	タイマ	299
SVA0	スレーブ・アドレス・レジスタ0	I ² C	583
SVA1	スレーブ・アドレス・レジスタ1	I ² C	583
SVA2	スレーブ・アドレス・レジスタ2	I ² C	583
SYS	システム・ステータス・レジスタ	CPU	84
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	403

(8/10)

略号	名称	ユニット	ページ
TM0CTL0	TMM0制御レジスタ0	タイマ	404
TM0EQIC0	割り込み制御レジスタ	INTC	682
TP0CCIC0	割り込み制御レジスタ	INTC	682
TP0CCIC1	割り込み制御レジスタ	INTC	682
TP0CCR0	TMP0キャプチャ / コンペア・レジスタ0	タイマ	223
TP0CCR1	TMP0キャプチャ / コンペア・レジスタ1	タイマ	225
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	227
TP0CTL0	TMP0制御レジスタ0	タイマ	217
TP0CTL1	TMP0制御レジスタ1	タイマ	217
TP0IOC0	TMP0I/O制御レジスタ0	タイマ	219
TP0IOC1	TMP0I/O制御レジスタ1	タイマ	220
TP0IOC2	TMP0I/O制御レジスタ2	タイマ	221
TP0OPT0	TMP0オプション・レジスタ0	タイマ	222
TP0OVIC	割り込み制御レジスタ	INTC	682
TP1CCIC0	割り込み制御レジスタ	INTC	682
TP1CCIC1	割り込み制御レジスタ	INTC	682
TP1CCR0	TMP1キャプチャ / コンペア・レジスタ0	タイマ	223
TP1CCR1	TMP1キャプチャ / コンペア・レジスタ1	タイマ	225
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	227
TP1CTL0	TMP1制御レジスタ0	タイマ	217
TP1CTL1	TMP1制御レジスタ1	タイマ	217
TP1IOC0	TMP1I/O制御レジスタ0	タイマ	219
TP1IOC1	TMP1I/O制御レジスタ1	タイマ	220
TP1IOC2	TMP1I/O制御レジスタ2	タイマ	221
TP1OPT0	TMP1オプション・レジスタ0	タイマ	222
TP1OVIC	割り込み制御レジスタ	INTC	682
TP2CCIC0	割り込み制御レジスタ	INTC	682
TP2CCIC1	割り込み制御レジスタ	INTC	682
TP2CCR0	TMP2キャプチャ / コンペア・レジスタ0	タイマ	223
TP2CCR1	TMP2キャプチャ / コンペア・レジスタ1	タイマ	225
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	227
TP2CTL0	TMP2制御レジスタ0	タイマ	217
TP2CTL1	TMP2制御レジスタ1	タイマ	217
TP2IOC0	TMP2I/O制御レジスタ0	タイマ	219
TP2IOC1	TMP2I/O制御レジスタ1	タイマ	220
TP2IOC2	TMP2I/O制御レジスタ2	タイマ	221
TP2OPT0	TMP2オプション・レジスタ0	タイマ	222
TP2OVIC	割り込み制御レジスタ	INTC	682
TP3CCIC0	割り込み制御レジスタ	INTC	682
TP3CCIC1	割り込み制御レジスタ	INTC	682
TP3CCR0	TMP3キャプチャ / コンペア・レジスタ0	タイマ	223
TP3CCR1	TMP3キャプチャ / コンペア・レジスタ1	タイマ	225
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	227
TP3CTL0	TMP3制御レジスタ0	タイマ	217

(9/10)

略号	名称	ユニット	ページ
TP3CTL1	TMP3制御レジスタ1	タイマ	217
TP3IOC0	TMP3I/O制御レジスタ0	タイマ	219
TP3IOC1	TMP3I/O制御レジスタ1	タイマ	220
TP3IOC2	TMP3I/O制御レジスタ2	タイマ	221
TP3OPT0	TMP3オプション・レジスタ0	タイマ	222
TP3OVIC	割り込み制御レジスタ	INTC	682
TP4CCIC0	割り込み制御レジスタ	INTC	682
TP4CCIC1	割り込み制御レジスタ	INTC	682
TP4CCR0	TMP4キャプチャ / コンペア・レジスタ0	タイマ	223
TP4CCR1	TMP4キャプチャ / コンペア・レジスタ1	タイマ	225
TP4CNT	TMP4カウンタ・リード・バッファ・レジスタ	タイマ	227
TP4CTL0	TMP4制御レジスタ0	タイマ	217
TP4CTL1	TMP4制御レジスタ1	タイマ	217
TP4IOC0	TMP4I/O制御レジスタ0	タイマ	219
TP4IOC1	TMP4I/O制御レジスタ1	タイマ	220
TP4IOC2	TMP4I/O制御レジスタ2	タイマ	221
TP4OPT0	TMP4オプション・レジスタ0	タイマ	222
TP4OVIC	割り込み制御レジスタ	INTC	682
TP5CCIC0	割り込み制御レジスタ	INTC	682
TP5CCIC1	割り込み制御レジスタ	INTC	682
TP5CCR0	TMP5キャプチャ / コンペア・レジスタ0	タイマ	223
TP5CCR1	TMP5キャプチャ / コンペア・レジスタ1	タイマ	225
TP5CNT	TMP5カウンタ・リード・バッファ・レジスタ	タイマ	227
TP5CTL0	TMP5制御レジスタ0	タイマ	217
TP5CTL1	TMP5制御レジスタ1	タイマ	217
TP5IOC0	TMP5I/O制御レジスタ0	タイマ	219
TP5IOC1	TMP5I/O制御レジスタ1	タイマ	220
TP5IOC2	TMP5I/O制御レジスタ2	タイマ	221
TP5OPT0	TMP5オプション・レジスタ0	タイマ	222
TP5OVIC	割り込み制御レジスタ	INTC	682
TQ0CCIC0	割り込み制御レジスタ	INTC	682
TQ0CCIC1	割り込み制御レジスタ	INTC	682
TQ0CCIC2	割り込み制御レジスタ	INTC	682
TQ0CCIC3	割り込み制御レジスタ	INTC	682
TQ0CCR0	TMQ0キャプチャ / コンペア・レジスタ0	タイマ	312
TQ0CCR1	TMQ0キャプチャ / コンペア・レジスタ1	タイマ	314
TQ0CCR2	TMQ0キャプチャ / コンペア・レジスタ2	タイマ	316
TQ0CCR3	TMQ0キャプチャ / コンペア・レジスタ3	タイマ	318
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	320
TQ0CTL0	TMQ0制御レジスタ0	タイマ	306
TQ0CTL1	TMQ0制御レジスタ1	タイマ	307
TQ0IOC0	TMQ0I/O制御レジスタ0	タイマ	308
TQ0IOC1	TMQ0I/O制御レジスタ1	タイマ	309
TQ0IOC2	TMQ0I/O制御レジスタ2	タイマ	310

(10/10)

略号	名称	ユニット	ページ
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	311
TQ0OVIC	割り込み制御レジスタ	INTC	682
UA0CTL0	UARTA0制御レジスタ0	UARTA	479
UA0CTL1	UARTA0制御レジスタ1	UARTA	502
UA0CTL2	UARTA0制御レジスタ2	UARTA	503
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA	481
UA0RIC	割り込み制御レジスタ	INTC	682
UA0RX	UARTA0受信データ・レジスタ	UARTA	484
UA0STR	UARTA0状態レジスタ	UARTA	482
UA0TIC	割り込み制御レジスタ	INTC	682
UA0TX	UARTA0送信データ・レジスタ	UARTA	484
UA1CTL0	UARTA1制御レジスタ0	UARTA	479
UA1CTL1	UARTA1制御レジスタ1	UARTA	502
UA1CTL2	UARTA1制御レジスタ2	UARTA	503
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA	481
UA1RIC	割り込み制御レジスタ	INTC	682
UA1RX	UARTA1受信データ・レジスタ	UARTA	484
UA1STR	UARTA1状態レジスタ	UARTA	482
UA1TIC	割り込み制御レジスタ	INTC	682
UA1TX	UARTA1送信データ・レジスタ	UARTA	484
UA2CTL0	UARTA2制御レジスタ0	UARTA	479
UA2CTL1	UARTA2制御レジスタ1	UARTA	502
UA2CTL2	UARTA2制御レジスタ2	UARTA	503
UA2OPT0	UARTA2オプション制御レジスタ0	UARTA	481
UA2RIC	割り込み制御レジスタ	INTC	682
UA2RX	UARTA2受信データ・レジスタ	UARTA	484
UA2STR	UARTA2状態レジスタ	UARTA	482
UA2TIC	割り込み制御レジスタ	INTC	682
UA2TX	UARTA2送信データ・レジスタ	UARTA	484
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	85
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	424
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	422
WTIC	割り込み制御レジスタ	INTC	682
WTIIC	割り込み制御レジスタ	INTC	682
WTM	時計タイマ動作モード・レジスタ	WT	415

付録C 命令セット一覧

C. 1 凡 例

(1) オペランド記述に使われる略号

略 号	説 明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り、乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミーディエト・データ
disp x	xビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略 号	説 明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
	イミーディエトの1ビット分データ（イミーディエトの上位ビットを示す）
i	イミーディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和処理を行う (nは2の補数)。 nが計算の結果、n = 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n = 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説明
0000	OV = 1	Overflow
1000	OV = 0	No overflow
0001	CY = 1	Carry Lower (Less than)
1001	CY = 0	No carry No lower (Greater than or equal)
0010	Z = 1	Zero
1010	Z = 0	Not zero
0011	(CY or Z) = 1	Not higher (Less than or equal)
1011	(CY or Z) = 0	Higher (Greater than)
0100	S = 1	Negative
1100	S = 0	Positive
0101	-	Always (無条件)
1101	SAT = 1	Saturated
0110	(S xor OV) = 1	Less than signed
1110	(S xor OV) = 0	Greater than or equal signed
0111	((S xor OV) or Z) = 1	Less than or equal signed
1111	((S xor OV) or Z) = 0	Greater than signed

C.2 インストラクション・セット(アルファベット順)

(1/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	I	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
AND	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x	
	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
Bcond	disp9	ddddd1011dddc 注1	if conditions are satisfied then PC PC + sign-extend (disp9)	2	2	2					
				注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr11111100000 WWWWW01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr11111100000 WWWWW01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	0000001000iiiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	4	4	4					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr111111iiiii WWWWW011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr111111RRRRR WWWWW011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		0000011111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R
DBRET		0000011111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3					
DI		0000011111100000 0000000101100000	PSW.ID 1	1	1	1					

(2/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	I	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiil LLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiil LLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x	
	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x	
DIVHU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
DIVU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x	
EI		1000011111100000 0000000101100000	PSW.ID 0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x	
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRR	PC GR[reg1]	3	3	3					
JR	disp22	000001110dddddd ddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr111111RRRRR 000000000100000 注12	SR[regID] GR[reg2] regID = PSW以外 regID = PSW	1 1	1 1	1 1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr111111RRRRR ddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR aaaaaaaaaaaaaaaaaa 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2] GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiiii	GR[reg2] sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1					
MUL	reg1, reg2, reg3	rrrrr111111RRRRR WWWWWW01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^{注6} × GR[reg1] ^{注6}	1	1	2					
	imm5, reg2	rrrrr010111iiiii	GR[reg2] GR[reg2] ^{注6} × sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^{注6} × imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWWW01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiiii WWWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR aaaaaaaaaaaaaaaaaa	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3 注3	3 注3	3 注3				x	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3 注3	3 注3	3 注3				x	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x	
PREPARE	list12, imm5	000001110iiiiiL LLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm ^{注15}	000001110iiiiiL LLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注17	n+2 注17	n+2 注17					

(4/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	I	CY	OV	S	Z	SAT
RETI		000001111100000 000000010100000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPFW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr111111RRRRR 0000000010100000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr1111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr1111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 00000001H else GR[reg2] 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR dddddBBBBBddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3				x	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011000000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3				x	
SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep], reg2	rrrrr0110ddddd 注18	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep], reg2	rrrrr0000110ddddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep], reg2	rrrrr1000ddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5 / 5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	I	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111ddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010dddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111dddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001dddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010dddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR ddddddddddddd0	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddd0	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword) 注8	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR ddddd0	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word) 注8	1	1	1					
STSR	regID, reg2	rrrrr111111RRRRR 0000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	00000000010RRRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	00000111111iiiii 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb11110RRRRR ddddd0	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) 注3	3	3	3				x	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) 注3	3	3	3				x	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード／ソフト）」の区別は、次のとおりです。

ハード：マイコン内部／外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/30)

章	分類	機能	機能の詳細	注意事項	頁
第1章	ハード	イントロダクション	FLMD0	通常モード時はVssに接続してください。	p.24, 25
			REGC	REGC端子は4.7 μFのコンデンサを介し、Vssに接続してください。	p.24, 25
第2章	ソフト	端子機能	P05	プルダウン抵抗を内蔵しています。OCDM.OCDM0ビットをクリアすることでプルダウン抵抗を切断できます。	p.32
	ハード		DDO	オンチップ・デバッグ・モード時、強制的にハイ・レベル出力に設定されます。	p.36
	ソフト		KR0-KR7	外部でプルアップ処理を行ってください。	p.37
	ハード		NMI	NMI端子はP02端子と兼用しており、リセット後はP02端子として機能します。NMI端子を有効にする場合は、PMC0.PMC02ビットをセット(1)してください。また、NMI端子の初期設定は“エッジ検出なし”になっています。INTF0、INTR0レジスタでNMI端子の有効エッジを選択してください。	p.37
第3章	ソフト	CPU機能	電源投入時	次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。 ・P10/ANO0端子 ・P11/ANO1端子 ・P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子	p.46
			EIPCレジスタ EIPSWレジスタ FEPCレジスタ FEPSWレジスタ	これらのレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。	p.50
			EIPC, FEPC,	LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC, FEPC, CTPCに値を設定する場合は、偶数値(ビット0 = 0)を設定してください。	p.50
			プログラム空間	03FFF00H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。	p.58
			内蔵周辺I/O領域	レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。	p.67
				バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になります。ライト時は下位8ビット・データがレジスタに書き込まれます。	p.67
				レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。	p.67
			外部メモリ領域	V850ES/JG2ではアドレス端子が22本(A0-A21)であり、外部メモリ領域は4 Mバイトのイメージが繰り返し見えます。セパレート・バス・モード時や、A20, A21端子を使用する場合、EVDD = BVDD = VDDで使用してください。	p.67
			内蔵RAM領域	内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。	p.68
			特定レジスタへのデータ設定	IDLE1, IDLE2, STOPモードに移行する場合(PSC.STPビット=1)には、直後にNOP命令を5命令以上挿入する必要があります。	p.82

(2/30)

章	分類	機能	機能の詳細	注意事項	頁
第3章	ソフト	CPU機能	特定レジスタへのデータ設定	コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 ¹ 、 ² を連続したストア命令で行うことを前提としているためです。 ³ 、 ⁴ の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があり、誤動作の要因となります。	p.82
				PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定(例 ⁵)で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み(例 ⁶)でも使用してください。 アドレッシングに汎用レジスタを使用する場合も同様です。	p.82
		SYSレジスタ	PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります(ライト優先)。	p.84	
				PRCMDレジスタへの書き込み動作直後に、特定レジスタではないIPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。	p.84
		最初に設定するレジスタ	V850ES/JG2を使用する際には、必ず最初に次のレジスタを設定してください。 ・システム・ウェイト・コントロール・レジスタ(VSWC) ・オンチップ・デバッグ・モード・レジスタ(OCDM) ・ウォッチドッグ・タイマ・モード・レジスタ2(WDTM2)	p.85	
		VSWCレジスタ	内蔵周辺I/Oレジスタへのアクセスは3クロック(ノーワエイト時)ですが、V850ES/JG2では動作周波数によりウェイトが必要です。使用的な動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。	p.85	
		特定の内蔵周辺I/Oレジスタへのアクセスについて	次に示す状態において、上記レジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.86	
		システム予約領域	V850ES/JG2では、0000007AH-0000007FHを機能拡張のためのシステム予約領域としているため、これらの領域を使用しないことを推奨します。 フラッシュ・メモリのデータは消去状態では、すべて“1”となります。	p.87	
第4章	ハード	ポート機能	ポートの基本構成	ポート0, 3-5, 9は、5Vトレラント対応	p.89
	ソフト		PFnレジスタ	ポート・モード時(PMCnmビット=0)、PFnレジスタのPFnmビットは、PMnレジスタのPMnmビット=0(出力モード時)のときのみ有効です。PMnmビット=1(入力モード時)のときは、PFnレジスタの設定値は無効です。	p.93
	ハード・ソフト		ポート0	DRST端子はオンチップ・デバッグ用の端子です。 オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCDM.OCDM0ビットをクリア(0)するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。 詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。	p.95
	ハード			P02-P06端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.95
	ソフト		PMC0レジスタ	P05/INTP2/DRST端子は、OCDM.OCDM0ビット=1のときは、PMC05ビットの値に関係なくDRST端子となります。	p.96
	ハード		PF0レジスタ	出力端子に対してEV _{DD} 以上の電圧でプルアップする場合は、必ず該当するPF0nビットを1に設定してください。	p.97
	ハード		ポート1	P10, P11端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。	p.98
	ソフト		P1レジスタ	D/A変換中にP1レジスタをリード/ライトしないでください(14.4.3 使用上の注意点参照)。	p.98
	ハード		PM1レジスタ	P1nを兼用機能(ANOn端子出力)として使用する場合、PM1nビットを1に設定してください。 1本を入出力ポート、1本をD/A出力端子として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようなアプリケーションで使用してください。	p.98
	ハード		ポート3	P31-P35, P38, P39端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.99

(3/30)

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	P3レジスタ	P3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P3Hレジスタのビット0-7として指定してください。	p.100
			PM3レジスタ	PM3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM3Hレジスタのビット0-7として指定してください。	p.100
			PMC3レジスタ	ビット15-10, 7, 6には必ず“0”を設定してください。	p.101
				PMC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。	p.101
			PFC3レジスタ	PFC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFC3Hレジスタのビット0-7として指定してください。	p.102
		ポート3の兼用機能の指定	INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください(INTF3.INTF31ビット=0, INTR3.INTR31ビット=0に設定)。また、INTP7端子として使用する場合は、UARTA0を受信動作停止としてください(UA0CTL0.UA0RXEビット=0)。	p.103	
		PF3レジスタ	出力端子に対してEV _{DD} 以上の電圧でプルアップする場合は、必ず該当するPF3nビットを1に設定してください。	p.104	
			PF3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PF3Hレジスタのビット0-7として指定してください。	p.104	
	ハード	ポート4	P40-P42端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.105	
	ソフト	PF4レジスタ	出力端子に対してEV _{DD} 以上の電圧でプルアップする場合は、必ず該当するPF4nビットを1に設定してください。	p.107	
ハード・ソフト	ハード	ポート5	DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。 オンチップ・デバッグを使用しない場合、RESET端子によるリセット解除後から、OCMD.OCMD0ビットをクリア(0)するまで、P05/INTP2/DRST端子状態をロウ・レベルに固定してください。 詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。	p.108	
			P53端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。	p.108	
			P50-P55端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.108	
			ポート5の兼用機能の指定	KRn端子とTIQ0m端子は兼用となっています。端子をTIQ0m端子として使用する場合は、兼用しているKRn端子のキー・リターン検出を無効にしてください(KRM.KRMnビットに0を設定)。また、KRn端子として使用する場合は、兼用しているTIQ0m端子のエッジ検出を無効にしてください。	p.111
ソフト	ハード	PF5レジスタ	出力端子に対してEV _{DD} 以上の電圧でプルアップする場合は、必ず該当するPF5nビットを1に設定してください。	p.112	
		P7Hレジスタ, P7Lレジスタ	A/D変換中にP7H, P7Lレジスタをリード／ライトしないでください(13.6(4)兼用入出力について参照)。	p.114	
		PM7Hレジスタ, PM7Lレジスタ	PM7n端子を兼用機能(ANIn端子)として使用する場合は、PM7nビット=1に設定してください。	p.114	
		ポート9	P90-P97, P99, P910, P912-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.115	
		P9レジスタ	P9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P9Hレジスタのビット0-7として指定してください。	p.116	
	ソフト	PM9レジスタ	PM9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM9Hレジスタのビット0-7として指定してください。	p.116	
		PMC9レジスタ	PMC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。	p.117	
			P90-P915端子の兼用機能としてA0-A15端子を使用する場合のみ、PMC9レジスタを16ビット一括してFFFFHとしてください。	p.118	
		PFC9レジスタ	セパレート・アドレス・バス出力(A0-A15)を行う場合、PFC9レジスタを0000Hに設定後、PMC9レジスタをFFFFHに16ビット一括で設定してください。	p.119	
			PFC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。	p.119	
		PFCE9レジスタ	PFCE9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。	p.119	

(4/30)

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	ポート9の兼用機能の指定	RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください。 (PFC91ビット=1, PFCE91ビット=0に設定することを推奨します)。	p.121
			PF9レジスタ	出力端子に対してEV _{DD} 以上の電圧でプルアップする場合は、必ず該当するPF9nビットを1に設定してください。 PF9レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PF9Hレジスタのビット0-7として指定してください。	p.122
			PDLレジスタ	PDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PDLHレジスタのビット0-7として指定してください。	p.130
			PMDLレジスタ	PMDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMDLHレジスタのビット0-7として指定してください。	p.130
			PMCDLレジスタ	EXIMCレジスタのSMSELビット=1(セパレート・モード)かつBSCレジスタのBS30-BS00ビット=0(8ビット・バス幅)のとき、AD8-AD15端子を指定しないでください。 PMCDLレジスタのビット8-15を8/1ビット単位でリード/ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。	p.131
		ポート端子を兼用端子として使用する場合	INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください(INTF3.INTF31ビット=0, INTR3.INTR31ビット=0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止してください(UA0CTL0.UA0RXEビット=0)。	p.161	
			P10, P11端子を、1本を入出力ポート、1本をD/A出力端子(ANO0, ANO1)として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようにしてください。	p.161	
			A0-A15端子に設定する際は、一括してPMC9レジスタ=FFFFHに16ビット設定してください。	p.164-166	
			RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください。(PFC91ビット=1, PFCE91ビット=0に設定することを推奨します)。	p.164	
		ポート・モードから兼用機能モードへ切り替え時	ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。 PFnレジスタを設定 : N-chオープン・ドレーン設定 PFCn, PFCEnレジスタを設定 : 兼用端子機能選択 PMCnレジスタの該当ビットに1を設定 : 兼用機能モードへ切り替え PMCnレジスタを先に設定すると、その瞬間、またその後のPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるので注意してください。	p.168	
			ポート・モード / 兼用機能モードに関係なく、Pnレジスタのリード/ライトは次のようにになります。 ・Pnレジスタのリード : ポート出力ラッチの値(PMn.PMnmビット=0時)、または端子状態(PMn.PMnmビット=1時)の読み出し ・Pnレジスタへのライト : ポート出力ラッチへの書き込み	p.168	
		兼用機能モード(入力)に関する注意事項	兼用機能ブロックへの入力信号は、PMCnレジスタの設定値と端子レベルのAND出力のため、PMCn.PMCnmビット=0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMCnレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。 ・ポート・モードから兼用機能モード(入力)へ切り替える場合 PMCnレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。 ・兼用機能モード(入力)からポート・モードへ切り替える場合 兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。	p.169	
		ポート・モードにおいてのPFn.PFnMビット	ポート・モードにおいてPFn.PFnMビットは、出力モード(PMn.PMnmビット=0)時のみ有効となります。入力モード(PMnmビット=1)のとき、PFnMビットの値はバッファに反映されません。	p.170	

(5/30)

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	ポートnレジスタ(Pn)に対するビット操作命令に関する注意事項	入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。 そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。	p.171
			オンチップ・デバッグ用端子に関する注意事項	オンチップ・デバッグを使用しない場合は、次の処置が必要です。 ・OCDMレジスタ(特定レジスタ)のOCDM0ビットをクリア(0) このとき、RESET端子によるリセット解除時から、上記の処理を終えるまで、P05/INTP2/DRST端子をロウ・レベル固定してください。 上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作(CPUデッド・ロック)の原因となるため、P05端子の取り扱いには十分注意してください。	p.172
	ハード	P05/INTP2/DRST端子に関する注意事項	WDT2RES信号、クロック・モニタ(CLIM)、低電圧検出回路(LVI)によるリセット時は、P05/INTP2/DRST端子はオンチップ・デバッグ用端子(DRST)に初期化されません。また、OCDMレジスタも値を保持します。	p.172	
			P10, P11, P53端子に関する電源投入時の注意事項	次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。 ・P10/AN00端子 ・P11/AN01端子 ・P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子	p.172
			ヒステリシス特性について	ポート・モードでは、次のポートはヒステリシス特性を持ちません。 P02-P06 P31-P35, P38, P39 P40-P42 P50-P55 P90-P97, P99, P910, P912-P915	p.172
			内蔵ROMアクセス時の端子状態	内蔵ROM領域へライト・アクセスしたときには、外部メモリ領域へのアクセスと同じく、アドレス、データ、制御信号ともに活性化されます。	p.174
第5章	バス制御機能	EXIMCレジスタ	EXIMCレジスタの設定は、外部アクセスを行う前に、内蔵ROMまたは内蔵RAM領域から行ってください。 また、EXIMCレジスタ設定後には、必ずNOP命令を1つ挿入してください。	p.176	
			BSCレジスタ	BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。	p.177
		DWC0レジスタ	ビット14, 12, 10, 8には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。	p.177	
			内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノーワエイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけ行われます。	p.185	
			DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。	p.185	
		AWCレジスタ	ビット15, 11, 7, 3には必ず0を設定してください。	p.185	
			内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウェイト/アドレス・ホールド・ウェイト挿入の対象外になります。	p.188	
			AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。	p.188	
		BCCレジスタ	ビット15-8には必ず1を設定してください。	p.188	
			内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。	p.189	
			BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。	p.189	

(6/30)

章	分類	機能	機能の詳細	注意事項	頁
第5章	ソフト	バス制御機能	BCCレジスタ	ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。	p.189
第6章	ソフト	クロック発生機能	PCCレジスタ	CLKOUTを出力している間は、CPUクロック(CK3-CK0ビット)を変更しないでください。 CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。 メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。 内部システム・クロック(f _{CLK}) > サブクロック(f _{XT} : 32.768 kHz) × 4 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。	p.203 p.203 p.204 p.204 p.205
			RCMレジスタ	CPUが内蔵発振クロックで動作している間(CCLS.CCLSFビット=1)は内蔵発振器を停止できません。RSTOPビットをセット(1)しないでください。 RSTOPビットがセット(1)されている場合でも、CCLS.CCLSFビットがセット(1)されると(発振安定時間中にWDTオーバーフローが発生)，内蔵発振器は発振します。このときRSTOPビットはセット(1)されたままです。	p.206 p.206
			PLLCTLレジスタ	PLLONビット=0に設定すると、自動的にSELPLLビット=0(クロック・スルーモード)になります。 SELPLLビット=1の設定は、PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき(アンロック中)にSELPLLビットをライトすると“0”がライトされます。	p.208 p.208
			CKCレジスタ	f _x =5.0~10.0 MHzではPLLモードは使用できません。 CKCレジスタで4倍速/8倍速を切り替える場合は、クロック・スルーモードに設定し、PLLを停止してから倍速率を変更してください。 ビット3, 1には必ず1を設定し、ビット7-4, 2には必ず0を設定してください。	p.209 p.209 p.209
			LOCKRレジスタ	LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。	p.210
			PLLSレジスタ	ロックアップ時間は、800 μs以上になるように設定してください。 ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。	p.211 p.211
第7章	ソフト	16ビット・タイマ/イベント・カウントP(TMP)	TPnCTL0レジスタ	TPnCKS2-TPnCKS0ビットは、TPnCEビット=0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定できます。 ビット3-6には必ず“0”を設定してください。	p.217 p.217
			TPnCTL1レジスタ	TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力が選択されます。 TPnEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット=0のときに設定してください(TPnCEビット=1のときの同値書き込みは可能)。TPnCEビット=1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。 ビット3, 4, 7には必ず“0”を設定してください。	p.218 p.218 p.218 p.218
			TPnIOC0レジスタ	TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは、TPnCTL0.TPnCEビット=0のときに書き換えてください(TPnCEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。 TPnCEビット=0, TPnOEmビット=0の状態において、TPnOLmビットを操作した場合でも、TOPnm端子の出力レベルは変化します。	p.219 p.219
			TPnIOC1レジスタ	TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット=0のときに書き換えてください(TPnCEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。 TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。	p.220 p.220

(7/30)

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・ タイマ／イ ベント・カ ウンタP (TMP)	TPnIOC2レジスタ	TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは, TPnCTL0.TPnCEビット= 0のとき書き換えてください(TPnCEビット= 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPnCEビットをクリア(0)してから再設定してください。	p.221
				TPnEES1, TPnEES0ビットは, TPnCTL1.TPnEEEビット= 1, または外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0ビット= 001)に設定したときのみ有効です。	p.221
				TPnETS1, TPnETS0ビットは, 外部トリガ・パルス出力モード(TPnCTL1.TPnMD2-TPnMD0ビット= 010), ワンショット・パルス出力モード(TPnCTL1.TPnMD2-TPnMD0 = 011)に設定したときのみ有効です。	p.221
		TPnOPT0レジスタ	TPnCCS1, TPnCCS0ビットは, TPnCEビット= 0のときに書き換えてください(TPnCEビット= 1のときの同値書き込みは可能)。 誤って書き換えた場合は, TPnCEビットをクリア(0)してから再設定してください。	p.222	
				ビット1-3, 6, 7には必ず “ 0 ” を設定してください。	p.222
		TPnCCR0レジスタ	次に示す状態において, TPnCCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.223	
		TPnCCR1レジスタ		次に示す状態において, TPnCCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.225
		TPnCNTレジスタ		次に示す状態において, TPnCNTレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し, かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.227
		動作	外部イベント・カウント・モードを使用する場合, TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を, エッジを検出しない(TPnIOC1.TPnIS1, TPnIS0ビットを “ 00 ”)に設定してください。	p.228	
				外部トリガ・パルス出力モード, ワンショット・パルス出力モード, パルス幅測定モードを使用する場合, カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット= 0に設定)してください。	p.228
		インターバル・タイマ・モード (TPnMD2-TPnMD0ビット= 000)	割り込み要求信号(INTTPnCC0, INTTPnCC1)を割り込みマスク・フラグ(TPnCCMK0, TPnCCMK1)でマスク設定し, タイマ出力(TOPn1)する場合だけ, 1に設定することを許可します。ただし, TPnCCR0, TPnCCR1レジスタの設定値は同値にしてください (7.5.1(2)(d) TPnCCR1レジスタの動作参照)。	p.230	
		TPnCCR0レジスタの書き換えに関する注意事項		TPnCCR0レジスタの設定値を小さい値に変更する場合には, 一度カウント動作を停止させ, その後, 設定値を変更してください。 カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると, 16ビット・カウンタがオーバフローする場合があるので注意してください。	p.235
		外部イベント・カウント・モード動作時のレジスタ設定内容	カウント・クロックとして外部クロックを使用するときは, 外部クロックはTIPn0端子からのみ入力できます。このとき, TPnIOC1.TPnIS1, TPnIS0ビット = 00(キャプチャ・トリガ入力 (TIPn0端子) : エッジ検出なし)に設定してください。	p.241	
		外部イベント・カウント・モード動作タイミング		外部イベント・カウント・モード時, TPnCCR0レジスタには, 0000Hを設定しないでください。	p.243
		TPnCCR0レジスタの書き換えに関する注意事項	外部イベント・カウント・モード時, タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力をを行う場合は, インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください (TPnCTL1.TPnMD2-TPnMD0ビット= 000, TPnCTL1.TPnEEEビット= 1)。	p.243	
				TPnCCR0レジスタの設定値を小さい値に変更する場合には, 一度カウント動作を停止させ, その後, 設定値を変更してください。 カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると, 16ビット・カウンタがオーバフローする場合があるので注意してください。	p.244
		TPnLOC0, TPnOE0, TPnOL0ビット	外部トリガ・パルス出力モードでTOPn0端子を使用しない場合は, “ 0 ” に設定してください。	p.249	

(8/30)

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・ タイマ／イベント・カウント・カウンタP (TMP)	動作中のパルス幅変更の注意事項	動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。TPnCCR1レジスタにライト後、再度TPnCCRMレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。	p.253
			TPnIOC0, TPnOE0, TPnOL0ビット	ワンショット・パルス出力モードでTOPn0端子を使用しない場合は、“0”に設定してください。	p.261
			ワンショット・パルス出力モード動作時のレジスタ設定内容	ワンショット・パルス出力モードにおいて、TPnCCR1レジスタの設定値がTPnCCR0レジスタより大きい場合、ワンショット・パルスは出力しません。	p.262
			TPnCCRMレジスタの書き換えに関する注意事項	TPnCCRMレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTPnCCRMレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合があるので注意してください。	p.264
			TPnIOC0, TPnOE0, TPnOL0ビット	PWM出力モードでTOPn0端子を使用しない場合は、“0”に設定してください。	p.268
			セレクタ機能	セレクタ機能を使用する場合は、接続されるTMPをキャプチャ・トリガ入力に設定してください。	p.299
				セレクタ機能を設定する場合は、接続される周辺I/O (TMP, UARTA) を動作禁止にしてから設定してください。	p.299
			SELCNT0レジスタ	ISEL3, ISEL4, ISEL6の各ビットを“1”に設定する場合は、対応する機能端子をキャプチャ入力に設定してください。 ビット7, 5, 2-0には必ず“0”を設定してください。	p.299
			キャプチャ動作	キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPnCEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TPnCCR0, TPnCCR1レジスタに0000HではなくFFFFHがキャプチャされる場合があります。	p.300
			TQ0CTL0レジスタ	TQ0CKS2-TQ0CKS0ビットは、TQ0CEビット=0のときに設定してください。TQ0CEビットを“0”から“1”に設定するときに、同時にTQ0CKS2-TQ0CKS0ビットを設定できます。 ビット3-6には必ず“0”を設定してください。	p.306
第8章	ソフト	16ビット・ タイマ／イベント・カウント・カウンタQ (TMQ)	TQ0CTL1レジスタ	TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力が選択されます。	p.307
				TQ0EEE, TQ0MD2-TQ0MD0ビットは、TQ0CTL0.TQ0CEビット=0のときに設定してください(TQ0CEビット=1のときの同値書き込みは可能)。TQ0CEビット=1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。	p.307
				ビット3, 4, 7は必ず“0”を設定してください。	p.307
			TQ0IOC0レジスタ	TQ0OLm, TQ0OEmビットは、TQ0CTL0.TQ0CEビット=0のときに書き換えてください(TQ0CEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。	p.308
				TQ0CEビット=0, TQ0OEmビット=0の状態において、TQ0OLmビットを操作した場合でも、TOQ0m端子の出力レベルは変化します。	p.308
			TQ0IOC1レジスタ	TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット=0のときに書き換えてください(TQ0CEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。	p.309
				TQ0IS7-TQ0IS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。	p.309
			TQ0IOC2レジスタ	TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは、TQ0CTL0.TQ0CEビット=0のときに書き換えてください(TQ0CEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア(0)してから再設定してください。	p.310
				TQ0EES1, TQ0EES0ビットは、TQ0CTL1.TQ0EEEビット=1、または外部イベント・カウント・モード(TQ0CTL1.TQ0MD2-TQ0MD0ビット=001)に設定したときのみ有効です。	p.310

(9/30)

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフトウェンタQ(TMQ)	16ビット・タイマ／イベント・カウンタ	TQ0IOC2レジスタ	TQ0ETS1, TQ0ETS0ビットは,外部トリガ・パルス出力モード(TQ0CTL1.TQ0MD2-TQ0MD0ビット=010),ワンショット・パルス出力モード(TQ0CTL1.TQ0MD2-TQ0MD0ビット=011)に設定したときのみ有効です。	p.310
			TQ0OPT0レジスタ	TQ0CCS3-TQ0CCS0ビットは,TQ0CTL0.TQ0CEビット=0のときに書き換えてください(TQ0CEビット=1のときの同値書き込みは可能)。誤って書き換えた場合は,TQ0CEビットをクリア(0)してから再設定してください。 ビット1-3には必ず“0”を設定してください。	p.311
			TQ0CCR0レジスタ	次に示す状態において,TQ0CCR0レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し,かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.312
			TQ0CCR1レジスタ	次に示す状態において,TQ0CCR1レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し,かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.314
			TQ0CCR2レジスタ	次に示す状態において,TQ0CCR2レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し,かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.316
			TQ0CCR3レジスタ	次に示す状態において,TQ0CCR3レジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し,かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.318
			TQ0CNTレジスタ	次に示す状態において,TQ0CNTレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し,かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.320
		外部イベント・カウント・モード		外部イベント・カウント・モードを使用する場合, TIQ00端子のキャプチャ・トリガ入力の有効エッジの設定を,エッジを検出しない(TQ0IOC1.TQ0IS1, TQ0IS0ビットを“00”)に設定してください。	p.321
		外部トリガ・パルス出力モード,ワンショット・パルス出力モード,パルス幅測定モード		外部トリガ・パルス出力モード,ワンショット・パルス出力モード,パルス幅測定モードを使用する場合,カウント・クロックは内部クロックを選択(TQ0CTL1.TQ0EEEビット=0に設定)してください。	p.321
		TQ0CTL1. TQ0EEEビット		割り込み要求信号(INTTQ0CC0, INTTQ0CCk)を割り込みマスク・フラグ(TQ0CCMK0, TQ0CCMKk)でマスク設定し,タイマ出力(TQ0Qk)する場合だけ,1に設定することを許可します。ただし,TQ0CCR0,TQ0CCRkレジスタの設定値は,同値にしてください(8.5.1(2)(d) TQ0CCR1-TQ0CCR3レジスタの動作参照)。	p.323
		TQ0CCR0レジスタの書き換えに関する注意事項		TQ0CCR0レジスタの設定値を小さい値に変更する場合には,一度カウント動作を停止させ,その後,設定値を変更してください。 カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると,16ビット・カウンタがオーバフローする場合があるので注意してください。	p.327 336
		外部イベント・カウント・モード動作時のレジスタ設定内容		カウント・クロックとして外部クロックを使用するときは,外部クロックはTIQ00端子からのみ入力できます。このとき,TQ0IOC1.TQ0IS1, TQ0IS0ビット=00(キャプチャ・トリガ入力(TIQ00端子):エッジ検出なし)に設定してください。	p.333
		外部イベント・カウント・モード動作タイミング		外部イベント・カウント・モード時,TQ0CCR0レジスタには,0000Hを設定しないでください。 外部イベント・カウント・モード時,タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を実行する場合は,インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可に選択してください(TQ0CTL1.TQ0MD2-TQ0MD0ビット=000, TQ0CTL1.TQ0EEEビット=1)。	p.335
		TQ0IOC0, TQ0OE0, TQ0OL0ビット		外部トリガ・パルス出力モードでTOQ00端子を使用しない場合は,“0”に設定してください。	p.343

(10/30)

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	16ビット・タイマ／イペント・カウンタQ(TMQ)	動作中のパルス幅変更の注意事項	動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。	p.347
			TQ0IOC0, TQ0OE0, TQ0OL0ビット	ワンショット・パルス出力モードでTOQ00端子を使用しない場合は、“0”に設定してください。	p.356
			ワンショット・パルス出力モード動作時のレジスタ設定内容	ワンショット・パルス出力モードにおいて、TQ0CCRkレジスタの設定値が、TQ0CCR0レジスタより大きい場合、ワンショット・パルスは出力しません。	p.357
			TQ0CCRmレジスタの書き換えに関する注意事項	TQ0CCRmレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。 カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合があるので注意してください。	p.360
			TQ0IOC0, TQ0OE0, TQ0OL0ビット	PWM出力モードでTOQ00端子を使用しない場合は、“0”に設定してください。	p.365
			キャプチャ動作	キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQ0CEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCR0, TQ0CCR1, TQ0CCR2, TQ0CCR3レジスタに0000HではなくFFFFHがキャプチャされる場合があります。	p.400
第9章	ソフト	16ビット・インターバル・タイマM(TMM)	TM0CTL0レジスタ	TM0CKS2-TM0CKS0ビットはTM0CEビット=0のときに設定してください。 TM0CEビットを“0”から“1”に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定できません。 ビット3-6には必ず“0”を設定してください。	p.404
			インターバル・タイマ・モード動作	TM0CMP0レジスタには、FFFFHを設定しないでください。	p.405, 408
			カウント開始	TM0CTL0.TM0CEビット=1としてからカウント開始するまで、選択したカウント・クロックによって時間が異なります。	p.409
			TM0CMP0, TM0CTL0レジスタ	TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。 TM0CEビット=1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0.TM0CEビットをクリア(0)してから再設定してください。	p.409
第10章	ソフト	時計タイマ機能	PRSM0レジスタ	時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。 PRSM0レジスタの設定はBGCE0ビットをセット(1)する前にあってください。 f _{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。	p.413
			PRSCM0レジスタ	時計タイマ動作中にPRSCM0レジスタを書き換えないでください。 PRSM0.BGCE0ビットをセット(1)する前にPRSCM0レジスタの設定を行ってください。 f _{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。	p.414
			WTMレジスタ	WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。	p.416
			注意事項	動作許可(WTM.WTM1, WTM0ビット=1)してから、最初の1回目の時計タイマ割り込み要求信号(INTWT)が発生するまで多少時間がかかります。 1回目のINTWT信号が発生するまでに、最大0.515625 sかかります(最大2 ⁹ × 1/32768 = 0.015625 s長くかかります)。 そのあとは0.5 sごとにINTWT信号が発生します。	p.419
			ハード		p.419
			ウォッチドッグ・タイマ2機能	ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。 ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。 また、ディフォールトの設定(リセット・モード、インターバル時間:f _R /2 ¹⁰)で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。	p.420
				ノンマスカブル割り込み要求信号(INTWDT2)によるノンマスカブル割り込み処理については19.2.2(2) INTWDT2信号の場合を参照してください。	p.420

(11/30)

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	ウォッチドッグ・タイマ2機能	WDTM2レジスタ	次に示す状態において、WDTM2レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.422
				WDCS24-WDCS20ビットについては表11-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。	p.422
				内蔵発振器の停止のみでウォッチドッグ・タイマ2は停止しますが、動作を確定するため（誤書き込みで、メイン・クロックやサブクロックが選択されないようにする），WDTM2レジスタに00Hを設定してください。	p.422
				リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。	p.422
				意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。 ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んでもオーバフロー信号は発生しません。	p.422
				ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTPビット=1に設定（内蔵発振器の停止）するとともに、WDTM2レジスタに00Hを書き込んでください。 RCM.RSTPビット=1に設定できない場合は、WDCS23ビット=1に設定してください（2 ⁷ /f _{xx} が選択され、IDLE1, IDLE2, サブIDLE, サブクロック動作モードでクロックを停止することができます）。	p.422
			WDTEレジスタ	WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。	p.424
				WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。	p.424
				意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。 ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んでもオーバフロー信号は発生しません。	p.424
				WDTEレジスタのリード値は、“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。	p.424
第12章	ソフト	リアルタイム出力機能(RTO)	RTBL0, RTBH0レジスタ	RTBH0レジスタのビット6,7への書き込み時は、必ず“0”を書き込んでください。	p.427
				次に示す状態において、RTBL0, RTBH0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.427
				リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。	p.427
				リアルタイム出力動作を許可（RTPC0.RTPOE0ビット=1）することにより、RTP00-RTP05信号のうちリアルタイム出力許可されたビットはリアルタイム出力をを行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。	p.428
			RTPM0レジスタ	リアルタイム出力動作を禁止（RTPOE0ビット=0）した場合は、RTPM0レジスタの設定にかかわらず、リアルタイム出力端子（RTP00-RTP05）は全ビット“0”を出力します。	p.428
				リアルタイム出力端子（RTP00-RTP05）として使用するには、PMC, PFCレジスタでリアルタイム出力ポートに設定してください。	p.428
			RTPC0レジスタ	RTPEG0, BYTE0, EXTR0ビットの設定は、必ずRTPOE0ビット=0のときに行ってください。	p.429
			注意事項	ソフトウェアにより、次の競合を回避してください。 ・リアルタイム出力動作の禁止／許可の切り替え（RTPOE0ビット）と選択したリアルタイム出力トリガとの競合 ・リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合	p.431
				初期設定は、リアルタイム出力動作を禁止（RTPOE0ビット=0）にしてから行ってください。	p.431

(12/30)

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	リアルタイム出力機能(RTO)	注意事項	一度リアルタイム出力動作を禁止(RTPOE0ビット=0)した場合は、リアルタイム出力動作を許可(RTPOE0ビット=0 1)する前に、必ずRTBH0, RTBL0レジスタに初期値を設定してください。	p.431
第13章	ハード	A/Dコンバータ	ANIO-ANI11端子	ANIO-ANI11端子入力電圧は規格の範囲内で使用してください。特にAVREF0以上の電圧が入力されると、そのチャネルの変換値が不定となり、またほかのチャネルの変換値にも影響を与えることがあります。	p.435
	ソフト	ADA0M0レジスタ		次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合 ビット0に書き込みを行った場合、書き込みは無視されます。	p.436
				A/D変換動作許可中(ADA0CEビット=1)は、ADA0M1.ADA0FR2-ADA0FR0ビットの変更は禁止です。	p.437
				次のモードでは、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みはA/D変換動作停止(ADA0CEビット=0)の状態で行い、その後でA/D変換動作許可(ADA0CEビット=1)してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード / ワンショット・スキャン・モードまた、そのほかのモードでA/D変換動作中(ADA0EFビット=1)にADA0M0,ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようにになります。 ・ソフトウェア・トリガ・モード時 A/D変換動作は中断され、再度、最初から変換動作を行います。 ・ハードウェア・トリガ・モード時 A/D変換動作は中断され、再度、トリガ待機状態になります。	p.437
				外部トリガ・モード / タイマ・トリガ・モードを選択する場合(ADA0TMDビット=1)は、高速変換モード(ADA0M1.ADA0HS1ビット=1)に設定してください。 また、A/D変換動作許可(ADA0CEビット=1)したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。	p.437
				A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット=0として動作を停止させてください。	p.437
		ADA0M1レジスタ		A/D変換動作許可中(ADA0M0.ADA0CEビット=1)は、ADA0M1レジスタの変更は禁止です。	p.438
				外部トリガ・モード / タイマ・トリガ・モードを選択する場合(ADA0M0.ADA0TMDビット=1)は、高速変換モード(ADA0HS1ビット=1)に設定してください。 また、A/D変換動作許可(ADA0CEビット=1)したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。	p.438
				ビット6-3には必ず“0”を設定してください。	p.438
	通常変換モード時の変換時間の選択(ADA0HS1ビット=0)			2.6μs 変換時間 10.4μsになるように設定してください。	p.439
				A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されます。 また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。	p.439
	高速変換モード時の変換時間の選択(ADA0HS1ビット=1)			2.6μs 変換時間 10.4μsになるように設定してください。	p.440
				高速変換モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタの書き換え、およびトリガ入力を禁止します。	p.440
		ADA0M2レジスタ		次のモードでは、ADA0M2レジスタへの書き込みはA/D変換動作停止(ADA0M0.ADA0CEビット=0)の状態で行い、その後でA/D変換動作許可(ADA0CEビット=1)してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード / ワンショット・スキャン・モード	p.441

(13/30)

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	ADA0M2レジスタ	ビット7-2には必ず“0”を設定してください。	p.441
			ADA0Sレジスタ	次のモードでは,ADA0Sレジスタへの書き込みはA/D変換動作停止(ADA0M0.ADA0CEビット=0)の状態で行い,その後でA/D変換動作許可(ADA0CEビット=1)してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード ビット7-4には必ず“0”を設定してください。	p.442
			ADA0CRn, ADA0CRnHレジスタ	次に示す状態において,ADA0CRn, ADA0CRnHレジスタへのアクセスは禁止です。詳細は3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し,かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.443
			ADA0PFTレジスタ	ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき,ADA0CRnレジスタの内容は不定になることがあります。変換結果は,変換動作終了後,ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは,正しい変換結果が読み出されないことがあります。	p.443
			ADA0PFMレジスタ	セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したADA0CRnHレジスタの値を比較し,結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが,一致しない場合は割り込みを発生しません。 スキャン・モードではADA0PFTレジスタに設定した8ビット・データとADA0CR0Hレジスタを比較し,結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが,一致しない場合はINTAD信号を発生させません。また比較結果にかかわらず,比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが,スキャン終了後のINTAD信号は発生しません。	p.445
			ADA0PFTレジスタ	次のモードでは,ADA0PFMレジスタへの書き込みはA/D変換動作停止(ADA0M0.ADA0CEビット=0)の状態で行い,その後でA/D変換動作許可(ADA0CEビット=1)してください。 ・通常変換モード ・高速変換モードのワンショット・セレクト・モード/ワンショット・スキャン・モード	p.445
			外部トリガ・モード	外部トリガ・モードを選択する場合は,高速変換モードに設定してください。また,A/D変換動作許可(ADA0M0.ADA0CEビット=1)したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。	p.449
			タイマ・トリガ・モード	タイマ・トリガ・モードを選択する場合は,高速変換モードに設定してください。また,A/D変換動作許可(ADA0M0.ADA0CEビット=1)したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。	p.450
			A/Dコンバータ未使用時	未使用時は,ADA0M0.ADA0CEビット=0とすることにより消費電力を低減できます。	p.460
			ANIO-ANI11端子 入力範囲	ANIO-ANI11端子の入力電圧は規格の範囲内で使用してください。ただし,絶対最大定格の範囲内であってもAV _{REF0} 以上,AV _{ss} 以下の電圧が入力されると,そのチャネルの変換値が不定となります。また,ほかのチャネルの変換値にも影響を与えることがあります。	p.460
			ノイズ対策	10ビット分解能を保つためには,ANIO-ANI11端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので,ノイズを低減するためにコンデンサを外付けすることを推奨します。	p.460

(14/30)

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	兼用入出力	<p>アナログ入力(AN10-AN11)端子はポート端子と兼用になっています。AN10-AN11端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。</p> <p>また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で出力電流が変動する場合も変換分解能が低下することがあります。</p> <p>A/D変換中の端子に隣接する端子へデジタル・パルスを印加したりデジタル・パルスを出力したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。</p>	p.460
		割り込み要求フラグ(ADIF)		<p>ADA0Sレジスタを変更しても、割り込み要求フラグ(ADIF)はクリアされません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリアしてください。</p>	p.461
	ハード	AV _{REF0} 端子	(a) AV _{REF0} 端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても必ずV _{DD} と同じ電位を印加してください。 (b) AV _{REF0} 端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV _{REF0} 端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流(特に変換動作許可ADA0CEビット=1とした直後)により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるためにAV _{REF0} 端子とAV _{SS} 端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。 (c) AV _{REF0} 端子への供給部に直流抵抗値(ダイオード挿入など)が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。	p.462	
		ADA0CRnレジスタの読み出し		<p>ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき、ADA0CRnレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また、外部/タイマ・トリガを受け付けたときも、ADA0CRnレジスタの内容は不安定になることがあります。変換結果は、変換動作終了後、次の外部/タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。</p>	p.462
	ソフト	スタンバイ・モード		<p>A/Dコンバータは、STOPモード時に動作が停止するため、変換結果は無効になり消費電力を低減できます。STOPモード解除後、再び動作を開始しますが、STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は、STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット=0に設定してからSTOPモード解除後にADA0CEビット=1に設定してください。</p> <p>IDLE1, IDLE2モード、サブクロック動作モードでは動作が保持されるため、消費電力を低減する場合にはADA0M0.ADA0CEビット=0にしてください。ただし、IDLE1, IDLE2モード期間中は、アナログ入力電圧値が保持できなくなるため、IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また、IDLE1, IDLE2モード設定前のA/D変換結果は有効です。</p>	p.463
		高速変換モード		高速変換モードでは、安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTのレジスタの書き換え、およびトリガ入力を禁止します。	p.463

(15/30)

章	分類	機能	機能の詳細	注意事項	頁
第13章	ソフト	A/Dコンバータ	A/D変換時間	<p>A/D変換時間は、安定時間、変換時間、ウエイト時間、およびトリガ応答時間の合計時間になります（それぞれの時間については、表13-2 通常変換モード時の変換時間の選択(ADA0HS1ビット=0)、表13-3 高速変換モード時の変換時間の選択(ADA0HS1ビット=1)を参照してください）。</p> <p>通常変換モードでは、A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されます。</p> <p>また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。</p>	p.463
			A/D変換結果のばらつき	電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。	p.463
	ハード	A/D変換のヒステリシス特性		<p>逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、その後、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きことがあります。</p> <ul style="list-style-type: none"> 同一チャネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。 アナログ入力チャネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。 	p.463
第14章	ハード	D/Aコンバータ	DAC0, DAC1は、AV _{REF1} 端子を共用しています。		p.468
			DAC0, DAC1は、AV _{ss} 端子を共用しています。また、AV _{ss} 端子はA/Dコンバータとも共用しています。		p.468
	ソフト	DA0Mレジスタ	リアルタイム出力モード(DA0MDnビット=1)時の出力トリガは、次のとおりです。		p.469
			<ul style="list-style-type: none"> n = 0のとき：INTTP2CC0信号（第7章 16ビット・タイマ/イベント・カウンタP (TMP) 参照） n = 1のとき：INTTP3CC0信号（第7章 16ビット・タイマ/イベント・カウンタP (TMP) 参照） 		
	ソフト	DA0CS0, DA0CS1レジスタ	リアルタイム出力モード(DA0M.DA0MDnビット=1)のとき、INTTP2CC0/INTTP3CC0信号が発生する前に、DA0CSnレジスタを設定してください。INTTP2CC0/INTTP3CC0信号発生でD/A変換を開始します。		p.470
	ハード	注意事項	リアルタイム出力モード時、トリガ信号が出ている間にDA0CSnレジスタの設定値を変更しないでください。		p.472
			動作モードを切り替える場合は、必ずDA0M.DA0CEnビット=0にしたあとに行ってください。		p.472
			P10/ANO0, P11/ANO1端子を、1本を入出力ポート、1本をD/A出力端子として使用する場合、D/A出力中は、ポートの入出力レベルが変化しないようなアプリケーションで使用してください。		p.472
			AV _{REF0} = V _{DD} = AV _{REF1} = 3.0 ~ 3.6 Vの範囲で使用してください。それ以外の場合の動作は保証できません。		p.472
			AV _{REF1} の電源投入および電源切断は、AV _{REF0} と同じタイミングで行ってください。		p.472
			D/Aコンバータの出力インピーダンスが高いため、ANOn端子(n=0, 1)から電流を取り出すことはできません。2 MΩ以下の抵抗を接続する場合には、抵抗とANOn端子の間にJFET入力型オペアンプを挿入してください。		p.472
			D/Aコンバータは、STOPモード時に動作が停止するため、ANO0, ANO1端子は、ハイ・インピーダンスになり消費電力を低減できます。 ただし、IDLE1, IDLE2モード、サブクロック動作モードでは端子は保持されるため、消費電力を低減する場合にはDA0M.DA0CEnビット=0にしてください。		p.472

(16/30)

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフトウェア・シリアル・インターフェースA (UARTA)	アシンクロナス・シリアル・インターフェース	CSIB4とUARTA0のモード切り替え	CSIB4またはUARTA0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。	p.473
		UARTA2とI ² C00のモード切り替え	UARTA2またはI ² C00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。		p.474
		UARTA1とI ² C02のモード切り替え	UARTA1とI ² C02において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。		p.474
		UAhOPT0レジスタ	UAhSRT, UAhSTTビットは、SBF受信中 (UAhSRFビット=1) にセット(1)しないでください。		p.481
		SBF受信	データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。		p.491
			SBF受信トリガ・ビット (UAhSRT), SBF送信トリガ・ビット (UAhSTT) はSBF受信中 (UAhSRF = 1) にセット(1)しないでください。		p.491
		連続送信	送信の初期化を行う場合、連続送信実行中は、UAhSTR.UAhTSFビットが“0”であることを確認してから初期化を実行してください。UAhTSFビットが“1”的ときに初期化を実行した場合の送信データの保証できません。		p.493
		UART受信	受信エラー発生時にも、UAhRXレジスタは必ず読み出してください。UAhRXレジスタを読み出さないと、次のデータ受信にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。		p.496
			受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。		p.496
			受信終了時は、受信完了割り込み要求信号 (INTUAhR) 発生後、UAhRXレジスタを読み出してからUAhPWRビット = 0またはUAhRXEビット = 0としてください。INTUAhR信号が発生する前にUAhPWRビット = 0またはUAhRXEビット = 0とした場合、UAhRXレジスタのリード値は保証できません。		p.496
			UARTAnの受信完了処理 (INTUAhR信号の発生) と、UAhPWRビット = 0またはUAhRXEビット = 0が競合した場合、UAhRXレジスタにデータを格納していないにもかかわらず、INTUAhR信号が発生することがあります。INTUAhR信号の発生を待たずして受信終了を行うときには、必ず割り込み制御レジスタ (UAhRIC) の割り込みマスク・フラグ (UAhRMK) をセット(1)してから、UAhPWRビット = 0またはUAhRXEビット = 0とし、さらにUAhRICレジスタの割り込み要求フラグ (UAhRIF) をクリア(0)してください。		p.496
			受信エラー	INTUAhR信号が発生したら、必ずUAhSTRレジスタを読み出してエラーの有無を確認してください。	p.497
				連続受信時に受信エラー割り込みが発生した場合は、次の受信が完了する前にUAhSTRレジスタの内容を読み出してエラー処理を実施してください。	p.498
			パリティの種類と動作	LIN機能を使用する場合、UAhCTL0.UAhPS1, UAhPS0ビットを“00”に固定してください。	p.499
			UAhCTL1レジスタ	UAhCTL1レジスタを書き換える場合は、UAhCTL0.UAhPWRビット = 0にしてから行ってください。	p.502
		UAhCTL2レジスタ	UAhCTL2レジスタを書き換える場合は、UAhCTL0.UAhPWRビット = 0, またはUAhTXE, UAhRXEビット = 00にしてから行ってください。	p.503	
		ボーレート誤差	送信時のボーレート誤差は、受信先の許容誤差以内にしてください。	p.504	
			受信時のボーレート誤差は、(5)受信時の許容ボーレート範囲で示す範囲を満たすようにしてください。	p.504	
		受信時の許容ボーレート範囲	受信時のボーレート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。	p.506	
		UARTAnへの供給クロックが停止する場合	UARTAnへの供給クロックが停止する場合 (例: IDLE1, IDLE2, STOPモード) は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAh端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAhCTL0.UAhPWR, UAhRXEn, UAhTXEnビット = 000とし、回路を初期化してください。	p.509	

(17/30)

章	分類	機能	機能の詳細	注意事項	頁
第15章	ソフト	アシンクロナス・シリアル・インターフェースA (UARTA)	RXDA1端子 KR7端子	RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください (PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します)。	p.509
			DMA転送で送信データ,受信データの転送	UARTAnでは、通信エラーによる割り込みを発生しません。そのため、DMA転送で送信データ,受信データの転送を行う場合、転送中にエラー(パリティ/オーバラン/フレーミング)が発生しても、エラー処理を行えません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか、通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。	p.509
			UARTAnの起動	UARTAnの起動は次の順序で行ってください。 UAnCTL0.UAnPWRビット = 1 ポートの設定 UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1	p.509
			UARTAnの停止	UARTAnの停止は次の順序で行ってください。 UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0 ポートの設定, UAnCTL0.UAnPWRビット = 0(ポートの設定は変更しなくても問題ありません)	p.509
			送信モード	送信モード中 (UAnCTL0.UAnPWRビット = 1, かつUAnCTL0.UAnTXEビット = 1) に、ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。	p.509
			連続送信	連続送信の場合、トップ・ビットから次のスタート・ビットまでの通信レートが、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。	p.509
第16章	ソフト	3線式可変長シリアルI/O (CSIB)	CSIB4とUARTA0のモード切り替え	CSIB4またはUARTA0において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。	p.510
			CSIB0とI ² C01のモード切り替え	CSIB0またはI ² C01において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止してください。	p.511
		CBnCTL0レジスタ	送受信を強制中断する場合は、CBnRXEビット, CBnTXEビットではなく、CBnPWRビットをクリア(0)してください。このとき、クロック出力も停止します。	CBnPWRビットをクリア(0)してください。このとき、クロック出力も停止します。	p.515
			ビット3, 2には必ず0を設定してください。	ビット3, 2には必ず0を設定してください。	p.517
		CBnCTL1レジスタ	CBnCTL1レジスタは、CBnCTL0.CBnPWRビット=0の場合のみ書き換えが可能です。	CBnCTL1レジスタは、CBnCTL0.CBnPWRビット=0の場合のみ書き換えが可能です。	p.518
			通信クロック(f _{CLK})は、8 MHz以下になるように設定してください。	通信クロック(f _{CLK})は、8 MHz以下になるように設定してください。	p.518
		CBnCTL2レジスタ	CBnCTL2レジスタは、CBnCTL0.CBnPWRビット=0, またはCBnTXE, CBnRXEビット=0の場合のみ書き換えが可能です。	CBnCTL2レジスタは、CBnCTL0.CBnPWRビット=0, またはCBnTXE, CBnRXEビット=0の場合のみ書き換えが可能です。	p.519
		連続転送モード(マスター・モード, 送信モード)	連続送信モードでは、受信完了割り込み要求信号(INTCBnR)は発生しません。	連続送信モードでは、受信完了割り込み要求信号(INTCBnR)は発生しません。	p.536
		連続転送モード(スレーブ・モード, 送信モード)	連続送信モードでは、受信完了割り込み要求信号(INTCBnR)は発生しません。	連続送信モードでは、受信完了割り込み要求信号(INTCBnR)は発生しません。	p.545
		クロック・タイミング	シングル転送モードでは、CBnTSFビット = 1の状態でCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。 たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。 このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。	シングル転送モードでは、CBnTSFビット = 1の状態でCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。 たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。 このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。	p.554, 555
		PRSM1-PRSM3レジスタ	動作中に、PRSMmレジスタを書き換えないでください。	動作中に、PRSMmレジスタを書き換えないでください。	p.557
			PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。	PRSMmレジスタの設定はBGCEmビットに“1”を設定する前に行ってください。	p.557
		PRSCM1-PRSCM3レジスタ	動作中にPRSCMmレジスタを書き換えないでください。	動作中にPRSCMmレジスタを書き換えないでください。	p.558
			PRSCMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。	PRSCMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。	p.558
		ポート・レートの生成	f _{BRGM} は、8 MHz以下になるように設定してください。	f _{BRGM} は、8 MHz以下になるように設定してください。	p.558

(18/30)

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	3線式可変長シリアルI/O (CSIB)	DMA転送により、送信データ、受信データの転送を行う場合	DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバラン・エラーがなかったことを確認してください。	p.559
			CBnCTL0レジスタ CBnCTL1レジスタ CBnCTL2レジスタ	動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。 動作中の書き換えが禁止されているレジスタを次に示します。 ・CBnCTL0レジスタ : CBnTXE, CBnRXE, CBnDIR, CBnTMSビット ・CBnCTL1レジスタ : CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット ・CBnCTL2レジスタ : CBnCL3-CBnCL0ビット	p.559
		通信タイプ2, 4		通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) では、受信完了割り込み (INTCBnR) 発生後、SCKBn半クロック後にCBnSTR.CBnTSFビットがクリアされます。 一方、シングル転送モードでは、通信中 (CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1) も、通信中 (CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。 そのため、通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。 ・次の送信を起動する場合は、CBnTSFビット = 0であることを確認したあと、CBnTXレジスタに送信データを書き込む ・受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は、CBnTSFビット = 0であることを確認したあと、CBnRXレジスタをリードする または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。	p.559
第17章	ソフト	I ² Cバス	I ² Cバス	この機能を使用する場合は、P38/SDA00, P39/SCL00, P40/SDA01, P41/SCL01, P90/SDA02, P91/SCL02端子を兼用端子として使用し、N-chオープン・ドレーン出力に設定してください。	p.560
		UARTA2とI ² C00のモード切り替え	UARTA2またはI ² C00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。	p.560	
		CSIB0とI ² C01のモード切り替え	CSIB0またはI ² C01において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。	p.561	
		UARTA1とI ² C02のモード切り替え	UARTA1とI ² C02において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。	p.562	
		IICC0-IICC2レジスタ	SCL0nラインがハイ・レベル、SDA0nラインがロウ・レベルの状態で、I ² Cnを動作許可 (IICEnビット = 1) した場合、直後にスタート・コンディションを検出します。I ² Cnを動作許可 (IICEnビット = 1) したあと、連続してビット操作命令によりLRELnビットをセット (1) してください。	p.569	
			SPTnビットのセット (1) は、マスタとのみ行ってください。ただし、IICRSVnビットが0の場合、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット (1) してストップ・コンディションを生成する必要があります。詳細は、17.15 注意事項を参照してください。	p.572	
			TRCnビット = 1のとき、9クロック目にWRELnビットをセット (1) してウエイトを解除すると、TRCnビットをクリア (0) してSDA0nラインをハイ・インピーダンスにします。	p.572	
		IICS0-IICS2レジスタ	次に示す状態において、IICSnレジスタへのアクセスは禁止です。詳細は3.4.8(2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 ・CPUが内蔵発振クロックで動作している場合	p.573	
			TRCnビット = 1のとき、9クロック目にWRELnビットをセット (1) してウエイトを解除すると、TRCnビットをクリア (0) してSDA0nラインをハイ・インピーダンスにします。	p.574	

(19/30)

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	I ² Cバス	IICF0-IICF2レジスタ	STCENnビットへの書き込みは、動作停止 (IICEnビット=0) 時のみ行ってください。 STCENnビット=1とした場合、I ² C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット=0) と認識しますので、1回目のスタート・コンディションを発行 (STTnビット=1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。	p.577
			IICCL0-IICCL2レジスタ	IICRSVnビットへの書き込みは、動作停止 (IICEnビット=0) 時のみ行ってください。	p.577
			I ² COnの転送クロックの設定方法	ビット7, 6には必ず“0”を設定してください。	p.578
		I ² COnの転送クロックの設定方法	OCKS0レジスタの設定値によらずf _{xx} になるので、OCKS0レジスタ=00H (I ² C分周クロックは停止状態) を設定してください。	p.580	
			OCKS1レジスタの設定値によらずf _{xx} になるので、OCKS1レジスタ=00H (I ² C分周クロックは停止状態) を設定してください。	p.581	
		スタート・コンディション	ほかのデバイス同士の通信中にV850ES/JG2のIICCn.IICEnビットをセット(1)した場合、通信ラインの状態によってスタート・コンディションを検出することができます。IICCn.IICEnビットのセット(1)は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	p.586	
		アービトレーション発生時の状態と割り込み要求信号発生タイミング	IICCn.WTIMnビット=1の場合には、9クロック目の立ち下がりタイミングでINTIICn信号を発生します。 WTIMnビット=0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングでINTIICn信号を発生します。	p.619	
			アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEnビット=1にしてください。	p.619	
			IICFn.STCENnビット=0の場合 I ² COn動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット=1) と認識します。 ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。 ストップ・コンディションの生成は次の順番で行ってください。 IICCLnレジスタの設定 IICCn.IICEnビットのセット IICCn.SPTnビットのセット	p.625	
		IICFn.STCENnビット=1の場合	I ² COn動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット=0) と認識しますので、1回目のスタート・コンディションを生成 (IICCn.STTnビット=1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。	p.625	
		ほかのデバイス同士の通信時	ほかのデバイス同士の通信中にV850ES/JG2のIICCn.IICEnビットをセット(1)した場合、通信ラインの状態によってスタート・コンディションを検出することができます。IICCn.IICEnビットのセット(1)は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	p.625	
		動作許可	動作許可 (IICCn.IICEnビット=1) する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア(0)してください。	p.625	
		IICCn.STTn, SPTnビット	IICCn.STTn, SPTnビットをセット(1)したあと、クリア(0)される前の再セットは禁止します。	p.625	
		送信予約	送信予約をした場合には、IICCn.SPIEnビットをセット(1)してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI ² Cnに通信データをライトすることによってウエイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでIICSn.MSTS _n ビットを検出する場合には、SPIEnビットをセット(1)する必要はありません。	p.625	
		シングルマスタ・システムでのマスタ動作	通信している製品の仕様に準拠し、I ² COnバスを解放 (SCL0n, SDA0n端子 = ハイ・レベル) してください。 たとえば、EEPROMがSDA0n端子にロウ・レベルを出力した状態であれば、SCL0n端子を出力ポートに設定し、SDA0n端子が定的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。	p.627	

(20/30)

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	I^2C バス	マルチマスター・システムでのマスター動作	一定期間（たとえば1フレーム分），バス解放状態（IICCLn.CLDnビット = 1, IICCLn.DADnビット = 1）であることを確認してください。定常にSDAOn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、 I^2C Onバスを解放（SCL0n, SDAOn端子 = ハイ・レベル）するか判断してください。	p.628
				送信および受信フォーマットは通信している製品の仕様に準拠してください。	p.630
				マルチマスター・システムでマスターとして使用する場合は、INTIICn割り込み発生ごとにIICSn.MSTSsビットをリードし、アビトリレーション結果を確認してください。	p.630
				マルチマスター・システムでスレーブとして使用する場合は、INTIICn割り込み発生ごとにIICSn, IICFnレジスタでステータスを確認して次に行う処理を決定してください。	p.630
				スレーブ・ウェイト解除は、IICn FFHまたはWRELnのセットのどちらかで行ってください。	p.636-638
				マスター・ウェイト解除は、IICn FFHまたはWRELnのセットのどちらかで行ってください。	p.639-641
第18章	ソフト	DMA機能（DMAコントローラ）	DSA0-DSA3レジスタ	DSA0Hレジスタのビット14-10には、必ず“0”を設定してください。	p.644
				DSA0H, DSA0Lレジスタの設定は、DMA転送禁止状態（DCHCn.ENnビット=0）である次のいずれかのタイミングで行ってください。 <ul style="list-style-type: none">・リセット後から最初のDMA転送起動までの期間・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間・DMA転送完了後（DCHCn.TCnビット=1の状態）から次のDMA転送起動までの期間	p.644
				DSA0レジスタの値を読み出す際、DSA0HレジスタとDSA0Lレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります（18.13 注意事項参照）。	p.644
				リセット後、DMA転送を開始する前にDSA0H, DSA0L, DDA0H, DDA0L, DBC0レジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.644
				DSA0-DSA3レジスタ	
				DSA0Hレジスタのビット14-10には、必ず“0”を設定してください。	p.645
		DDA0-DDA3レジスタ	DDA0-DDA3レジスタ	DSA0H, DSA0Lレジスタの設定は、DMA転送禁止状態（DCHCn.ENnビット=0）である次のいずれかのタイミングで行ってください。 <ul style="list-style-type: none">・リセット後から最初のDMA転送起動までの期間・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間・DMA転送完了後（DCHCn.TCnビット=1の状態）から次のDMA転送起動までの期間	p.645
				DSA0レジスタの値を読み出す際、DDA0HレジスタとDDA0Lレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります（18.13 注意事項参照）。	p.645
				リセット後、DMA転送を開始する前にDSA0H, DSA0L, DDA0H, DDA0L, DBC0レジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.645
				DDA0-DDA3レジスタ	
		DBC0-DBC3レジスタ	DBC0-DBC3レジスタ	DBC0レジスタの設定は、DMA転送禁止状態（DCHCn.ENnビット=0）である次のいずれかのタイミングで行ってください。 <ul style="list-style-type: none">・リセット後から最初のDMA転送起動までの期間・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間・DMA転送完了後（DCHCn.TCnビット=1の状態）から次のDMA転送起動までの期間	p.646
				リセット後、DMA転送を開始する前にDSA0H, DSA0L, DDA0H, DDA0L, DBC0レジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.646
				DBC0-DBC3レジスタ	
	DADC0-DADC3レジスタ	DADC0-DADC3レジスタ	DADC0-DADC3レジスタ	DADC0レジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。	p.647
				DADC0レジスタの設定は、DMA転送禁止状態（DCHCn.ENnビット=0）である次のいずれかのタイミングで行ってください。 <ul style="list-style-type: none">・リセット後から最初のDMA転送起動までの期間・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間・DMA転送完了後（DCHCn.TCnビット=1の状態）から次のDMA転送起動までの期間	p.647
				DS0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。したがって、8ビット・データ（DS0ビット=0）を設定した場合でも、必ずしも下位データ・バスを使用するわけではありません。	p.647

(21/30)

章	分類	機能	機能の詳細	注意事項	頁
第18章	ソフト(DMAコントローラ)	DMA機能(DMAコントローラ)	DADC0-DADC3レジスタ	転送データ・サイズを16ビットに設定した場合(DS0ビット=1),奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。 内蔵周辺I/Oレジスタを対象(転送元/転送先)とするDMA転送の場合,必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば,8ビットのレジスタに対するDMA転送の場合は,必ず(8ビット)転送を指定してください。	p.647
			DCHC0-DHC3レジスタ	TCnビットはリードのみ可能です。 INITn, STGnビットはライトのみ可能です。 DCHCnレジスタのビット6-3には,必ず“0”を設定してください。 DMA転送完了時(ターミナル・カウント時)は,Ennビットのクリア(0) TCnビットのセット(1)の順で各ビットの更新が行われます。そのため,DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合,「転送未完了,かつ転送禁止」の状態を示す値(TCnビット=0,かつEnnビット=0)が読み出されることがあります。	p.647
		DTFR0-DTFR3レジスタ	DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し,DMA転送要求をクリアする必要がある場合に0をライトしてください。 IFCn5-IFCn0ビットの設定は,DMA転送禁止状態(DCHCn.Ennビット=0)である次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間	p.648	
			IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは,DMA転送の許可/禁止にかかわらず,選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット(1)されます。この状態でDMA許可とした場合,ただちにDMA転送が起動されます。	p.649	
			スタンバイ・モード(IDLE1, IDLE2, STOP, サブIDLEモード)中に発生した割り込み要求は,DMA転送サイクルの起動要因にはなりません(DFnビットもセット(1)されません)。	p.649	
			転送対象の関係表18-2に示す転送先と転送元で,「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。	p.651	
		内蔵周辺I/Oによる要求	同一のDMAチャネルに対して,2つの起動要因(ソフトウェア・トリガ,ハードウェア・トリガ)を併用できません。1つのDMAチャネルに対して,2つの起動要因が同時に発生した場合,どちらか一方だけが有効となります。有効となった起動要因の特定はできません。	p.654	
			先のDMA転送要求が発生してから,または先のDMA転送サイクル中に新たな転送要求が発生しても,その要求は無視(クリア)されます。	p.654	
			同一のDMAチャネルに対する転送要求間隔は,DMA転送サイクル中のバス・ウェイトの設定やほかのチャネルの起動状況,または外部バス・ホールド要求により変化します。特に注意2のとおり,DMA転送サイクル前,または転送サイクル中に同一チャネルの新たな転送要求が発生しても,その要求は無視されてしまいます。したがって,同一のDMAチャネルに対する転送要求間隔は,システム上で十分な間隔をもつようにしてください。ソフトウェア・トリガ時は,DBCnレジスタの更新により,先に発生したDMA転送サイクルの完了を確認できます。	p.654	
		VSWCレジスタに関する注意	DMACを使用する際は,必ずVSWCレジスタに,動作周波数に応じた最適な値を設定してください。 VSWCレジスタの初期値(77H),または最適な値以外で使用した場合は正常に動作できません(VSWCレジスタの詳細については,3.4.8(1)(a)システム・ウェイト・コントロール・レジスタ(VSWC)を参照してください)。	p.660	
		内蔵RAMを転送対象とするDMA転送時の注意	内蔵RAMに配置された次の命令を実行する場合は,内蔵RAMを対象(転送先/転送元)とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。 ・内蔵RAMに配置されたピット操作命令(SET1, CLR1, NOT1) ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令逆に,内蔵RAMを対象(転送先/転送元)としたDMA転送を行う場合は,上の2つの命令を実行しないでください。	p.660	

(22/30)

章	分類	機能	機能の詳細	注意事項	頁
第18章	ソフト	DMA機能(DMAコントローラ)	DCHCn.TCnビットのリードに関する注意事項	<p>TCnビットは、読み出しによりクリア(0)されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア(0)されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。</p> <p>(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合 TCnビットがセット(1)されたことを確認したあと(TCnビット=1が読み出されたあと)，さらに3回のTCnビットのリードを行ってください。</p> <p>(b) 割り込み処理ルーチンでTCnビットのリードを行う場合 TCnビットのリードを3回実行してください。</p>	p.660
		DMA転送の初期化手順(DCHCn.INITnビットのセット(1))		<p>DMA転送中のチャネルを初期化するときに，INITnビットをセット(1)しても、チャネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。</p> <p>(a) 一時的にすべてのDMAチャネルの転送を停止させる方法 次に示す～の手順で初期化を実行してください。 ただし、次のに示す処理の実行により、TCnビットがクリア(0)されてしまいます。ほかの処理において、TCnビット=1となっていることを期待したプログラムになつていいことを確認してください。</p> <p>割り込み禁止状態(DI)にする。 強制終了したいチャネル以外に使用しているDMAチャネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。 使用しているDMAチャネル(強制終了するチャネルを含む)のEnnビットをクリア(0)する。 最終のDMAチャネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象(転送元/転送先)が内蔵RAMの場合は、3回実行する。 例 チャネル0, 1, 2を使用している場合には、次の順で命令を実行する(転送対象が内蔵RAMでない場合)。</p> <ul style="list-style-type: none"> ・ DCHC0.E00ビットをクリア(0) ・ DCHC1.E11ビットをクリア(0) ・ DCHC2.E22ビットをクリア(0) ・ 再度、DCHC2.E22ビットをクリア(0) <p>強制終了するチャネルのINITnビットをセット(1)する。 強制終了しない各チャネルのTCnビットを読み出し、TCnビットとで読み出したEnnビットが、ともに1(論理積(AND)が1)の場合は退避していたEnnビットをクリア(0)する。 で操作後のEnnビットをDCHCnレジスタに書き込む。 割り込み許可状態(EI)にする。</p> <p>上記は、～の間に正常終了したチャネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。</p>	p.661
				<p>(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法 強制終了したいチャネルのDMA要求元からのリクエストが発生しないようにする(内蔵周辺I/Oの動作停止)。 DTFRn.DFnビットにより強制終了するチャネルのDMA転送要求が保留されていないかを確認する。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。 強制終了するチャネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア(0)する。 再度、強制終了するチャネルのEnnビットをクリア(0)する。 ただし、強制終了するチャネルの転送対象(転送元/転送先)が内蔵RAMの場合は、この操作をさらにもう一度実行する。 強制終了するチャネルの初期転送回数を汎用レジスタにコピーする。 強制終了するチャネルのINITnビットをセット(1)する。 強制終了するチャネルのDBCnレジスタの値を読み出し、でコピーした値と比較する。比較した結果、一致しない場合はから操作を繰り返す。</p>	p.662

(23/30)

章	分類	機能	機能の詳細	注意事項	頁
第18章	ソフト	DMA機能 (DMAコントローラ)	DMA転送の一時中断手順について (Ennビットのクリア)	実行中のDMA転送を中断し、再開するには次の手順にしたがってください。 DMA要求元からの転送要求が発生しないようにする(内蔵周辺I/Oの動作を停止)。 DFnビットにより、DMA転送要求が保留されていないかを確認する(DFnビット=0であることを確認)。 保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。 DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア(0)する(この操作により、DMA転送が中断される)。 DMA転送を再開させるためにEnnビットをセット(1)する。 停止しているDMA要求元の動作を再開する(内蔵周辺I/Oの動作を開始)。	p.662
		メモリ境界	DMA転送中に、転送元、または転送先のアドレスがDMA対象(外部メモリ、内蔵RAM、内蔵周辺I/O)の領域を越えた場合の動作は保証できません。	p.662	
		ミス・アライン・データの転送	16ビット・バス幅のミス・アライン・データのDMA転送はサポートしていません。 奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。	p.662	
		CPUへのバス・アービトレーション	バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが開放されるまで待たれます。 ただし、CPUはDMA転送を行っていない外部メモリ、内蔵周辺I/O、内蔵RAMとのアクセスが可能です。 ・外部メモリ 内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵RAMにアクセスできます。 ・外部メモリ 外部メモリでDMA転送が行われているときは、CPUは内蔵RAM、内蔵周辺I/Oにアクセスできます。	p.663	
		DMA動作中の書き換え禁止レジスタ / ビット	次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 【対象レジスタ】 <ul style="list-style-type: none">・ DSAnH, DSAnL, DDAHn, DDALn, DBCn, DADCnレジスタ・ DTFRn.IFCn5-IFCn0ビット 【設定可能タイミング】 <ul style="list-style-type: none">・ リセット後から最初のDMA転送開始までの期間・ チャネル初期化後からDMA転送開始までの時間・ DMA転送完了後(TCnビット=1 の状態)から次のDMA転送開始までの期間	p.663	
		DSAnHレジスタ DDAnHレジスタ DADCnレジスタ DCHCnレジスタ	次のレジスタの各ビットには、必ず“0”を設定してください。 <ul style="list-style-type: none">・ DSAnHレジスタのビット14-10・ DDAHnレジスタのビット14-10・ DADCnレジスタのビット15, 13-8, 3-0・ DCHCnレジスタのビット6-3	p.663	
		DMAの起動要因	同じ起動要因で複数のDMAチャネルを起動しないでください。起動した場合、すでに設定済みのチャネルのDMAが起動されたり、優先順位の低いDMAチャネルが優先順位の高いDMAチャネルより先に受け付けられたりする場合があり、動作は保証できません。	p.663	
		DSAn, DDAn レジスタの読み出し値	DMA転送中にDSAn, DDAnレジスタの値を読み出した場合、更新途中の値が読み出されることがあります。 たとえば、DMA転送元アドレス(DSAnレジスタ)が0000FFFFH、カウント方向がインクリメント(DADCn.SAD1, SAD0ビット=00)の場合、DSAnHレジスタ DSAnLレジスタの順に読み出しを行うと、DSAnHレジスタ読み出し直後のDMA転送の有無によって、DSAnLレジスタの値が次のように異なります。 (a) DSAnレジスタの読み出し中にDMA転送が発生しない場合 DSAnHレジスタの読み出し : DSAnH = 0000H DSAnLレジスタの読み出し : DSAnL = FFFFH (b) DSAnレジスタの読み出し中にDMA転送が発生する場合 DSAnHレジスタの読み出し : DSAnH = 0000H DMA転送の発生 DSAnレジスタのインクリメント : DSAn = 0010000H DSAnLレジスタの読み出し : DSAnL = 0000H	p.664	
第19章	ソフト	割り込み / 例外処理機能	ノンマスカブル割り込み	ノンマスカブル割り込み要求信号(INTWDT2)によるノンマスカブル割り込み処理については19.2.2(2) INTWDT2信号の場合を参照してください。	p.669

(24/30)

章	分類	機能	機能の詳細	注意事項	頁
第19章	ソフト例外処理機能	割り込み / 例外処理機能	ノンマスカブル割り込み	ノンマスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合には, RETI命令による復帰時にPCとPSWを正常にリストアするために, RETI命令の直前で, LDSR命令を使用してEPビット=0かつNPビット=1に戻しておく必要があります。	p.673
			マスカブル割り込み	マスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合は, RETI命令による復帰時にPCとPSWを正常にリストアするために, RETI命令の直前で, LDSR命令を使用してEPビット=0かつNPビット=0に戻しておく必要があります。	p.677
			多重割り込み	多重割り込みを行うときはEI命令を実行する前に, EIPC, EIPSWの内容を退避する必要があります。また, 多重割り込みから復帰する際は, DI命令を実行したあとに, EIPC, EIPSWの内容を復帰してください。	p.679-681
			割り込み制御レジスタ	xxICn.xxFnビットを読み出す場合は, 割り込み禁止(DI)状態または割り込みをマスクした状態で行ってください。割り込み許可(EI)状態または割り込みマスクを解除した状態でxxFnビットを読み出すと, 割り込みの受け付けとビットの読み出しのタイミングが競合した場合に, 正常な値が読み出せないことがあります。 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。	p.682
		IMR0-IMR3レジスタ		デバイス・ファイルでは, xxICn.xxMKnビットを予約語として定義しています。したがって, xxMKnビットの名称でビット操作を行うと, IMRmレジスタではなくxxICnレジスタを書き換えます(結果としてIMRmレジスタも書き換わります)。	p.684
				IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード/ライトする場合は, IMR0H-IMR3Hレジスタのビット0-7として指定してください。	p.685
				IMR3レジスタのビット7-15には1を設定してください。変更した場合の動作は保証できません。	p.685
		ISPRレジスタ		割り込み許可(EI)状態において, ISPRレジスタをリード中に割り込みを受け付けた場合, その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は, 割り込み禁止(DI)状態でリードしてください。	p.686
		ソフトウェア例外処理からの復帰		ソフトウェア例外処理中にLDSR命令によりEP, NPビットを変更した場合には, RETI命令による復帰時にPCとPSWを正常にリストアするために, RETI命令の直前で, LDSR命令を使用してEPビット=1かつNPビット=0に戻しておく必要があります。	p.689
		不正命令コード		不正命令コードには, 将来, 新規に命令を割り当てる可能性があるため, 使用しないことを推奨します。	p.691
		例外トラップからの復帰	DBPC, DBPSWには, 不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。		p.692
		デバッグ・トラップからの復帰	DBPCとDBPSWには, DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。		p.694
		INTF0, INTR0レジスタ	外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF0n, INTR0nビット=0に設定したあとにポート・モードに設定してください。		p.696
			NMI, INTP0-INTP3端子として使用しない場合, 必ずINTF0n, INTR0nビット=0に設定してください。		p.696
		INTF3, INTR3レジスタ	外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF31, INTR31ビット=0に設定したあとにポート・モードに設定してください。		p.697
			INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください(INTF3.INTF31ビット=0, INTR3.INTR31ビット=0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止してください(UA0CTL0.UA0RXEビット=0)。		p.697
			INTP7端子として使用しない場合, 必ずINTF31, INTR31ビット=0に設定してください。		p.697
		INTF9H, INTR9Hレジスタ	外部割り込み機能(兼用機能)からポート機能に切り替える際, エッジ検出を行う可能性があるため, INTF9n, INTR9nビット=0に設定したあとにポート・モードに設定してください。		p.698
			INTP4-INTP6端子として使用しない場合, 必ずINTF9n, INTR9nビット=0に設定してください。		p.698

(25/30)

章	分類	機能	機能の詳細	注意事項	頁
第19章	ソフト割り込み/例外処理機能	NFCレジスタ		サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック×3クロックの時間かかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック×3クロックの間に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点を注意してください。 ・割り込み機能使用時は、サンプリング・クロック×3クロック経過後、割り込み要求フラグ（PIC3.PIF3ビット）をクリアしてから割り込みを許可してください。 ・DMA機能使用時（INTP3で起動）は、サンプリング・クロック×3クロック経過後、DMAを許可してください。	p.699
		NMI端子		NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0、INTR0レジスタで有効エッジを選択してください。	p.701
第20章	キー割り込み機能	KRMレジスタ		KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。 KRMレジスタを変更すると、割り込み要求信号（INTKR）が発生する場合があります。したがって、あらかじめ割り込みを禁止（DI）またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから、割り込みを許可（EI）またはマスク解除してください。	p.703
		KR0-KR7端子		KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。	p.703
		RXDA1端子 KR7端子		RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください（PFC91ビット=1, PFCE91ビット=0に設定することを推奨します）。	p.703
		キー割り込み機能の使用時		キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。	p.703
		PSCレジスタ		IDLE1, IDLE2, STOP, サブIDLEモードに設定するときは、PSMR.PSM1, PSM0ビットを設定してから、STPビットを設定してください。 NMI1M, NMI0M, INTMビットの設定は、HALTモード解除時は無効です。	p.706
第21章	スタンバイ機能			NMI1M, NMI0M, INTMビットの設定は、HALTモード解除時は無効になります。したがって、IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は、その割り込み要求信号に対するビット（NMI1M, NMI0M, INTM）をセット（1）したあとにSTPビットをセット（1）してください。	p.706
		PSMRレジスタ		ビット2-7には、必ず0を設定してください。 PSM0, PSM1ビットは、PSC.STPビット=1のときのみ有効です。	p.707
		OSTSレジスタ		STOPモード解除時のウエイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間は含みません。 ビット7-3には必ず“0”を設定してください。 リセット解除後の発振安定時間は、 $2^{16}/f_x$ （OSTSレジスタの初期値 = 06Hのため）となります。	p.708
		HALTモード		HALT命令の後には、NOP命令を5命令以上挿入してください。 マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。	p.709
		IDLE1モード		IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。 マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合、保留されている割り込み要求によりIDLE1モードはすぐに解除されます。	p.711
		IDLE1モード解除		PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求信号は無効になり、IDLE1モードは解除されません。	p.711
		IDLE2モード		IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.713

(26/30)

章	分類	機能	機能の詳細	注意事項	頁
第21章	ソフト	スタンバイ機能	IDLE2モード	マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、保留されている割り込み要求によりIDLE2モードはすぐに解除されます。	p.713
			IDLE2モード解除	PSC.NMI1M, NMIM, INTMビットで1に設定(割り込み禁止)されている割り込み要求信号は無効になり、IDLE2モードは解除されません。	p.713
			STOPモード	STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.716
				マスクされていない割り込み要求信号が保留されている状態でSTOPモードに設定した場合、保留されている割り込み要求によりSTOPモードはすぐに解除されます。	p.716
			STOPモード解除	PSC.NMI1M, NMIM, INTMビットで1に設定(割り込み禁止)されている割り込み要求は無効になり、STOPモードは解除されません。	p.716
		サブクロック動作モード	CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値の変更は禁止です(ビット操作命令を推奨)。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。		p.720
				次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。	p.720
			内部システム・クロック(f_{CLK}) > サブクロック($f_{XT} = 32.768\text{ kHz}$) × 4		
		サブクロック動作モードの解除	CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です(ビット操作命令を推奨)。PCCレジスタの詳細は、6.3(1)プロセッサ・クロック・コントロール・レジスタ(PCC)を参照してください。		p.720
				メイン・クロックを停止するときは、必ずPLL停止(PLLCTL.PLLONビット=0)に設定してください。	p.721
			CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットのみです(3.4.8(2)参照)。		p.721
		サブIDLEモード	サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。		p.722
			マスクされていない割り込み要求信号が保留されている状態でサブIDLEモードに設定した場合、保留されている割り込み要求によりサブIDLEモードはすぐに解除されます。		p.722
			PSC.NMI1M, NMIM, INTMビットで1に設定(割り込み禁止)されている割り込み要求信号は無効になり、サブIDLEモードは解除されません。		p.722
		サブIDLEモードの解除	サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間(約366 μs)が挿入されます。		p.722
			メイン・クロックを停止するときは、必ずPLL停止(PLLCTL.PLLONビット=0)に設定してください。		p.723
第22章	ソフト	リセット機能	緊急動作モード	CPUが内蔵発振クロックで動作しているとき、ウエイトが発生するレジスタへのアクセスは禁止です。ウエイトが発生するレジスタについては、3.4.8(2)特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.724
			リセット機能	LVI回路の内部リセットの場合、LVI回路はリセットされません。	p.724
		RESFレジスタ	各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット(リセットの発生)が競合した場合、フラグ・セットが優先されます。		p.725
	ハード	リセット後の内蔵RAMの状態	V850ES/JG2は、ブート切り替え機能をサポートするので、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部を使用します。したがって、パワーオン状態でのリセットでも一部領域のRAMの内容を保持しません。詳細は、22.3.4リセット解除後の動作を参照してください。		p.726, 728, 730
		RESET端子入力時の各ハードウェアの状態	次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。 • P10/ANO0端子 • P11/ANO1端子 • P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子		p.726
	ハード・ソフト		OCDMレジスタはRESET端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP05/DRST端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章ポート機能を参照してください。	p.726	

(27/30)

章	分類	機能	機能の詳細	注意事項	頁
第23章	ソフト	クロック・モニタ	CLMレジスタ	一度CLMEビット=1に設定した場合、リセット以外ではクリア(0)できません。	p.737
				クロック・モニタによるリセットが発生した場合、CLMEビットはクリア(0)され、RESF.CLMRFビットがセット(1)されます。	p.737
		内蔵発振器	RCM.RSTOPビットをセット(1)することで内蔵発振器を停止できます。	p.738	
				内蔵発振器が停止している場合、クロック・モニタは停止します。	p.738
			内蔵発振器をソフトウェアで停止することはできません。	p.738	
		低電圧検出回路(LVI)	LVIMレジスタ	LVIONビット=1かつLVIMDビット=1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。	p.742
				LVIONビットをセット(1)すると、LVI回路内のコンパレータの動作が開始します。LVIONビットをセットしてからLVIFビットで電圧を確認するまで、ソフトウェアで0.2 ms以上ウエイトしてください。	p.742
				ビット6-2には必ず0を設定してください。	p.742
			LVISレジスタ	LVIM.LVIONビット=1かつLVIM.LVIMDビット=1に設定したあと、低電圧検出によるリセット以外のリセット要求が発生するまで、このレジスタへの書き込みは行えません。	p.743
				ビット7-1には必ず0を設定してください。	p.743
			内部リセット信号として使用する場合	LVIMDビット=1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。	p.744
			PEMU1レジスタ	EVARAMINビットは、自動的にクリアされません。	p.747
第25章	ハード	レギュレータ	レギュレータ	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1} BV _{DD} で使用してください。	p.748
第26章	ハード	フラッシュ・メモリ	FLMD1端子	FLMD1端子は、フラッシュ・ライタと接続するか、ボード上でプルダウン抵抗を介してGNDに接続してください。	p.755-757
			PG-FP4	図26-6, 図26-7のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。	p.757
		V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GF-3BA-A, FA-100GC-8EU-A)の配線表	FLMD1端子	フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。	p.757
			REGC端子	REGC端子は、必ず4.7 μFのコンデンサを介してGNDに接続してください。	p.758, 759
			REGC端子	フラッシュ・ライタのCLK端子からのクロック供給はできません。ボード上に発振回路を作成してクロックを供給してください。	p.758, 759
		V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GF-3BA-A)の配線例	FLMD1端子	FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。	p.761
			FLMD1端子	フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。	p.761
			DRST端子	DRST端子には、ハイ・レベルを入力しないでください。	p.761
		V850ES/JG2フラッシュ書き込み用アダプタ(FA-100GC-8EU-A)の配線例	FLMD1端子	FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。	p.763
			FLMD1端子	フラッシュ書き込みアダプタ上(破線部)に発振回路を作成してクロックを供給してください。	p.763
			DRST端子	DRST端子には、ハイ・レベルを入力しないでください。	p.763
		通信方式の選択	UARTA0選択時、受信クロックは、FLMD0パルス受信後に専用フラッシュ・ライタから送られてくるリセット・コマンドを基準に計算します。	p.765	
		FLMD1端子処理	オンボード書き込み時、リセット直後に他のデバイスからFLMD1端子にV _{DD} の信号が入力される場合、この信号をアイソレートしてください。	p.767	
		FLMD0端子処理	リセット解除には、必ずFLMD0端子を0 Vにしてください。	p.774	

(28/30)

章	分類	機能	機能の詳細	注意事項	頁
第27章	ハード・ソフト	オンチップ・デバッグ機能	OCDMレジスタ	外部リセット後, DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず, ポートとして使用する場合は, 次のいずれかの処置が必要です。 ・P05/INTP2/DRST端子にロウ・レベルを入力します。 ・OCDM0ビットを設定します。この場合の処置は次のとあります。 OCDM0ビットをクリア(0)します。 の処理を終えるまで, P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。	p.781
				DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。	p.781
	ソフト	注意事項(DUC使用時)		RUN中(プログラム実行中)にリセット入力(ターゲット・システムからのリセット入力や内部リセット要因によるリセット)があった場合, ブレーク機能が誤動作することがあります。	p.783
				リセットをマスク機能でマスクしていても, 端子からのリセットが入力された際に出入力バッファ(ポート端子)がリセット状態になる場合があります。	p.783
				内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは, ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが, それまではソフトウェア・ブレークは発生しません。	p.783
				ブレーク中の端子リセットはマスクされ, CPUや周辺I/Oはリセットされません。また, ユーザ・プログラム実行中に, DMAで書き換える瞬間やRAMモニタ機能で読み出す瞬間に, 端子リセットや内部リセットが発生した場合, CPUや周辺I/Oが正しくリセットされない場合があります。	p.783
				次に示す条件(a), (b)を同時に満たし, エミュレータ(IECUBE, MINICUBE)上でブレークなどにより動作を停止させた場合, ウォッチドッグ・タイマ2は停止せず, リセットまたはノンマスカブル割り込みが発生します。リセットが発生した場合は, デバッグがハングアップしてしまいます。 (a) ウォッチドッグ・タイマ2のソース・クロックにメイン・クロックまたはサブクロックを使用している (b) 内蔵発振クロックを停止している(RCM.RSTOPビット=1) 回避策として次のいずれか1つを行ってください。 ・エミュレータ使用時, ソース・クロックとして内蔵発振クロックを使用する ・エミュレータ使用時, 内蔵発振器を停止させない	p.783
				次に示す条件(a), (b)を同時に満たし, エミュレータ(IECUBE, MINICUBE)上でブレークなどにより動作を停止させた場合, Peripheral Break機能が「Break」に設定されてもTMMは停止しません。 (a) TMMのソース・クロックにINTWT, 内蔵発振クロック($f_{R}/8$), サブクロックのいずれかを選択する (b) メイン・クロックを停止する 回避策として次のいずれか1つを行ってください。 ・エミュレータ使用時, ソース・クロックとしてメイン・クロック($f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/64, f_{xx}/512$)を使用する ・エミュレータ使用時, メイン・クロック発振を停止させない	p.783
	ハード	注意事項(DUC使用時以外)		オンチップ・デバッグ・モード時, DDO端子は強制的にハイ・レベル出力に設定されます。	p.783
				デバッグに使用したデバイスを, 量産製品に搭載しないでください(デバッグ中にフラッシュ・メモリの書き換えをしており, フラッシュ・メモリの書き換え回数を保証することができないためです)。また, デバッグ用モニタ・プログラムは量産製品には組み込まないでください。	p.793
	ソフト			次の状態が継続している場合は, 強制ブレークすることができません。 ・割り込み禁止中(DI)の場合 ・MINICUBE2と対象デバイスの通信に使用するシリアル・インターフェースの割り込みがマスクされている場合 ・マスカブル割り込みによるスタンバイ解除を禁止している状態で, スタンバイ・モードに入っている場合 ・MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に, メイン・クロックを停止している場合	p.793

(29/30)

章	分類	機能	機能の詳細	注意事項	頁
第27章	ソフト	オンチップ・デバッグ機能	(DUC使用時以外)	次の状態の場合、疑似RRM機能、DMM機能が動作しません。 ・割り込み禁止中(DI)の場合 ・MINICUBE2と対象デバイスの通信に使用するシリアル・インターフェースの割り込みがマスクされている場合 ・マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合 ・MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に、メイン・クロックを停止している場合 ・MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合	p.793
				次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。 ・MINICUBE2と対象デバイスの通信インターフェースがCSIB0、CSIB3の場合 ・MINICUBE2と対象デバイスの通信インターフェースがUARTA0の場合に、メイン・クロックが停止していない場合	p.793
				特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。	p.793
				デバッガの初回起動時にチップ消去とデバッグ用モニタ・プログラムの書き込みを行いますが、この動作を行うために、十数秒ほどかかります。	p.794
				デバッガでCPU動作クロックの設定変更を行った場合、デバッガがモニタ・プログラムを書き換えます。このとき、上記(6)と同様の時間がかかります。統合デバッガID850QBでは、コンフィギュレーション・ダイアログのClock欄の設定変更を行った場合に該当します。	p.794
				デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。	p.794
				セキュリティID フラッシュ・メモリのデータは消去状態では、すべて“1”となります。	p.795
第28章	ハード	電気的特性	絶対最大定格	それぞれの電源電圧の絶対最大定格(MAX.値)を越えないようにしてください。	p.798
				IC製品の出力(または入出力)端子同士を直結したり、V _{DD} またはV _{CC} やGNDに直結したりしないでください。ただし、オープン・ドレーン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。	p.799
				各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。 つまり絶対最大定格とは、製品に物理的な損傷を与えるかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。 DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。	p.799
				メイン・クロック発振回路特性 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。	p.801
				フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。	p.801
				メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.801
				メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。	p.801
			水晶振動子、セラミック発振子	発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。 また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JG2の内部動作条件についてはAC、DC特性の規格内で使用してください。	p.802

(30/30)

章	分類	機能	機能の詳細	注意事項	頁
第28章	ハード	電気的特性	サブクロック発振回路特性	発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。	p.803
				サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にVssと同電位になるようにする。 ・大電流が流れるグランド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.803
				サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。	p.803
				発振子の選択および発振回路定数については、お客様において発振評価していただき、発振子メーカーに評価を依頼してください。	p.803
				データ保持特性 STOPモードへの移行、およびSTOPモードからの復帰は、動作範囲内で行ってください。	p.808
				AC特性 回路構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。	p.809
				I ² Cバス・モード スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。	p.827
				装置は、SCL0nの立ち下がり端の未定義領域を埋めるために(SCL0n信号のV _{lHmin} での) SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。	p.827
				装置がSCL0n信号のロウ・ホールド時間(t _{LOW})を延長しない場合は、最大データ・ホールド時間(t _{HD} : DAT)のみ満たすことが必要です。	p.827
				高速モードI ² Cバスは、標準モードI ² Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。 ・装置がSCL0n信号のロウ状態ホールド時間を延長しない場合 t _{SU} : DAT = 250 ns ・装置がSCL0n信号のロウ状態ホールド時間を延長する場合 SCL0nラインが解放される(t _{Rmax} + t _{SU} : DAT = 1000 + 250 = 1250 ns: 標準モードI ² Cバス仕様)前に、次のデータ・ビットをSDA0nラインに送出してください。	p.827
				A/Dコンバータ A/D変換中に兼用ポートの設定(リード/ライト)を行わないでください。変換分解能が低下することがあります。	p.828
				プログラミング特性 出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。 例(P:書き込み, E:消去) 出荷品—— P E P E P : 書き換え回数3回 出荷品 E P E P E P : 書き換え回数3回	p.832
第30章	ハード	半田付け推奨条件	半田付け方式の併用はお避けください(ただし、端子部分加熱は除く)。		p.835, 836
付録A	ソフト	開発ツール	RX850, RX850 Pro	RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。	p.846
付録C	ソフト	命令セット一覧	インストラクション・セット	汎用レジスタreg1と汎用レジスタreg3に、同じレジスタを指定しないでください。	p.866

付録E 改版履歴

E.1 本版で改訂された主な箇所

箇 所	内 容
p.219	7.4(3) TMPnI/O制御レジスタ0(TPnIOC0) 変更
p.241	図7-11 外部イベント・カウント・モード動作時のレジスタ設定内容 注意追加
p.262	図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 注意追加
p.308	8.4(3) TMQ0I/O制御レジスタ0(TQ0IOC0) 注 追加
p.333	図8-11 外部イベント・カウント・モード動作時のレジスタ設定内容 注意追加
p.357	図8-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 注意追加
p.422	11.3(1) ウオッチドッグ・タイマ・モード・レジスタ2(WDTM2) 注意4変更
p.424	11.3(2) ウオッチドッグ・タイマ・イネーブル・レジスタ(WDTE) 注意3変更
p.439	表13-2 通常変換モード時の変換時間の選択(ADA0HS1ビット=0) 注意2追加
p.440	表13-3 高速変換モード時の変換時間の選択(ADA0HS1ビット=1) 注意2追加
p.462	13.6(8) ADA0CRnレジスタの読み出しについて 説明追加
p.463	13.6(10) 高速変換モードについて 説明変更
p.463	13.6(11) A/D変換時間について 追加
p.480	15.4(1) UARAn制御レジスタ0(UAnCTL0) UAnDIRビット, UAnCLビット説明変更
p.481	15.4(4) UARAnオプション制御レジスタ0(UAnOPT0) UAnSRFビット説明変更
p.485	15.5(1) 受信完了割り込み要求信号(INTUAnR) 説明変更
p.491	15.6.4 SBF受信 注意1, 2追加
p.515	16.4(1) CSIBn制御レジスタ0(CBnCTL0) 注意変更
p.522	16.5 割り込み要求信号 追加
p.523-555	16.6 動作 変更
p.621	表17-6 ウエイト時間 変更
p.624	表17-7 ウエイト時間 変更
p.649	18.3(6) DMAトリガ要因レジスタ0-3(DTFR0-DTFR3) 注 変更
p.663	18.13(11) DMAの起動要因 注意変更
p.706	21.2(1) パワー・セーブ・コントロール・レジスタ(PSC) 注意3追加
p.753	表26-2 基本機能一覧 変更
p.753	表26-3 セキュリティ機能一覧 変更
p.754	表26-4 セキュリティ設定 追加
p.756	26.4.2(1) UARTA0 転送レート変更
p.766	表26-7 フラッシュ・メモリ制御用コマンド 変更
p.773	図26-18 標準セルフ・プログラミング・フロー 変更
p.776	第27章 オンチップ・デバッグ機能 変更
p.802	()京セラキンセキ：水晶振動子($T_A = -40 \sim +85$) 追加
p.802	()株式会社村田製作所：セラミック発振子($T_A = -40 \sim +85$) 追加
p.835	第30章 半田付け推奨条件 追加
p.837	付録A 開発ツール 追加
p.867	付録D 注意事項一覧 追加
p.897	付録E 改版履歴 追加

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00、午後 1:00～5:00）

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。