# 实验报告

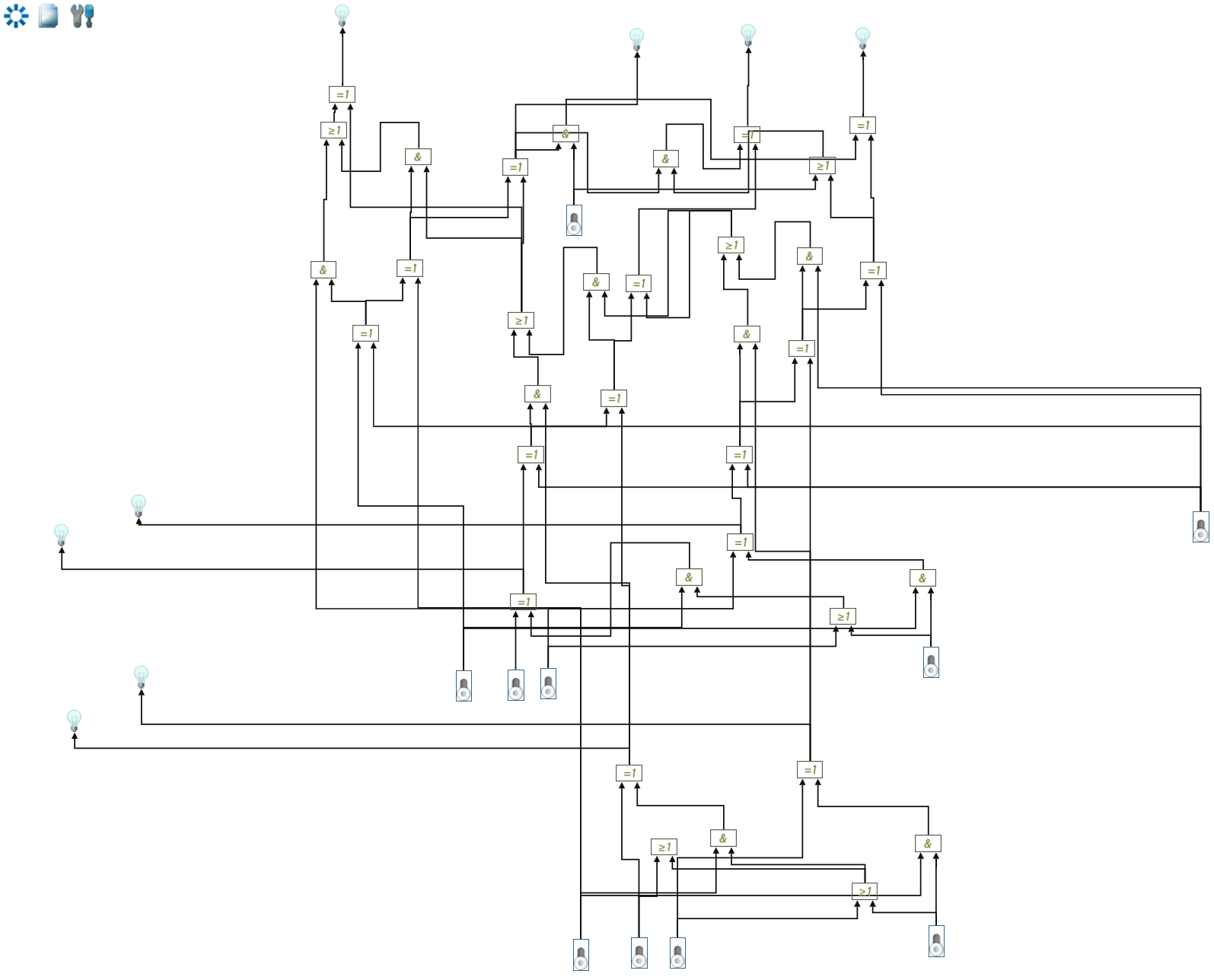
## 实验目的

* 掌握全加器的逻辑结构和电路实现方法。
* 熟悉多思计算机组成原理网络虚拟实验系统的使用方法。

## 实验原理

* 1位二进制加法器有三个输入量：两个二进制数字，和一个低位的进位信号，  
  这三个值相加产生一个和输出 Si 以及一个向高位的进位输出+1，这种加法单元称为全加器，其逻辑方程如下:
* 使用补码统一处理加法与减法：正数的补码与其原码相同，而负数的补码是将其原码按位取反后加1。
* 通过级联多个全加器，可以实现多位数的二进制加法。

## 实验电路



## 实验步骤

1. **设计电路**：使用三个全加器，输入两个三位二进制数。
2. **补码转换**：进行计算前将两个数进行补码转换，正数不变，负数取反加1。
3. **控制加减**：由一个开关控制加减，1表示减法，0表示加法，减法时对减数按位取反加1，从而转换为加法。
4. **进行运算**：全加器计算两个三位二进制数的加法/减法。
5. **验证溢出**：当最高位与进位输出不一致时，发生溢出。

## 思考与分析

1. 通过比较最高位与进位输出的值是否相等，判断是否发生溢出。当最高位与进位不一致时，说明结果超出了表示范围。
2. 补码的使用简化了加法和减法操作，因为补码形式下减法可以转化为加法来处理，同时负数的表示也更加统一和便捷。