

Exercices (Livre : V. Heuring et H. Jordan, Computer systems design and architecture, Prentice Hall).

Circuits logiques séquentiels.

A.32 Créer un circuit qui implémente le comportement suivant. Il faut trier les deux mots binaires entrés en série sur 2 entrées les bits les plus significatifs d'abord, en transférant la valeur du mot plus grand sur la sortie GE et celle du plus petit sur LT.



Exemple de comportement :

Mot A : 1001

Mots B : 0111

Comme $A > B$ (MSB de A > MSB de B), donc le mot A doit apparaître sur la sortie GE et mot B sur la sortie LT.

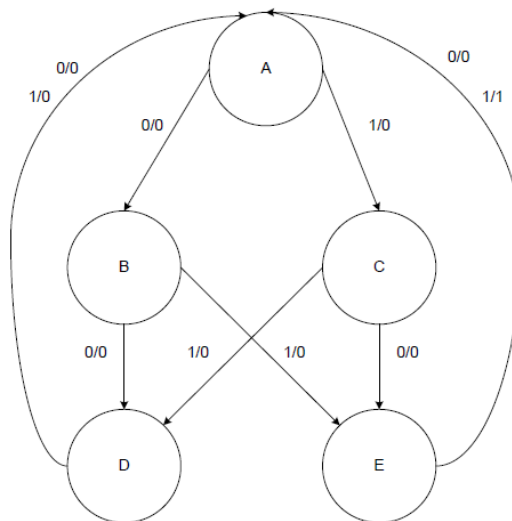
GE : 1001

LT : 0111

A.34 Concevoir un FSM de détecteur de séquence. La machine doit reconnaître les deux motifs : 011 ou 110.

A.35 Concevoir un FSM qui prend 2 mots binaires entrés en série, les bits les moins significatifs d'abord, et produit une sortie Z. $Z = 1$ lorsque $X > Y$ et $Z = 0$ dans le cas contraire. On présume qu'en démarrage $X = Y$ et $Z = 0$.

A.38 Considérer une machine à états finis suivante :



- Créer une table de transitions d'états
- Concevoir un circuit en utilisant un décodeur et les portes OU logiques.

Exercice. Concevoir un circuit implémentant un compteur de Code Gray modulo 8.