

Счетчики электрических импульсов

Счетчиком называют цифровое устройство, обеспечивающее подсчет числа электрических импульсов. На выходах счетчика формируется двоичный или двоично-десятичный код, определяемый числом поступивших импульсов. Двоичные счетчики входят в состав процессоров, периферийного и коммуникационного оборудования, систем передачи данных и проч.

Основной параметр счетчика – коэффициент (модуль) пересчета. Он равен минимальному числу импульсов, поступивших на вход счетчика, после которых состояния на выходе счетчика начинают повторяться, начиная с нулевого. Счетчик называют суммирующим, если после каждого очередного импульса цифровой код на выходе счетчика увеличивается на единицу. В вычитающем счетчике после каждого импульса на входе счетчика цифровой код на выходе уменьшается на единицу. Счетчики, в которых возможно переключение с режима суммирования на режим вычитания, называются реверсивными.

Счетчики могут быть с предварительной установкой. В таких счетчиках информация с входов предварительной установки передается на выходы счетчика по сигналу на специальном входе предварительной установки. Счетчики могут строиться на двухступенчатых D-триггерах, T-триггерах и JK-триггерах.

Простейшим одноразрядным счетчиком импульсов может быть JK-триггер и D-триггер, работающий в счетном режиме. Он считает входные импульсы по модулю 2 — каждый импульс переключает триггер в противоположное состояние. Один триггер считает до двух, два соединенных последовательно считают до четырех, n триггеров — до 2^n импульсов.

Двоичные счетчики классифицируют:

- по модулю счёта:
 - двоично-десятичные (декада);
 - двоичные;
 - с произвольным постоянным модулем счёта;
 - с переменным модулем счёта;
- по направлению счёта:
 - суммирующие;
 - вычитающие;
 - реверсивные;
- по способу переключения триггера:
 - синхронные;
 - асинхронные.

По функциональному назначению счетчики импульсов подразделяют на цифровые счетчики и делители частоты. Делители частоты считают входные импульсы до некоторого задаваемого коэффициентом счета состояния, а затем формируют сигнал переключения триггеров в нулевое состояние, вновь начинают счет входных импульсов до задаваемого коэффициента счета и т. д.

Схема суммирующего асинхронного счётчика, построенного на D-триггерах, с коэффициентом счета 16, приведена на рисунке 6.9. Количество поступивших на вход импульсов можно узнать, подключившись к выходам счётчика $Q_0 \dots Q_3$. Это число будет представлено в двоичном коде.

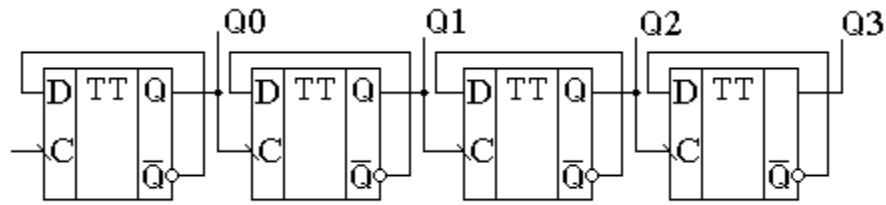


Рисунок 6.9 - Схема четырёхразрядного счётчика, построенного на универсальных D-триггерах

Временная диаграмма счетчика изображена на рис.6.10.

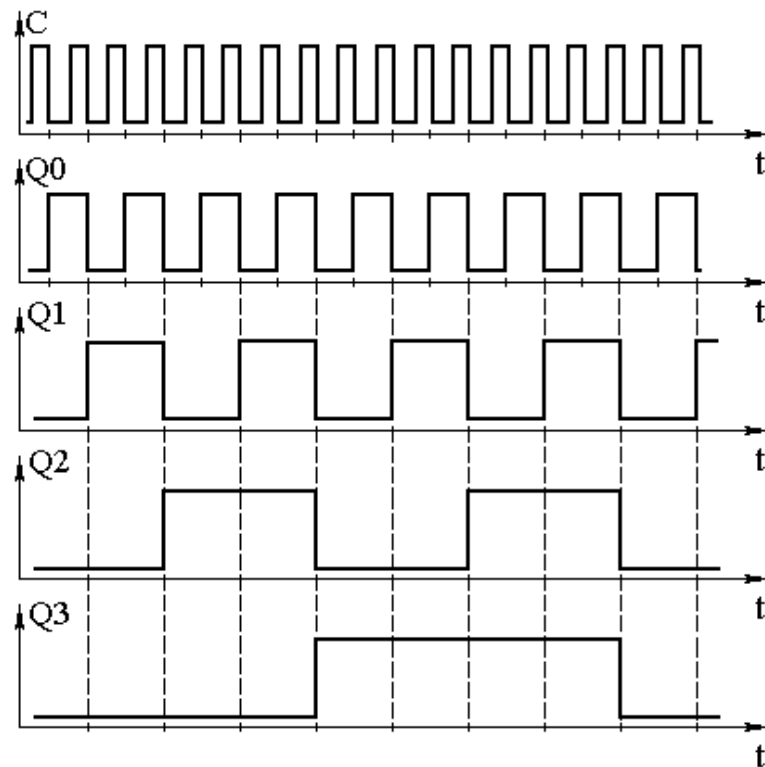


Рисунок 6.10 - Временная диаграмма четырёхразрядного счётчика

Недвоичные счетчики.

При использовании цифровых счётчиков в качестве устройств формирования опорных частот часто требуется обеспечить коэффициент деления частоты, отличающийся от степени числа 2. В этом случае требуется счётчик с недвоичным коэффициентом пересчёта.

Построить недвоичный счётчик можно из двоичного за счёт исключения избыточных комбинаций единиц и нулей. Это может быть осуществлено при помощи обратной связи. Для получения заданного коэффициента пересчёта при помощи дешифратора (схемы И) определяется число, соответствующее коэффициенту пересчёта, и сигнал с выхода этого дешифратора обнуляет содержимое двоичного счётчика.

В таблице 6.1 приведены состояния на выходах счетчика с коэффициентом пересчёта десять после поступления каждого очередного импульса, причем счетчик предварительно был установлен в нулевое состояние.

Таблица 6.1 – Состояния выходов двоично-десятичного счетчика

№ импульса	0	1	2	3	4	5	6	7	8	9	10	11	12	13
Q0	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Q1	0	0	1	1	0	0	1	1	0	0	0	0	1	1
Q2	0	0	0	0	1	1	1	1	0	0	0	0	0	0
Q3	0	0	0	0	0	0	0	0	1	1	0	0	0	0

На рис.6.11а показана схема двоично-десятичного счетчика, построенного на основе двоичного счетчика.

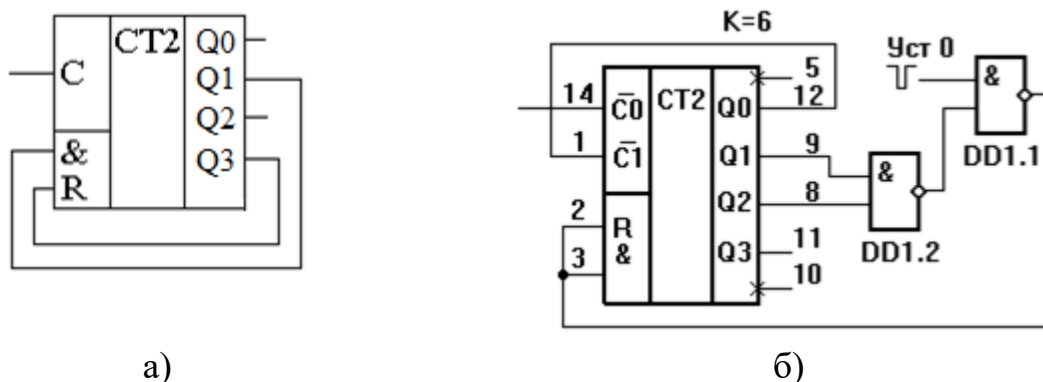


Рисунок 6.11 – Примеры реализации недвоичных счетчиков с коэффициентом пересчёта 10 (а) и 6 (б)

На рис.6.11б приведена схема счетчика с коэффициентом пересчёта 6 и с отдельным входом импульса установки счетчика в нулевое состояние. В схеме использована микросхема К155ИЕ4 (зарубежный аналог микросхема 7492), в которой первый триггер (вывод 12) не соединен с последующим триггером. Для этого соединения необходимо вывод 12 подключить ко входу второго триггера счетчика (вывод1).

Счетчик Джонсона

Такое название счетчик получил, так как Р. Джонсон в 1953 г. запатентовал эту схему. Счетчик Джонсона представляет собой n -разрядный кольцевой регистр сдвига с перекрестной обратной связью. Схема счетчика Джонсона и временная диаграмма его функционирования изображены на рисунке 6.12.

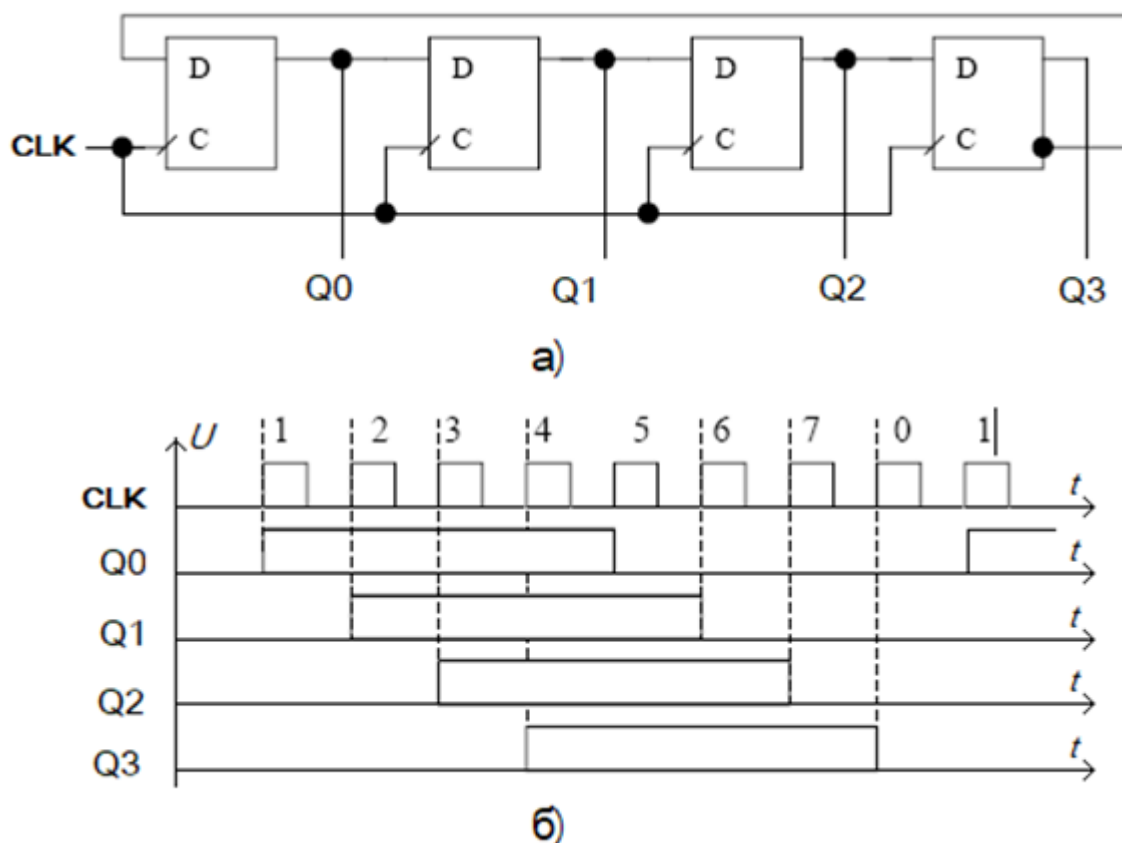


Рисунок 6.12 – Счетчик Джонсона (а) и временная диаграмма работы (б)

Первым достоинством счетчика Джонсона является то, что состояние 01 или 10 для двух соседних триггеров в течение цикла имеет место один раз независимо от длины счетчика, поэтому для организации дешифратора нужны простейшие элементы 2И.

Второе преимущество – в ходе счета только один триггер изменяет свое состояние и на выходах не возникают ложные пики напряжений, обусловленные задержками сигналов в разных разрядах.

Недостаток счетчика Джонсона состоит в том, что если под воздействием помех произойдет ошибочный переброс отдельных триггеров, то такое состояние раз возникнув, само не исправится. Для исключения такой ситуации в счетчик введены корректирующие логические элементы

Регистры

Регистр — это последовательностное логическое устройство, используемое для хранения n -разрядных двоичных чисел и выполнения преобразований над ними. Регистры представляют собой несколько (обычно от 4 до 16) D- (чаще всего), RS- или JK-триггеров, соединенных между собой тем или иным способом. Регистры подразделяются на параллельные и последовательные (регистры сдвига). В **параллельных регистрах** (Рисунок 6.13а) каждый из триггеров имеет свой независимый информационный вход (D) и свой независимый информационный выход Q. Тактовые входы (C) всех триггеров соединены между собой.

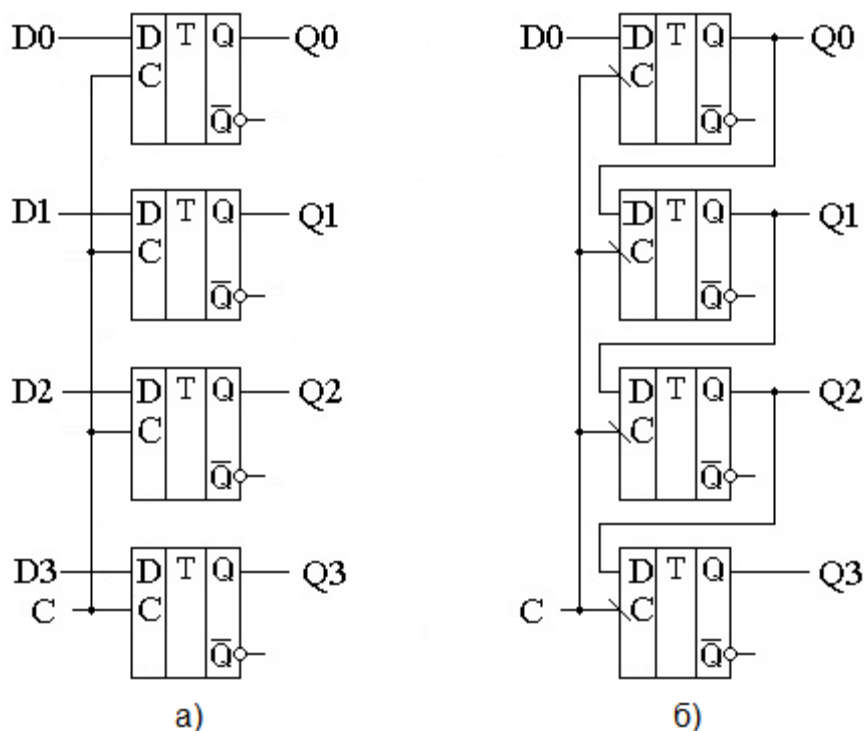


Рисунок 6.13 – Параллельный (а) и последовательный (б) регистры

В **последовательных (сдвиговых) регистрах** (Рисунок 6.13б) все триггеры соединены в последовательную цепочку (выход Q каждого предыдущего триггера соединен со входом D следующего триггера). Тактовые входы всех триггеров (C) объединены между собой. В результате такой регистр может рассматриваться как линия задержки, входной сигнал которой последовательно перезаписывается из триггера в триггер по фронту тактового сигнала C. Информационные входы и выходы триггеров могут быть выведены наружу, а могут и не выводиться. Однако всегда выводится выход последнего триггера регистра.

Параллельные регистры, в свою очередь, делятся на две группы:

- регистры, срабатывающие по фронту управляющего сигнала C, часто называемые «тактируемыми» регистры;
- регистры, срабатывающие по уровню управляющего сигнала C, так

называемые «стробируемые» регистры (Рисунок 6.13а).

Параллельные регистры, срабатывающие по уровню стробирующего сигнала (их еще называют регистры-защелки, английское "*Latch*"), можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе единичный, такой регистр пропускает через себя входные информационные сигналы, т.е., является буферным усилителем. Когда же стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из значений входных сигналов.

В настоящее время промышленность выпускает 4-х или 8-ми разрядные регистры в виде микросхем. Регистры на схемах обозначаются символами RG. На рисунке 6.14 показаны несколько разновидностей параллельных регистров.

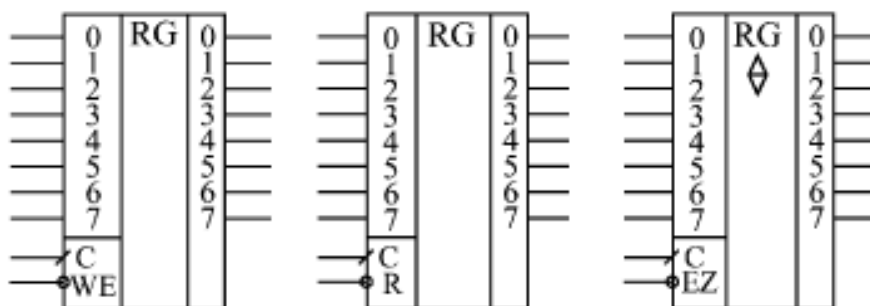


Рисунок 6.14 – Различные модификации параллельных регистров

Наряду с синхронизирующим входом **C**, в регистрах могут быть дополнительные управляющие входы: **R** – сброс триггеров регистра; **WE** (Write Enable) – разрешение записи; **OE** (Output Enable) либо **EZ** (Enable Z) – разрешения выхода. Знак ромба на поле регистра показывает, что регистр имеет три состояния (0, 1 и третье – состояние высокого импеданса, обозначаемое символом Z). Такие регистры создаются на основе триггеров с тремя состояниями. Схема реализации триггера с тремя состояниями изображена на рисунке 6.15.

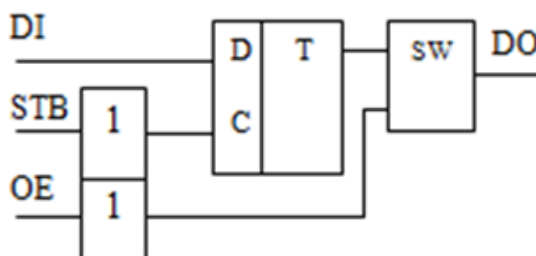


Рисунок 6.15 – D-триггер с тремя устойчивыми состояниями

Отличительной особенностью такого триггера является наличие электронного ключа, управляемого сигналом ОЕ. При нулевом значении этого сигнала ключ SW находится в закрытом состоянии и сигнал от триггера не

поступает на выход DO. Такое состояние называют состоянием высокого импеданса, т.к. между выводом триггера Q и выводом DO находится ключ, обладающий в закрытом состоянии очень высоким сопротивлением (несколько сот кОм).

Регистры сдвига или **сдвиговые регистры** (англ. *shift register*) представляют собой, как уже отмечалось, последовательно соединенную цепочку триггеров. Основным режим их работы – это сдвиг разрядов кода, записанного в эти триггеры, то есть по тактовому сигналу содержимое каждого предыдущего триггера переписывается в следующий по порядку в цепочке триггер. Код, хранящийся в регистре, с каждым тактом сдвигается на один разряд в сторону старших разрядов или в сторону младших разрядов, что и дало название регистрам данного типа.

Сдвиг бывает двух видов: вправо и влево. Сдвиг вправо (в сторону старшего разряда регистра) является основным режимом, он есть у всех сдвиговых регистров. Регистр, в котором реализован сдвиг как вправо, так и влево, называют **реверсивным**.

В стандартные серии (наборы, чипсеты) цифровых микросхем входит несколько типов сдвиговых регистров, отличающихся возможными режимами работы, режимами записи, чтения и сдвига, а также типом выходных каскадов (с двумя или тремя состояниями). Большинство регистров сдвига имеет восемь разрядов. На рисунке 6.16 показаны, в качестве примера, четыре типа микросхем регистров сдвига серии 1533.

Регистр ИР8 – последовательно-параллельный регистр. Он представляет собой 8-разрядную линию задержки, то есть имеет только один информационный вход D, на который подается последовательная сдвигаемая информация (точнее, два входа, объединенных по функции 2И), и восемь параллельных выходов. Сдвиг в сторону выходов со старшими номерами осуществляется по переднему фронту тактового сигнала C. Имеется также вход сигнала сброса R, по нулевому уровню на котором все триггеры регистра сбрасываются в нуль.

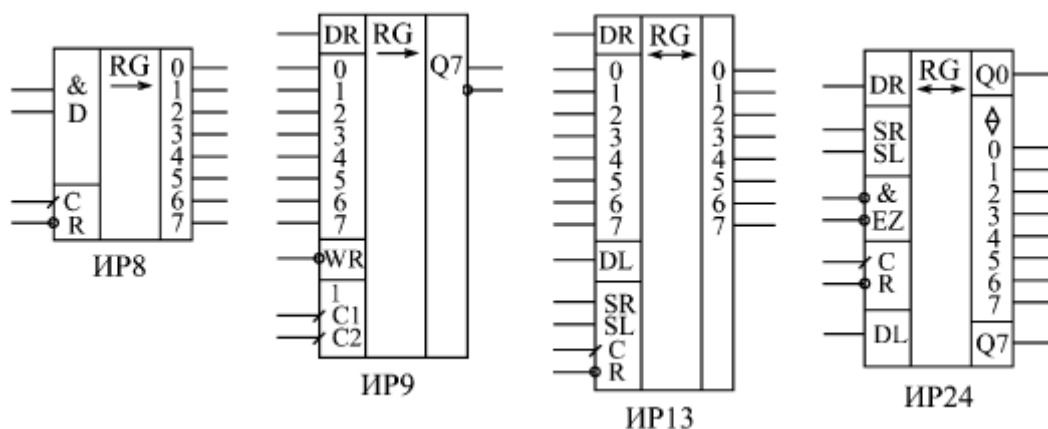


Рисунок 6.16 – Виды регистров сдвига микросхем серии 1533

Регистр ИР9 – параллельно-последовательного типа, выполняет функцию, обратную регистру ИР8. Если ИР8 преобразует входную последовательную информацию в выходную параллельную, то регистр ИР9 преобразует входную параллельную информацию в выходную последовательную. Однако суть сдвига не меняется, просто в ИР9 все внутренние триггеры имеют выведенные параллельные входы, и только один, последний триггер имеет выход (причем как прямой, так и инверсный). Запись входного кода в регистр производится по нулевому сигналу на входе WR. Сдвиг осуществляется по положительному фронту на одном из двух тактовых входов C1 и C2, объединенных по функции 2ИЛИ. Вход DR может быть использован для записи «1» в младший разряд сдвигового регистра.

Регистры ИР13 и ИР24 являются реверсивными. Направление сдвига вправо или влево определяется соответственно сигналами SR и SL. Биты, предназначенные для сдвига вправо, подаются последовательно на вход DR, а для сдвига влево – на вход DL.

Применение регистров в схеме компьютера

Обобщенная схема 32-разрядного компьютера изображена на рисунке 6.17. Системная шина компьютера состоит из 32-разрядной шины данных и 32-разрядной шины адреса, а также управляющих сигналов чтения и записи в память (MRd, MWr), сигналов чтения и записи в порт (PRd, PWrP), начального сброса Reset и др.

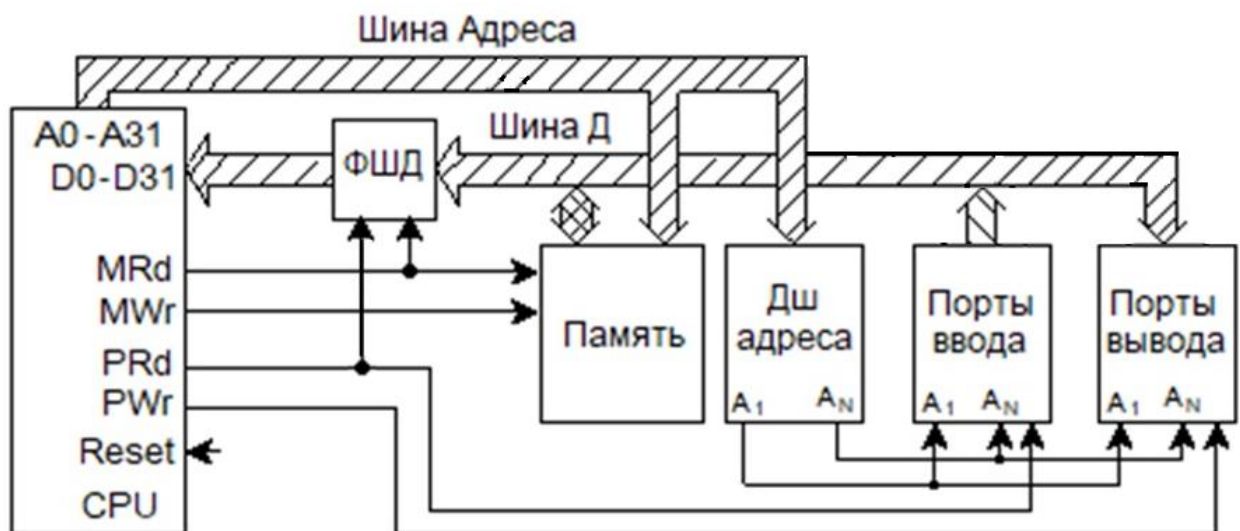


Рисунок 6.17 – Обобщенная схема 32-разрядного компьютера

Формирователь шины данных (ФШД) представляет собой 32-разрядный двунаправленный усилитель. Направление передачи данных в нем определяется сигналом чтения (MRd или PRd).

Память и порты ввода вывода физически подключены к шинам, но логически прием или выдача данных осуществляется только при выборе соответствующего порта разрешающим сигналом с дешифратора адреса и наличием одного из сигналов MRd, PRd, MWr или PWr. Формирователь шины данных ФШД представляет собой двунаправленный усилитель, направление передачи в котором задается одним из сигналов MRd или PRd.

Схема подсоединения портов ввода/вывода и их адресации представлена на рисунке 6.18. На схеме изображен один из регистров ввода данных (DD2) с 8-разрядной клавиатуры S0-S7 с адресом 62, регистр (DD1) с адресом 47 для вывода данных на светодиодные индикаторы и электромагнитное реле Р, которое подключает лампу накаливания к сети 220 В.

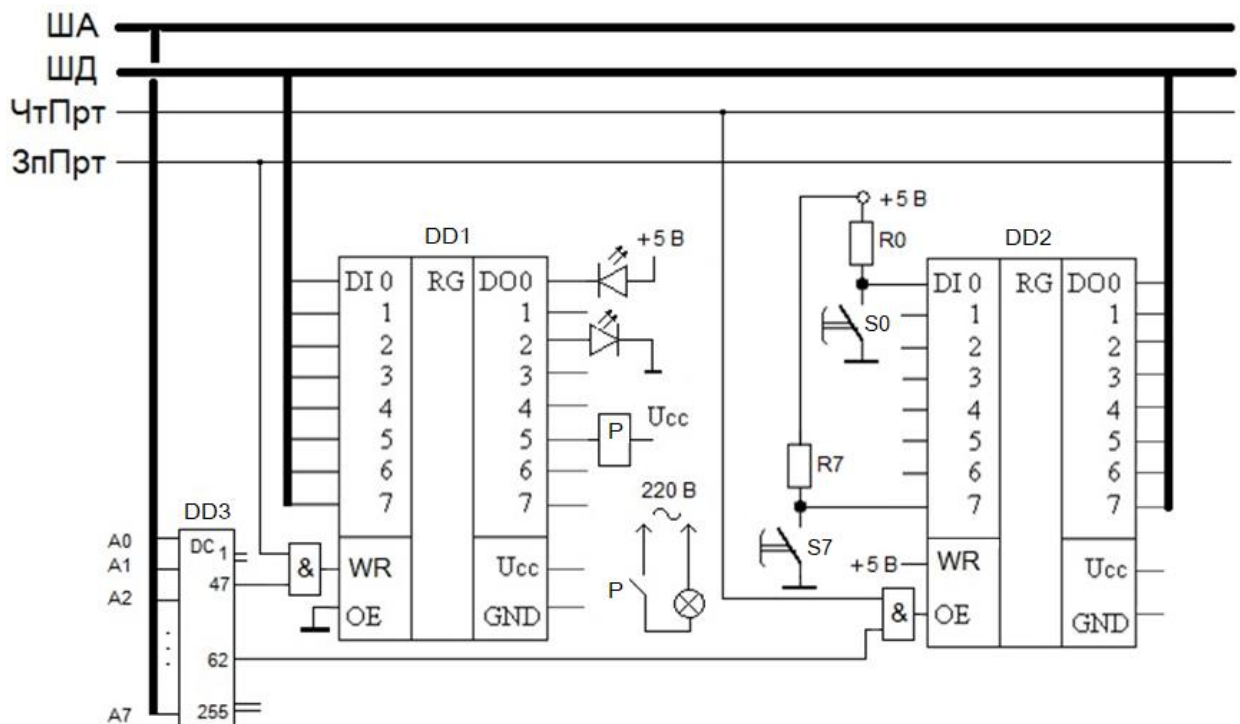


Рисунок 6.18 – Схема подключения регистров ввода и вывода к системной шине процессора и их адресации

Обращение к одному из регистров осуществляется путем выдачи процессором на шину адреса (ША) двоичного кода адреса соответствующего регистра и сигнала записи в порт (ЗпПрт) и чтение из порта (ЧтПрт). В момент совпадения на соответствующем выходе дешифратора DD3 активного сигнала дешифрации адреса и сигнала ЗпПрт или ЧтПрт, на выходе соответствующей схемы И формируется сигнал логической единицы, который либо разрешает запись слова из шины данных ШД в регистр вывода DD1, либо подключает выходы регистра DD2 к шине данных процессора.