

BraveFrontier プロジェクト概要

K.Kimura

BraveFrontier とは !

- ・携帯型ゲーム機のゲームソフト名。
- ・背景には デジタル回路・アーキテクチャ設計思考・数学などの学習目的がある。
- ・筆者は手を動かさないと右から左なので様々な要素を網羅できるゲーム制作となった。

FPGA でドット絵の RPG を作ろう !

ハードウェアも作ってイベントで販売までがゴール !

(あわよくば Switch並みに売って早期退職)

制作するにあたって

最初に大雑把な仕様を決めて、適したレベルに絞り込みました。

- ・据え置き機
- ・HDMI FHD 駆動
- ・32bit 48kHz PCM 音源
- ・100時間の濃密なストーリー
- ・ターゲットを絞った高価格帯
- ・Wifi 経由で FW アップデート可能
- ・温度、ジャイロ、各種センサ内蔵
- ・ACアダプタ電源 DC12V2A 駆動
- ・システムの中核は Zynq を使用



- ・携帯機、とにかく軽量
- ・解像度が荒いディスプレイを使用
- ・8 ~ 16bit FM 音源 又は 8kHz ~ 48kHz PCM 音源
- ・適度な密度のストーリー
- ・無駄な機能を省いて低価格帯に
- ・USB接続で PC から FW 更新可能に
- ・USB-Type-C 5V2A 駆動(できればバッテリー)
- ・Trion(13-35) Spartan7(25~50) 程度の性能

制作するにあたって



ちょっと紐解いてみる

第一第二水準漢字フォント

「もはや これまで！！」

イベントのフラグ管理

背景・ウィンドウ・キャラ
などの描画

BGM・効果音

行動毎の時間計測

インビシブル

ウルル	910	HP
バッシ	968	
レナ	707	
ファリス	749	

ATBシステム
ステータスに応じた時間計測

行動毎のダメージ計算

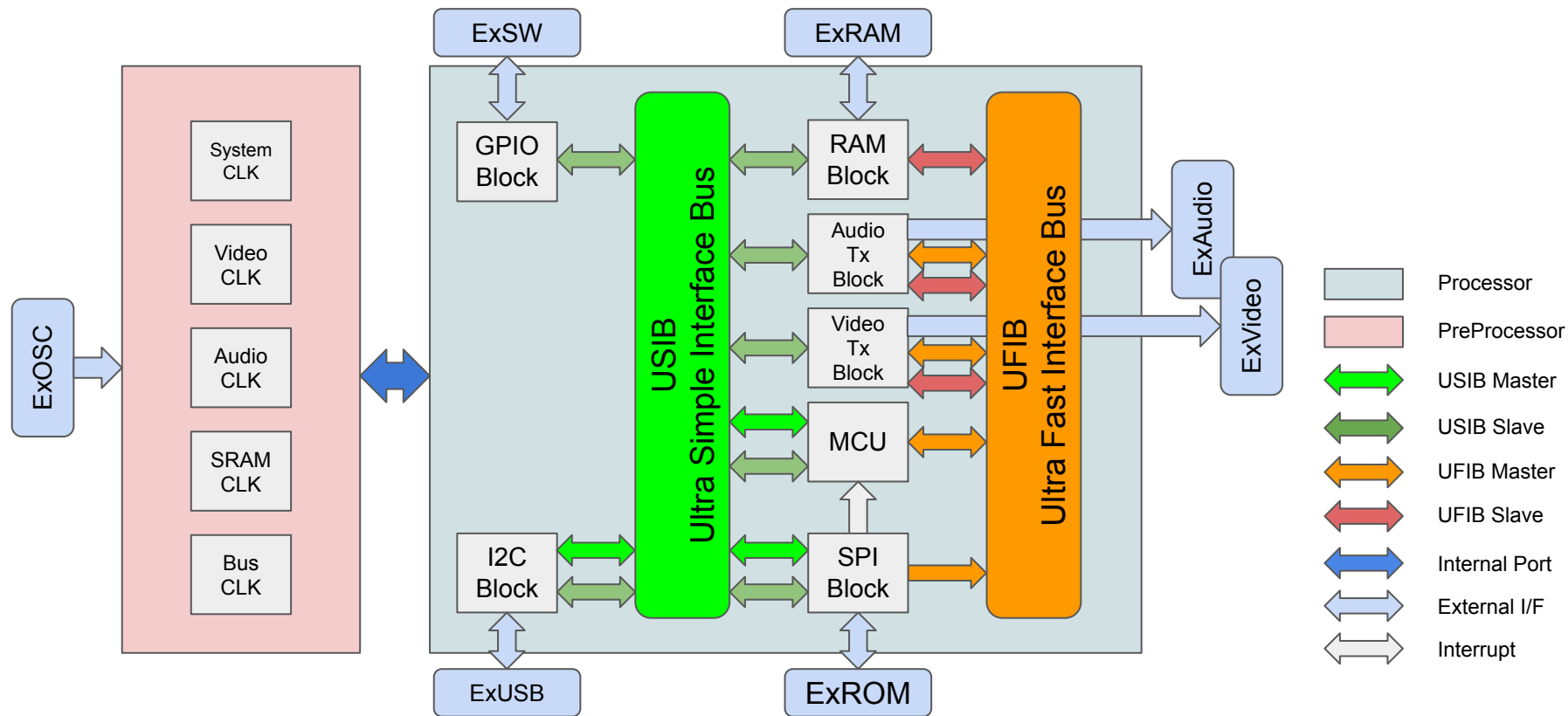
高性能で楽するか、低性能で苦しむか

2021年11月時点での Zynq ボードを使用した実績 ※FPGA と CPU が一緒になったデバイス

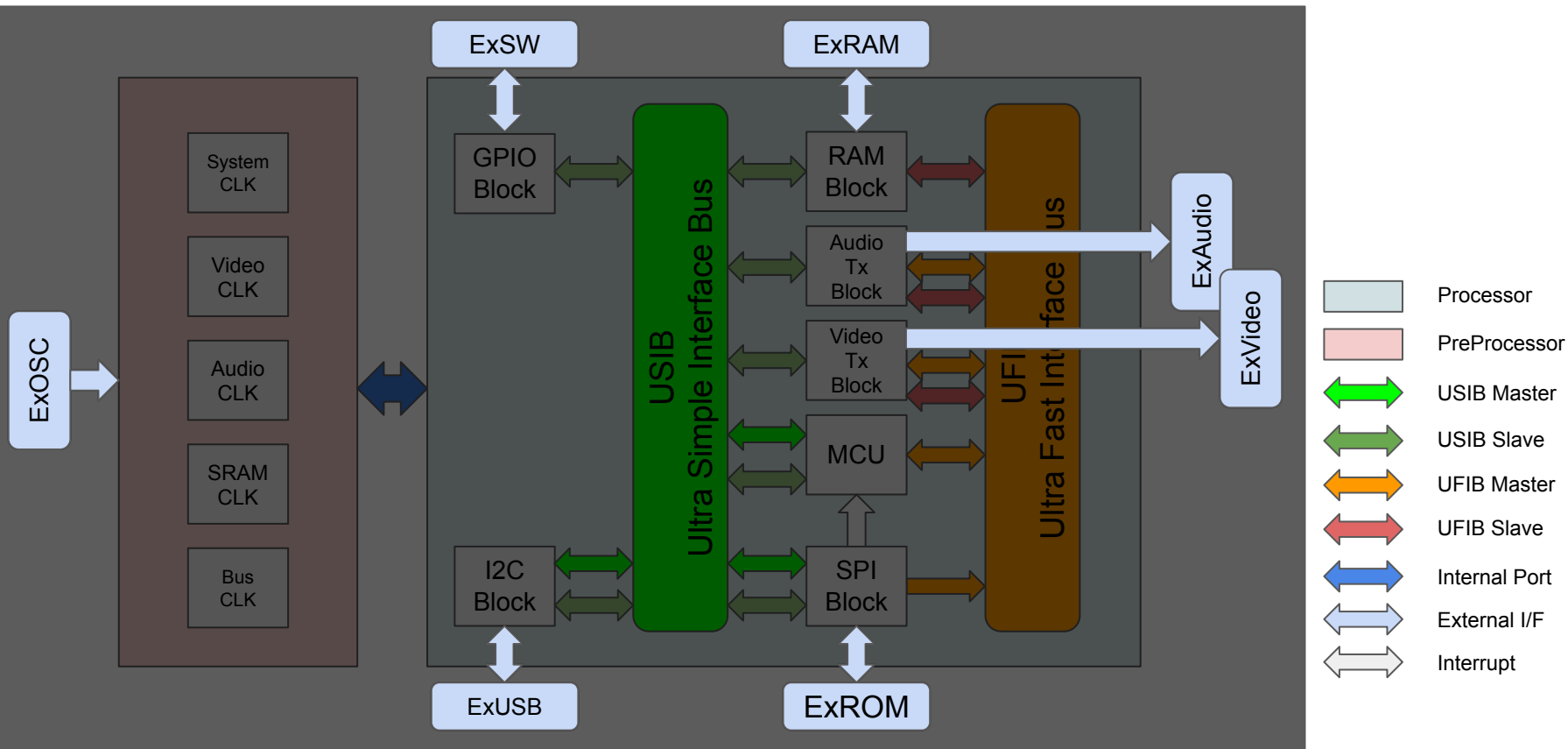
高位合成・CPU の性能でゴリ押せば HDL 書けなくても作成可能



FPGAブロック構成図



外部デバイス概要



外部デバイス概要

ExOSC

25MHz のオシレータです。FPGA の基準クロックとして使用します。

ExUSB

I2C・UART I/F でUSBシリアル変換機能を持つIC です。外部PC との通信に使用します。

ExRAM

パラレル I/F-16Bit 幅で 16MB の容量を持つ HyperRAM2.0 です。フレームメモリ領域などに使用します。

ExROM

SPI I/F で 64MB の容量を持つフラッシュメモリ です。コンフィグ・システムデータの保存に使用します。

ExSW

8個の タクトスイッチです。User I/F に使用します。

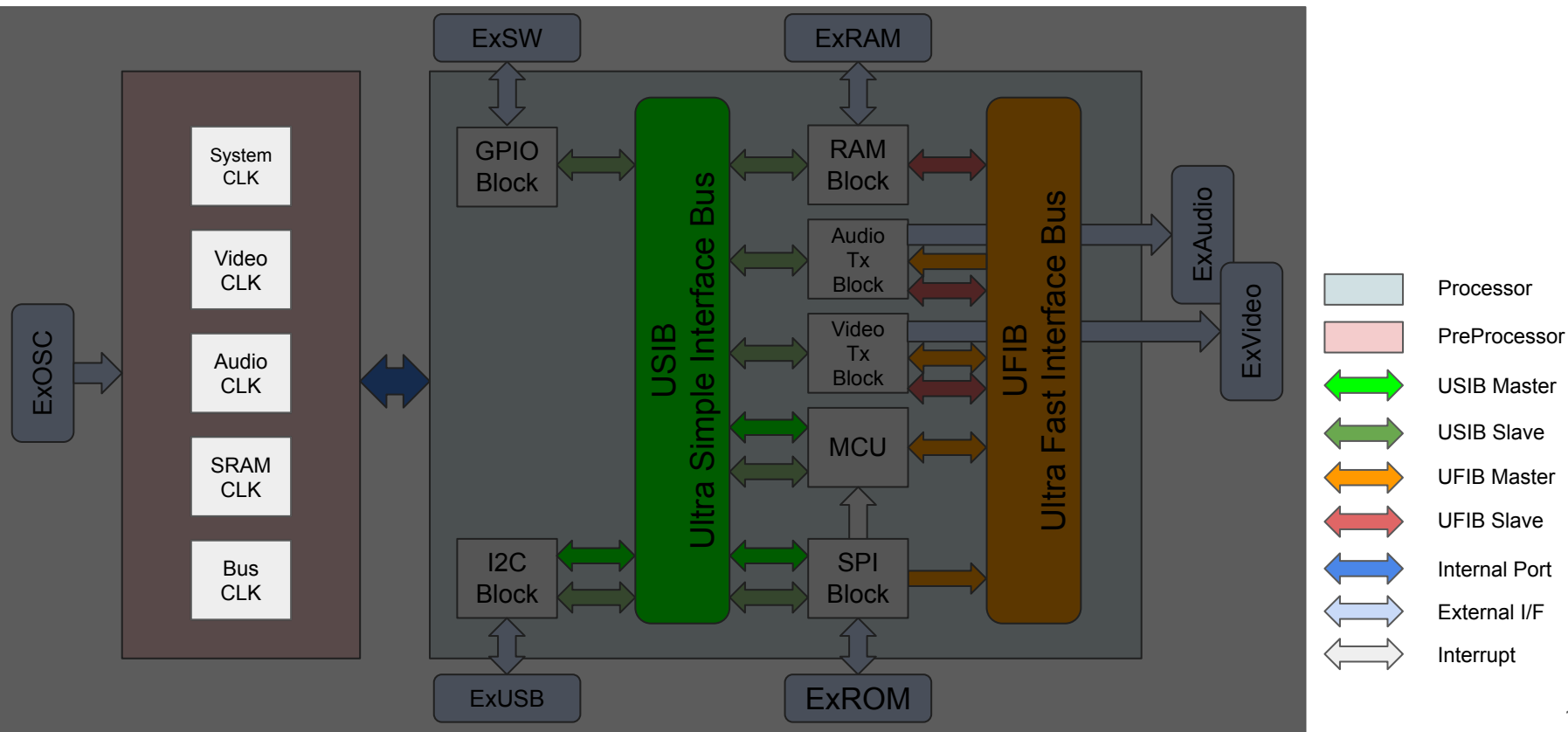
ExVideo

パラレル I/F-24bit幅 で解像度 480x272 の TFT Display デバイスです。PSP の液晶と同じものを使用します。

ExAudio

I2S I/F のデバイス (又はPWM) とアンプ回路です。Switch の スピーカーと同じものを使用します。

PreProcessor 概要



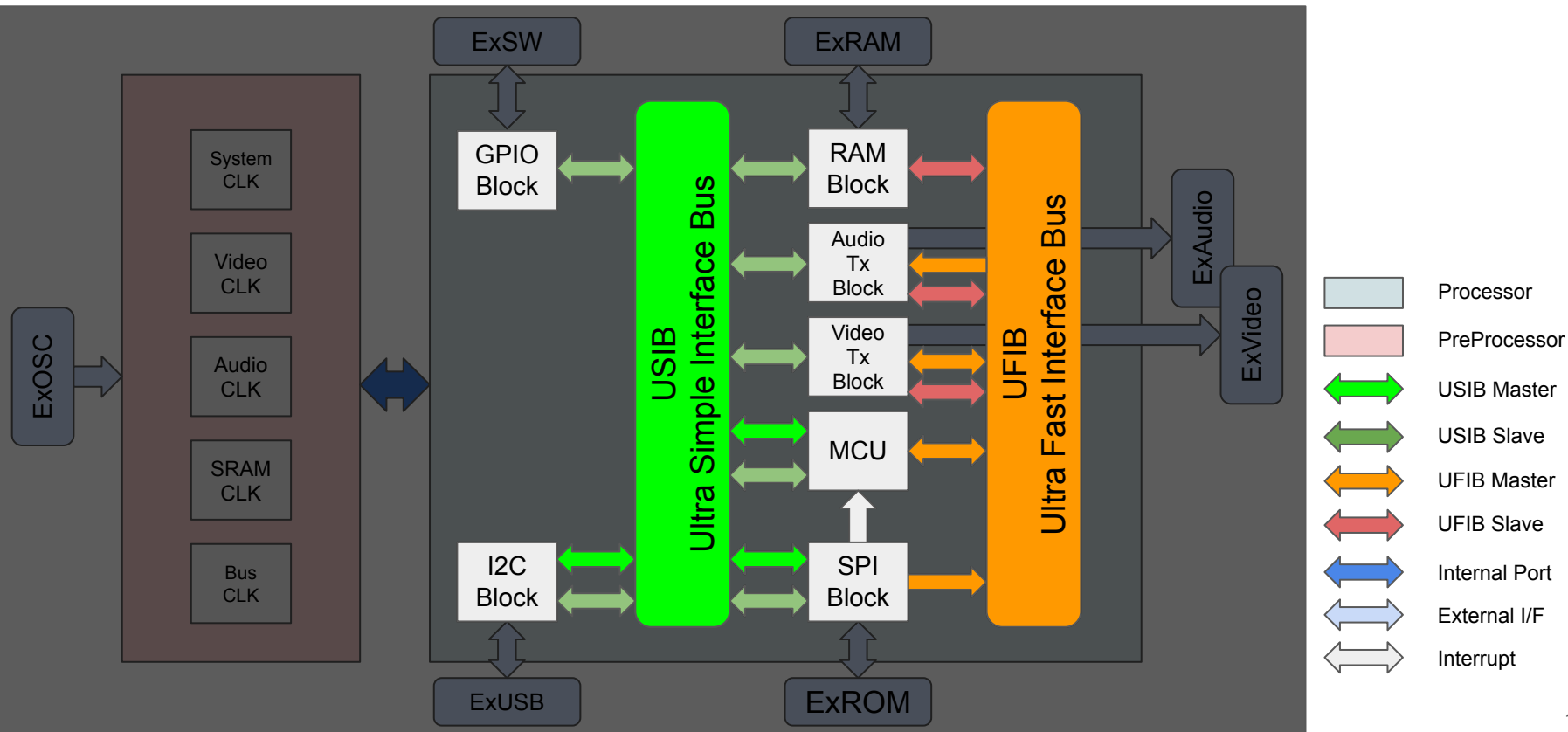
PreProcessor 概要

システム駆動用の CLK・Reset を管理する Wrapper module です。

480x272x60fps 描画が可能な動作周波数に設定します。

信号名	内容
System CLK	システム全体で駆動する汎用 CLK / 50 ~ 100MHz
Video CLK	Video-I/F 専用 CLK / 9 MHz
Audio CLK	Audio-I/F 専用 CLK / 24.576 MHz
SRAM CLK	SRAM-I/F 専用 CLK / 60 ~ 200 MHz
Bus CLK	UFIB 専用 CLK / System CLK の 2倍の動作周波数

Processor 概要



Processor ブロック機能

MCU

システム全体の Master となり、Slave ブロックの設定や調停を行います。

GPIO
Block

汎用のパラレル I/F を持ち、タクトスイッチの状況を読み取ります。

RAM
Block

SRAM I/F を持ち、複数 Master から要求される R/W 命令の調停を行います。

Audio
Tx
Block

Audio I/F を持ち、設定に応じた音源データの生成・加工を行います。

Video
Tx
Block

Video I/F を持ち、設定に応じたピクセルデータの生成・加工を行います。

I2C
Block

I2C Slave I/F を持ち、USB Host との調停を行います。

SPI
Block

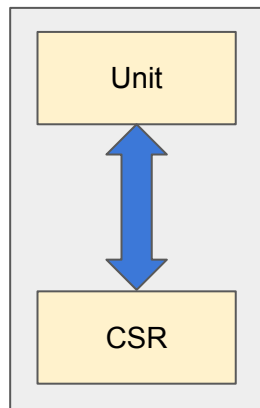
SPI Master I/F を持ち、MCU から要求される R/W 命令の調停を行います。

Processor ブロック内部構成

ブロック内の構造は Unit・CSR (コントロール・ステータス・レジスタ) の二つで構成されます。

Unit・CSR は密接な関係にあり、CSR の設定で動作内容が決定されます。

レジスタ空間を用意すれば Unit の状況のモニタリングも可能です。



・Unit

複数の module を管理します。module の組み合わせで 各ブロック固有の機能を実現します。

・CSR

後述の バスを経由し Master から CSR に対して R/W が行われます。

Master が Write 可能なレジスタに対して Unit は Read のみ対応します。

Unit が Write 可能なレジスタに対して Master は Read のみ対応します。

Processor システムバス機能

・USIB (Ultra Simple Interface Bus)

Master が Slave の CSR 空間に対する R/W を可能とするシステムバスです。
アドレス・R/Wコマンド・データが 1セットのトランザクションになります。
逐次型処理で単一ブロックによる使用を可能とします。

・UFIB (Ultra Fast Interface Bus)

Master が Slave との高速データ転送を可能とするシステムバスです。
アドレス・R/Wコマンド・データ・ID が1セットのトランザクションになります。
1024 Word のバースト転送に対応し、マルチエージェントを可能とします。
CSR 空間へのアクセスには対応しません。

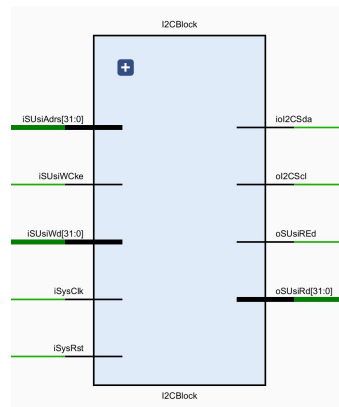
UFIB

Ultra Fast Interface Bus

USIB

Ultra Simple Interface Bus

Processor システムバス信号名



信号名	内容
iSUsiWd	Master から Slave の CSR に対する書き込みデータ
iSUsiAdrs	Master から Slave の CSR にアクセスするアドレス
iSUsiWCke	Master から Slave の CSR に対する有効データ書き込み時Assert
oSUsiRd	Master に対する Slave の CSR の読み込みデータ
oSUsiREd	Master に対する Slave の CSR の有効読み込みデータ時 Assert

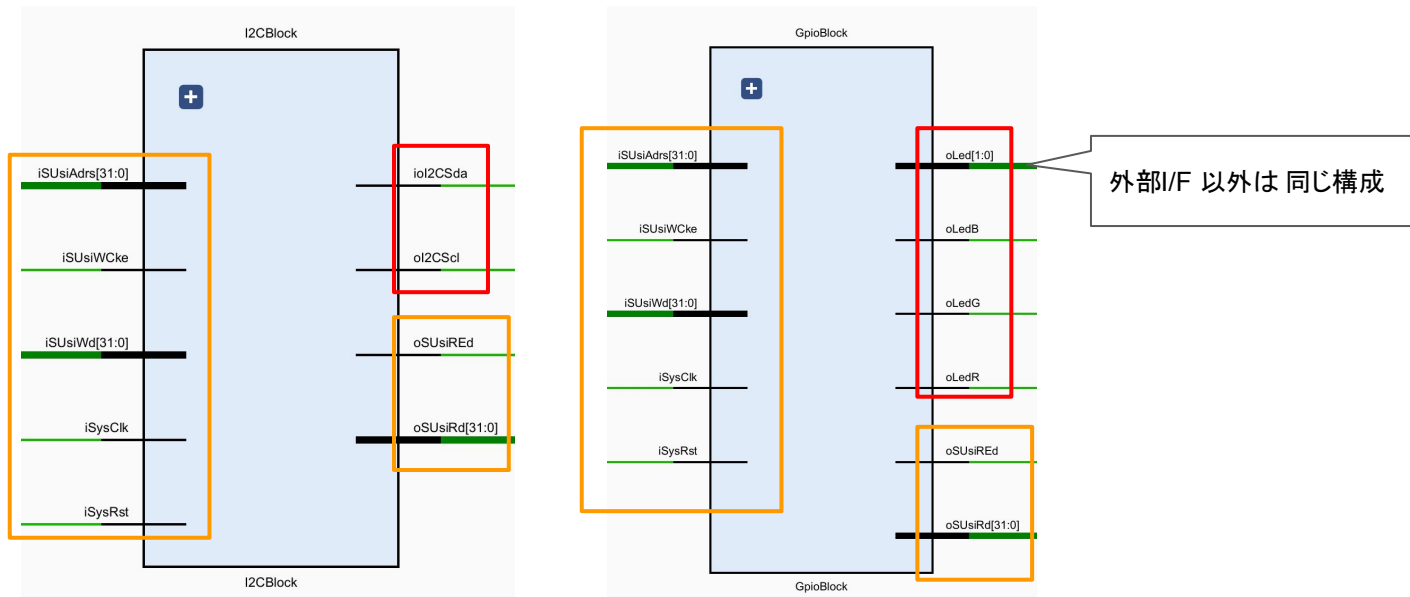
Master の信号は Slave の反対になります。

UFIB は更に Valid-then-Ready のプロトコルが加わった I/F になります。

Processor システムバスのメリット

システムバスを使用することでブロックの入出力ポートが統一されます。

統一されることで、ブロック毎の **性能の改善・機能の追加** がとてもやりやすくなります。



色々な要素でシステムを構築

以上の仕様を検討してシステムを構築します。

本資料はブロック図を用いた説明書のため詳細な仕様は別紙に記載します。

AudioT
x
Block

Video
Tx
Block

並列処理・パイプライン・行列etc... の概念を兼ね備えています。



前提知識があると仕様も決めやすい！

余談

「ソースコードを書く = LUT を使用して消費電力を増加させること」

FPGA 開発では初期段階での設計がとても重要になってきます。

いきなりソースコードから書き始めるのは歴戦の猛者の特権です。

```
always @(posedge iClk)
begin
→   if (iRst) → Q <= 1'b0;
→   else → → Q <= iCke;
end

always @(posedge iClk)
begin
→   if (iRst) → → Q <= 1'b0;
→   else if (iCke) → Q <= 1'b1;
→   else → → Q <= 1'b0;
end
```

動作内容は同じでも回路目線で見ると？

回路を作るというイメージが大事！

更新履歴

日付	内容
2022-02-13	新規作成
2022-05-17	各ブロックの詳細ページを追加
2022-05-20	概要ページを追加
2022-11-13	FPGAブロック構成図変更

ご清聴ありがとうございました