FELADATKIÍRÁS

A feladatkiírást a **tanszék saját előírása szerint** vagy a tanszéki adminisztrációban lehet átvenni, és a tanszéki pecséttel ellátott, a tanszékvezető által aláírt lapot kell belefűzni a leadott munkába, vagy a tanszékvezető által elektronikusan jóváhagyott feladatkiírást kell a Diplomaterv Portálról letölteni és a leadott munkába belefűzni (ezen oldal HELYETT, ez az oldal csak útmutatás). Az elektronikusan feltöltött dolgozatban már nem kell megismételni a feladatkiírást.



Budapesti Műszaki és Gazdaságtudományi Egyetem

Villamosmérnöki és Informatikai Kar

Konzulens

BUDAPEST, 2018

Tartalomjegyzék

[Összefoglaló 6](#_Toc530929203)

[Abstract 7](#_Toc530929204)

[1 Bevezetés 8](#_Toc530929205)

[1.1 PipeComp keretrendszer 8](#_Toc530929206)

[1.2 HLS Backend 9](#_Toc530929207)

[2 Megismert technológiák 10](#_Toc530929208)

[2.1 VHDL hardverleíró nyelv jellegzetességei 10](#_Toc530929209)

[2.1.1 Felépítés 10](#_Toc530929210)

[2.2 Eclipse alapú modellezési technológiák 13](#_Toc530929211)

[2.2.1 Eclipse project 13](#_Toc530929212)

[2.3 Template-nyelvek 15](#_Toc530929213)

[2.3.1 Összehasonlítás szempontjai 16](#_Toc530929214)

[2.3.2 Freemarker 16](#_Toc530929215)

[2.3.3 StringTemplate 17](#_Toc530929216)

[2.3.4 Xtend 19](#_Toc530929217)

[2.3.5 Konklúzió 20](#_Toc530929218)

[3 Specifikáció 21](#_Toc530929219)

[3.1 HIG adatmodell 21](#_Toc530929220)

[3.2 Elvárások a generálóval szemben 22](#_Toc530929221)

[4 Architektúra 23](#_Toc530929222)

[4.1 VHDL könyvtár 23](#_Toc530929223)

[4.1.1 BasicEntityReader 23](#_Toc530929224)

[4.2 HIG olvasó 23](#_Toc530929225)

[4.3 HIG Component és a VHDL kapcsolata 23](#_Toc530929226)

[4.4 HIG komponens előfeldolgozó 24](#_Toc530929227)

[4.5 VHDL generáló 25](#_Toc530929228)

[4.5.1 HIGGenerátor 25](#_Toc530929229)

[4.5.2 LoopGenerátor 25](#_Toc530929230)

[4.5.3 SelectionGenerátor 25](#_Toc530929231)

[4.5.4 Tömbkezelés 25](#_Toc530929232)

[4.6 Kimenet felügyelő 25](#_Toc530929233)

[5 Fejlesztés 26](#_Toc530929234)

[5.1 VHDL könyvtár 26](#_Toc530929235)

[5.2 HIG olvasó 26](#_Toc530929236)

[5.3 HIG előfeldolgozó 26](#_Toc530929237)

[5.4 VHDL generátorok 26](#_Toc530929238)

[5.4.1 HIGGenerátor 26](#_Toc530929239)

[5.4.2 LoopGenerátor 26](#_Toc530929240)

[5.4.3 SelectionGenerátor 26](#_Toc530929241)

[5.4.4 Tömbkezelés 26](#_Toc530929242)

[5.5 Kimenet felügyelő 26](#_Toc530929243)

[6 Tesztelés 27](#_Toc530929244)

[6.1 HIG 27](#_Toc530929245)

[6.2 LoopComp 27](#_Toc530929246)

[6.3 SelComp 27](#_Toc530929247)

[6.4 Tömbkezelés 27](#_Toc530929248)

[Irodalomjegyzék 28](#_Toc530929249)

[Függelék 29](#_Toc530929250)

Hallgatói nyilatkozat

Alulírott **Kovácsvölgyi Dávid**, szigorló hallgató kijelentem, hogy ezt a szakdolgozatot/ diplomatervet (nem kívánt törlendő) meg nem engedett segítség nélkül, saját magam készítettem, csak a megadott forrásokat (szakirodalom, eszközök stb.) használtam fel. Minden olyan részt, melyet szó szerint, vagy azonos értelemben, de átfogalmazva más forrásból átvettem, egyértelműen, a forrás megadásával megjelöltem.

Hozzájárulok, hogy a jelen munkám alapadatait (szerző(k), cím, angol és magyar nyelvű tartalmi kivonat, készítés éve, konzulens(ek) neve) a BME VIK nyilvánosan hozzáférhető elektronikus formában, a munka teljes szövegét pedig az egyetem belső hálózatán keresztül (vagy hitelesített felhasználók számára) közzétegye. Kijelentem, hogy a benyújtott munka és annak elektronikus verziója megegyezik. Dékáni engedéllyel titkosított diplomatervek esetén a dolgozat szövege csak 3 év eltelte után válik hozzáférhetővé.

Kelt: Budapest, 2018. 11. 25.

...…………………………………………….

Összefoglaló

Egyre nagyobb az igény, hogy általános célú, magas szintű programozási nyelvekből is lehessen hardvert szintetizálni, minimális beavatkozással. A magas szintű szintézis (HLS, High-level synthesis) sok esetben gyorsabb és kevesebb költségekkel járó hardverfejlesztést tesz lehetővé.

Ilyen rendszer az Irányítástechnika és Informatika Tanszéken fejlesztett PipeComp, amely magas szintű nyelvekből hardverleírást generál. A PipeComp programozási nyelveket feldolgozó frontendekből és hardverleírást generáló backendekből áll. A PipeComp köztes reprezentációja a HIG adatfolyamgráf.

A dolgozat témája a PipeComp részeként egy VHDL backend fejlesztése, ami HIG adatfolyamról fordít. A szoftver Java nyelven készült.

A dolgozatom ismerteti a VHDL hardver leírónyelv sajátosságait és kódgenerálásra alkalmas templatenyelveket továbbá bemutatja a HIG adatfolyamgráf modellezésére használt frameworkot. Leírja a fejlesztendő szoftver pontos specifikációját, a szoftver tervezésének lépéseit, az implementáció fontosabb részleteit, és a szoftver tesztelésének lépéseit is bemutatja.

Abstract

There is a growing need for applications that can synthesis harware from high level programming languages. The HLS (High-level Synthesis) is faster and cheaper than the actual hardwaredevelopment in most cases.

One of the implementation of these applications is the PipeComp system which was developed by the Irányítástechnika és Informatika Tanszék department of our university. The PipeComp has frontends which processes high level lenguages into the common HIG dataflow graph, and it has backends that creates hardware definition (e.g. VHDL, Verilog…etc) from HIG.

In this paper i would like to document an implementation of a PipeComp backend which creates VHDL from dataflow graph. The software will be written in Java (and use technologies based on java).

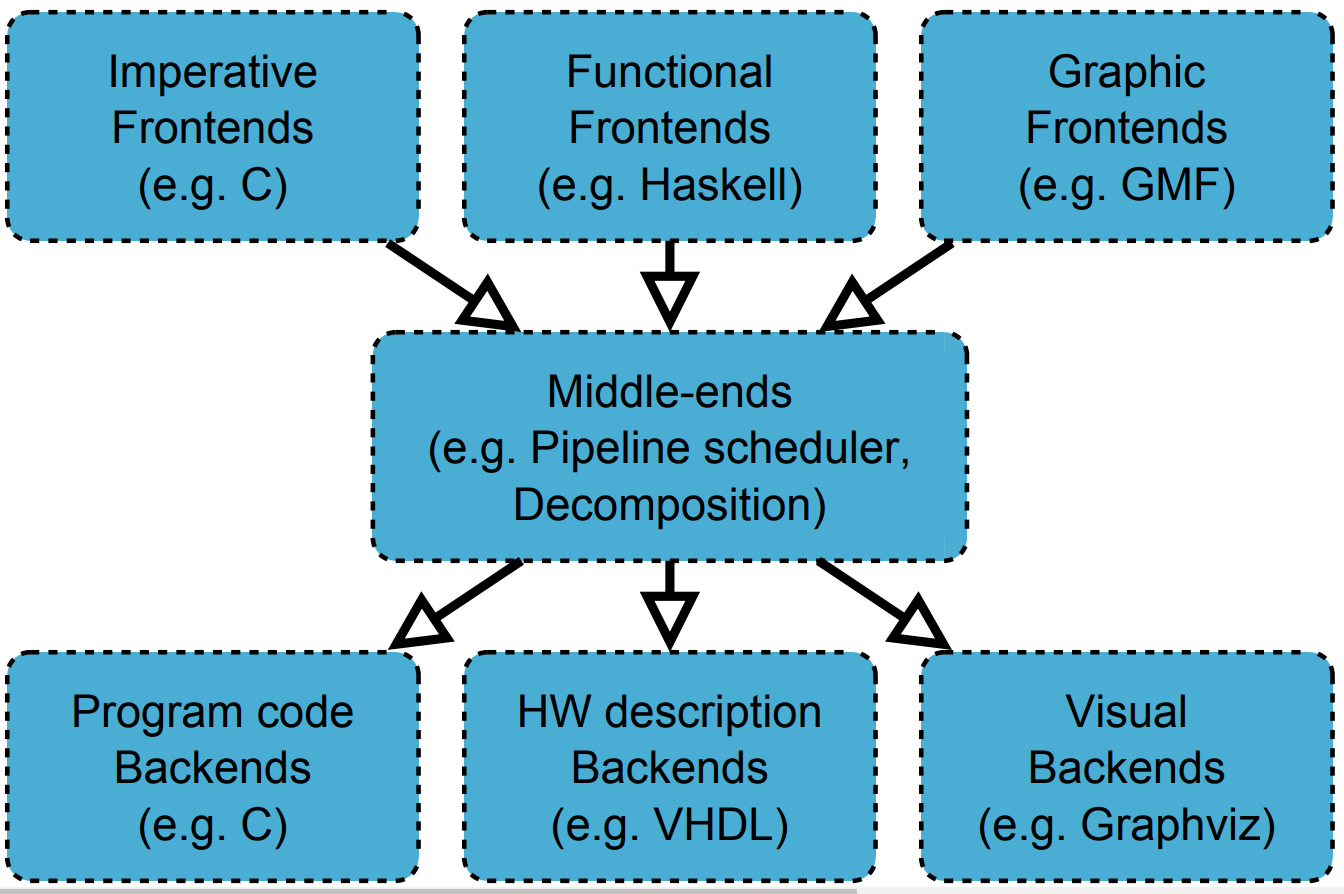
My paper will review the VHDL hardware definition language and the template languages which can generate code easily. It will help understand the framework used for modelling HIG, and provides documentation about the architecture and implementation of the software. It will reveal how the testing and planning was done.

# Bevezetés

Mivel egy áramkörnek a kapuszintű tervezése lassú és nagy odafigyelést igényel, ezért régóta foglalkoztatja a mérnököket, hogy a tervezést egy magasabb absztrakciós szinten tudják elvégezni, ahol a rendszer viselkedését legyenek képesek előírni, és ebből hardverleírást generálni egy arra alkalmas fordító segítségével. Az első generációt a Synopsys cég készítette el 1994-ben Behavioral Compiler néven, ami VHDL-t és Verilogot használt bemeneti nyelveként. Viszont az eszközök amik viselkedést leíró VHDL-t és Verilogot alkalmazták nem terjedtek el, mert a nyelvek nem voltak alkalmasak magasszinten való algoritmus leírásra, ezért 2004-ben leállították a Behavioral Compiler támogatsát és tovább fejlesztését. Eközben megjelent az igény egy ténylegesen magas szintű nyelvet (pl. C-t) használó szintézer kifejlesztésére, ezt hívják ma magas szintű szintézisnek [11].

## PipeComp keretrendszer

A BME IIT tanszékén folyó HLS projekt célja pont egy ilyen magasszintű szintézis keretrendszer megalkotása. Ennek neve a PipeComp[7], ami a sok bemeneti és kimeneti nyelv és formátum támogatása érdekében 3 rétegű architektúrát valósít meg (1‑1. ábra). A bemenet feldolgozásáért a frontend réteg felelős, ami egy köztes, algoritmust leíró adatmodellbe fordítja, ez az ún. HIG adatfolyamgráf (HLS Intermediate Graph). A middle-end végrehajt bizonyos nyelvfüggetlen optimalizációs lépéseket, illetve különböző transzformációkat hajt végre az adatfolyamgráfon. A backend réteg végzi az adatfolyamgráf feldolgozását, és kívánt nyelvre való fordítását.



1‑. ábra PipeComp keretrendszer architektúra

## HLS Backend

A feladatom egy VHDL-t generáló HLS Backend implementálása volt, amivel alapműveleteket (összeadás, szorzás, osztás, stb), vezérlési szerkezeteket(összetett művelet, elágazás, ciklus) és memóriát kellett tudnom kezelni. Az általam elkészített program bemenetként a HIG adatfolyamgráfot fogadja, bejárja és feldolgozza. Végezetül VHDL leírókat generál amik alkalmasak a HIG által leírt algoritmus végrehajtására.

# Megismert technológiák

## VHDL hardverleíró nyelv jellegzetességei

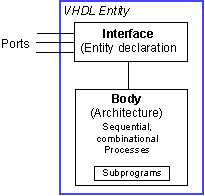
A VHDL(VHSIC Hardware Description Language) az egyik legelterjedtebb hardver leíró nyelv napjainkban. A hardver leíró nyelvek céljukat tekintve eltérnek más magasabb szintű szoftveres nyelvektől, mert utóbbiak a fordítás után a processzorban futnak, ami sorosan hajtja végre a fordított kód utasításait. Míg a hardver leíró nyelvek esetén az általa definiált modulok és azok összeköttetései egymás mellett párhuzamosan léteznek. Tehát nem egy algoritmus lépésről lépésre történő végrehajtásával, hanem annak elemi blokkjaival és azok összeköttetéseivel írják le azt.

### Felépítés

Főleg FPGA és ASIC áramkörök tervezésére és szimulálására használják a hardverleíró nyelveket, mivel a bonyolult és ebből fakadóan nehezen áttekinthető kapcsolásirajzokkal szemben a hardver leíró nyelvek gépek és ember által is jól olvasható kódot eredményeznek. Az áttekinthetőséget növeli az is, hogy a VHDL lehetőséget ad több modul definiálására és ezek egymásba ágyazására is.

#### Entity és Architecture

A modulok két fő részből állnak (2‑1. ábra). Az egyik az ún. Entity ami a modul a környezete felé mutatott tulajdonságait tartalmazza, ilyenek a modul ki- és bemenetei (továbbiakban port) illetve azok típusa és bitszáma. Opcionálisan tartalmazhat generikus paramétereket is, ezeket felhasználhatjuk a modul funkcionális leírásában és a portjai bitszámát is paraméterezhetővé tehetjük velük. A modul példányosítása során megadhatjuk milyen értéket szeretnénk a generikus paraméterek helyére behelyetesíteni, így azonos logikájú modulokat nem szüskéges többször újra megírni. A másik fő rész az ún. Architecture, ez a modul működését és belső összeköttetéseit írja le, itt definiálhatók a modul almoduljai is, ezekre component-ként hivatkoznunk kell az almodulok Entity részében definiált interfész pontos másolatával. Ezután már többet is példányosíthatunk az adott modulból ki- és bemeneteire kötött vezetékek és generikus paramétereinek megadásával.



2‑. ábra A VHDL strukturális felépítése[12]

#### Példányosítás

A modulokban definiálhatunk más modulokat komponensként, amennyiben szükségünk van egy másik modul funkcionalitására, így a VHDL kód sokkal struktúráltabbá, áttekinthetőbbé válik, és lehetőségünk nyílik egyes modulok újra felhasználására. Akár több példányt is létrehozhatunk ugyanabból a modulból miután felvettük a komponens listára az entity-jében megadott portokat és generikus paraméterek pontos másolatát. A példányosításkor meg kell adni a generikus paraméterek pontos értékét, továbbá a komponens példány portjaihoz kell rendelni a kívánt signalokat vagy portokat (2‑2. ábra).

2‑2. ábra Példányosítás

add1 : add

PORT MAP(rst, rst\_loop, clk, input1, input1\_rdy, input2, input2\_rdy, signal\_output, signal\_output\_rdy);

#### Főbb adattípusok és konstansok

A VHDL szabványban összesen 6 egyszerű adattípus létezik és ebből csak 3 szinteziháltahó a végleges áramkörbe (a többit inkább tesztelésnél használhatóak), ezek a következők:

* BIT: 0,1 értéket vehet fel
* BOOLEAN: true, false értéket vehet fel. Az előző típustól a hordozott információ tekintetében nem tér, az áttekinthetőség érdekében használják.
* INTEGER: 32 bites előjeles számot reprezentál

Ezeken felül általánosan használatos egy külön importálandó könyvtár, ami a IEEE 1164-es szabványban [1] rögzítettek. Ez az std\_logic és std\_logic\_vectort tartalmazza az első egy adattípus a másik annak vektorba fűzött formája. A std\_logic és a bit között az a különbség, hogy a std\_logic 0 és 1 értékeken kívül más értékeket is felvehet: ’U' – Uninitialized, 'X' - Forcing Unknown, 'Z' - High Impedance, 'W' - Weak unknown, 'L' - Weak 0, 'H' - Weak '1', '-' - Don't care. Ezek közül csak a ’Z’ érték szintezálódik a végső áramkörbe, a többi a modulok szimulációjának és a tesztelésének könnyítése miatt van jelen.

A modulokban definiálhatóak konstans értékek is a megfelelő adattípus megadásával (2‑3. ábra), illetve értékük megadásával. Ezek később értékül adhatóak portoknak és signaloknak.

constant constant\_5 :

STD\_LOGIC\_VECTOR (31 downto 0) := "00000000000000000000000000000000";

2‑3. ábra Konstans definiálása

#### Signal

A signal a modulon belüli „vezetékeket” reprezentálja, a meghajtó és fogadó között. A vezetéket egyszerre csak egy forrás tudja meghajtani adattal, de több nyelőt is köthetünk az adatok fogadására. A forrás és nyelő bármi lehet, ami a signal definiálásakor megadott adattípust ad eredményeként vagy vár bementeként (signal definiálásra példa: 2‑4. ábra). Bár egyszere csak egy forrás tudja meghajtani a signalt, de ez a forrás időben változtatható pl: process segítségével.

signal signal\_out\_9 : STD\_LOGIC\_VECTOR (31 downto 0);

signal signal\_out\_9\_rdy : BOOLEAN;

2‑4. ábra Signal definiálása

#### Processek

A process a modul elvárt viselkedését írja le. A processben leírt viselkedést egy végtelen ciklus sorról sorra hajtja végre, ezt a wait kulcsszó használatával megállíthatjuk és újra indulását egy feltételhez köthetjük. Továbbá a ciklustörzs lefutását egy a modulban deklarálttag (signal, port) változásához is köthetjük, ha azt a process sensitivity listjébe felvesszük. Ezt mutatja a 2‑5. ábra ahol mindkét process ugyanazt a működést írja le, feltéve, ha statements helyére ugyanazokat a kifejezéseket írjuk.

|  |  |
| --- | --- |
| sensitivity\_list : PROCESS (A, B)  BEGIN  --statements  END PROCESS; | wait\_statement : PROCESS  BEGIN  --statements  WAIT ON A, B;  END PROCESS; |

2‑. ábra Sensitivity list és wait utasítás példa

## Eclipse alapú modellezési technológiák

Az Eclipse Foundation[3] egy non profit, a tagjai által támogatott cég, amit 2004 januárjában hozták létre, hogy segítse és irányítsa az Eclipse közösség munkáját. Ez a közösség mára már több nyíltforráskódú project fejlesztéséért felelős, ilyen az Eclipse Foundation megalakítása előtt már elindult Eclipse project is.

### Eclipse project

Az Eclipse project[4] egy nyíltforráskódú többnyire java alapú projekt, amit az IBM hozott létre 2001-ben az Eclipse SDK fejlesztése és karbantartása céljából. 2004-ben a projectvezetését a többek között erre a célra létrehozott Eclipse Foundation vette át, és a mai napig ez a szervezet egyengeti útjait. Mára a project jelentősen kinőte magát, és az idő előre haladtával már inkább mint "Eclipse top-level project"-ként hivatkoznak rá a projectek résztvevői, mivel mostanra már több alprojectre bontották a nagy projectet. Jelen pillanatban öt alproject fut egymás mellett ezek a Platform, a Java development tools, a Plug-in Development Environment, E4 és az Orion.

#### Eclipse platform

Az Eclipse platform[5] nem más, mint olyan keretrendszerek és szolgáltatások összessége, amik alkalmazásaink elkészítését segítik, mert így minden, ami a fejlesztés szükséges egy helyen elérhető vagy beszerezhető. A platform támogatja a külső szolgáltatások/keretrendszerek integrációját pluginnek formájában így minél jobban testre szabható és felhasználóbarát élményt nyújt. A pluginnek megoldást nyújthatnak különböző, a fejlesztés közben felmerülő problémákra.

#### Eclipse Modelling Framework

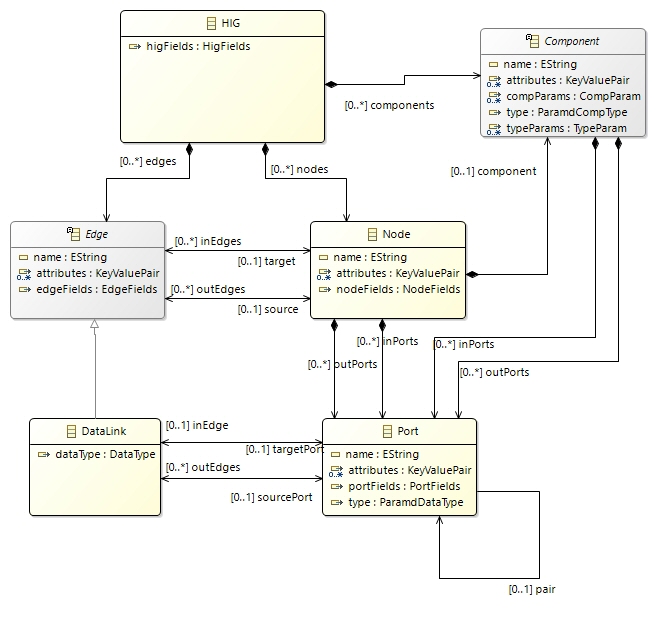
A rendszerek modellezésénél mindig is nagy problémát jelentett a modell megalkotása és módosítása után a modellt reprezentáló kód elkészítésnek időigénye és az a tény, hogy az így készülő boiler-plate kód megírása több lehetőséget adott az emberi hibázásra. Tehát a fejlesztési idő és a hiba lehetőségének csökkentésére szükségünk van egy olyan megoldásra, ami mindezt magából a modellből kiindulva automatikusan elő tudja állítani. Erre több megoldás is létezik a piacon, az egyik ilyen az Eclipse Foundation által kínált EMF (Eclipse Modelling Framework). A modellünk definiálása után az EMF elkészíti az azt reprezentáló java osztályokat és hozzájuk tartozó utility osztályokat is, így nekünk erre nem kell időt szakítanunk.

Az EMF segítségével van lehetőségünk egy grafikus felület segítségével definiálni magas szintű modellünket, az így létrehozott modellt az Ecore modell írja le. Az Ecore egy metamodell ami a strukturális felépítését és lehetséges tulajdonságait tartalmazza az ecore segítségével létrehozható példánymodellnek. Ezen példánymodellek létrehozását az EMF az Ecore alapján generálható szerkesztővel is segíti.

Az Ecore modell generálásához az alábbi komponenseket használhatjuk fel:

* EObject: Minden EMF által generált osztály az EObject leszármazottja. Igazából a java.lang.Object EMF reprezentációjaként tekinthetünk rá.
* EPackage: Ez tartalmazza a modelleket a legfelső szinten, a modellek elemei egy EPackage példányhoz tartoznak.
* EClass: Ezt tekinthetjük az osztályok reprezentációinak. Egy Java interfész és azt implementáló osztályként generálódik le modellünkből.
* EAttribute: egy attribútumot modellez, amelynek neve és típusa van.
* EReference: Két osztály közötti kapcsolatot reprezentálja, tartalmazza a kapcsolat multiplicitását és nevét. Ezen felül asszociációt és aggregáció is jelképezhet.

Ezeket a komponenseket szemlélteti a 2‑6. ábra, amin a HIG adatfolyamgráf ecore reprezentációja látható. A példánymodelleket fa struktúrában tárolja el az EMF. Ezek bejárására az EMF által generált utility osztályokkal van lehetőség.



2‑6. ábra A HIG grafikus ecore modellje

## Template-nyelvek

A Java-ba beépített a szövegek dinamikus generálására nyújtott lehetőségek meglehetősen kezdetlegesek, mert nem hosszú szövegek generálásra találták ki őket, ezért nehezen olvasható kódot eredményeznek, és ebből fakadóan nehéz használni is őket erre a célra. Ezért szükséges volt egy template-nyelvet keresnem, amiképes egy nagyobb statikus szövegbe beágyazódni, így dinamikusan változtatni egyes részein. Erre több módszert kipróbáltam ezek leírása következik.

### Összehasonlítás szempontjai

#### Java és Eclipse támogatás

Mivel a Javat választottam a program elkészítéséhez, a template-nyelvnek is szükséges támogatnia azt.

Továbbá a HIG adatmodell egy Eclipse-s keretrednszerben lett modellezve, ezért adott volt az Eclipse fejlesztőkörnyezet használata is. Így egy olyan template-nyelvet szerettem volna választani Eclipse-ben megfelelően támogatott.

#### Listák, ciklusok és Elágazások

A HIG modellben sok listás elem található, ezért előnyös, ha a nyelv támogatja azok bejárását. A ciklusok támogatottsága is fontos szempont volt számomra, mert szeretnék minél több lehetőséget a végtermék alakításán.

Az elágazások segíthetnek bizonyos opcionális karakterek kiírásában, vagy teljes kódsorok megváltoztatásában valamilyen feltétel szerint.

#### Szkript nyelv használhatósága

A belső függvények és egy fajta szkriptnyelv támogatottságát is figyelembe szeretném venni, mivel sokszor kell majd a kapott adaton műveleteket végrehajtanom, és jobbnak ítélem meg ha azt helyben a templateben tudom végrehajtani.

### Freemarker

A Freemarker[8] egy ingyenes Java alapú template motor, eredetileg dinamikus weboldalak generálására készítették, mivel független a webes technológiáktól gyakran használják forrás file-ok és e-mailek generálására is.

#### Java és Eclipse támogatás

Található Eclipse plugin a FreeMarkerhez, ami szintaktikai kiemelést, ellenőrzést és kódkiegészítő funkcióval is rendelkezik. Használata viszonylag egyszerűbb, de a template változóit kívülről egy Map segítségével kell a template-be juttatni. Minden használatnál fel kell olvasni a háttértárolóról a tisztán szöveges template file-t ezzel nem elhanyagolható overheadet eredményezve más binárisra fordított template nyelvekkel szemben.

#### Szkript nyelv használhatósága

A template kifejezéseket elhatároló eleme a ${KIFEJEZÉS}, az ilyen szerkezetbe írt kifejezések a template kiértékelése során a kívülről adott adatok alapján kapnak értéket. Akár objetumokat is átadhatunk amelyek függvényeihez és belső adatstruktúráihoz is hozzáférhetünk.

#### Listák és ciklusok

A Freemarker támogatja a listák és ciklusok kezelését is, végig iterálhatunk rajtuk és az éppen soron következő elemhez mint az objektumokhoz férhetünk hozzá. A listákat a <#list *listaneve* as *objektumneve*> kifejezéssel kezelhetjük.

<#list lista as elem>

Tetszőleges szöveg${elem.attribute1} - ${elem.attribute2}

</#list>

2‑7. ábra Freemarker lista kezelés

A ciklusos működést is <#list..> kifejezéssel tudjuk előhívni, itt valójában egy szám listán iterálunk végig ezzel imitálva az n ideig tartó ciklikus működést.

#### Elágazások

Lehetőség van elágazások használatára is, ezzel ha nincs szükségünk egy szövegrészre azt egy bizonyos feltételhez köthetjük a templaten belül. Az elágazás leírásához a <#if…> kifejezéssel használhatjuk, végezetül pedig </#if> záró kifejezéssel tudjuk megadni a végét. Az if kifejezés után használható a <#elseif…>,<#else>, mint *egyébként ha* és *egyébként* ágak kezelésére.

<#if x == 1>

x értéke 1.

<#elseif x == 2>

x értéke 2.

<#else>

x nem 1, x nem 2.

</#if>

2‑8. ábra Freemarker elágazás kezelés

### StringTemplate

A StringTemplate[10] egy java template motor amit forrásfájlok, weboldalak, emailek és más formázott szövegek előállításához használnak. Célkitűzései között szerepel a modell és a nézet (model-view) teljes szeparációja, ezért a template nem engedi üzletilogika implementációját a template belső kifejezései közé. Így a szintaxisa letisztult és egyszerű így könnyen átlátható, ebből fakadóan tudástára szerény, de készítője azt állítja ennél több nem is kell.

#### Szkript nyelv használhatósága

Mivel a modell és a nézet teljes szétválasztására törekedtek a nyelv kialakítása során, így minden adatnak rendelkezésre kell állnia a template kiértékelésekor, ezért a nyelv nem enged meg külső függvényhívásokat vezérlőszerkezeteiben, csak a modellben szereplő objektumok és azok attribútumaihoz tudunk hozzá férni. A nyelv a <,> jelek közé írt kifejezéseket értelmezi fordításkor.

#### Java és eclipse támogatás

Mivel ez egy java alapú template motor így kifinomult java könyvtárral rendelkezik, ami némi utána olvasás után egyszerűen használható. A template belső változóit (modell) a java API-val tudjuk „injektálni” a template számára. Ellentétben a FreeMarkerrel a StringTemplate fájljait binárisra tudjuk fordítani ezzel növelve a hatékonyságát a szöveg generálásnak.

Az eclipse-hez ugyan találtam plugint, de azt nem sikerült kipróbálnom technikai nehézségek miatt. Így ezekután StringTemplate-t eclipse-ben nem megfelelően támogatottnak ítéltem meg.

#### Listák és ciklusok

Klasszikus ciklusok nem támogatottak a nyelv előbb említett alapelve miatt, hiszen modellnek már rendelkezésre kell állnia mire fordítás megkezdődik, így a következő iteráció megkezdése előtt vagy után nincs lehetőség a ciklus feltételben szereplő kifejezéseket kiértékelni.

Ez a hiányosság áthidalható listák használatával, hiszen listákon való iteráció támogatott. Ezt a template nevű elem segítségével lehet elérni, ami lehet anonim vagy előre definiált. A templateknek bemenetként előre meghatározott számú listát várnak. A listák elemeit 2 fajta módon tudja kezelni, vagy minden elemhez külön-külön legenerálja a hozzátartozó stringet, vagy a template-ben az adatnak kihagyott lyukat az lista elemeinek felsorolásával tölti ki.

#### Elágazások

2‑9. ábra StringTemlate template elemének szintaxisa és használata

parens(x) ::= "(<x>)" <!template definíció!>

["a", "b", "c"]:parens() -> (a)(b)(c) <!!>

parens(["a", "b", "c"]) -> (abc)

<["a","b"]:{v | <v>=<i>;}> -> a=1;b=2; <!anonim template!>

<["a","b"]:{v | <v>=<i>;}>

Az elágazások is támogatottak StringTemplate-ben használatuk hasonló a FreeMarkerben bemutatotthoz, itt a elágazást a <if…> kifejezéssel kezdhetjük illetve a <endif> kifejezéssel kell zárni azt. Továbbá itt is van lehetőség *egyébként* és *egyébként ha* ágak kezelésére az <else> és <elseif…> kifejezések használatával.

2‑10. ábra Elágazás elemének szintaxisa

<if(boolexpr1)>subtemplate

<elseif(boolexpr2)>subtemplate2

...

<elseif(boolexprN)>subtemplateN

<else>defaultsubtemplate

<endif>

### Xtend

#### Szkript nyelv használhatósága

#### Java és eclipse támogatás

#### Listák és ciklusok

#### Elágazások

### Konklúzió

# Specifikáció

A generált hardverleírásnak a magasszinten definiált algoritmus szerint kell működnie. A program bementeként magát az algoritmust kapja egy adatfolyamgráf (Data Flow Graph [9]) formájában, ami egy olyan irányított gráf amelynek csúcsai egy-egy műveletet, élei pedig az adatáramlás irányát fejezik ki. Az adatfolyamgráf leírásához a HIG-t[7] (HLS intermediate graph) használtam.

## HIG adatmodell

A HIG a PipeComp keretrendszer köztes nyelve, eltérően más adatfolyamgráfokhoz képest a ciklusokat műveltként nem pedig irányított körként kezeli. A modellen belül minden műveletnek vannak a működését befolyásoló belső tulajdonságai, mint a végrehajtásiidő ami hardverre történő fordítás esetén a szükséges órajelciklusokat adja meg. Ilyen tulajdonság a ki- és bemeneti portok amik az adott művelet külvilággal való kommunikációját mutatják, illetve az adott csúcs típusa is, ami megadja milyen műveletet reprezentál. A művelettípusok a Component nevű absztrakt osztályból származnak.

Művelet típusok:

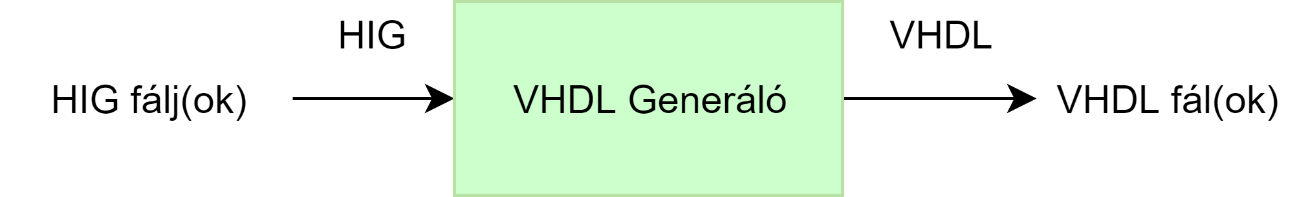
* HIG: Több component-et illetve ezek kapcsolatait foglalja magába.
* ElementaryComp: Elemi műveleteket reprezentálja (pl. összeadás, szorzás)
* LoopComp: A ciklus leírására használt osztály.
* SelComp: Elágazás megjelenítésére használt osztály, ami magába foglal több másik Componentet is amik eseteket jelentik.

A műveletek portjait DataLink élek kötik össze, amik egy forrás és egy fogadó port között lehetnek. Természetesen egy forrás portból több él kiindulhat, de a fogadó portokba csak egy él érkezhet. Itt szeretném megjegyezni, hogy a forrás-/fogadó port és a ki-/bementi port nem feletethető meg egymásnak mivel egy komplex műveletből nézve a művelet saját bementi portjai forrásként, kimenti portjai fogadóként viselkednek, míg a belső node-k portjai pont fordítva működnek.

## Elvárások a generálóval szemben

A feladat kiírásnak megfelelően specifikáltam a rendszert, így az elkészítendő programnak képesnek kell lennie:

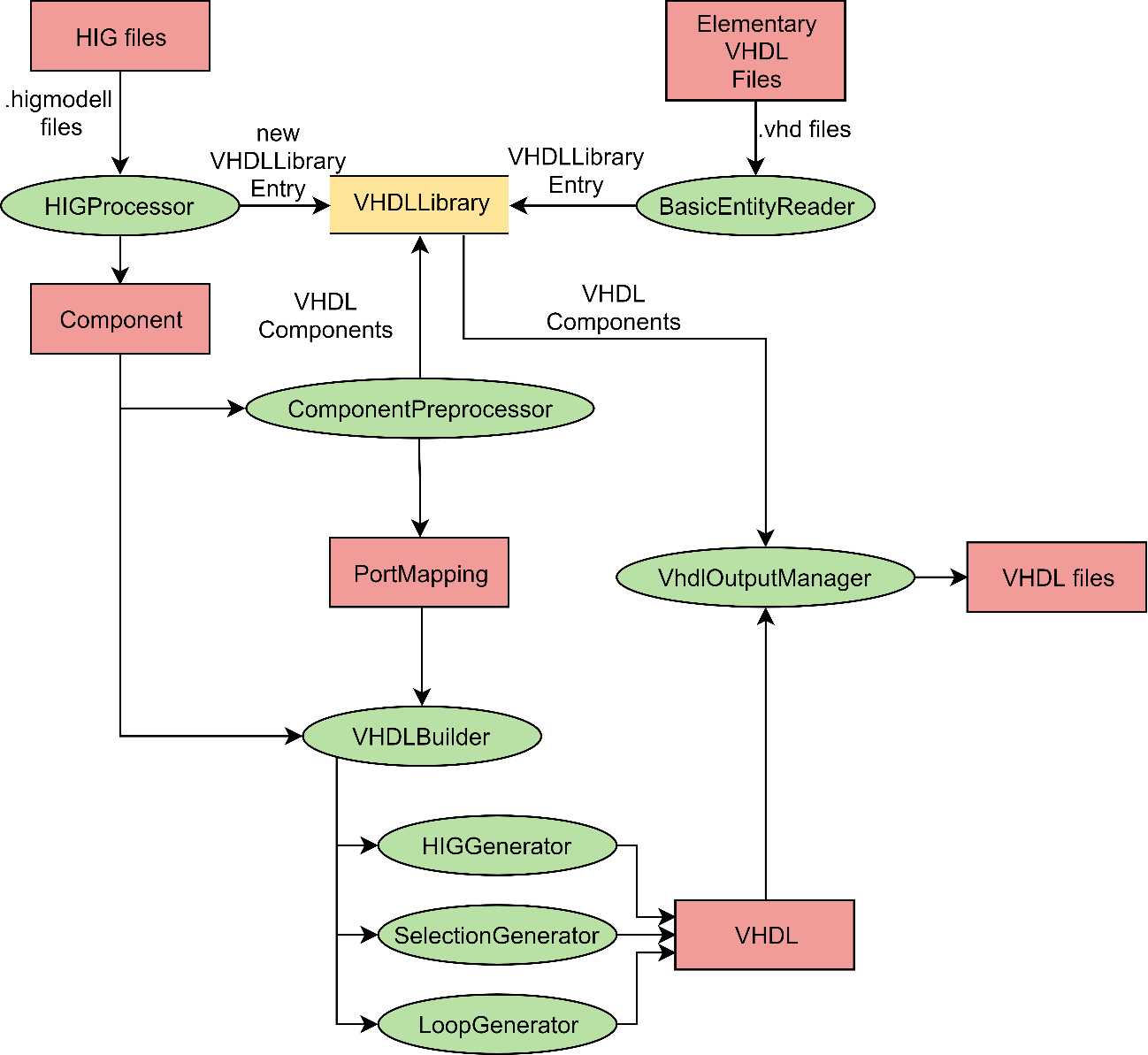
* Felolvasni a .higmodell fájlokat a megadott input mappából.
* A beolvasott adatmodellt betölteni a memóriába.
* A HIG, LoopComp, SelComp és ElementaryComp komponensek mellett a speciális tömbkezelési elemeket is kezelje a program.
* A HIG komponensekből típusuktól függően megfelelő VHDL leírást generálni.
* A kimenetek közé minden olyan VHDL fájlt mellékelnie kell ami példányosításra került bármelyik már a kimenetek között található VHDL fájlban.



3‑1. ábra Specifikáció diagram

# Architektúra

Ebben a fejezetben a tervezés lépéseit és a kialakult architektúra fontosabb döntési szituációit mutatom be. A HIG-VHDL fordító programot a Specifikáció fejezetben leírtakat figyelembe véve terveztem a programot aminek 3 főbb szerepet kell betöltenie: bemenet olvasó, feldolgozó és kimenet szolgáltató. Mivel a szerepeket már tervezéskor igyekeztem minél jobban elkülöníteni egymástól, ezért szükséges volt egy tároló egység létrehozására is amin keresztül ezek a modulok kommunikálni tudnak egymással.



4‑1. ábra Architektúra

## VHDL könyvtár

Egy központi tárolóként funkciónál, ahol minden a program által használt és generált VHDL fájl referenciája megtalálható. Továbbá minden bejegyzés tartalmazza a VHDL fejlécét (a Entity és Architecture fejezetben bemutatott entity-ről van szó), illetve az általa komponensként hivatkozott VHDL-k VHDLLibrary bejegyzéseit.

### BasicEntityReader

Az alapműveleteket (összeadás, szorzás …stb) egy előre megírt VHDL fájlokban tárolja a program, egy meghatározott mappában. Innen az induláskor azokat felolvassa és a VHDLLibrary-t feltölti velük, így ezeket is be lehet tenni a VHDL bejegyzés hivatkozásai közé.

## HIG olvasó

A HIG olvasó modul egy megadott bemeneti mappából felolvassa az összes .higmodel fájlt és azok tartalmát EMF objektumként betölti a memóriába. Az EMF objektumokat bejárással felbontja olyan egységekre amikből külön VHDL készül, továbbá mindegyikhez generál egy bejegyzést a VHDLLibrary-ben.

## HIG Component és a VHDL kapcsolata

A tervezéskor meg kellet vizsgálnom hogyan tudok a HIG bemenetből azt reprezentáló, színtaktikailag helyes VHDL-t generálni. Elsőkörben azt találtam, hogy minden HIG Component megfeleltethető egy azt leíró VHDL-nek, mivel a HIG által reprezentált viselkedés leírható egy VHDL-lel. A Component és a VHDL felépítése is hasonló: ki- és bementeik vannak, hivatkozhatnak más modulokra/componentekre, ezeket belül példányosíthatják és kommunikálhatnak velük ki és bementi portjaikon keresztül. Kombinációs hálózatok esetében ez a megfeleltetés elégnek is bizonyult, de ciklus illetve osztás művelet megvalósítása így nem lehetséges. Így a VHDL-knek egy szinkron sorrendi hálózatot kellett megvalósítaniuk, ezért bevezetésre került a ’clk’ (órajel) bemenet minden modulon, ami a mintavételezés és a kimenet ütemezésére használ az adott modul. Az időigény miatt még szükséges volt minden kimenethez egy ’rdy’ (kész) jelet rendelni amivel jelezhette az adott eredmény elkészült és az már más rákapcsolódó modul által felhasználható, illetve minden modulban bevezetni egy ’rst’(reset) jelet ami felkészíti, hogy újabb bemenet érkezik minden addigi eredményt dobjon el és kezdje ellőről működését.

## HIG komponens előfeldolgozó

A generált VHDL komponenseit példányosítani kell, úgyhogy minden példánynak a portjai a Componentnek megfelelően legyennek bekötve. A VHDL nyelvben ez úgy oldható meg, hogy a példányok kimeneteit és a modul bementeit signalokhoz rendelem, és a Port map-nél (2‑2. ábra) ezeket a signalokat adom át. Majd komponensek bementeit és modul kimenteit a HIG modell szerint a megfelelő kimenethez rendelt signalhoz rendelem. A signalok generálásához, és a signal porthoz rendeléséért az előfeldolgozó lesz felelős. Mivel ezen feladat közben az adott komponens alkomponensei is előkerülnek itt volt célszerű megvalósítani a VHDL könyvtárba való betöltésüket is.

## VHDL generáló

Az előfeldolgozó által elkészített port-signal összerendelés és a HIG olvasóból érkező Component alapján a generáló elkészíti a VHDL-t és a könyvtárban található fájlba kiírja azt.

### HIG Generátor

### Loop Generátor

### Selection Generátor

### Tömbkezelés

## Kimenet felügyelő

A kimeneti felügyelő feladata a végső kimenet szolgáltatása. A generált VHDL-k könyvtár bejegyzés referenciáit fogja megkapni és azok komponens listáin végig iterálva megtalálja az összes szükséges VHDL fájlt. Egy fájl többször is szerepelhet, ezért többször előforduló fájlokat szűri.

Az alapműveleteket tartalmazó VHDL-ket és azok komponenseit nem kell a generálónak elkészítenie, mert már előre elkészítettem őket. Ellenben a kimeneti mappában meg kell jelenniük, így hivatkozás esetén a generált VHDL-kkel együtt kerülnek a kimeneti mappába.

# Fejlesztés

## VHDL könyvtár

Ahhoz, hogy mindenhol egyszerűen elérhető legyen és ne kelljen referenciáját tovább adni Singleton tervezési mintát[13] használtam, és egy bárhol példányosítható menedzser osztállyal oldottam meg az elérését.

## HIG olvasó

## HIG előfeldolgozó

## VHDL generátorok

### HIGGenerátor

### LoopGenerátor

### SelectionGenerátor

### Tömbkezelés

## Kimenet felügyelő

# Tesztelés

## HIG

## LoopComp

## SelComp

## Tömbkezelés

Irodalomjegyzék

1. Multivalue Logic System for VHDL Model Interoperability https://en.wikipedia.org/wiki/IEEE\_1164
2. Eclipse modelling framework: <https://eclipsesource.com/blogs/tutorials/emf-tutorial/>
3. Eclipse Foundation, http://www.eclipse.org/org/
4. Eclipse Project, <http://wiki.eclipse.org/Eclipse_Project>
5. Eclipse Platform, <http://wiki.eclipse.org/Platform>
6. High-level synthesis, <https://en.wikipedia.org/wiki/High-level_synthesis>
7. G. Suba, and P. Arató: Concept of the system-level synthesis framework PipeComp, <http://hls.iit.bme.hu/lib/exe/fetch.php/hu/pipecomp.pdf>
8. Freemarker, <https://freemarker.apache.org/>
9. Data Flow Graph, <https://www.threadingbuildingblocks.org/docs/help/tbb_userguide/Data_Flow_Graph.html>
10. StringTemplate, <https://www.stringtemplate.org/about.html>
11. High-level synthesis, <https://en.wikipedia.org/wiki/High-level_synthesis>
12. VHDL felépítés, <https://www.seas.upenn.edu/~ese171/vhdl/vhdl_primer_files/image003.gif>
13. Singleton pattern, https://en.wikipedia.org/wiki/Singleton\_pattern

Függelék