

Πανεπιστήμιο Θεσσαλίας - Τμήμα Ηλεκτρολόγων Μηχανικών
και Μηχανικών Υπολογιστών

ΗΥ130 - Ψηφιακά Κυκλώματα

3ο Σύνολο Εργαστηριακών Ασκήσεων

10/11/2014 έως 24/11/2014

X. Σωτηρίου

1η Άσκηση

Υλοποιήστε σε γλώσσα Verilog:

(α) Ένα κύκλωμα που μετατρέπει έναν 8-bit, μη προσημασμένο αριθμό, σε προσημασμένο (+ ή -) 16 bit, βάση ενός σήματος εισόδου **sign**, όπου αν το τελευταίο είναι 1, τότε καταδεικνύει αρνητικό αριθμό.

(15 Βαθμοί)

(β) Έναν ολισθητή 8-bit, ο οποίος να ολισθαίνει αριστερά όταν ένα σήμα εξόδου **left**, έχει την τιμή 1, ενώ δεξιά στην αντίθετη περίπτωση.

(15 Βαθμοί)

Σχεδιάστε το Σχηματικό του Σχήματος (β), χρησιμοποιώντας FF και Πολυπλέκτες.

(20 Βαθμοί)

2η Άσκηση

(α) Σχεδιάστε σε γλώσσα Verilog 3 Πολυπλέκτες, έναν 2-1 (2 σε ένα), έναν 4-1 και έναν 8-1.

(5+5+10 Βαθμοί)

(β) Εξηγήστε πως θα μπορούσατε να υλοποιήσετε τον 4-1 πολυπλέκτη με 3 πολυπλέκτες 2-1, παρουσιάστε το σχετικό σχηματικό (μόνο με πολυπλέκτες), και την Verilog υλοποίηση.

(15+15 Βαθμοί)

Προθεσμία Παράδοσης, Τρόπος Υποβολής των Εργαστηριακών Ασκήσεων

Η προθεσμία παράδοσης του 1ου Συνόλου Εργαστηριακών Ασκήσεων είναι η 1/12/2014. Η Παράδοση των Εργαστηριακών Ασκήσεων πραγματοποιείται μόνο Ηλεκτρονικά μέσω του συστήματος e-Class.