# Синхронный двухступенчатый D-триггер: : схема, принцип функционирования, назначение.

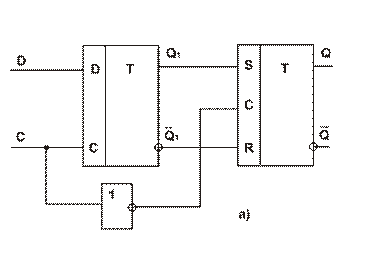
Схема двухступенчатого D-триггера представлена на рисунке 1а.  


рис. 1

Особенность такого триггера с двухступенчатым запоминанием информации состоит в следующем:

первый триггер, который мы используем, считается ведущим  
второй считается ведомым

Так как триггер синхронный, то есть синхронный вход С на обоих триггерах.  
Такой триггер можно построить с помощью одного одноступенчатого D-триггера и одного синхронного RS-триггера.  
Схема представлена выше, на рисунке 1а.

Принцип функционирования:  
Когда значение С = 1, у нас первый триггер устанавливается в такое состояние, которое сейчас на информационном входе D, а второй триггер не меняет своего состояния ПОКА на входе С действует сигнал 1, так как на второй триггер подается сигнал 0 (логическое НЕ)  
После окончания сигнала С, то есть С становится 0. Первый триггер перестает принимать сигнал с информационного входа D. Он начинает подключаться к входам R и S второго триггера (второй ступени). На входе С второго триггера получается сигнал 1, из-за логического НЕ. Тем самым второму триггеру передается состояние первого, то есть состояние D (которое было на первом триггере).

Можно сказать, что D-триггеры это устройства, которые не имеют запрещенных сигналов. D-триггеры - это устройства со счетным запуском.

Назначение триггеров  
Они предназначены для запоминание некой двоичной информации. С их помощью можно реализовать устройства оперативной памяти (то есть на время вычислений некоторых). Также можно использовать для построения некоторых устройств с памятью, например счетчики, преобразователи кода.

Двухступенчатые синхронные D-триггеры могут задерживать сигнал на 1 такт.