

Diseño y desarrollo de un Analizador de Espectro con FPGA

Ferrer, Ezequiel I. - Ledesma, Luciano L.

Universidad Tecnológica Nacional, Facultad Regional Paraná

Ingeniería Electrónica, Medidas Electrónicas II

Profesor adjunto: Ing. Cappelletti, Carlos A.

Ayudante de trabajos prácticos de primera: Ing. Krenz, Monica F.

Ayudante adjunto ordinario: Filipuzzi, Fernando R.

14 de Agosto de 2023

Nota del autor

Ferrer, Ezequiel I., ORCID: 0009-0001-5422-5307.

Estudiante UTN, Ingeniería Electrónica. ezequielferrer@alu.frp.utn.edu.ar

Ledesma, Luciano L., ORCID: 0009-0005-3951-5946.

Investigador UTN, Categoría “G”: Orientación Ciencias de la Ingeniería y Tecnologías.

Hector Costa, 1834, Paraná, Entre Ríos, CP: 3100. lucianoledesma@alu.frp.utn.edu.ar

Resumen

Este informe es la primera entrega de un proyecto para diseñar y desarrollar un analizador de espectro utilizando tecnología FPGA para la cátedra de Medidas Electrónicas II en la Facultad Regional Paraná de la Universidad Tecnológica Nacional. El objetivo es lograr la comprensión completa del funcionamiento del instrumento y examinar la posibilidad de construir un dispositivo que funcione adecuadamente. En este informe se proporciona información sobre los aspectos generales del equipo, incluyendo sus características básicas, diagramas de bloque de funcionamiento, equipos comerciales y comparaciones. Cada punto se analiza detalladamente para brindar una visión general completa sobre la finalidad de uso y la operación del equipo.

Palabras clave: Analizador de espectro, instrumento, medidas electrónicas, transformada de Fourier, FFT.

Indice

Nota del autor.....	0
Resumen.....	1
Indice.....	2
Indice de figuras.....	3
Diseño y desarrollo de un Analizador de Espectro con FPGA.....	4
Metodología.....	4
Descripción del objeto tecnológico.....	4
Diagrama en bloques y funcionamiento.....	5
Conceptos teóricos relevantes para el desarrollo del analizador de espectro.....	6
Procesos de DFT y FFT.....	6
Tipos de algoritmos.....	8
Implementación directa:.....	8
Implementación por muestreo:.....	8
Implementación por factorización:.....	8
Implementación por convolución:.....	9
Análisis de mercado.....	9
Rigol DS1054Z.....	9
Owon XSA1036-TG.....	10
Owon HSA1016.....	11
Evaluaciones y criterios.....	12
Objetivos de diseño.....	12
Plan de desarrollo.....	13
Fase 1: Diseño de la arquitectura.....	14
Fase 2: Diseño de la etapa de adquisición de señales.....	14
Fase 3: Diseño de la etapa de conversión.....	14
Fase 4: Diseño de la etapa de procesamiento digital.....	14
Fase 5: Integración y pruebas.....	15
Criterios de evaluación.....	15
Desarrollo.....	16
Diseño de la arquitectura.....	16
Electromagnetic Compatibility (EMC) Directive:.....	18
EN 55011: 1998 clase A: Emisiones conducidas y radiadas.....	18
EN 61000-3-2: 2000: Armónicos de corriente.....	18
EN 61000-3-3: 1995: Fluctuación de voltaje.....	18
EN 61000-4-2: 1995+A1:1998: Descarga electrostática.....	18
EN 61000-4-3: 1996+A1:1998: Inmunidad radiada.....	18
EN 61000-4-4: 1995: Transitorios eléctricos rápidos.....	18

EN 61000-4-5: 1995: Inmunidad a sobretensiones.....	18
EN 61000-4-6: 1996: Susceptibilidad conducida.....	18
EN 61000-4-8: 1993: Campo magnético de frecuencia de alimentación.....	18
EN 61000-4-11: 1994: Caídas/Interrupciones de voltaje.....	18
Instituto de Ingenieros Eléctricos y Electrónicos (IEEE):.....	19
IEEE 802.11.....	19
IEEE 802.15.4.....	19
Comisión Electrotécnica Internacional (IEC):.....	19
IEC 61000-6-3.....	19
IEC 61000-6-4.....	19
Comisión Federal de Comunicaciones (FCC):.....	20
Parte 15 de las regulaciones de la FCC.....	20
Diseño de la etapa de adquisición de señales.....	21
Diseño de la etapa de conversión.....	21
Diseño de la etapa de procesamiento digital.....	22
Integración y pruebas.....	23
Resultados.....	24
Resultado 1.....	24
Resultado 2.....	24
Resultado 3.....	24
Resultado 4.....	25
Discusión y conclusiones.....	26
Referencias.....	27

Indice de figuras

Figura 1: Diagrama en bloques del Analizador de Espectro.....	7
Figura 2: Transformada de fourier.....	7
Figura 3: Rigol 1000z series.....	10
Figura 4: Owon XSA1036-TG.....	11
Figura 5: Owon HSA1016.....	12
Figura 6: Zybo Zynq-7000.....	14
Figura 7: Zynq SoC Block Diagram.....	18

Diseño y desarrollo de un Analizador de Espectro con FPGA

Este proyecto tiene como objetivo llevar a cabo el estudio, diseño y desarrollo de un instrumento de medición para la cátedra de Medidas Electrónicas II en la Facultad Regional Paraná de la Universidad Tecnológica Nacional. En particular, se propone la implementación de un analizador de espectro utilizando tecnología FPGA.

Metodología

Descripción del objeto tecnológico

El analizador de espectro es un instrumento utilizado en el análisis y medición de frecuencias de señales conocidas o desconocidas. Es comúnmente utilizado en la ingeniería de sonido y redes de fibra óptica, así como en la prueba de circuitos y sistemas de comunicación inalámbrica.

Este instrumento cuenta con una pantalla que muestra el espectro de la señal en el eje horizontal de frecuencia y en el eje vertical en decibelios. A través de esta pantalla, se pueden medir diversos parámetros como la densidad espectral de potencia de cada componente de la señal, la relación señal-ruido, fase, componentes armónicos, distorsión, modulación, ancho de banda, entre otros.

El osciloscopio es un complemento del analizador de espectro que permite visualizar y medir la amplitud de señales en función del tiempo.

Existen dos tipos principales de analizador de espectro: el de barrido de frecuencias y el de transformada rápida de Fourier (FFT). El primero realiza un barrido selectivo de frecuencias para medir el espectro, mientras que el segundo utiliza la FFT para obtener el espectro de la señal en tiempo real sin pérdida de información.

Para utilizar un analizador de espectro, se selecciona una entrada y se realizan ajustes básicos, como la frecuencia central de visualización, el ancho del espectro y niveles de referencia en amplitud. También se pueden ajustar parámetros como el ancho de banda de resolución, el ancho de banda de video y el tiempo de barrido para modificar la visualización de la señal y realizar mediciones adecuadas.

Además, los analizadores de espectro pueden tener diferentes rangos de frecuencia de trabajo y ser utilizados para mediciones de diferentes tipos de señales, como las de corriente eléctrica en sistemas de potencia y la respuesta de los altavoces en sistemas de sonido.

Diagrama en bloques y funcionamiento

- Entrada de señal: se conecta la señal que se desea analizar al analizador de espectro.
- Amplificador de entrada: amplifica la señal para mejorar la relación señal-ruido.
- Filtro de entrada: elimina las señales no deseadas que pueden afectar la precisión de las mediciones.
- Convertidor analógico-digital (ADC): convierte la señal analógica a una señal digital para ser procesada por la unidad de procesamiento central (CPU).
- Unidad de procesamiento central (CPU): procesa la señal digital y realiza la transformada rápida de Fourier (FFT) para obtener el espectro de frecuencia de la señal.
- Memoria: almacena los resultados de la FFT para ser visualizados en la pantalla.
- Pantalla: muestra el espectro de frecuencia de la señal.

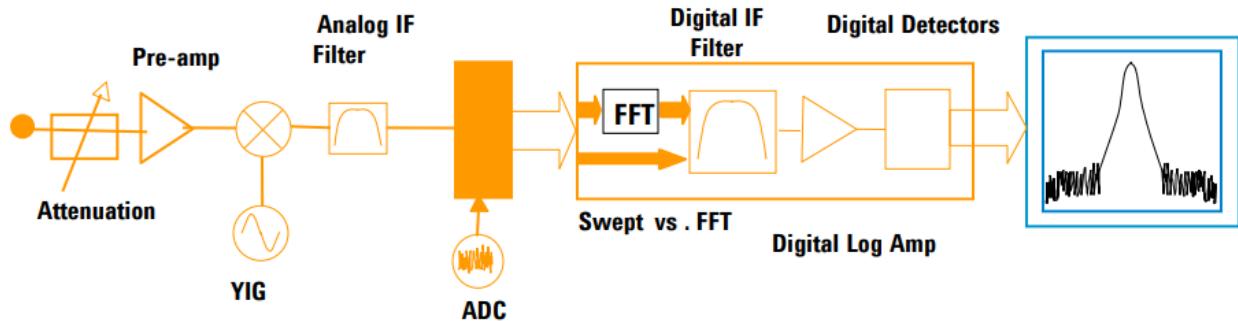


Figura 1: Diagrama en bloques del Analizador de Espectro.

Fuente: <https://www.david-mcginnis.io/docs/microwaveLab/Lectures/PasquinelliLectures/spectrum%20analyzer.pdf>

Conceptos teóricos relevantes para el desarrollo del analizador de espectro

Procesos de DFT y FFT

La transformada de Fourier es una herramienta matemática que permite descomponer una señal compleja en sus componentes de frecuencia individuales. Básicamente, toma una señal que varía en el tiempo y la descompone en una serie de componentes sinusoidales, cada uno con su propia frecuencia, amplitud y fase.

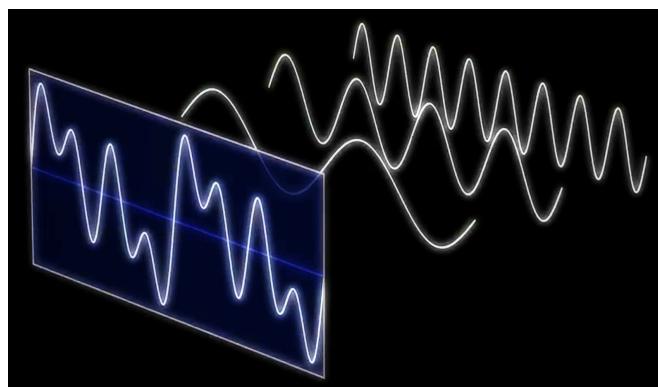


Figura 2: Transformada de fourier

Fuente: <https://youtu.be/2Xkv-W9tOXU>

La transformada de Fourier discreta (DFT) es una versión computacional de la transformada de Fourier que se utiliza para analizar señales digitales. La DFT divide una señal

digital en segmentos finitos y realiza la transformada de Fourier en cada uno de estos segmentos. Luego, los resultados de cada segmento se combinan para formar el espectro de frecuencia de la señal completa.

La FFT es un algoritmo eficiente para calcular la DFT. Mientras que la DFT tiene una complejidad de $O(n^2)$ ¹, lo que significa que el tiempo de ejecución del algoritmo aumenta cuadráticamente con el tamaño de la señal de entrada, la FFT tiene una complejidad de $O(n \log n)$, lo que significa que el tiempo de ejecución aumenta mucho menos que cuadráticamente con el tamaño de la señal de entrada. En el caso de la DFT, su complejidad se debe a que es un algoritmo de fuerza bruta que calcula todas las frecuencias posibles de la señal. Por otro lado, la FFT utiliza una técnica de división y conquista² para reducir la cantidad de operaciones necesarias.

En términos prácticos, esto significa que la FFT es mucho más rápida que la DFT y permite que los analizadores de espectro modernos puedan trabajar en tiempo real. Por ejemplo, si tenemos una señal de audio de 1024 puntos y queremos obtener su espectro de frecuencia mediante la DFT, se requerirían $1024 \times 1024 = 1.048.576$ operaciones matemáticas. En cambio, con la FFT, solo se necesitan $1024 \times \log_2(1024) = 10.240$ operaciones matemáticas, lo que hace que el proceso sea mucho más rápido y menos costoso computacionalmente. Esto ha permitido que los analizadores de espectro modernos puedan trabajar en tiempo real y mostrar el espectro de frecuencia de una señal en tiempo real, sin perder información importante.

¹ Notación de complejidad.

² Enfoque algorítmico utilizado en ciencias de la computación y matemáticas para resolver problemas complejos dividiéndolos en subproblemas más pequeños y más simples

Tipos de algoritmos

Implementación directa:

La implementación directa es la forma más simple y directa de calcular la DFT o la FFT.

Este método se basa en la definición matemática de la transformada y es adecuado para señales de pequeño tamaño y para aplicaciones que no requieren un procesamiento en tiempo real. Sin embargo, esta técnica es muy ineficiente computacionalmente y no es práctica para señales de gran tamaño.

Implementación por muestreo:

La implementación por muestreo es una técnica que se utiliza para reducir el número de operaciones necesarias para calcular la DFT o la FFT. Esta técnica se basa en la propiedad de la transformada de Fourier que establece que una señal periódica en el tiempo se puede representar como una suma de sinusoides de diferentes frecuencias. Al utilizar esta propiedad, se pueden calcular las componentes espectrales de una señal utilizando solo un subconjunto de las muestras originales, lo que reduce el costo computacional.

Implementación por factorización:

La implementación por factorización es una técnica que se basa en la factorización de la matriz de transformación para reducir el número de operaciones necesarias para calcular la DFT o la FFT. Esta técnica se utiliza en el algoritmo de Cooley-Tukey, que es uno de los algoritmos más comunes para calcular la FFT. El algoritmo de Cooley-Tukey divide la transformada en transformadas más pequeñas y utiliza la propiedad de la factorización para reducir el número de operaciones necesarias.

Implementación por convolución:

La implementación por convolución es una técnica que se utiliza para calcular la DFT o la FFT mediante la convolución de la señal de entrada con una función de ventana adecuada. Esta técnica se utiliza en el algoritmo de Welch, que es una variante del algoritmo de Cooley-Tukey que utiliza una ventana para reducir el efecto de las discontinuidades en los bordes de la señal.

En general, la elección de la técnica de implementación dependerá del tipo de señal que se esté procesando, de los recursos computacionales disponibles y de la precisión y velocidad requeridas en la transformación.

Análisis de mercado

A continuación se detallan algunos equipos comerciales que se encuentran hoy en día en el mercado.

Rigol DS1054Z



Figura 3: Rigol 1000z series

Fuente: <https://www.rigolna.com/products/digital-oscilloscopes/1000z/>

Marca: Rigol

Modelo: DS1054Z

Rango de frecuencia: 50 MHz

Ancho de banda: 50 MHz

Precio: alrededor de \$420 USD

Ventajas:

- Ofrece un alto ancho de banda para su precio
- Viene con una gran cantidad de características, como decodificación de protocolo serie y función de grabación de forma de onda
- La interfaz de usuario es intuitiva y fácil de usar

Desventajas:

- La sensibilidad de la pantalla puede ser pobre en ciertas condiciones de iluminación
- El software de decodificación de protocolo serie puede ser difícil de usar para algunos usuarios
- La calidad de construcción puede no ser tan alta como otros analizadores de espectro más caros.

Owon XSA1036-TG



Figura 4: Owon XSA1036-TG

Fuente: <https://amazon.com/-/es/xsa1036-tg-analizador-Spectrum-Protector-visualización/dp/B07B5PJLSJ>

Marca: Owon

Modelo: XSA1036-TG

Rango de frecuencia: 9 kHz a 3.6 GHz

Ancho de banda: 36 MHz

Precio: alrededor de \$2,800 USD

Ventajas:

- Ofrece un amplio rango de frecuencia y ancho de banda por su precio
- Viene con un generador de señal incorporado y un puerto de seguimiento de señal
- Puede realizar mediciones de potencia de señal y de figuras de ruido
- Tiene una interfaz de usuario fácil de usar y una pantalla grande y clara

Desventajas:

- No tiene la misma calidad de construcción que algunos de los analizadores de espectro más caros del mercado
- Puede tener problemas con la calibración de frecuencia
- No tiene todas las características avanzadas que algunos analizadores de espectro más costosos tienen.

Owon HSA1016



Figura 5: Owon HSA1016

Fuente: https://articulo.mercadolibre.com.ar/MLA-1130087018-analizador-espectro-portatil-owon-hsa1016-generador-tracking-JM#position=6&search_layout=stack&type=item&tracking_id=95835d22fea3-41cb-9ed9-bc5323f1e730

Marca: Owon

Modelo: HSA1016

Rango de frecuencia: 100 kHz - 1.6 GHz

Ancho de banda: 1 MHz - 1.6 GHz

Precio: alrededor de \$1,500 USD

Ventajas:

- Ofrece un rango de frecuencia amplio y un ancho de banda suficiente para la mayoría de las aplicaciones
- Viene con una gran cantidad de características, como análisis de espectro en tiempo real, modos de visualización de múltiples ventanas y una función de seguimiento de espectro
- Puede conectarse a un ordenador para el control remoto y el análisis de datos

Desventajas:

- Es uno de los modelos más caros en el mercado de analizadores de espectro económicos
- La calidad de construcción puede no ser tan alta como otros modelos más caros
- La interfaz de usuario puede no ser tan intuitiva para los usuarios nuevos

Evaluaciones y criterios

En esta sección, se describen los objetivos y criterios que se buscan evaluar en el diseño del analizador de espectro y se presenta un plan de desarrollo para alcanzar dichos objetivos.

Objetivos de diseño

Los objetivos principales del diseño del analizador de espectro son los siguientes:

- Cubrir un rango de frecuencia de hasta 500 KHz con una precisión de ± 10 kHz.
- Tener una resolución de 100 Hz para una mayor precisión en la identificación de señales en la banda de frecuencia de interés.
- Lograr una sensibilidad de al menos -100 dBm a una tasa de 1 MHz, para detectar señales débiles en la banda de interés.

- Alcanzar una tasa de muestreo de al menos 1 MS/s para lograr una alta resolución temporal y una buena reproducción de las señales de entrada.
- Minimizar el ruido de fase a niveles inferiores a 0.5 dB para asegurar una alta precisión en la medición de la frecuencia y en la identificación de señales débiles.

Es importante tener en cuenta que estos objetivos se adaptan a las especificaciones de la FPGA Zybo de Xilinx y su ADC de 1 MS/s, siendo este el equipamiento que disponemos para el trabajo. Si se utilizan diferentes componentes, es posible que sea necesario ajustar estos objetivos para garantizar una implementación óptima.

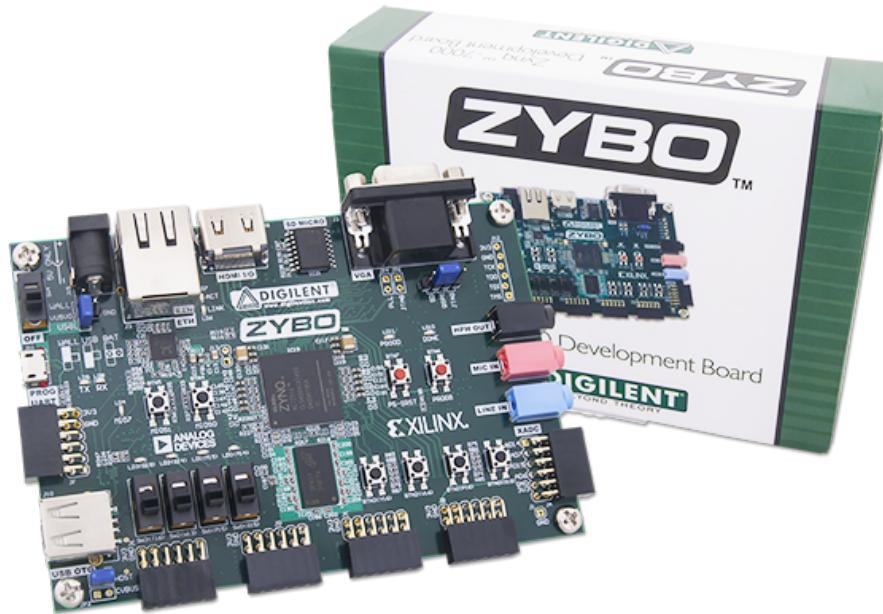


Figura 6: Zybo Zynq-7000

Fuente: <https://digilent.com/reference/programmable-logic/zybo/start>

Plan de desarrollo

Para alcanzar los objetivos de diseño establecidos, se ha diseñado un plan de desarrollo que incluye las siguientes fases:

Fase 1: *Diseño de la arquitectura*

En esta fase se establecerá la arquitectura del analizador de espectro. Se llevará a cabo un análisis y selección de los componentes que serán utilizados en el diseño, se determinará la configuración óptima de los mismos, se evaluarán las diversas normas aplicables a nuestra región y se establecerán las especificaciones para la adquisición de señales, la conversión, el procesamiento digital y la representación de datos.

Fase 2: *Diseño de la etapa de adquisición de señales*

En esta fase se diseñará la sección encargada de adquirir las señales del analizador de espectro, se seleccionarán los componentes óptimos y se definirán las especificaciones para la sección de entrada, amplificación y filtrado de la señal.

Fase 3: *Diseño de la etapa de conversión*

En esta fase se diseñará la conversión analógica a digital (ADC) del analizador de espectro, se seleccionarán los componentes óptimos y se definirán las especificaciones para la sección de amplificación y el filtrado anti-aliasing.

Fase 4: *Diseño de la etapa de procesamiento digital*

En esta fase se diseñará el módulo de procesamiento digital del analizador de espectro, se seleccionarán los componentes óptimos y se definirán las especificaciones para la unidad de procesamiento digital, la unidad de memoria y la interfaz de usuario.

Fase 5: Diseño de la etapa de representación gráfica

En esta fase se diseñará el módulo de control HDMI del dispositivo, se seleccionará la resolución óptima permitida por nuestra FPGA y se desarrollará la representación gráfica del espectro.

Fase 6: Integración y pruebas

En esta fase se integrarán todas las etapas del analizador de espectro y se realizarán las pruebas necesarias para verificar que se han cumplido los objetivos de diseño establecidos.

Criterios de evaluación

Los criterios utilizados para evaluar el diseño del analizador de espectro se basarán en los objetivos de diseño establecidos. En particular, se evaluará el diseño del analizador en términos de su rango de frecuencia, resolución, sensibilidad, tasa de muestreo y ruido de fase.

Desarrollo

Diseño de la arquitectura

La primera fase de nuestro proyecto consiste en diseñar la arquitectura del analizador de espectro. En esta etapa, se lleva a cabo un análisis detallado de los componentes que serán utilizados en el diseño, así como la selección y configuración óptima de los mismos. Además, se tiene en cuenta las normas y regulaciones aplicables en nuestra región para garantizar el cumplimiento de los estándares técnicos establecidos.

Se realizaron análisis detallados y evaluaciones exhaustivas de los componentes disponibles en el mercado para el diseño del analizador de espectro. Se optó por utilizar un convertidor analógico-digital (ADC) ya disponible en nuestra placa de desarrollo, el cuál cuenta con una resolución de 12 bits y una frecuencia de muestreo de 1 MSPS. Luego, en las siguientes dos etapas, se elegirán y calcularán filtros analógicos que cumplan con los requisitos de selectividad y rechazo de señales no deseadas, teniendo en cuenta a su vez los efectos de Aliasing.

Se llevó a cabo una investigación sobre los diferentes procesadores digitales de señal (DSP) y tablas de consulta (LUT) disponibles en la FPGA. Nuestra placa de desarrollo implementa los DSP necesarios (y disponibles) en base a las herramientas de sintetización provistas por Xilinx. Estos DSP poseen la capacidad de procesamiento en tiempo real para realizar las operaciones requeridas en el análisis espectral. La arquitectura del procesador se optimizó para garantizar un rendimiento eficiente.

Zybo Zynq 7000		
Slice LUTs	Slice Registers	DSPs
17600	35200	80

Se definieron las especificaciones para la adquisición de señales. El ancho de banda establecido es de 200 KHz, con una precisión de 12 bits. Ambos criterios son en consecuencia del ADC disponible. A su vez, se seleccionaron circuitos de acondicionamiento de señal, como amplificadores y filtros, para garantizar mediciones precisas y una correcta captura de la señal de interés.

Se definió el método de representación y visualización de los datos del espectro. Se optó por un formato de salida que combina gráficos en tiempo real y tablas de valores para facilitar la interpretación de los resultados. La señal de video se emite a través del puerto HDMI y se controla utilizando las librerías proporcionadas por Digilent, el fabricante de nuestra placa, junto con la herramienta de programación, simulación, síntesis y depuración llamada Vivado.

El programa responsable de capturar los datos y generar las representaciones gráficas será gestionado por el procesador Cortex A9 (SoC) que se encuentra en la placa de desarrollo. Este procesador se programará utilizando una versión adaptada de Linux (Ubuntu 20.04) diseñada para este tipo de aplicaciones, conocida como Petalinux. Además, se realizarán modificaciones en esta versión de Linux para cumplir con nuestros requisitos específicos. Finalmente, se desarrollará el software necesario para la generación de las representaciones gráficas, que se ejecutará en el sistema operativo.

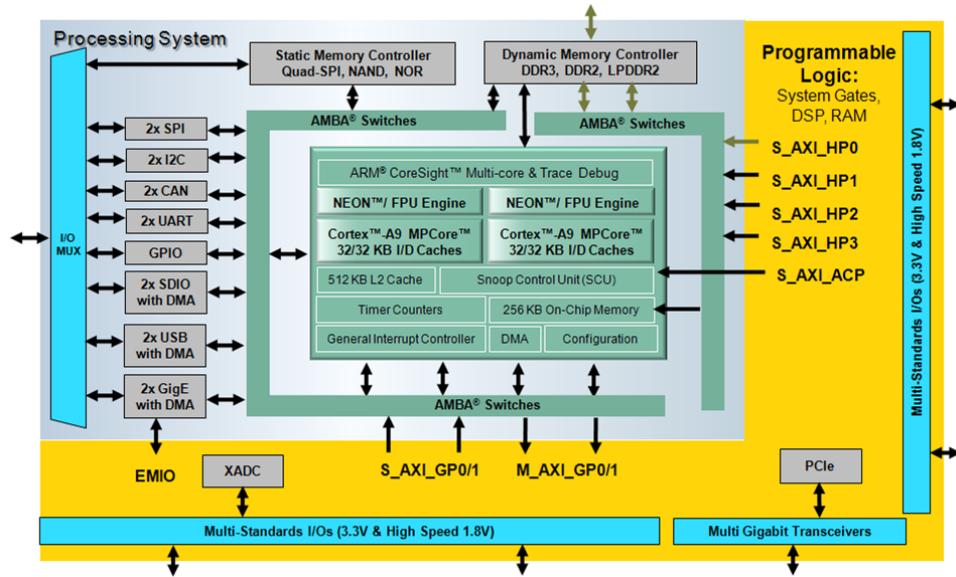


Figura 7: Zynq SoC Block Diagram

Fuente: System on a Programmable Chip (SoPC) - Workshop by Cristian Sisterna - UTN FRP

Se realizaron estudios exhaustivos de las normas y regulaciones aplicables en nuestra región y en el resto del mundo. Se analizaron los estándares técnicos y se identificaron los requisitos relacionados con la potencia, la emisión de radiofrecuencia y la interferencia electromagnética. Se optó que, momentáneamente, el diseño del analizador de espectro no se ajuste a estas normas debido a que el enfoque final no es el de comercialización, pero se tienen en cuenta para futuras aplicaciones.

A continuación, se mencionan algunas de las normas relevantes que se tuvieron en cuenta:

Electromagnetic Compatibility (EMC) Directive:

EN 55011: 1998 clase A: Emisiones conducidas y radiadas

EN 61000-3-2: 2000: Armónicos de corriente

EN 61000-3-3: 1995: Fluctuación de voltaje

EN 61000-4-2: 1995+A1:1998: Descarga electrostática

EN 61000-4-3: 1996+A1:1998: Inmunidad radiada

EN 61000-4-4: 1995: Transitorios eléctricos rápidos

EN 61000-4-5: 1995: Inmunidad a sobretensiones

EN 61000-4-6: 1996: Susceptibilidad conducida

EN 61000-4-8: 1993: Campo magnético de frecuencia de alimentación

EN 61000-4-11: 1994: Caídas/Interrupciones de voltaje

Instituto de Ingenieros Eléctricos y Electrónicos (IEEE):

IEEE 802.11

Esta norma se refiere a los estándares de redes inalámbricas, como Wi-Fi. Se tuvieron en cuenta los requisitos de esta norma para asegurar una adecuada detección y análisis de señales Wi-Fi en el espectro.

IEEE 802.15.4

Esta norma establece los estándares para redes de área personal de baja potencia y corto alcance, como Zigbee. Se consideraron los requisitos de esta norma para garantizar la capacidad del analizador de espectro de detectar y analizar señales Zigbee y otras redes de área personal similares.

Comisión Electrotécnica Internacional (IEC):***IEC 61000-6-3***

Esta norma se refiere a la compatibilidad electromagnética de equipos y sistemas en entornos residenciales, comerciales y de industria ligera. Se tuvieron en cuenta los límites y requisitos de esta norma para garantizar que el analizador de espectro no emita interferencias electromagnéticas dañinas y sea inmune a interferencias externas.

IEC 61000-6-4

Esta norma se relaciona con la compatibilidad electromagnética de equipos y sistemas en entornos industriales. Se consideraron los requisitos de esta norma para asegurar que el analizador de espectro sea capaz de operar de manera confiable en entornos industriales con niveles de interferencia electromagnética más altos.

Comisión Federal de Comunicaciones (FCC):***Parte 15 de las regulaciones de la FCC***

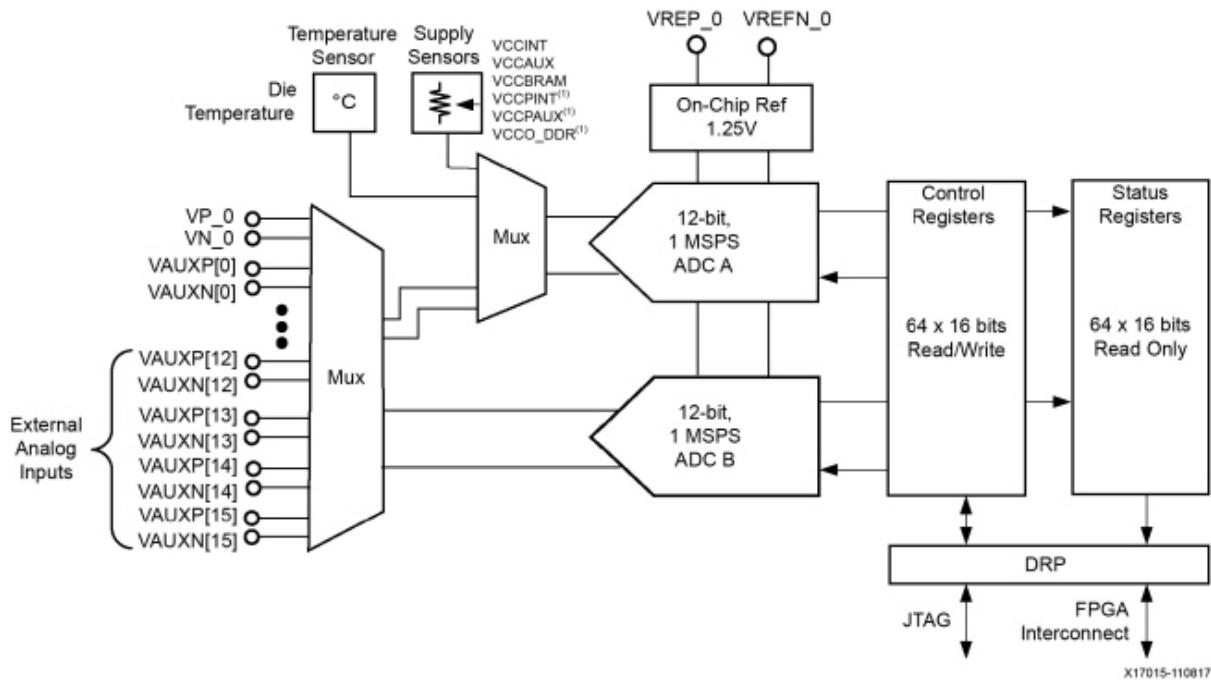
Esta parte se refiere a los dispositivos de radiocomunicación de baja potencia y las restricciones de emisión de radiofrecuencia. Se tuvieron en cuenta los límites de emisión y los requisitos de certificación de la FCC para garantizar que el analizador de espectro cumpla con las regulaciones de emisión de radiofrecuencia y no cause interferencias perjudiciales en otras comunicaciones.

Diseño de la etapa de adquisición de señales

Valoracion de entradas analogicas

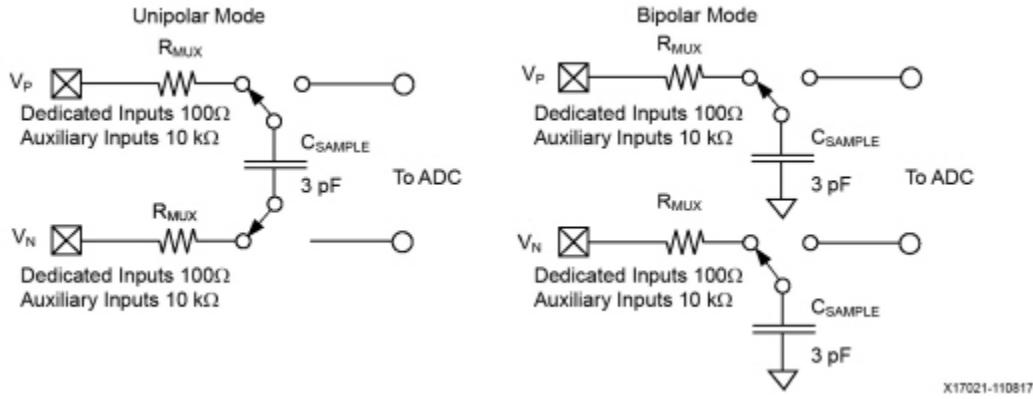
Para el diseño de una etapa capaz de adecuar correctamente la señal a medir debemos considerar previamente las características de las entradas analógicas del dispositivo.

El XADC forma parte del chip Zynq-7000 presente en la placa Zedboard, es un convertidor analógico-digital de doble precisión de 12 bits que acepta como entrada un rango de 1 voltio. Por lo tanto, el error de conversión (diferencia máxima de voltaje que no cambiará ningún bit) es de aproximadamente $\Delta V \approx 0.25$ mV. La frecuencia de muestreo es de 1 MHz, lo que significa 1 μ s por muestra en teoría, aunque en la práctica esto sólo se alcanza bajo condiciones especiales.



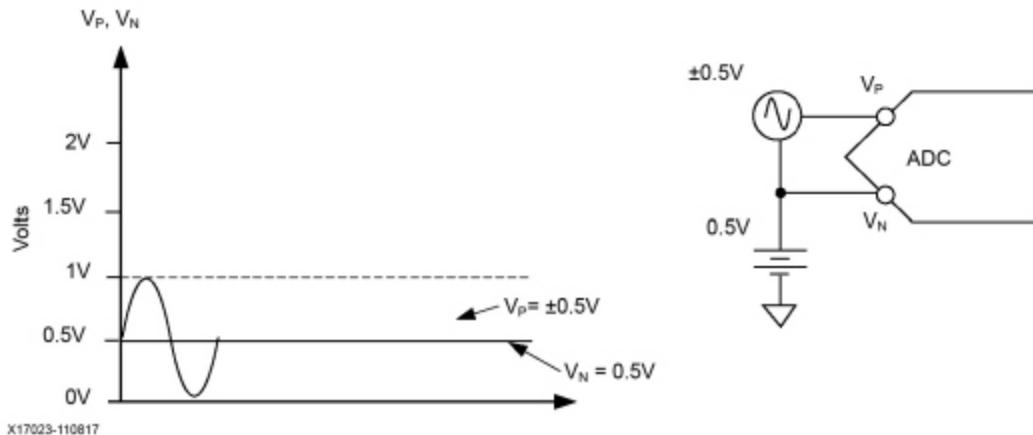
Los canales disponibles son las entradas analógicas dedicadas (VP/VN) y 16 entradas analógicas auxiliares (AUXP1/AUXN1 - AUXP16/AUXN16). La principal diferencia entre los canales dedicados y auxiliares radica en la resistencia presente entre los pines de entrada y el

condensador de muestreo. El par dedicado VP/VN tiene $100\ \Omega$, mientras que los canales auxiliares tienen $10\ k\Omega$. Esto significa que el par dedicado es aproximadamente 100 veces más rápido que las entradas auxiliares desde el punto de vista del tiempo de adquisición



Cada canal corresponde a un par de entradas, y el XADC toma señales que son diferenciales, siendo el resultado de la conversión la diferencia entre los dos canales. Esto es útil ya que cancela cualquier ruido que sea común a las dos entradas. Todos los canales se pueden configurar en modo unipolar (aunque siguen siendo diferenciales) o modo bipolar. En modo unipolar, la diferencia P-N entre los dos polos debe estar en el rango $[0, 1]$ V, mientras que el voltaje de modo común (con respecto a la tierra del XADC, GNDADC) debe estar entre 0 V y 0.5 V. El modo bipolar admite $P-N \in [-0.5, 0.5]$ V con la misma restricción de voltaje de modo común. Las entradas analógicas pueden acomodar señales de entrada positivas y negativas con respecto a un modo común o referencia.

Todas las tensiones de entrada deben ser positivas con respecto a la tierra analógica (GNDADC). Cuando se habilita la operación bipolar, la entrada analógica diferencial ($VP - VN$) puede tener un rango de entrada máximo de $\pm 0.5V$. En este caso, el voltaje de modo común o de referencia no debe exceder 0.5V.

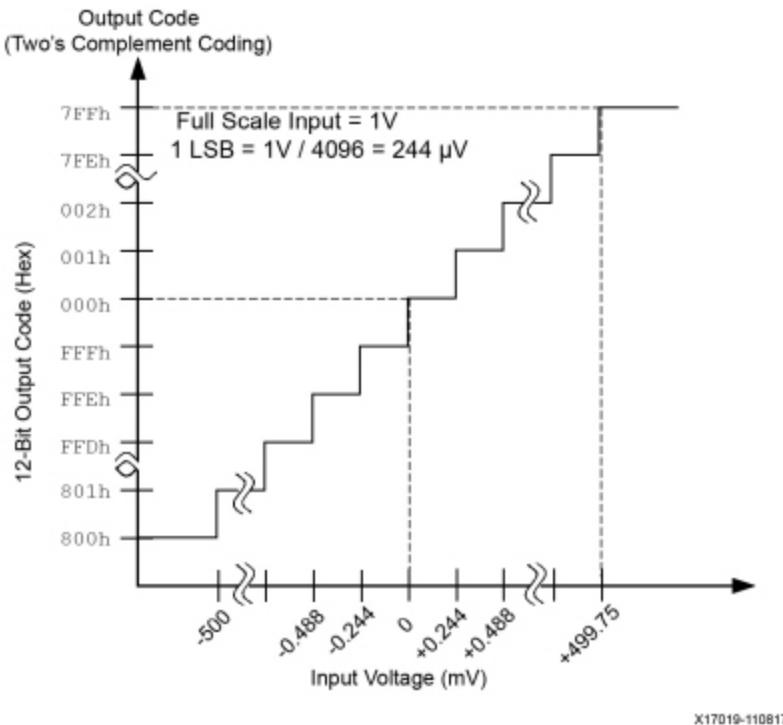


Condiciones límites de entrada

Respecto a los valores de sobretensión y baja tensión límites, estos pueden exceder VCCADC (1,8V) o caer por debajo de GNDADC en hasta 100 mV sin dañar el XADC. Para limitar la corriente a 1,0 mA, se debe colocar una resistencia limitadora de corriente de al menos 100 Ω en serie con las entradas analógicas.

La codificación de salida del ADC en modo bipolar es en complemento a dos y tiene la intención de indicar el signo de la señal de entrada en VP en relación con VN. Las transiciones de códigos diseñadas ocurren en valores sucesivos de LSB enteros, es decir, un LSB, dos LSB, tres LSB, etc. El tamaño del LSB en voltios es igual a $1V/2^{12}$ o $1V/4096 = 244 \mu V$.

Si se excede el rango de entrada analógica (1V), el código de salida del ADC se recorta en el código de salida máximo. Los voltajes de entrada negativos se recortan en el código cero.



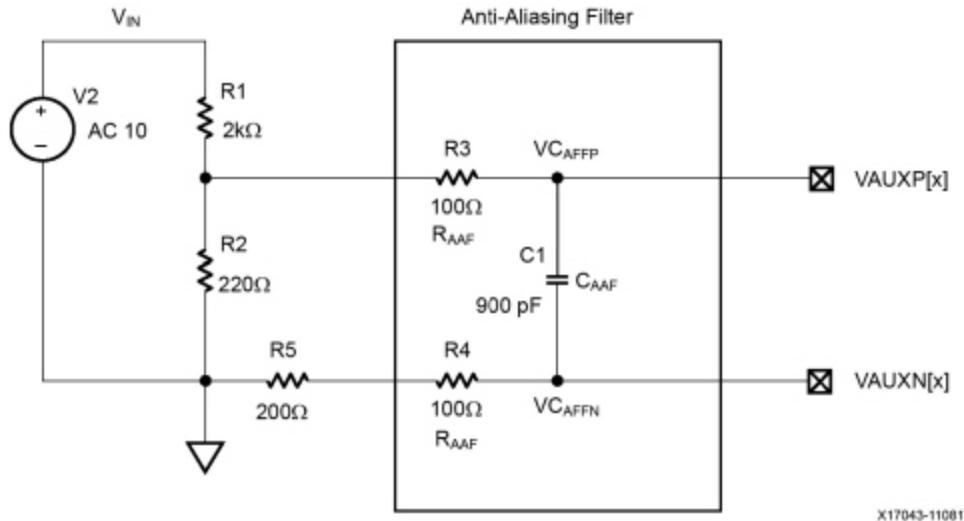
X17019-110817

Filtros Anti-Aliasing

El sensor puede estar ubicado a distancia del paquete siempre que las trazas de entrada diferenciales estén acopladas de cerca. El filtro anti-aliasing atenúa los componentes de señal de alta frecuencia que ingresan al ADC, donde podrían ser muestreados erróneamente dando lugar a aliasing, corrompiendo las mediciones del ADC. Esta red de filtro se conoce comúnmente como filtro anti-aliasing y debe colocarse lo más cerca posible de los pines del paquete.

Acondicionamiento de la señal

Las entradas analógicas son entradas diferenciales de alta impedancia debido a esto la impedancia de entrada en CA se determina típicamente por los valores de salida de la circuitería de conducción u otros componentes externos. La siguiente figura ilustra una red simple de divisores de resistencia que se utiliza para monitorizar una línea de suministro externa de 2.5V en modo de entrada unipolar.



El tiempo de establecimiento del filtro antialiasing para este ejemplo se determina mediante la siguiente ecuación. Con una resolución de 12 bits, los componentes del ejemplo resultan en un tiempo de establecimiento de 4,9 microsegundos, ligeramente más rápido que 200 Ks/s.

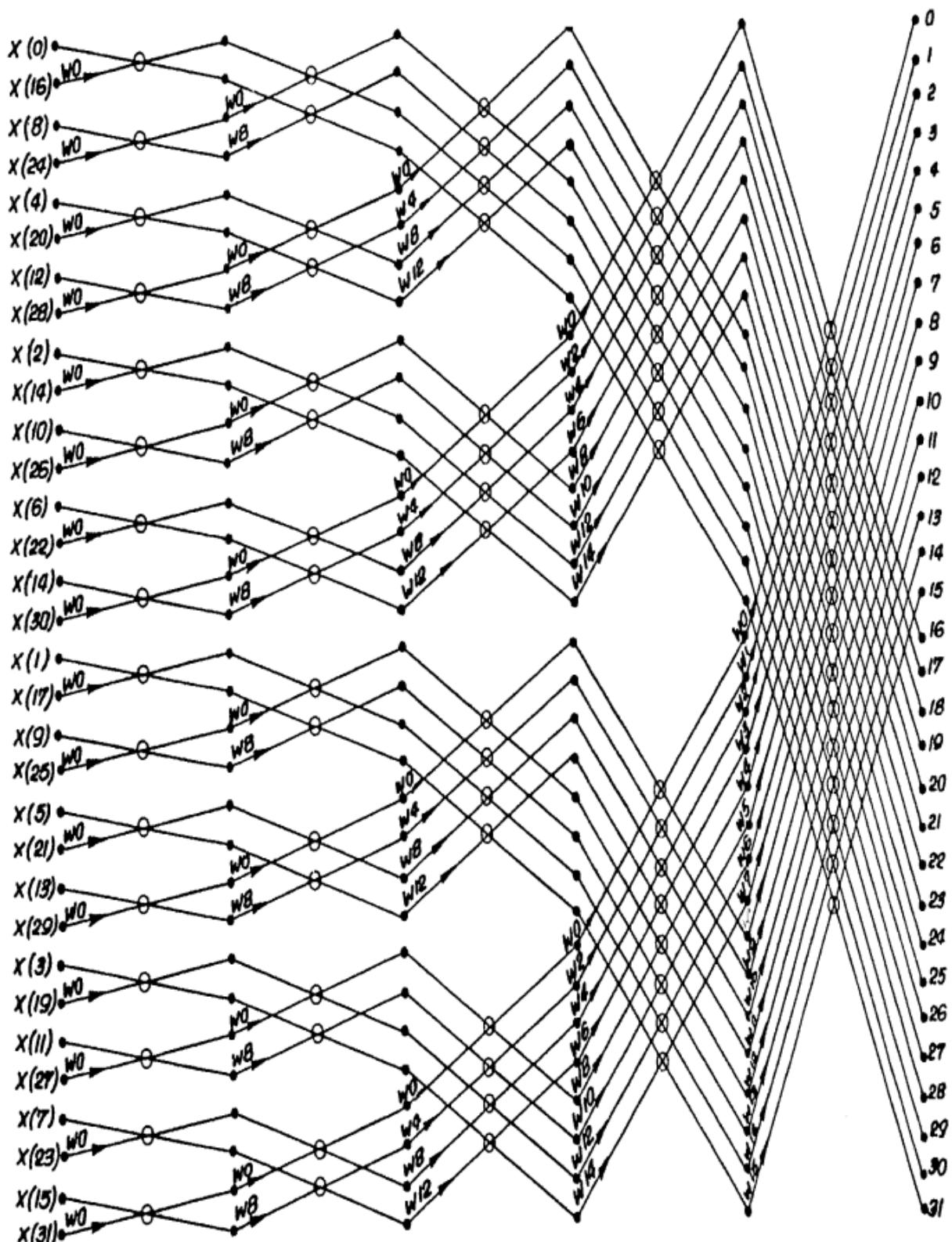
$$T_{settling} = \ln(2^{resolution+1}) \times \left(\frac{R1 \times R2}{R1 + R2} + R3 + R4 + R5 \right) \times C1 = 4.9 \times 10^{-6} [s]$$

Diseño de la etapa de procesamiento digital

Para implementar una FFT en tiempo real en una FPGA, se utilizará la técnica de FFT de decimación en el tiempo (DIT) basada en el algoritmo de Cooley-Tukey, que es conocida por su rapidez y eficiencia en el cálculo de la transformada. En esta técnica, se divide la señal de entrada en subconjuntos cada vez más pequeños, y se calculan las transformadas de cada uno de ellos, para luego combinarlas mediante una serie de operaciones de mariposa en orden inverso.

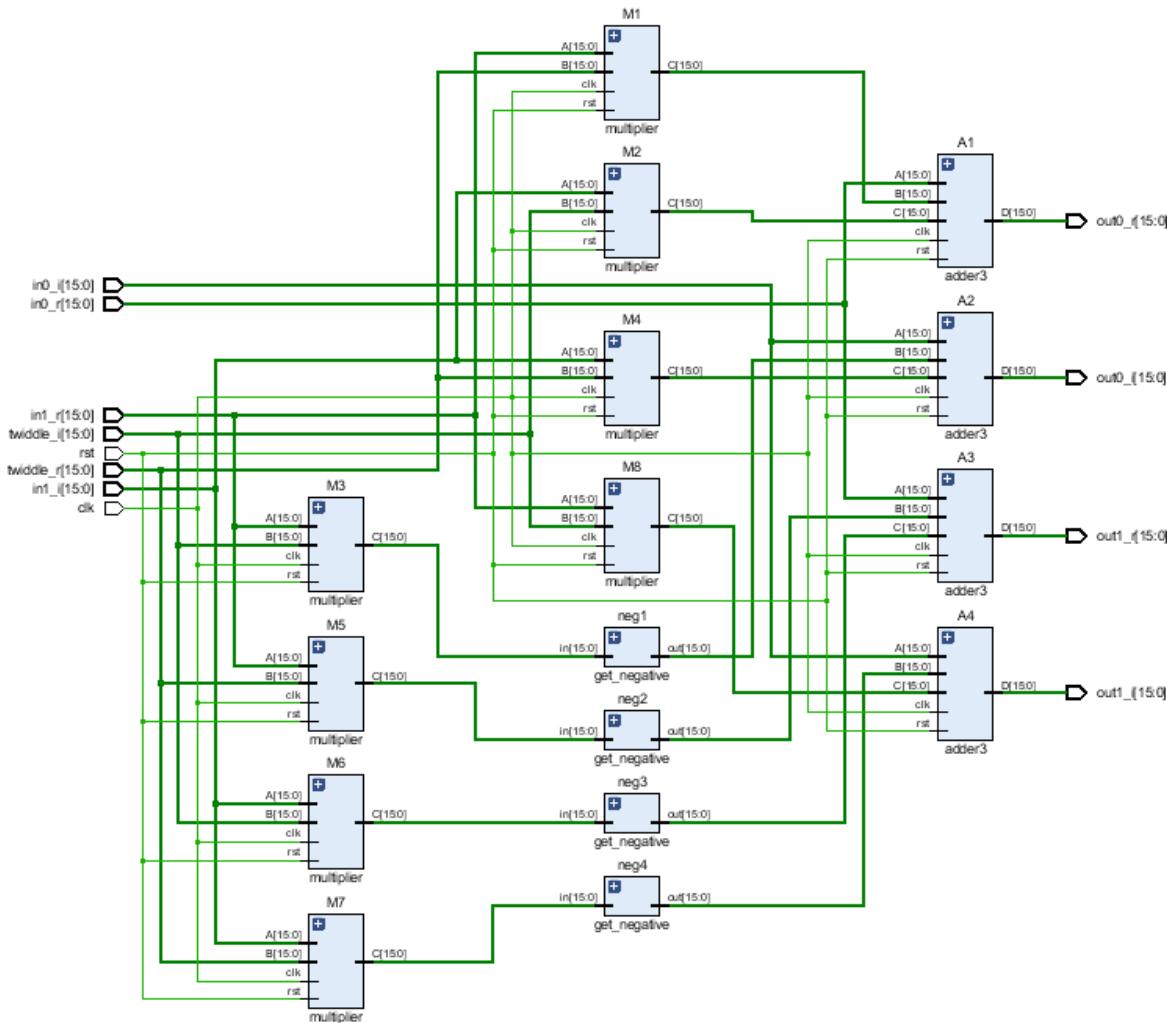
Para reducir el consumo de recursos, se utilizará la técnica de pipelining, que divide el procesamiento en una serie de etapas en paralelo. De esta manera, se pueden procesar los datos de entrada más rápidamente y, por lo tanto, aumentar la velocidad de procesamiento sin aumentar la complejidad del hardware. La técnica de pipelining se adapta muy bien a la estructura de tubería de FFT de decimación en el tiempo, lo que permite lograr un alto rendimiento con una alta eficiencia de recursos.

En general, la combinación de la técnica de FFT de decimación en el tiempo y la técnica de pipelining puede ser muy efectiva para implementar una FFT en tiempo real en una FPGA, logrando una alta velocidad de procesamiento con un consumo de recursos razonable. Sin embargo, es importante tener en cuenta que la elección de las técnicas de optimización dependerá de las especificaciones y requisitos del sistema, y puede ser necesario realizar experimentos y evaluaciones para determinar la mejor combinación de técnicas para una implementación específica.



MAC

La unidad MAC está compuesta por ocho multiplicadores, cuatro sumadores y cuatro registros de complemento a dos. El diseño de la unidad MAC, que llamamos "butterfly2" en nuestro diseño, tiene 8 entradas (parte real e imaginaria de la entrada 1 y la entrada 2, parte real e imaginaria de la fase 1 y la fase 2) y 4 salidas (parte real e imaginaria de la salida 1 y la salida 2).

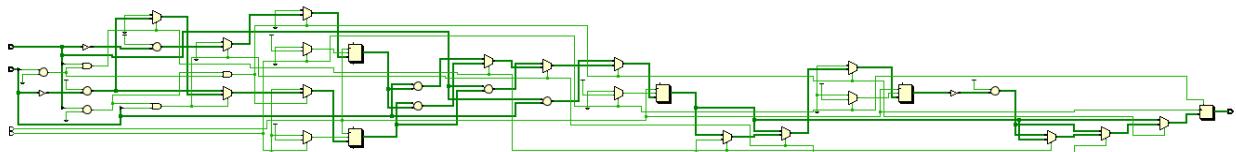


Complemento a dos

La función de esta etapa es simplemente obtener el complemento a dos del número en punto fijo, en lugar de realizar bloques de restas.

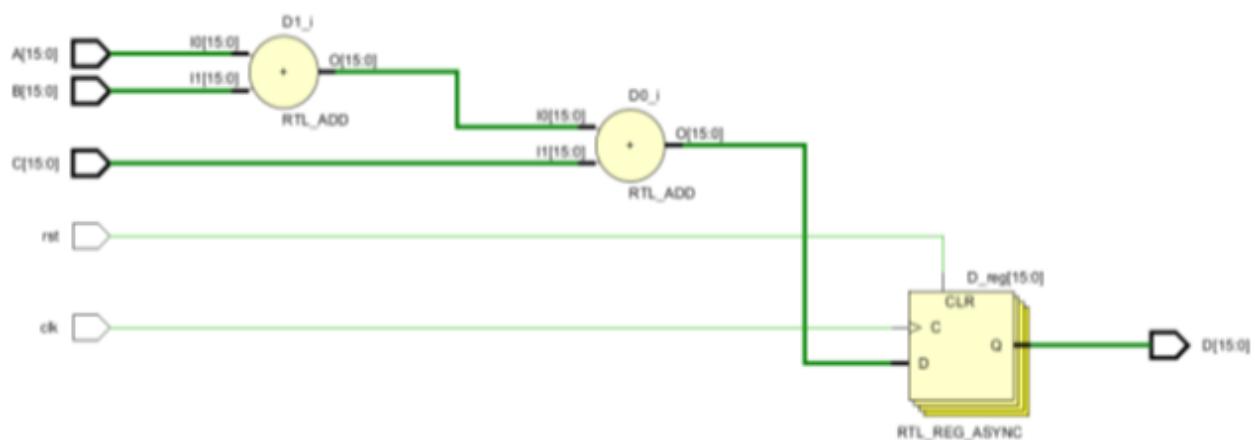
Multiplicador

El multiplicador está diseñado para una operación de punto fijo. La idea del multiplicador es que funciona para dos números de punto fijo positivos, por lo que es necesario asegurarse de que los dos multiplicandos sean positivos para obtener la respuesta correcta. Por lo tanto, si uno o ambos de los inputs son números de punto fijo negativos, primero es necesario tomar el complemento a dos de ellos, luego aplicar la multiplicación y, dependiendo de los inputs, decidir la forma de la salida, que puede ser el complemento a dos o un valor de punto fijo positivo.



Sumador

El diseño del sumador es muy simple, se necesita sumar tres números juntos, por lo que se suman dos de ellos y luego se toma el resultado y se suma con el tercero, y se coloca en el registro sincronizado con una frecuencia de reloj de 50 MHz.



Registros

Los registros son necesarios para guardar las salidas después de cada etapa, ya que logramos el concepto de la canalización colocando 2 conjuntos de registros, uno en la etapa de entrada y otro en la etapa de salida. Cada conjunto de registros tiene un tamaño de 32 registros \times 2 (real o imaginario) \times 8 bits = $32 \times 2 \times 8$ registros, y funcionan con una frecuencia de reloj de 10 MHz. Esto nos permite ingresar la entrada y obtener la salida cada 100 ns.

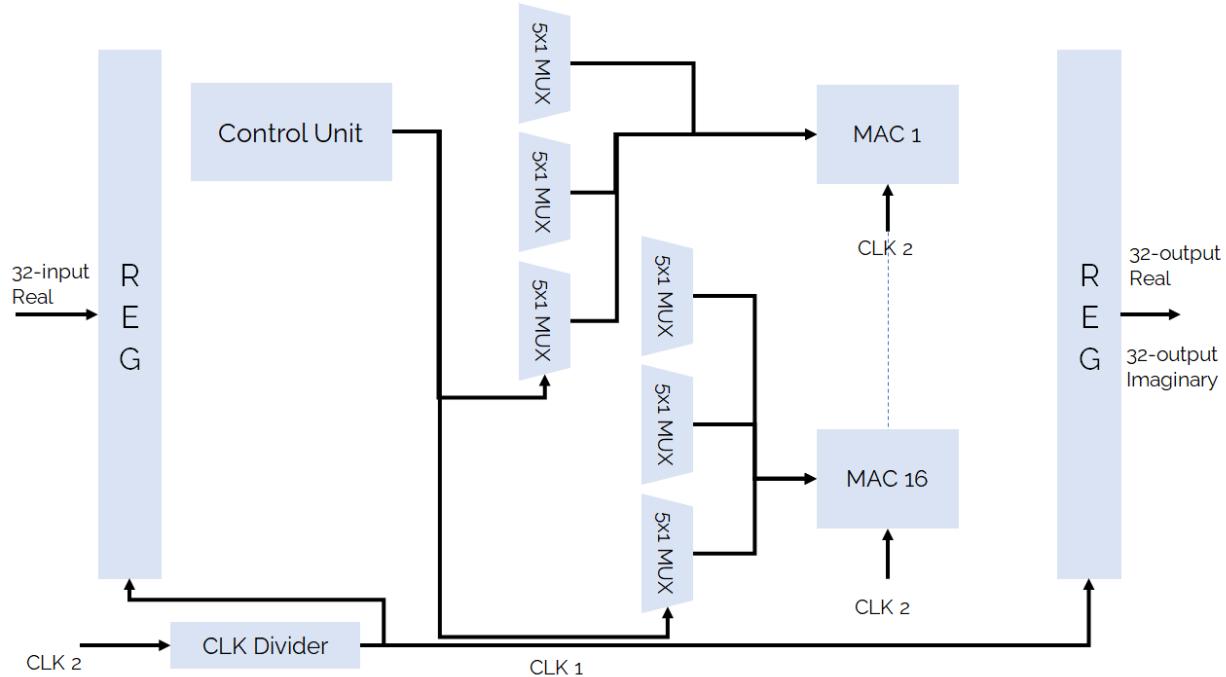
Multiplexores

Se utilizará un multiplexor (MUX) en el segundo enfoque, ya que utilizamos multiplexores para seleccionar qué entradas de la etapa ingresarán a 16 circuitos MAC para lograr el concepto de multiplexación en el tiempo y producir la salida. En el segundo enfoque, usaremos 16 circuitos MAC solamente para cubrir todas las 5 etapas, mientras que en el primer enfoque usamos 16 circuitos MAC en cada etapa. Y en la implementación de multiplexación en el tiempo, el MUX elegirá entre $M = 5$ buses, cada uno de tamaño $32 \times 2 \times 8$, con una selección de contador que se reinicia después de alcanzar el contador #5 mediante la unidad de control.

Diagrama en bloques

El hardware utilizado en este enfoque consta de 16 unidades MAC, 2 conjuntos de registros, un multiplexor (MUX) que elige qué entradas se cargarán en este ciclo y una unidad de control para seleccionar las líneas de selección de los multiplexores. Cada unidad MAC opera a 50 MHz y el reloj de la canalización a 10 MHz, por lo que podemos realizar 5 operaciones de la unidad MAC hasta que entren nuevas entradas. Podemos utilizar el concepto de multiplexación en el tiempo para operar 16 unidades MAC y atender las 5 etapas del algoritmo, lo que requiere 5 ciclos de

reloj a 50 MHz para obtener una salida FFT para una entrada específica. Por lo tanto, podríamos reducir la utilización del hardware.



Cuando las entradas ingresan, pasarán al Registro 1 con un reloj de 10 MHz, luego se elegirán mediante el multiplexor (MUX) y luego pasarán a través de las unidades MAC. Las salidas de estas unidades MAC pasarán a través de los multiplexores y se elegirán según la etapa en la que se esté operando en ese momento. Esto se repetirá hasta llegar a la etapa final y la salida pasará a través del Registro 2 para ser guardada.

Diseño de la etapa representación gráfica

La representación gráfica de nuestro sistema se basa en un árbol de condiciones que compara la banda y la magnitud de nuestra Transformada Rápida de Fourier (FFT) con los contadores de las coordenadas x e y del bloque HDMI. Posteriormente, se determina el color deseado del píxel que se mostrará en la pantalla.

Integración y pruebas

Durante la fase final de nuestro proyecto, nos sumergimos en la compleja tarea de la integración y el riguroso proceso de pruebas de nuestro sistema. Este período nos confrontó con una serie de desafíos técnicos, y también nos proporcionó información invaluable que contribuyó significativamente a nuestro estudio y desarrollo.

El primer desafío que enfrentamos fue la integración del XADC (Convertidor Analógico-Digital de Canales Múltiples) con el módulo FFT (Transformada Rápida de Fourier). Esta tarea requería una meticulosa adaptación del ancho de cada muestra y su respectiva cuantización, para asegurar una sincronización perfecta entre ambos componentes. Además, dado que se necesitaban un total de 32 muestras iniciales para que el sistema pudiera procesar eficazmente los datos, tuvimos que desarrollar una lógica de almacenamiento que permitiera retener estas muestras hasta que se alcanzara el número requerido.

El siguiente gran desafío en nuestro camino hacia la finalización del proyecto fue la integración del bloque de representación HDMI. Esto no solo implicó la integración técnica del hardware, sino también la creación de una lógica de control que permitiera la interacción con una interfaz gráfica intuitiva. Esta interfaz gráfica desempeñaría un papel esencial al proporcionar al usuario final la capacidad de visualizar los resultados de manera clara y efectiva.

Resultados

Resultado 1

Se llevó a cabo un estudio exhaustivo del dispositivo, analizando los diferentes parámetros y funciones esenciales que debe tener un analizador de espectro. Además, se realizó una comparación detallada con otros equipos disponibles en el mercado, investigando sus características y los tipos de algoritmos internos necesarios para el procesamiento de las señales. También se realizó una evaluación inicial para determinar cuál es el más adecuado para nuestro caso específico.

Resultado 2

Se elaboró un detallado esquema de trabajo que sirvió como guía para el diseño y desarrollo de nuestro dispositivo de medición a lo largo del año. Este plan contempló los principales aspectos a considerar, incluyendo los requerimientos técnicos y los recursos necesarios. Con este esquema, logramos una gestión eficiente del proyecto y alcanzamos los objetivos propuestos en el tiempo establecido.

Resultado 3

Se diseñó la arquitectura del analizador de espectro a través de un análisis detallado de los componentes necesarios y la selección óptima de los mismos. Se investigó y seleccionó un convertidor analógico-digital (ADC) de 12 bits con una frecuencia de muestreo de hasta 1 MSPS que se utilizó para la adquisición de señales.

Además, se llevó a cabo una investigación exhaustiva sobre los procesadores digitales de señal (DSP) y las unidades lógicas de procesamiento en FPGA disponibles en nuestra placa de

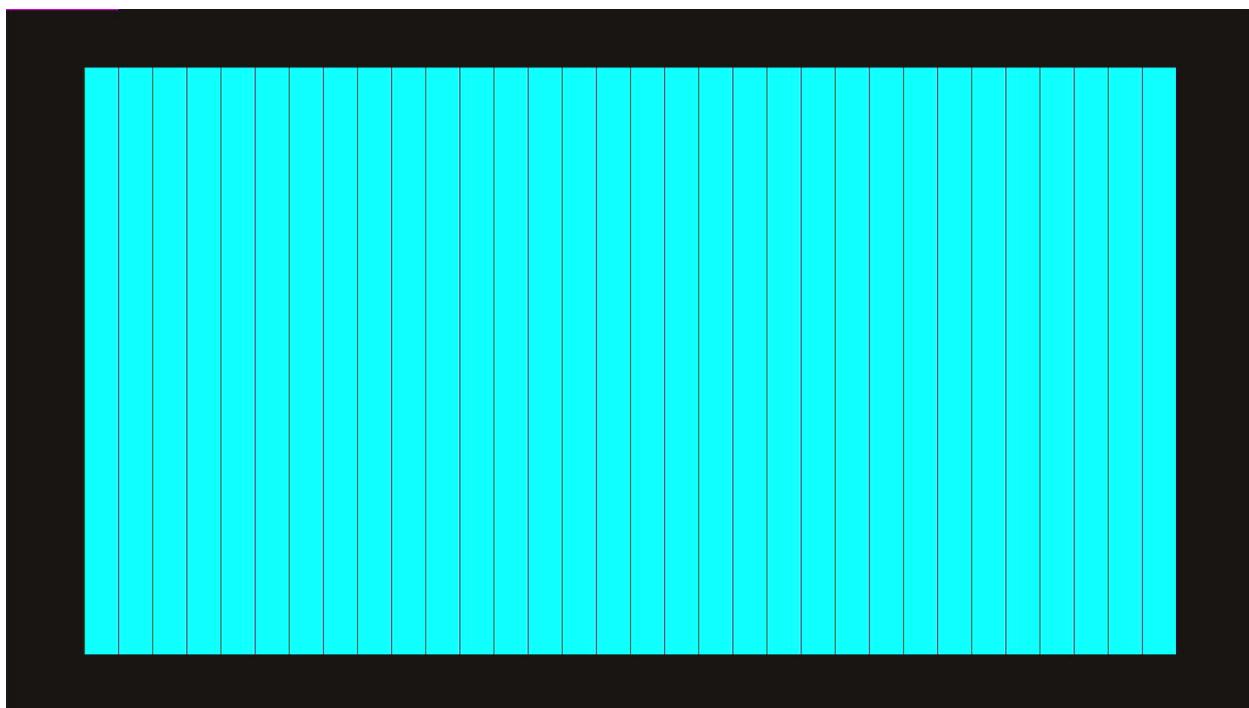
desarrollo. Se optimizó la arquitectura del procesador para asegurar un rendimiento eficiente en las operaciones requeridas para el análisis espectral en tiempo real.

Resultado 4

Se realizó un estudio exhaustivo de las normas y regulaciones aplicables, como el IEEE 802.11, IEEE 802.15.4, IEC 61000-6-3, IEC 61000-6-4 y la Parte 15 de las regulaciones de la FCC. Aunque el diseño actual del analizador de espectro no cumplía completamente con estas normas, se tuvieron en cuenta para futuras aplicaciones y se garantizó que el dispositivo cumpliera con los requisitos de emisión de radiofrecuencia y fuera inmune a interferencias electromagnéticas perjudiciales.

Resultado 5

Se realizó el diseño de la lógica de condicionales que permitió la generación gráfica a través del puerto HDMI, obteniendo el siguiente resultado de las 32 bandas:



Resultado 6

Se completó la integración y síntesis de todos los módulos de nuestro sistema, que abarcan los siguientes bloques clave:

CLK: Este módulo se encarga de la gestión del reloj interno de nuestra placa, permitiendo su distribución a los diversos módulos diseñados.

XADC: Este módulo es responsable de la adquisición de muestras analógicas y su posterior conversión a valores digitales.

CONTROL_BUFFER_IN: Este módulo se encarga de controlar, almacenar y gestionar las muestras de entrada de manera eficiente.

FFT: El módulo FFT se encarga del procesamiento y cálculo de la Transformada Rápida de Fourier (FFT) para un conjunto de 32 muestras.

CONTROL_BUFFER_OUT: Este módulo se dedica a controlar, almacenar y gestionar las muestras de salida de manera eficiente.

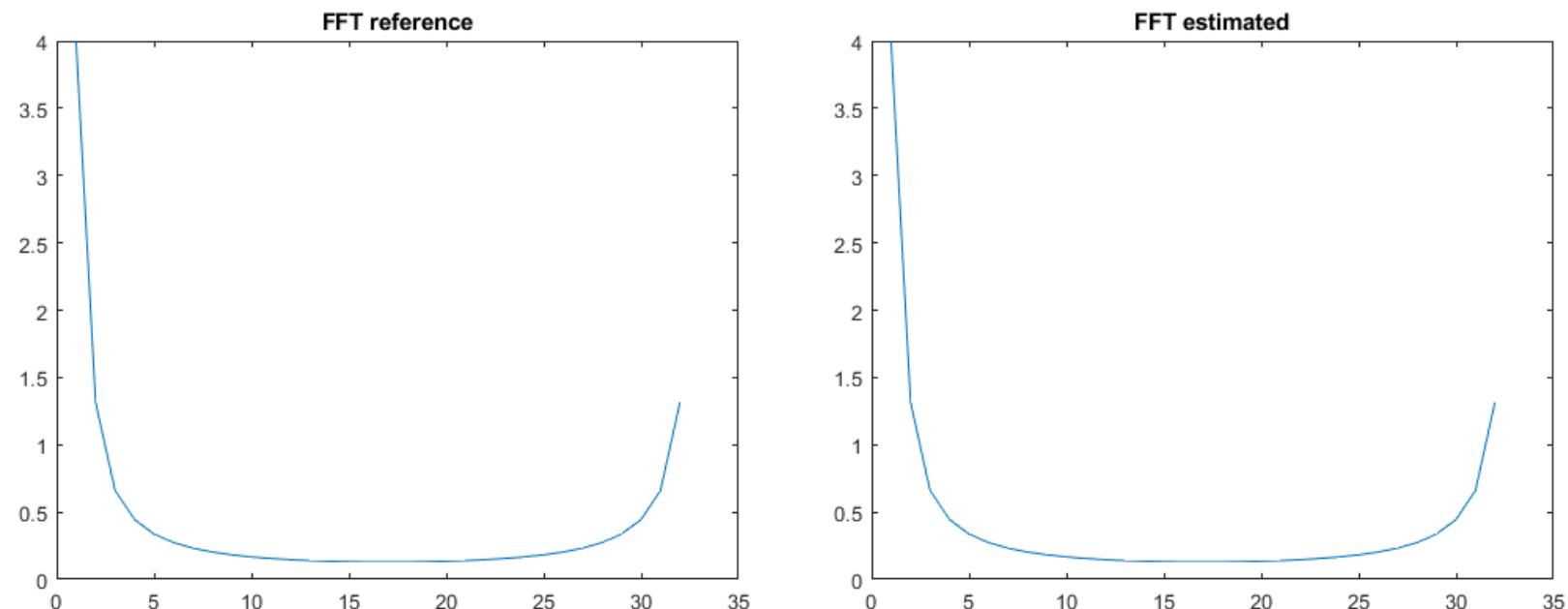
HDMI: El módulo HDMI está diseñado para la gestión del puerto HDMI y la representación gráfica de los resultados obtenidos, facilitando la visualización de los datos de manera efectiva.

Resultado 7

Al momento de implementar nuestro diseño en la placa de desarrollo nos encontramos con el siguiente inconveniente:

Hemos notado que la cantidad de recursos requeridos es considerablemente mayor de lo inicialmente previsto, superando además la capacidad de recursos disponible en nuestra arquitectura. Esta limitación de recursos ha impedido la implementación física de nuestro sistema.

Sin embargo, no nos hemos detenido aquí y hemos llevado a cabo una simulación exhaustiva de todo el sistema. Como se muestra en las siguientes figuras, se compararon los resultados de la función incorporada fft en Octave con los valores estimados por el algoritmo para una muestra aleatoria de datos.



Discusión y conclusiones

En resumen, la transformada de Fourier y su versión computacional, la FFT, son herramientas matemáticas fundamentales en el análisis de señales en el dominio de la frecuencia. Los analizadores de espectro modernos utilizan la FFT para descomponer una señal en sus componentes de frecuencia y mostrar el espectro de frecuencia en tiempo real, lo que los convierte en herramientas indispensables para el análisis de señales de radiofrecuencia, diseño y prueba de circuitos, ingeniería de sonido y redes de fibra óptica. Su uso puede mejorar significativamente la precisión y eficiencia de estos procesos y proporcionar información valiosa sobre el espectro de la señal.

Referencias

- Khan, S. A. (2020). Digital Design of Signal Processing Systems: A Practical Approach. Wiley.
- Pola, A. (2022). Diseño Digital Avanzado [Posgrado]. Fundación Fulgor.
- Synopsys. (2023). Diseño Digital Avanzado. [Curso Avanzado] EAMTA 2023, Córdoba, Argentina.
- Oppenheim, A. V., & Willsky, A. S. (1998). Señales y sistemas. Prentice-Hall Hispanoamericana.
- Cappelletti, C. A., & Yarce, G. (2022). Teoría de los circuitos II [Apuntes de cátedra]. UTN Facultad Regional Paraná, Departamento de Ingeniería Electrónica.
- IEEE 802.11: IEEE. IEEE Standard 802.11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications.
- IEC 61000-6-3: IEC. IEC 61000-6-3: Electromagnetic Compatibility - Generic Standards - Emission Standard for Residential, Commercial, and Light-Industrial Environments.
- Parte 15 de las regulaciones de la FCC: FCC. Code of Federal Regulations Title 47, Part 15: Radio Frequency Devices.