基于QT C/C++或基本matlab或FPGA语言(任选一种)，理解并实现matlab的pwelch函数功能

图形用户界面

AI 生成的内容可能不正确。

图形用户界面, 应用程序

AI 生成的内容可能不正确。

使用matlab仿真DVB-S2X中256APSK在AWGN信道下的性能

图形用户界面

AI 生成的内容可能不正确。

使用VHDL语言实现DVB-S2X中256APSK的硬判决模块。要求输入时钟200MHz，信号连续分块输入

输入接口：

时钟

复位

I/Q数据各16位

数据有效或使能信号

星座映射模式

输出：

判决实部和虚部

数据有效或使能信号

输入为16位有符号的I/Q信号（i\_data和q\_data），代表接收到的调制信号采样值。data\_valid信号标记输入数据有效，constellation\_mode选择星座映射模式，时钟频率200MHz，每个周期可接收一组I/Q数据。计算输入信号的幅度平方（I² + Q²），通过比较预设阈值确定信号属于哪个环

文本

AI 生成的内容可能不正确。

在相位计算阶段，首先通过arctan(Q/I)计算出输入信号的相位角度（0~360度），然后根据当前环的点数（内环32点、中环96点、外环128点）将相位映射为对应的扇区编号。最终输出8位phase\_sector作为扇区索引，其值范围分别为0-31（内环）、0-95（中环）或0-127（外环）。

基于VHDL的某滤波器FPGA设计实现

Musig\_uplink\_tx\_module\_signaling\_srrc.vhd是实验室项目中使用的一个发端4xSRRC滤波器程序，有效数据为每一个BPSK数据后插入三个零，并按照一定占空比要求输入，要求：

1.解读程序，回答以下问题：对应的滤波器系数？程序支持的占空比格式是多少？

constant filter\_coef : ARRAY16(14 downto 0) := (x"007F",x"FD99",x"FAFA",x"FC9A",x"0506",x"1288",x"1F36",x"2467",x"1F36",x"1288",x"0506",x"FC9A",x"FAFA",x"FD99",x"007F"); -- srrc 0.5

有效数据是每一个BPSK数据后插入三个零，1/4=25%

每经过15个时钟上升沿，就会使insert\_entet <= '1'，此时会输入一个有效数据，1/16

2.建立其testbench，验证支持的数据范围，截位是否合理

需要验证的最小负数1000\_0000\_0000

最大正数0111\_1111\_1111

确保滤波器输出 data\_out 的位宽严格为12位：data\_out(11 downto 0) = data\_out

验证负数通过滤波器之后符号位仍是负：assert data\_out(11) = '1'，正数通过滤波器之后符号位仍是正： assert data\_out(11) = '0'

3.修改支持更大的滤波器阶数以提高滤波器性能，设计如何尽量通用化

通过设置多种滤波器阶数的系数COEF\_15\_ORDER，COEF\_31\_ORDER，COEF\_63\_ORDER，用get\_filter\_coef来选择不同的滤波器以及对应的索引，设置filter\_counter = FILTER\_ORDER-1来完成一个滤波器的完整的系数乘加，设置了旁路模式，可以将输入数据不经任何处理直接到达输出端。通过设置状态机的四种状态IDLE：空闲状态，等待输入数据，LOADING：数据加载状态（移位寄存器填充），PROCESSING：滤波计算状态（乘加运算），OUTPUT：结果输出状态。

4.FPGA型号为XCVU13P-FHGB2104，采用DSP方式实现相同功能

输入数据30位的dsp\_a、滤波器系数18位dsp\_b，通过OPMODE控制MAC操作来实现先乘后累加的操作，使用四级流水线：数据加载，系数选择，MAC运算，结果输出，结果从dsp\_p得到。

5.思考并实现其他方式，从降低复杂度，提高通用性、提高吞吐率等角度都可以

同时启动15个乘法器（mult\_results数组），在单周期内完成所有滤波器系数与输入数据的乘法运算。三级累加流水线，将15个乘积结果分组为8个部分和，然后加为四组，再加为两组，最后得到最终的结果，每级累加插入寄存器（sum\_stageX）实现流水线，同时传递valid\_stageX信号保证数据有效性，最终输出采用带符号位判断的舍入截位（sum\_final(17:6)+(not(sum\_final(17)) and sum\_final(5))）。