

Министерство образования и науки Российской Федерации
Федеральное агентство по образованию
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Вятский государственный университет»

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Отчет по лабораторной работе №4 дисциплины
«Организация памяти ЭВМ»

Изучение принципов организации кэш-памяти

Вариант 13

Выполнил студент группы ИВТ-31 _____/Крючков И. С./
Проверил _____/Мельцов В. Ю./

Киров 2023

1. Задание

В соответствии с вариантом задания необходимо исследовать алгоритмы работы четырех типов кэш-памяти и используя полученную информацию в контекстно-зависимой помощи, сопровождающей демонстрацию алгоритма работы контроллера кэш-памяти, ответить на четыре вопроса для каждого задания (типа кэш-памяти):

- тип распределения кэш-памяти (прямое, полностью ассоциативное, частично-ассоциативное или секторное);
- организация блоков памяти процессора (ОП, СОЗУ данных кэш-памяти с расслоение обращений либо без), а также интерфейса связи ОП с процессором;
- стратегия обновления ОП, используемая в данной кэш-памяти;
- стратегия замещения кэш-памяти.

2. Ход работы

2.1. Задание 1

Экранная форма первого задания представлена на рисунке 1.

Граф-схема алгоритма работы контроллера кэш-памяти представлена на рисунках 2-3.

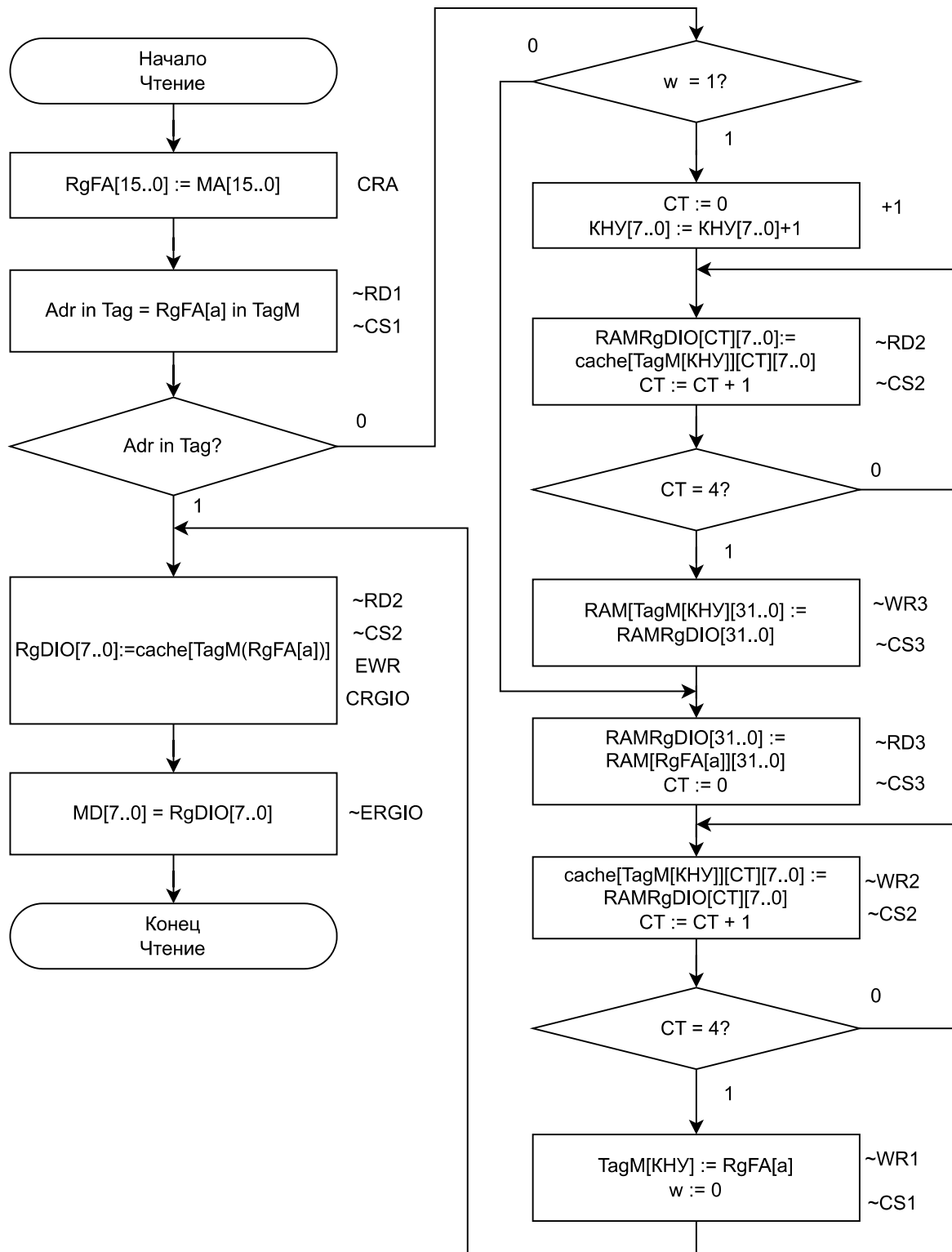


Рисунок 2 – ГСА работы контроллера кэш-памяти при чтении

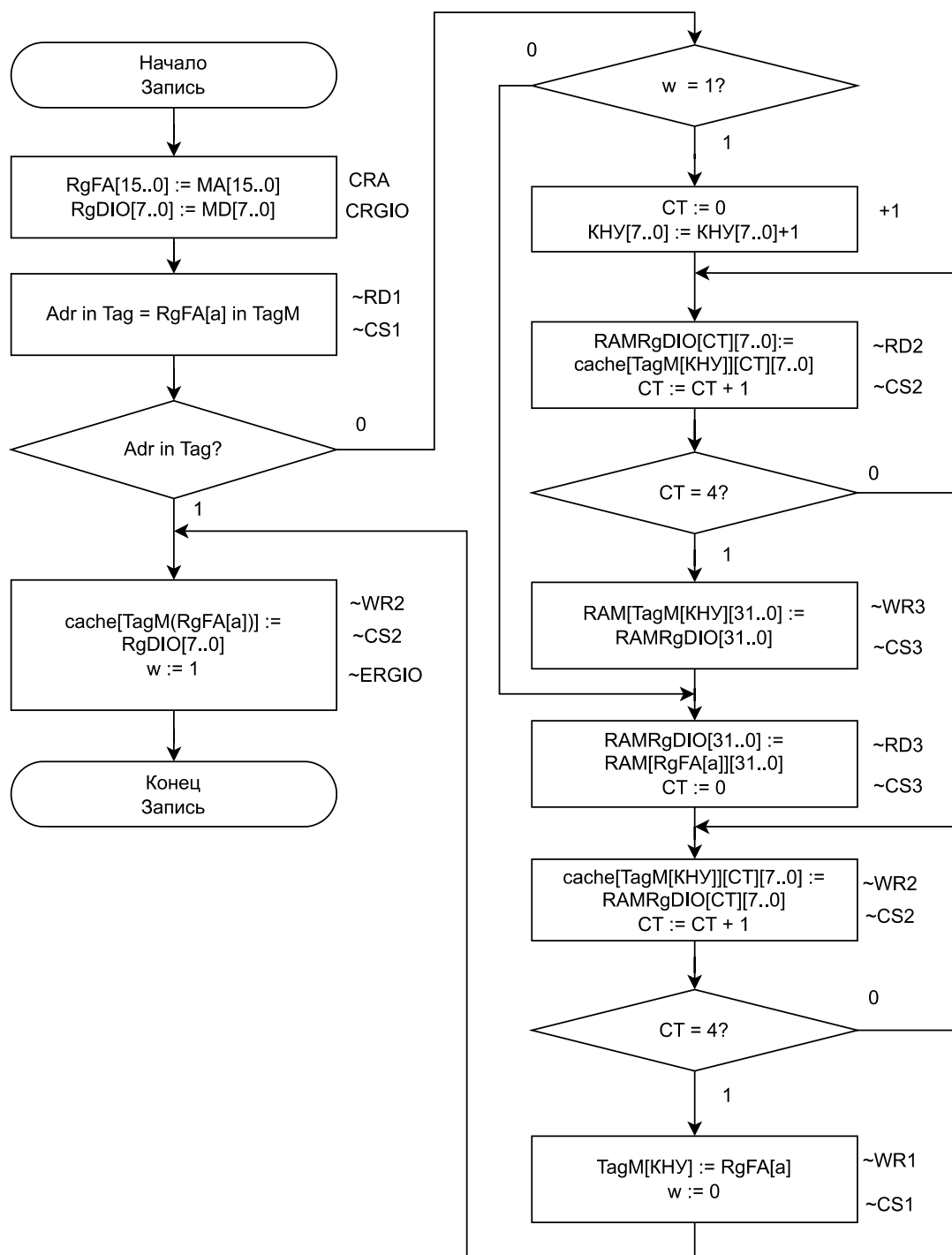


Рисунок 3 – ГСА работы контроллера кэш-памяти при записи

2.2. Задание 2

Экранная форма второго задания представлена на рисунке 4.

The screenshot displays a software interface for configuring a memory system. The top part features a menu bar (Файл, Вид, Правка, Запуск, Настройка, Помощь) and a toolbar. Below this is a table with columns: №, Адрес, Данные, ~WR, ~RD, CRA, ~ERGIO, CRGIO, and Комментарии. The table contains 11 rows of configuration data. A 'Буфер FIFO' (FIFO Buffer) window is open, showing a table with columns A, Данные, and a list of data values (FF, FF, FF, FF). The bottom part of the interface shows a complex logic diagram. It includes two memory blocks: 'ПМ тегов' (Tag Memory) and 'СОЗУ данных' (Data SRAM). The 'ПМ тегов' block has an 8-bit address bus (RgΦA[a]) and a 6-bit data bus (RgΦA[b]). The 'СОЗУ данных' block has an 8-bit address bus (RgΦA[a]) and an 8-bit data bus (RgΦA[b]). The diagram also shows various control signals like ~WR1, ~RD1, ~CS1, ~WR2, ~RD2, ~CS2, ~WR31, ~RD31, ~CS31, ~ERGIO, and CRGIO. A 'FIFO' buffer is connected to the data bus. The diagram is labeled with '0000' and 'MA[15..0]'.

№	Адрес	Данные	~WR	~RD	CRA	~ERGIO	CRGIO	Комментарии
00	0040	00	1	1	1	1	0	addr 1
01	0000	00	1	0	0	1	1	read 1 (-)
02								
03	0210	C3	1	1	1	1	1	addr 2
04	0000	00	0	1	0	0	0	write 1 (-)
05								
06	0211	5F	1	1	1	1	1	write
07	0000	00	0	1	0	0	0	
08								
09	0211	00	1	1	1	1	0	read
0A	0000	00	1	0	0	1	1	

Рисунок 4 – Экранная форма второго задания

- 1) Распределение: прямое
- 2) Расслоение: без расслоения
- 3) Стратегия обновления: обратная флаговая-регистровая запись

Оценка времени обращения к памяти представлена в таблице 2.

Таблица 2 – Оценка времени обращения к памяти

	A in Tag	A not in Tag
Чтение	$T_{\text{тэг}} + T_{\text{созу}}$	$2 \cdot T_{\text{тэг}} + 2 \cdot T_{\text{озу}} + 5 \cdot T_{\text{созу}}$
Запись	$T_{\text{тэг}} + T_{\text{созу}}$	$2 \cdot T_{\text{тэг}} + 2 \cdot T_{\text{озу}} + 5 \cdot T_{\text{созу}}$

Граф-схема алгоритма работы контроллера кэш-памяти представлена на рисунках 5-6.

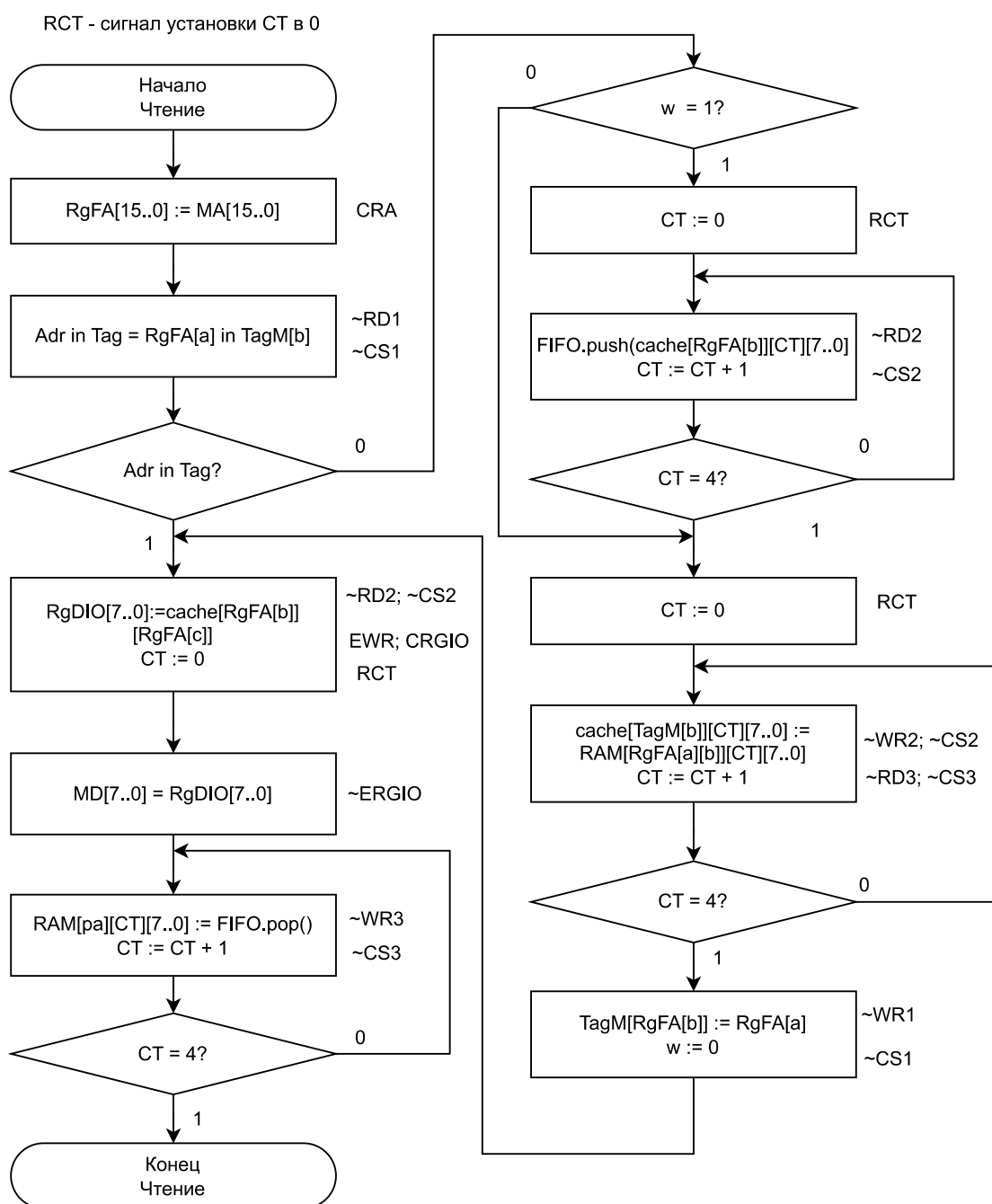


Рисунок 5 – ГСА работы контроллера кэш-памяти при чтении

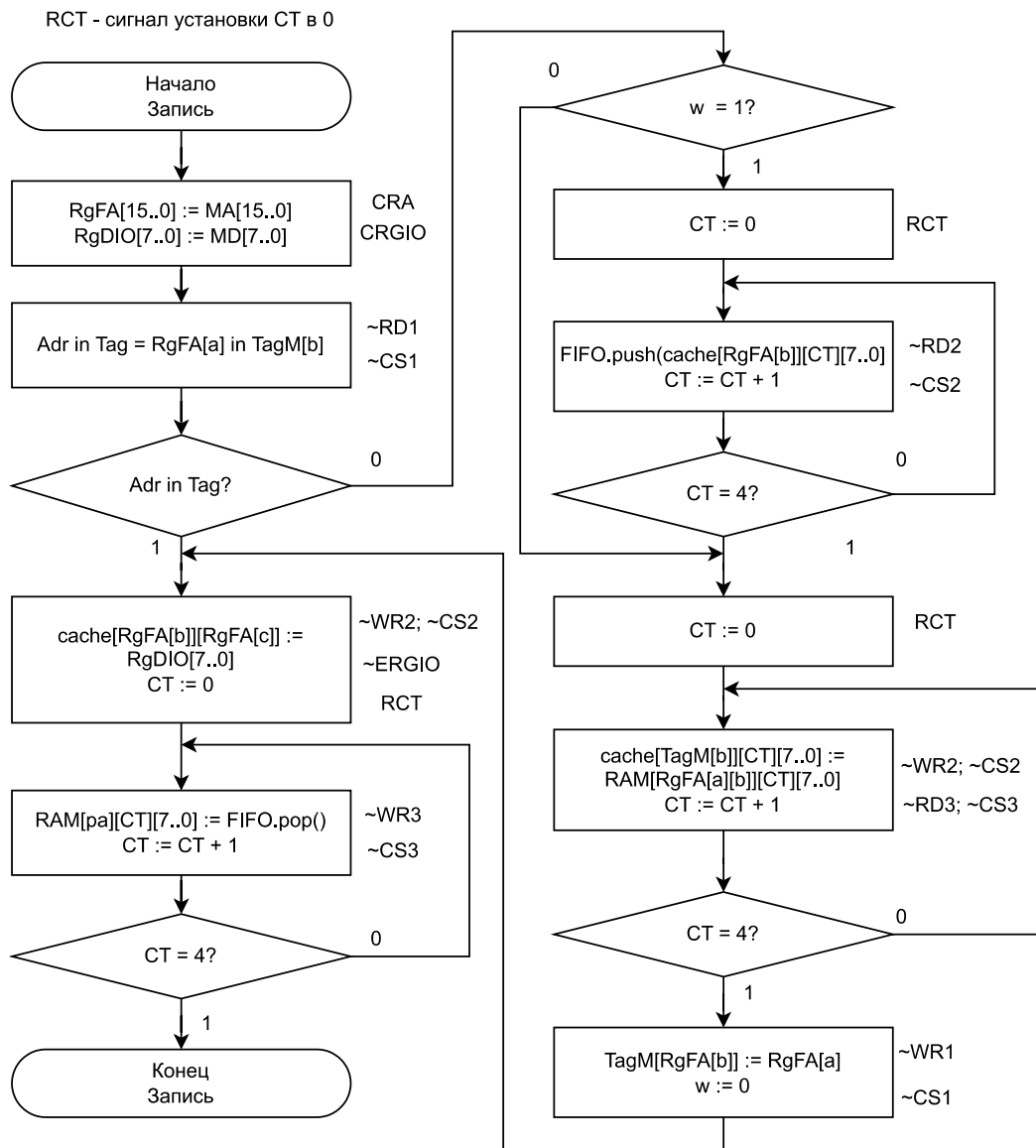


Рисунок 6 – ГСА работы контроллера кэш-памяти при записи

2.3. Задание 3

Экранная форма третьего задания представлена на рисунке 7.

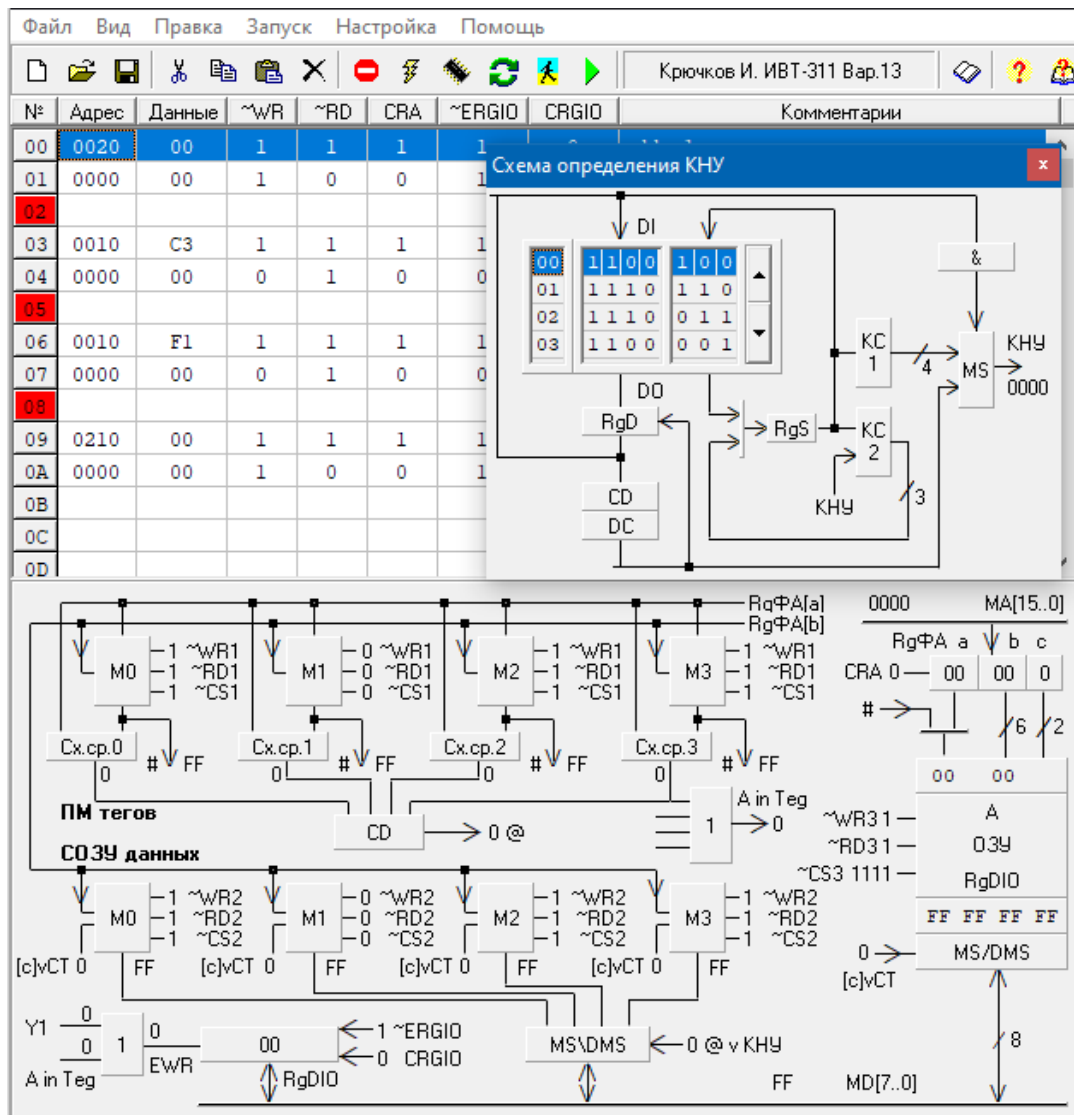


Рисунок 7 – Экранная форма третьего задания

- 1) Распределение: частично-ассоциативное
- 2) Расслоение: с расслоением ОЗУ
- 3) Стратегия обновления: простая обратная запись
- 4) Стратегия замещения: PLRU-стек

Оценка времени обращения к памяти представлена в таблице 3.

Таблица 3 – Оценка времени обращения к памяти

	A in Tag	A not in Tag
Чтение	$T_{\text{тэг}} + T_{\text{созу}}$	$2 * T_{\text{тэг}} + 2 * T_{\text{озу}} + 4 * T_{\text{созу}}$
Запись	$T_{\text{тэг}} + T_{\text{созу}}$	$2 * T_{\text{тэг}} + 2 * T_{\text{озу}} + 5 * T_{\text{созу}}$

Граф-схема алгоритма работы контроллера кэш-памяти представлена на рисунках 8-9.

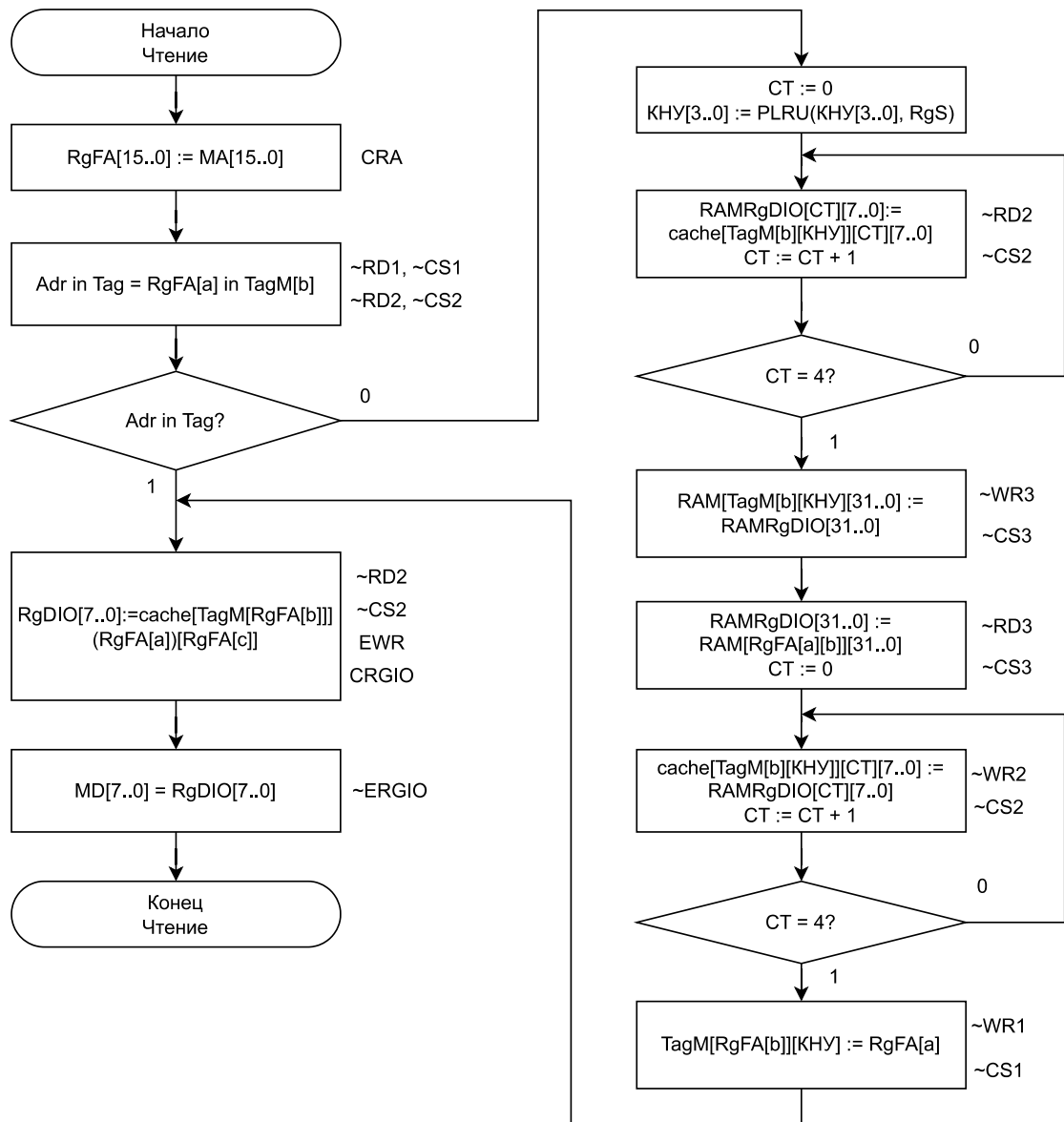


Рисунок 8 – ГСА работы контроллера кэш-памяти при чтении

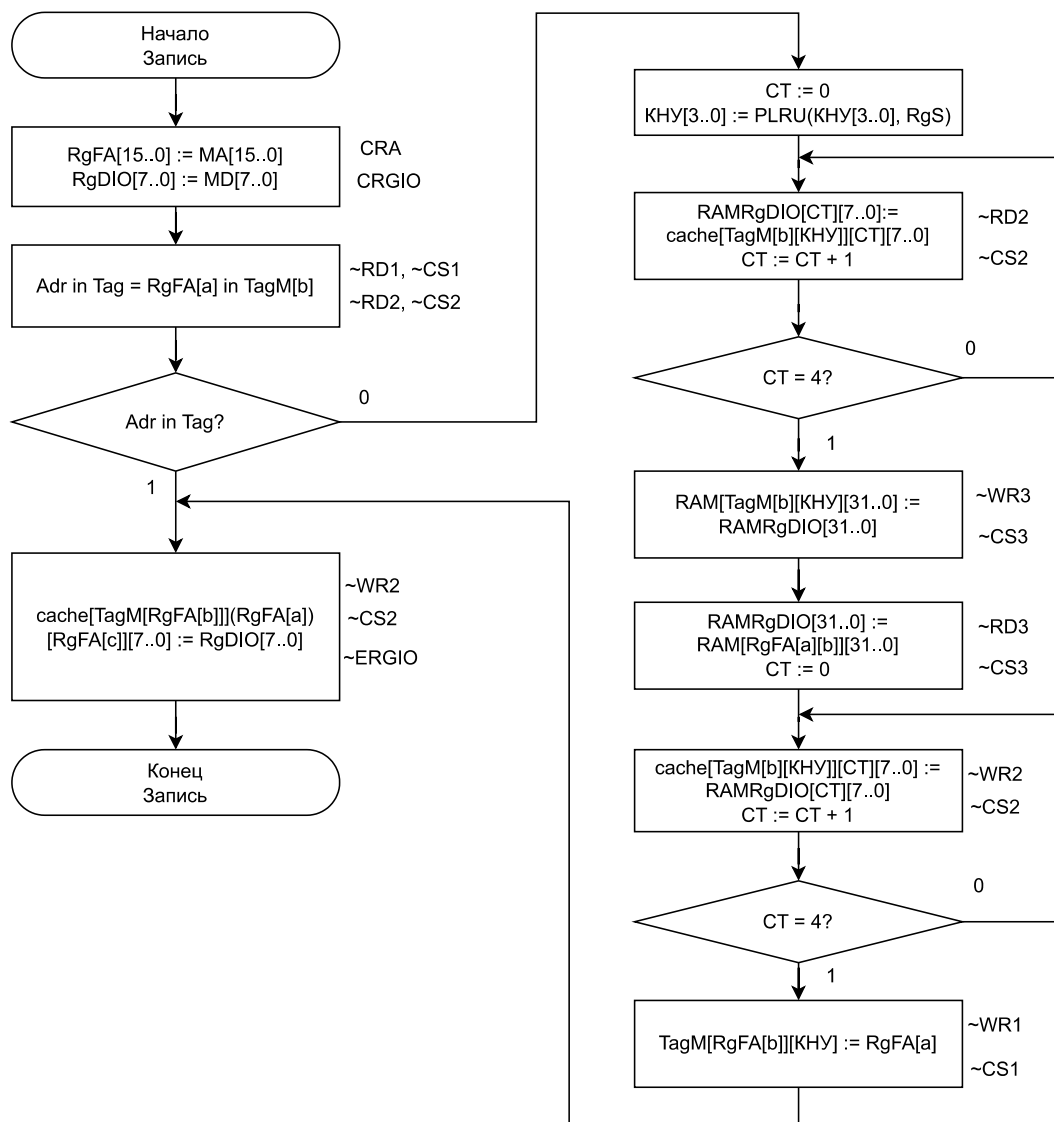


Рисунок 9 – ГСА работы контроллера кэш-памяти при записи

2.4. Задание 4

Экранная форма четвертого задания представлена на рисунке 10.

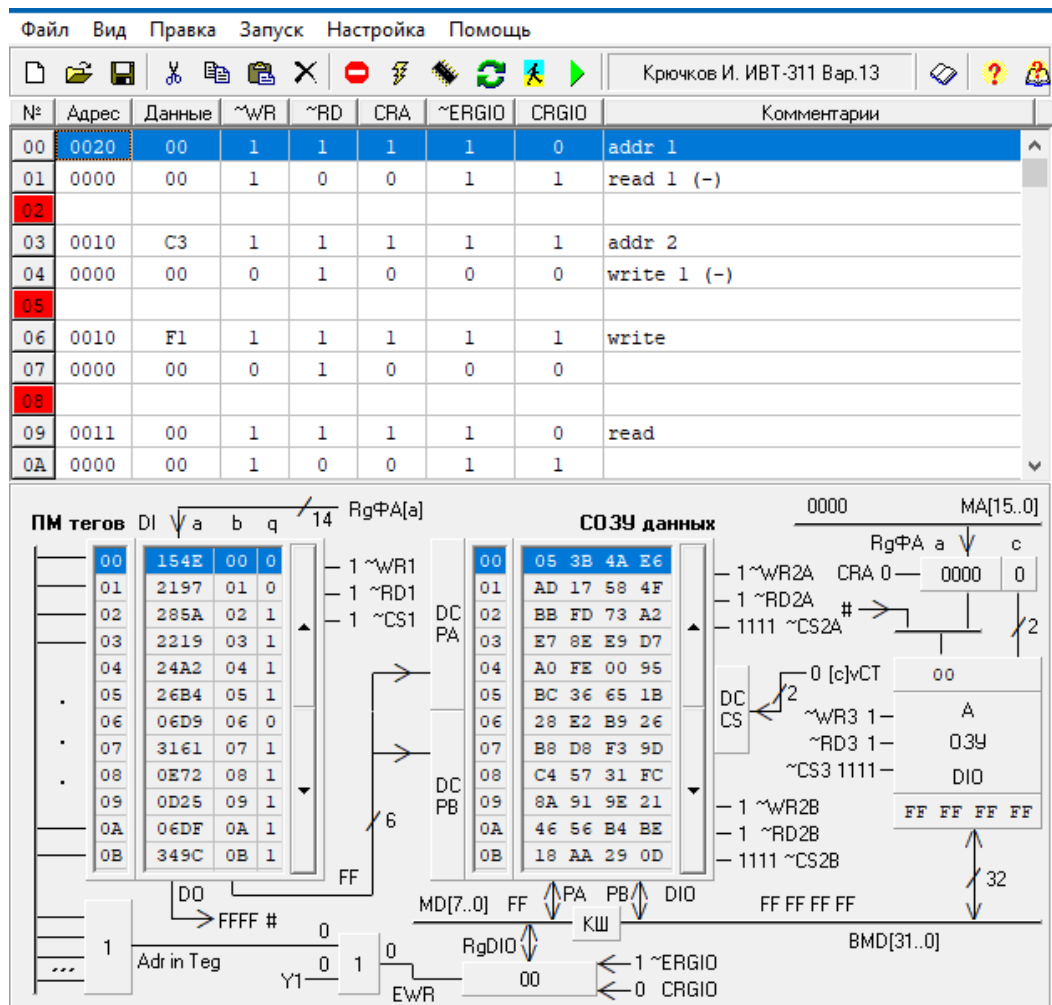


Рисунок 10 – Экранная форма четвертого задания

- 1) Распределение: ассоциативное
- 2) Расслоение: с расслоением ОЗУ и КЭШ
- 3) Стратегия обновления: простая обратная запись
- 4) Стратегия замещения: PLRU-стек

Оценка времени обращения к памяти представлена в таблице 4.

Таблица 4 – Оценка времени обращения к памяти

	A in Tag	A not in Tag
Чтение	$T_{\text{тэг}} + T_{\text{созу}}$	$2 * T_{\text{тэг}} + T_{\text{озу}} + 2 * T_{\text{созу}}$
Запись	$T_{\text{тэг}} + T_{\text{созу}}$	$2 * T_{\text{тэг}} + T_{\text{озу}} + 2 * T_{\text{созу}}$

Граф-схема алгоритма работы контроллера кэш-памяти представлена на рисунках 11-12.

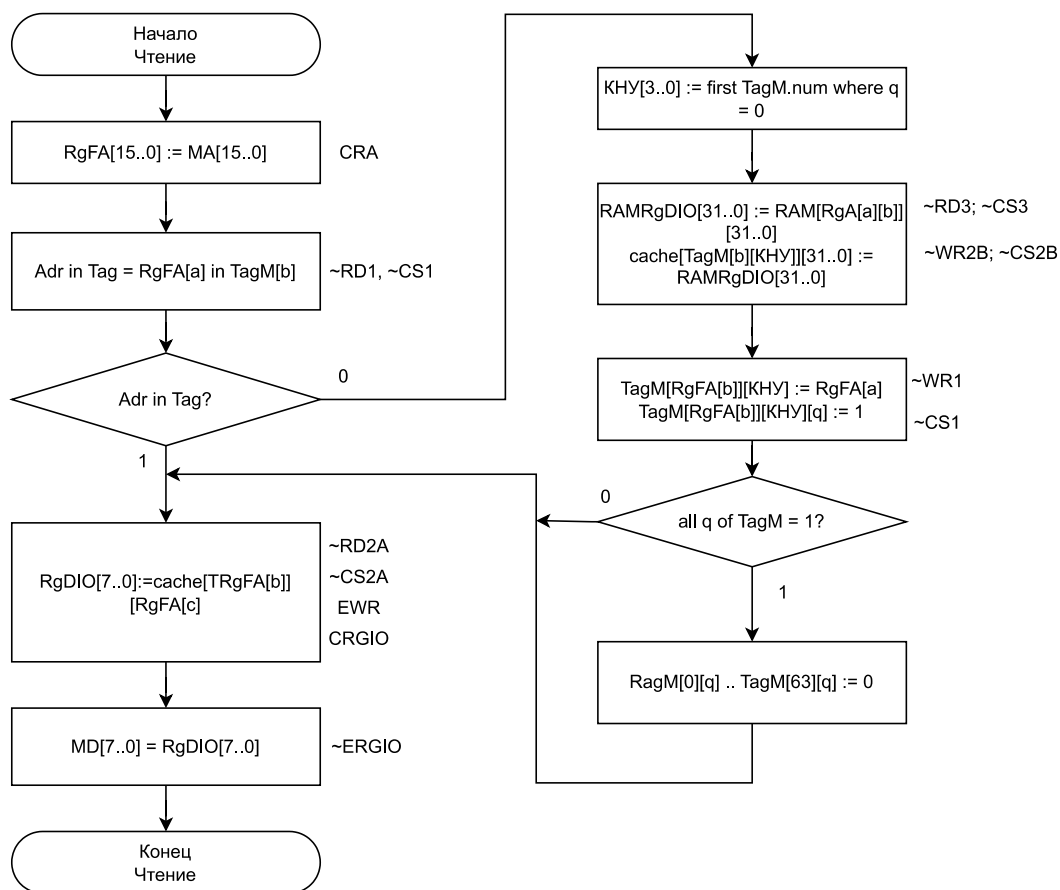


Рисунок 11 – ГСА работы контроллера кэш-памяти при чтении

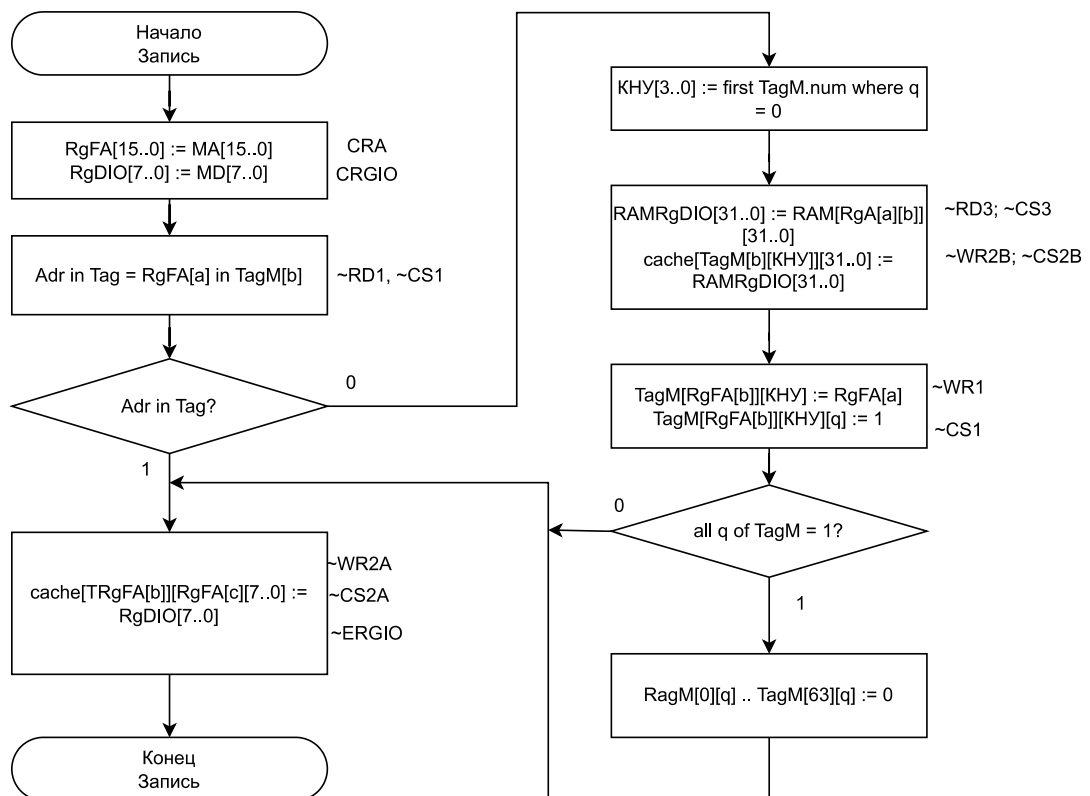


Рисунок 11 – ГСА работы контроллера кэш-памяти при записи

3. Вывод

В ходе лабораторной работы были изучен принцип работы кэш-памяти.

Были рассмотрены следующие виды распределений: ассоциативное, частично-ассоциативное и прямое. Изучены такие стратегии обновления, как флаговая-обратная запись, обратная флаговая -регистровая запись, простая обратная запись, сквозная с распределением. Рассмотрены стратегии замещения: по счетчику, PLRU-стек, по признаку неиспользования