## 3总线

2019年3月25日 15:56

◆ 基本概念

- 1- 总线:连接多部件的信息传输线,是<u>共享</u>的传输介质,一次只允许一个部件发送信息,即分时,但可同时让多部件接收同一信息(为减轻负载,各部件的接口可以用三态驱动缓冲电路实现)
- 2- 传输周期: 一次总线操作所需的时间,包括申请、寻址、传送、结束
- 3- 宽度/位宽:同时能传输的数据位数,即数据总线根数
- 4- 带宽:单位时间可传数据的位数,一般单位MBps
- 5- 特性: 机械、电气、功能、时间等方面
- 6- 标准: 为实现模块互连需提供的接口, 对模块透明, 模块只需考虑实现对接
- 7- 主设备: 获得总线控制权的设备
- 8- 从设备:被主设备访问的设备

◆ 分类

- 1- 片内总线: CPU芯片内的,寄存器间的,寄存器与ALU间的总线
- 2- 系统总线: 部件间的总线,包括双向数据总线、单向地址总线、单向控制总线
- 3- 通信总线: 计算机和其他设备间的总线

◆ 特性、性能

1- 特性

- 1. 机械特性:插头标准,引脚顺序,尺寸,形状&
- 2. 电气特性: 电平多高多低对应1还是0
- 3. 功能特性: 传送什么信号
- 4. 时间特性: 什么时间内总线有效

2- 性能

- 1. 宽度: 总线位数
- 2. 带宽: 单位时间内数据传输率
- 3. 同步/异步: 是否与时钟同步
- 4. 复用: 如地址线和数据线用同一组线
- 5. 信号线数: 总线的数量
- 6. 控制方式: 突发工作、自动配置、仲裁、逻辑、计数等
- 7. 其他: 负载能力、电源电压, 能否扩展宽度等
- 3- 标准: 系统与模块、模块间的互连标准界面
  - 1. 对两端都透明,任一方只需完成自己该完成的任务

◆ 总线结构

1- 单总线结构: CPU、主存、IO设备都挂在同一组总线上, 易造成瓶颈

## 2- 多总线结构

- 1. 双总线结构:一般指IO设备连一根总线,再通过"通道"连接主存总线,主存总线则同时连接CPU和主存和通道
- 2. 三总线结构1: CPU可通过IO总线直接访问IO设备,主存也可通过DMA总线直接 访问IO设备,主存总线只连接CPU和主存
- 3. 三总线结构2: CPU通过局部总线连接Cache, Cache和主存连接系统总线, 其他扩展设备再通过扩展总线连接系统总线
- 4. 四总线结构: 一般指三总线结构2的基础上,将扩展总线分成普通扩展总线和高速总线,连接高速设备

•

- ◆ 总线控制
- 1- 判优 (BS总线忙、BR总线请求、BG总线同意)
  - 1. 链式查询
    - (1) 总线控制部件伸出数据线和地址线, 其分支指向各IO接口
    - (2) BS和BR线指向控制部件,各IO接口伸出一条线指向它们
    - (3) 总线部件伸出BG线串联起各IO接口,收到BG信号的设备若有BR,则不再向下传递,最靠近控制部件的设备有最高优先级
    - (4) 需要的线相对少,易扩充;电路敏感
  - 2. 定时查询
    - (1) 不需要BG线了, 但多了一根设备地址线, 分支连接各设备
    - (2) 计数器在BS=0时定时发出地址信号,相同设备地址的设备获得总线
    - (3) 相对没有那么电路故障敏感;线较多,较复杂
  - 3. 独立请求
    - (1) 既不需BS也不需设备地址线,只要每个设备独立一对BG和BR
    - (2) 由控制器的排队电路决定先响应谁
    - (3) 响应快, 软件实现排序较灵活; 线多, 更复杂

## 2- 通信

- (1) 申请阶段 (判优仲裁)
- (2) 寻址阶段: 主模块找从模块地址, 并发出相关命令的信号
- (3) 传数阶段: 主从模块间交换数据
- (4) 结束阶段:撤出主模块信息,让出使用权
- 1. 公共时钟同步通信: 简单强制同步; 局限性, 不灵活
  - (1) 读: 1发地址2发读命令3返回数据4撤回
  - (2) 写: 1发地址1.5提供数据2发写命令4撤回
  - (3) 因为译码器和输出缓冲器有延时,所以传址成功及片选信号和使能输出信号 都有效后,还要再等一段时间,ROM才会开始输出欲读内容
- 2. 异步式通信: 灵活; 需要从模块间由handshaking应答线
  - (1) 不互锁: 请求信号和回答信号都可自行撤回
  - (2) 半互锁: 收到回答才撤回请求信号
  - (3) 全互锁: 半互锁前提下, 确认主模块收到回答才撤回回答信号

3.	半同:	步:可以插入等待周期的同步通信		
	(1)	如果被读数据速度较慢,IO设备可以在t3前给出WAIT非信号	(低电平)	通
		知cpu,cpu检测到低电平后插入一个等待周期tw		
4.	分离:	式通信: 将传输周期分成两个子周期,各模块轮流当主模块		
	(1)	只有需要传数据时才占用总线,单方面传信息,充分发挥总线		
	(2)			
	(3)			
	(4)			
	(5)			

(6)(7)