

Laboratório 8

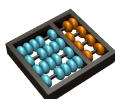
Instruções:

Antes de iniciar o laboratório faça o download do arquivo 'lab08_material_v2018.1.zip' no moodle, ele contém arquivos de apoio para a execução dos exercícios, incluindo modelos para arquivos da entrega. Caso algum arquivo da entrega não possua um modelo, o formato é livre, desde que respeitados os nomes dos arquivos.

Os enunciados dos exercícios descrevem os nomes e tipos dos arquivos, entidades e conexões. Quaisquer entregas que não seguirem o padrão fornecido serão **desconsideradas**.

Deixe os arquivos que serão gravados na placa para demonstração em projetos separados e já pré-compilados, de forma que não seja necessária a recompilação do projeto no momento da demonstração. Assim, basta abrir o projeto correspondente e programar a placa, economizando o tempo da aula dedicado às avaliações.

Os arquivos que estiverem carregados no Moodle no momento do prazo final de entrega serão considerados como finais, mesmo que estejam marcados como rascunho. Portanto, não é necessário e nem recomendável marcar o envio como final, para que seja possível alterar os arquivos da submissão antes do prazo.



1. O objetivo deste exercício é realizar o projeto de máquinas de estados. Todas as máquinas possuirão as entradas *clock*, *reset* e *w* e a saída *z*, todas do tipo *std_logic*. A entrada *clock* é o sinal de relógio, e as máquinas devem ser sincronizadas na borda de subida deste sinal. O sinal de *reset*, quando em nível lógico alto, deve definir a máquina para o seu estado inicial de forma síncrona. Os sinais *w* e *z* são entrada e saída de dados. Cada máquina deve ser identificada pelo nome da entidade VHDL descrita no enunciado e pelo nome do arquivo, que é o mesmo nome da entidade com o prefixo '.vhd'. Cuidado para não alterar os nomes das entidades, arquivos e sinais descritos.

Para cada uma das máquinas, projete o circuito em VHDL e elabore uma forma de onda de simulação para testar o seu funcionamento. Ao final, utilize o circuito *fsm_board* <fsm_board.vhd> e o arquivo de assignments padrão da placa para teste do circuito. Os sinais de entrada *w* e *reset* estão conectados a switches, as saídas *z* a LEDs e os *clocks* a push-buttons. **Esta configuração será avaliada na demonstração.**

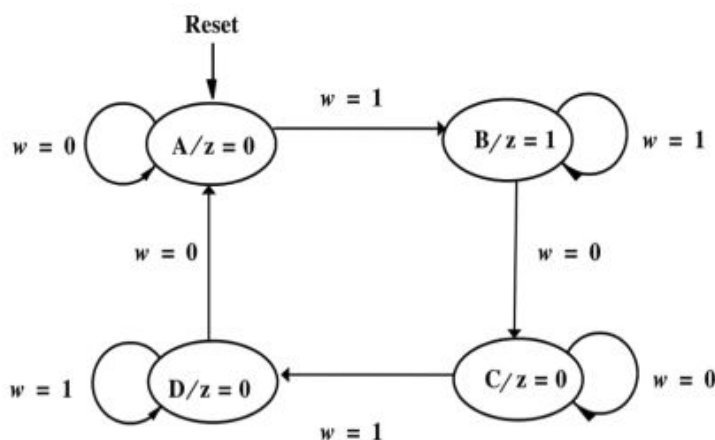
- a) Máquina *fsm_table*: projete a partir da tabela de estados

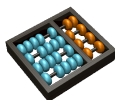
- Entidade: *fsm_table*
- Arquivo VHDL: *fsm_table.vhd* - **Entregar**
- Screenshot: *fsm_table.png* - **Entregar**
- Estado inicial: A

Present State	Next State / Output (z)			
	w=0	z	w=1	z
A	C	1	B	1
B	D	1	C	0
C	B	0	C	0
D	A	0	C	1

- b) Máquina *fsm_diag*: projete a partir do diagrama de estados

- Entidade: *fsm_diag*
- Arquivo VHDL: *fsm_diag.vhd* - **Entregar**
- Screenshot: *fsm_diag.png* - **Entregar**





c) Máquina *fsm_seq*: Projete um detector de seqüência que produz 1 em sua saída z, toda vez que a seqüência 0101 é detectada na sua entrada w. Por exemplo, quando a seqüência na entrada w é 010101, a saída z é 000101.

- Entidade: *fsm_seq*
- Arquivo VHDL: *fsm_seq.vhd* - **Entregar**
- Screenshot: *fsm_seq.png* - **Entregar**
- Estado inicial: início da seqüência.

2. Este exercício utiliza os componentes para controle da interface VGA *vgacon* disponível na pasta de “Material complementar > Componentes IO DE1-SoC (nova) > VGA” do curso no Moodle. Antes de fazê-lo, leia o tutorial “VGA.pdf” na pasta “Material complementar > Tutoriais IO DE1 (antiga)”. O tutorial foi escrito para um modelo anterior da placa utilizada, portanto existem algumas pequenas diferenças para o código disponível, que foi adaptado para a placa nova.

Faça o download de todos os arquivos e pastas dentro da pasta VGA da pasta de material complementar. Inclua em um projeto os arquivos *vgacon.vhd*, *vga_pll.vhd*, *vga_pll.qip* e *test.vhd*. Utilizando *test* como a entidade top-level e o arquivo de assignments padrão para a placa, grave o projeto para testar a comunicação VGA.

Agora, adicione no projeto o arquivo *vga_ball.vhd* que acompanha o enunciado deste laboratório. Este exemplo contém uma demonstração de uma bola percorrendo o espaço visível e quicando nas laterais do monitor. Sua tarefa é modificar este exemplo para que a bola deixe um rastro de sua cor pelos pixels em que passa. Ainda, ao quicar nas laterais, a bola muda de cor, circulando entre as 7 cores disponíveis (não considere o preto como cor disponível). Deverá existir um botão (push button) ligado ao sinal de reset, cuja função é apagar a tela.

Além da entidade *vga_ball*, você pode criar quantas entidades e/ou pacotes (*packages*) adicionais julgar necessário, e implementá-los em quantos arquivos VHDL achar necessário. Somente arquivos .vhd serão considerados. Não crie ou utilize *libraries* customizadas, mas você pode utilizar as *libraries* disponíveis na ferramenta.

Reúna todos os arquivos VHDL em um único arquivo zipado *vga_ball.zip*. Os arquivos deverão estar na raiz da estrutura do .zip, e não distribuídos em pastas. Certifique-se de que você adicionou todos os arquivos VHDL para o funcionamento correto do seu projeto e de que a declaração da entidade *vga_ball* não foi alterada.

Entregue seu arquivo *vga_ball.zip*. Organize esta configuração para ser avaliada na demonstração.