

# **ADI 技术指南合集**

## **第一版**

### **模数转换器**



# 目录

ADC 噪声系数——一个经常被误解的参数 .....	1	奈奎斯特准则对数据采样系统设计有何意义 .....	137
ADC 架构 I: Flash 转换器 .....	10	孔径时间、孔径抖动、孔径延迟时间——正本清源 .....	149
ADC 架构 II: 逐次逼近型 ADC .....	25	将振荡器相位噪声转换为时间抖动 .....	157
ADC 架构 III: $\Sigma$ -型 ADC 基础 .....	39	找出那些难以琢磨、稍纵即逝的 ADC 闪码和亚稳状态 .....	167
ADC 架构 IV: $\Sigma\Delta$ 型 ADC 高级概念和应用 .....	51	"揭开一个公式 ( $SNR = 6.02N + 1.76\text{dB}$ ) 的神秘面纱， 以及为什么我们要予以关注" .....	177
ADC 架构 V: 流水线式分级 ADC .....	61	数据转换器代码——您能解译这些代码吗? .....	184
ADC 架构 VII: 计数 ADC .....	76	数据转换器静态特性的 重要性——千万别忽视基本特性! .....	195
ADC 架构 VIII: 积分 ADC .....	81	旋变数字转换器 .....	204
ADC 输入噪声面面观——噪声是利还是弊? .....	85	电压频率转换器 .....	209
ADC 需要考虑的交调失真因素 .....	97	运行典型高速 ADC 评估板设置 .....	216
DC 架构 VI: 折叠型 ADC .....	103	量化噪声: 公式 $SNR = 6.02 N + 1.76 \text{ dB}$ 的扩展推导 .....	224
FPGA 与 ADC 数字数据输出的接口 .....	115	降低 ADC 时钟接口抖动 .....	228
了解 SINAD、ENOB、SNR、THD、THD+N、SFDR, 不在噪底中迷失 .....	127	高速 ADC 模拟输入接口考虑 .....	236
光学编码器 .....	135		

## ADC噪声系数 —— 一个经常被误解的参数

作者: Walt Kester

### 简介

噪声系数(NF)是RF系统设计师常用的一个参数，它用于表征RF放大器、混频器等器件的噪声，并且被广泛用作无线电接收机设计的一个工具。许多优秀的通信和接收机设计教材都对噪声系数进行了详细的说明(例如参考文献1)，本文重点讨论该参数在数据转换器中的应用。

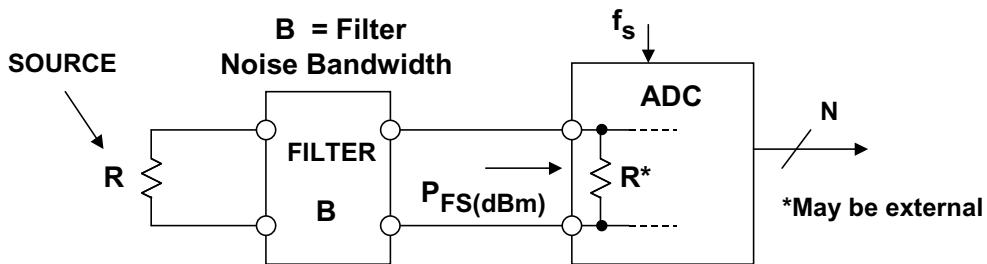
现在，RF应用中会用到许多宽带运算放大器和ADC，这些器件的噪声系数因而变得重要起来。参考文献2讨论了确定运算放大器噪声系数的适用方法。我们不仅必须知道运算放大器的电压和电流噪声，而且应当知道确切的电路条件：闭环增益、增益设置电阻值、源电阻、带宽等。计算ADC的噪声系数则更具挑战性，大家很快就会明白此言不虚。

当RF工程师首次计算哪怕是最好的低噪声高速ADC的噪声系数时，结果也可能相对高于典型RF增益模块、低噪声放大器等器件的噪声系数。为了正确解读结果，需要了解ADC在信号链中的位置。因此，当处理ADC的噪声系数时，务必小心谨慎。

### ADC噪声系数定义

图1显示了用于定义ADC噪声系数的基本模型。噪声因数F指的是ADC的总有效输入噪声功率与源电阻单独引起的噪声功率之比。

由于阻抗匹配，因此可以用电压噪声的平方来代替噪声功率。噪声系数NF是用dB表示的噪声因数， $NF = 10\log_{10}F$ 。



$$\text{NOISE FACTOR (F)} = \frac{(\text{TOTAL EFFECTIVE INPUT NOISE})^2}{(\text{TOTAL INPUT NOISE DUE TO SOURCE } R)^2}$$

$$\text{NOISE FIGURE (NF)} = 10 \log_{10} \left[ \frac{(\text{TOTAL EFFECTIVE INPUT NOISE})^2}{(\text{TOTAL INPUT NOISE DUE TO SOURCE } R)^2} \right]$$

Note: Noise Must be Measured Over the Filter Noise Bandwidth, B

**图1：ADC的噪声系数：小心为妙！**

该模型假设ADC的输入来自一个电阻为R的信号源，输入带宽以 $f_s/2$ 为限，输入端有一个噪声带宽为 $f_s/2$ 的滤波器。还可以进一步限制输入信号的带宽，产生过采样和处理增益，稍后将讨论这种情况。

该模型还假设ADC的输入阻抗等于源电阻。许多ADC具有高输入阻抗，因此该端接电阻可能位于ADC外部，或者与内部电阻并联使用，产生值为R的等效端接电阻。

### ADC噪声系数推导过程

满量程输入功率是指峰峰值幅度恰好填满ADC输入范围的正弦波的功率。下式给出的满量程输入正弦波具有 $2V_O$ 的峰峰值幅度，对应于ADC的峰峰值输入范围：

$$v(t) = V_O \sin 2\pi ft \quad \text{等式1}$$

该正弦波的满量程功率为：

$$P_{FS} = \frac{(V_O / \sqrt{2})^2}{R} = \frac{V_O^2}{2R} \quad \text{等式2}$$

通常将此功率表示为dBm（以1 mW为基准）：

$$P_{FS(dBm)} = 10 \log_{10} \left[ \frac{P_{FS}}{1 \text{ mW}} \right]. \quad \text{等式3}$$

对滤波器的噪声带宽B需要加以进一步的讨论。非理想砖墙滤波器的噪声带宽指的是让相同的噪声功率通过时，理想砖墙滤波器所需的带宽。因此，一个滤波器的噪声带宽始终大于其3 dB带宽，二者之比取决于滤波器截止区的锐度。图2显示了最多5极点的巴特沃兹滤波器的噪声带宽与3 dB带宽的关系。注意：对于2极点，噪声带宽与3 dB带宽相差11%；超过2极点后，二者基本相等。

NUMBER OF POLES	NOISE BW : 3dB BW
1	1.57
2	1.11
3	1.05
4	1.03
5	1.02

图2：巴特沃兹滤波器的噪声带宽与3dB带宽的关系

NF计算的第一步是根据ADC的SNR计算其有效输入噪声。ADC数据手册给出了不同输入频率下的SNR，确保使用与目标IF输入频率相对应的值。此外还应确保SNR数值中不包括基波信号的谐波，有些ADC数据手册可能将SINAD与SNR混为一谈。知道SNR后，就可以从下式开始计算等效输入均方根电压噪声：

$$\text{SNR} = 20 \log_{10} \left[ \frac{V_{FS \text{ RMS}}}{V_{NOISE \text{ RMS}}} \right] \quad \text{等式4}$$

求解 $V_{NOISE \text{ RMS}}$ ：

$$V_{NOISE \text{ RMS}} = V_{FS \text{ RMS}} \cdot 10^{-\text{SNR}/20} \quad \text{等式4}$$

这是在整个奈奎斯特带宽(DC至 $f_s/2$ )测得的总有效输入均方根噪声电压，注意该噪声包括源电阻的噪声。

下一步是实际计算噪声系数。在图3中，注意源电阻引起的输入电压噪声量等于源电阻 $\sqrt{4kTBR}$ 的电压噪声除以2，即 $\sqrt{kTBR}$ ，这是因为ADC输入端接电阻形成了一个2:1衰减器。

噪声因数F的表达式可以写为：

$$F = \frac{V_{\text{NOISE RMS}}^2}{kTRB} = \left[ \frac{V_{\text{FS RMS}}^2}{R} \right] \left[ \frac{1}{kT} \right] \left[ 10^{-\text{SNR}/10} \right] \left[ \frac{1}{B} \right] \quad \text{等式6}$$

将F转化为dB并简化便可得到噪声系数：

$$NF = 10\log_{10}F = P_{\text{FS(dBm)}} + 174 \text{ dBm} - \text{SNR} - 10\log_{10}B, \quad \text{等式7}$$

其中，SNR的单位为dB，B的单位为Hz， $T = 300 \text{ K}$ ， $k = 1.38 \times 10^{-23} \text{ J/K}$ 。

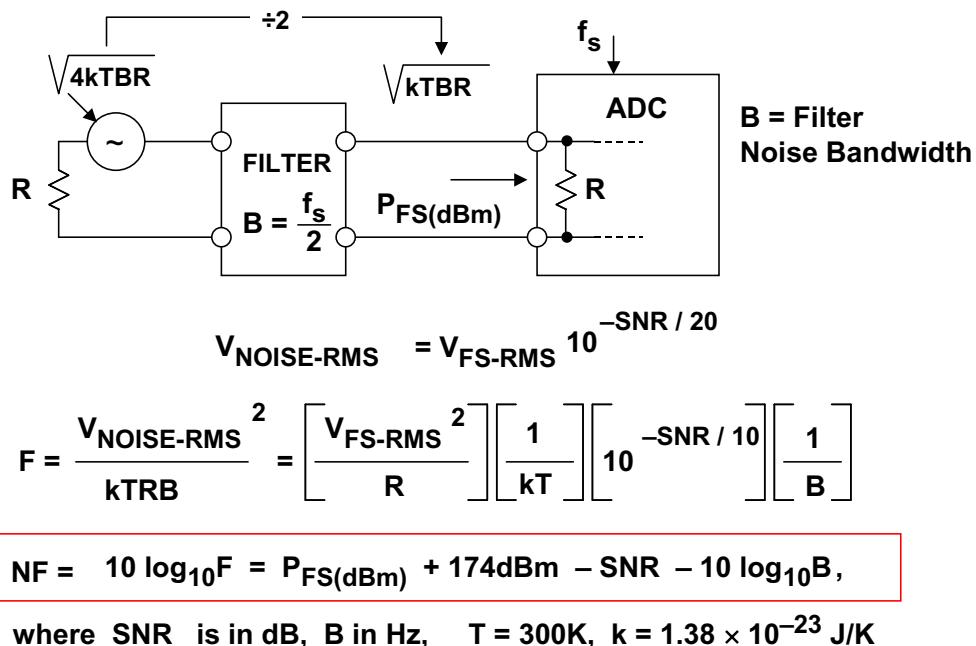
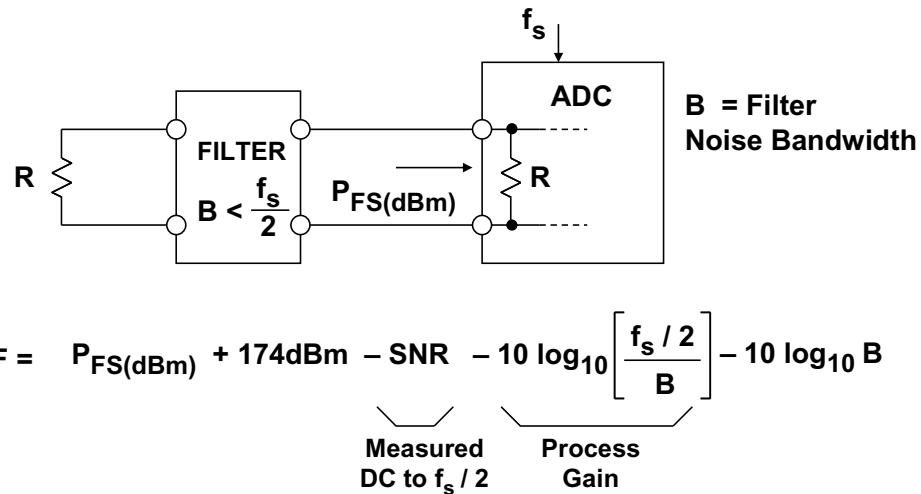


图3：根据SNR、采样速率和输入功率求得的ADC噪声系数

过采样和数字滤波会产生处理增益，从而降低噪声系数，这已在上文中说明。对于过采样，信号带宽B低于 $f_s/2$ 。图4给出了校正因数，因而噪声系数的计算公式变为：

$$NF = 10\log_{10}F = P_{FS(dBm)} + 174 \text{ dBm} - SNR - 10 \log_{10}[f_s/2B] - 10 \log_{10} B. \quad \text{等式8}$$

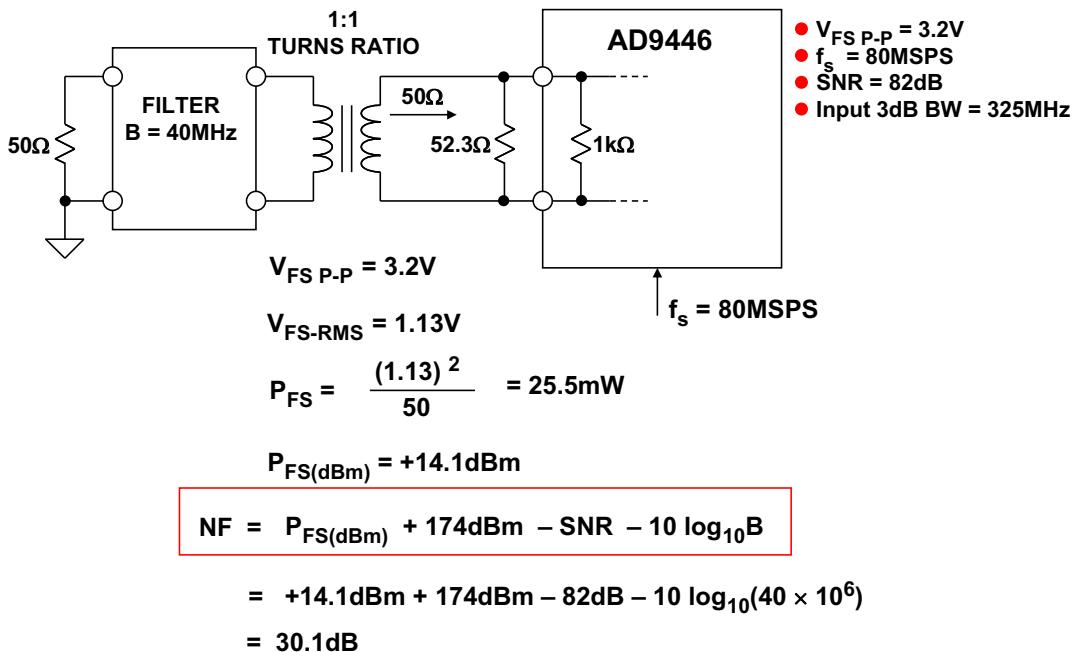


where SNR is in dB, B in Hz,  $T = 300K$ ,  $k = 1.38 \times 10^{-23} \text{ J/K}$

图4：过采样和处理增益对ADC噪声系数的影响

#### 16位、80/100 MSPS ADC AD9446的计算示例

图5显示了16位、80/105 MSPS ADC [AD9446](#)的NF计算示例。一个 $52.3 \Omega$ 电阻与AD9446的 $1 \text{ k}\Omega$ 输入阻抗并联，使得净输入阻抗等于 $50 \Omega$ 。ADC在奈奎斯特条件下工作，82 dB的SNR是利用上式8进行计算的基础，得到噪声系数为30.1 dB。



**图5：16位80/100 MSPS ADC AD9446  
在奈奎斯特条件下工作的噪声系数计算示例**

### 利用RF变压器改善ADC噪声系数

图6显示了如何利用具有电压增益的RF变压器来改善噪声系数。图6A中的变压器匝数比为1:1，噪声系数(来自图5)为30.1 dB。图6B中的变压器匝数比为1:2。249 Ω电阻与AD9446内部电阻并联，产生200 Ω的净输入阻抗。由于变压器的“无噪声”电压增益，噪声系数降低6 dB。

图6C中的变压器匝数比为1:4。AD9446输入端与一个4.02 kΩ电阻并联，使得净输入阻抗为800 Ω。噪声系数又降低6 dB。理论上，匝数比越高，则改善幅度越大，但由于带宽和失真限制，更高匝数比的变压器一般并不可行。

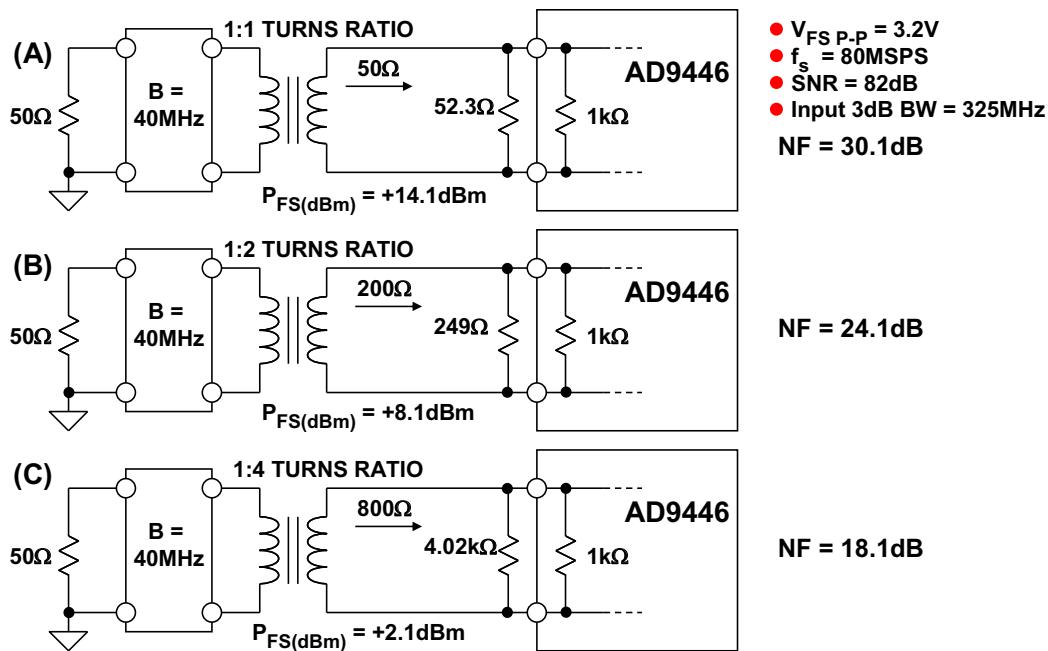
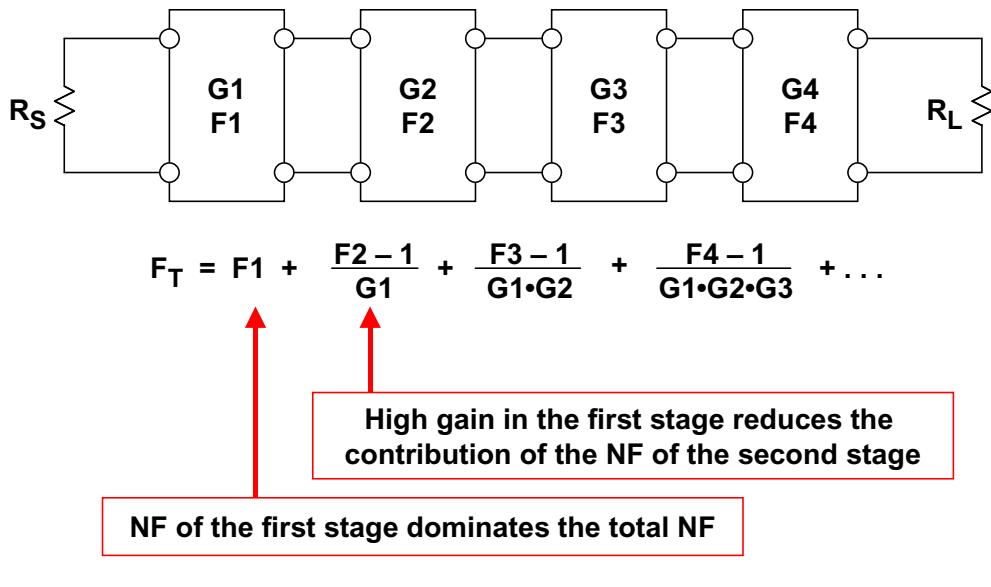


图6：利用RF变压器改善ADC整体噪声系数

### 级联噪声系数

即使采用匝数比为1:4的变压器，AD9446的整体噪声系数也有18.1 dB，按照RF标准，这一数值仍然较高。应当注意，AD9446 ADC的82 dB SNR代表了出色的噪声性能，系统应用的解决办法是在ADC之前提供低噪声高增益级。在一个典型接收机中，ADC之前至少有一个低噪声放大器(LNA)和混频级，它能提供足够高的信号增益，从而将ADC对系统整体噪声系数的影响降至最低。

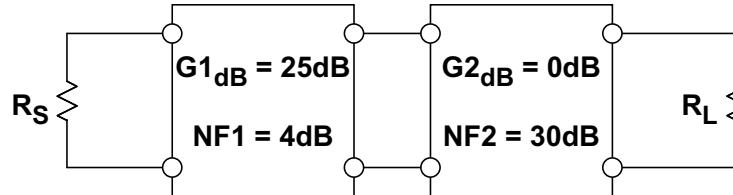
这可以通过图7来说明，其中显示了如何利用Friis等式来计算级联增益级的噪声因数。注意，第一级的高增益降低了第二级噪声因数的影响，因此第一级的噪声因数在整体噪声系数中占主导地位。



$$NF_T = 10 \log_{10} F_T$$

图7：利用Friis等式计算级联噪声系数

图8显示了置于一个相对较高NF级(30 dB)之前的一个高增益(25 dB)低噪声(NF = 4 dB)级的影响，第二级的噪声系数是高性能ADC的典型噪声系数。整体噪声系数为7.53 dB，仅比第一级噪声系数(4 dB)高3.53 dB。



$$G1 = 10^{25/10} = 10^{2.5} = 316, \quad F1 = 10^{4/10} = 10^{0.4} = 2.51$$

$$G2 = 1, \quad F2 = 10^{30/10} = 10^3 = 1000$$

$$F_T = F1 + \frac{F2 - 1}{G1} = 2.51 + \frac{1000 - 1}{316} = 2.51 + 3.16 = 5.67$$

$$NF_T = 10 \log_{10} 5.67 = 7.53 \text{ dB}$$

- ◆ The first stage dominates the overall NF
- ◆ It should have the highest gain possible with the lowest NF possible

图8：双级级联网络示例

## 结束语

应用噪声系数概念来表征宽带ADC时，必须特别小心，防止得出令人误解的结果。试图简单地通过改变等式中的值来降低噪声系数可能会适得其反，导致电路总噪声提高。

例如，根据以上等式，NF随着源电阻的增加而降低，但增加源电阻会提高电路噪声。另一个例子与ADC的输入带宽B有关。根据等式，提高B会降低NF，但这显然是相互矛盾的，因为提高ADC输入带宽实际上会提高有效输入噪声。在以上两个例子中，电路总噪声提高，但NF降低。NF降低的原因是源电阻或带宽提高时，信号源噪声占总噪声中的较大部分。然而，总噪声保持相对稳定，因为ADC引起的噪声远大于信号源噪声。因此，根据等式，NF降低，但实际电路噪声提高。

有鉴于此，当处理ADC时，必须小心处理NF。利用本文中的等式可以获得有效的结果，但如果不能全面理解其中涉及到的噪声原理，这些等式可能会令人误解。

从孤立的角度看，即使是低噪声ADC，其噪声系数也会相对高于LNA或混频器等其它RF器件。然而，在实际的系统应用中，ADC前方至少会放置一个低噪声增益模块，根据Friis等式(见图8)，它会把ADC的总噪声贡献降至非常低的水平。

## 参考文献

1. Kevin McClaning and Tom Vito, *Radio Receiver Design*, Noble Publishing, 2000, ISBN 1-88-4932-07-X.
2. Walter G. Jung, [\*Op Amp Applications\*](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [\*Op Amp Applications Handbook\*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5.
3. Walt Kester, [\*Analog-Digital Conversion\*](#), Analog Devices, 2004, ISBN 0-916550-27-3, Also available as [\*The Data Conversion Handbook\*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0.
4. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [\*Linear Circuit Design Handbook\*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## ADC架构I: Flash转换器

作者: Walt Kester

### 简介

早在上世纪60、70年代，商用flash转换器就开始出现在仪器仪表和模块中，并在80年代期间快速进军集成电路。单芯片8位flash ADC成为上世纪80年代数字视频应用的行业标准。如今，flash转换器主要用作分级“流水线式”ADC中的构建模块。流水线架构的功耗和成本更低，并且能够以数百MHz的采样速率实现8至10位分辨率。因此，功耗较高的独立flash转换器主要用于采样速率超过1 GHz的6位或8位ADC。这些转换器通常采用砷化镓工艺设计。

鉴于其作为高分辨率流水线ADC中构建模式的重要性，还需要了解基础flash转换的基本原理。本教程首先概括讨论作为flash转换器基本构建模块的比较器。

### 比较器：1位ADC

转换开关是1位DAC，而比较器是1位ADC(见图1)。如果输入超过阈值，输出即会具有一个逻辑值，而输入低于阈值时输出又会有另一个值。此外，所有ADC架构都会使用至少一个某种类型的比较器。

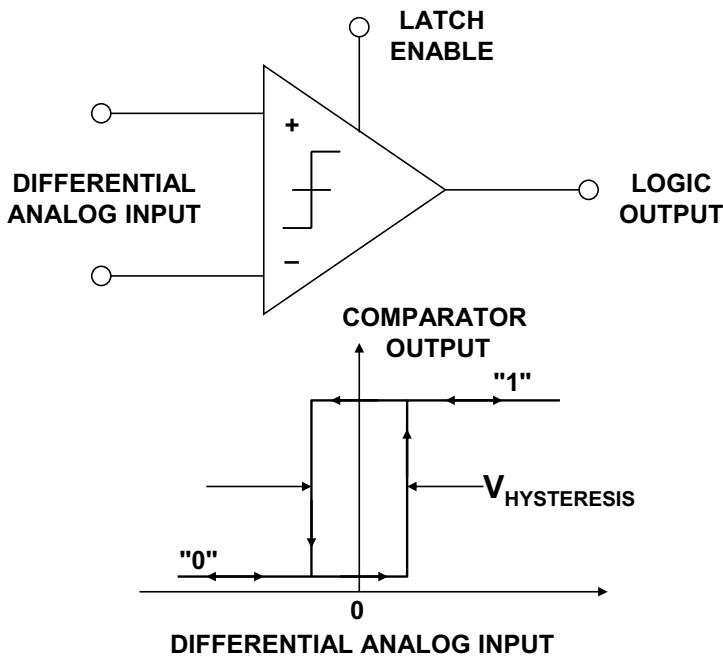


图1: 比较器：1位ADC

最常见的比较器与运算放大器存在一些相似之处，如使用差分晶体管对或FET作为其输入级，但与运算放大器不同的是，比较器并不使用外部负反馈，且其输出为指示两个输入中哪个电位较高的逻辑电平。运算放大器并非设计用作比较器；一旦过驱，运算放大器可能发生饱和，并恢复速度缓慢。

在与大差分电压搭配使用时，许多运算放大器的输入级都会出现异常行为，并且其输出很少与标准逻辑电平相兼容。不过，有些情况可能需要以运算放大器作为比较器，参考文献1对此主题进行了较好的探讨。

充当ADC构建模块的比较器需要较高的分辨率，这就意味着较高的增益。当差分输入接近零时，这可能导致不受控制的振荡。为了避免发生这种情况，通常需要利用少量正反馈向比较器添加“迟滞”。

图1所示为迟滞对整个传递函数的影响。许多比较器拥有1或2毫伏的迟滞，以鼓励跳动摆动作，并防止局部反馈在过渡带导致不稳定。请注意，比较器的分辨率不能低于迟滞，因此较大的迟滞值一般并无用处。

早期的比较器利用真空管设计而成，一般用于无线电接收器中——当时被称为“鉴频器”而不是比较器。ADC中用到的多数现代比较器内置一个锁存器，使其可以在数据转换器中用作采样器件。图2所示为Advanced Micro Devices, Inc.于1972年推出的AM685 ECL(发射极耦合逻辑)锁存比较器的典型结构(参见参考文献2)。

输入级前置放大器驱动一个交叉耦合锁存器。当锁存器被激活时，锁存器将输出锁定于其此时所处的逻辑状态。因而，锁存器执行的是保持功能，使短输入信号可检测到并保留供进一步处理。由于锁存器直接运行于输入级上，所以信号不会被进一步延迟——可以捕获并保留仅宽几纳秒的信号。与无锁存比较器相比，锁存比较器对局部反馈导致的不稳定性敏感度不高。

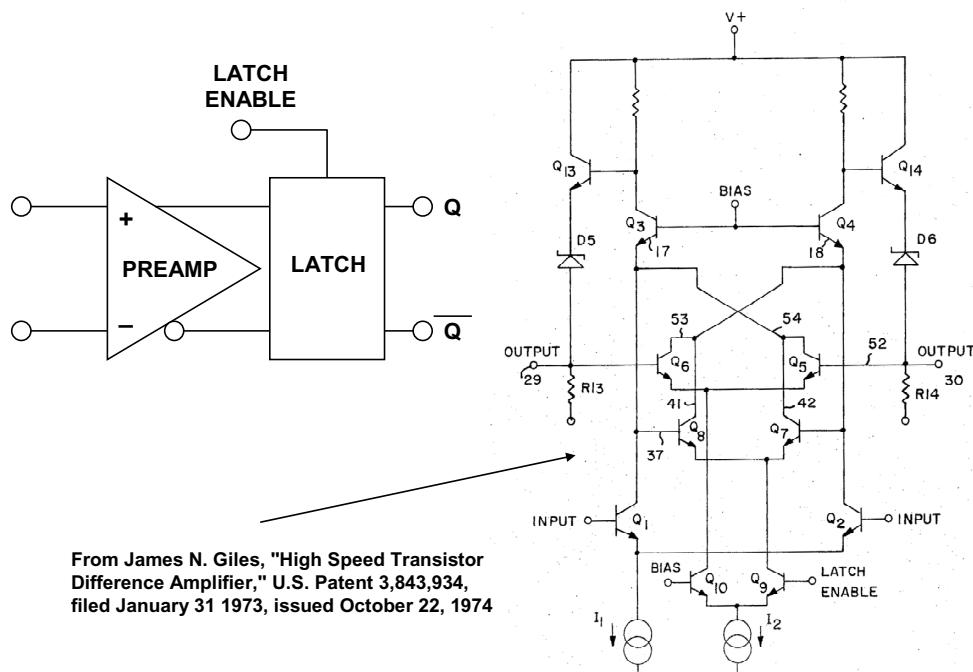


图2：AM685 ECL比较器(1972)

当比较器内置于IC ADC时，其设计必须考虑分辨率、速度、过载恢复、功耗、失调电压、偏置电流和所选架构占用的芯片面积。比较器另有一种虽然微妙却令人讨厌的特性，如果不了解且未有效地处理，则可能在ADC中导致较大的误差。这种误差因素是：当比较器把较小的差分输入分辨至有效输出逻辑电平中时，偶尔存在的不稳定性。这种现象称为“亚稳态”——指比较器在阈值下、在短时间内保持平衡的能力。

亚稳态问题如图3所示。其中展示了三种差分输入电压条件：(1) 大差分输入电压；(2) 小差分输入电压；(3) 零差分输入电压。用来描述输出电压 $V_O(t)$ 的近似等式为：

$$V_O(t) = \Delta V_{IN} A e^{-t/\tau}, \quad \text{等式1}$$

其中， $\Delta V_{IN}$  = 锁存时的差分输入电压； $A$  = 前置放大器在锁存时的增益； $\tau$  = 锁存的再生时间常数； $t$  = 自比较器输出锁存后已过的时间（参见参考文献3、4）。

对于小差分输入电压，输出达到有效逻辑电平需要的时间较长。如果在输出数据位于“有效逻辑1”与“有效逻辑0”之间的区域时被读取，则数据可能是错误的。如果差分输入电压刚好为零，且比较器在锁存时完全平衡，则达到有效逻辑电平所需时间可能非常长（理论上为无限长）。然而，在输入端上的迟滞和噪声作用下，这种条件很难出现。根据比较器在实际ADC中的利用方式，比较器无效逻辑电平产生的效应有所不同。

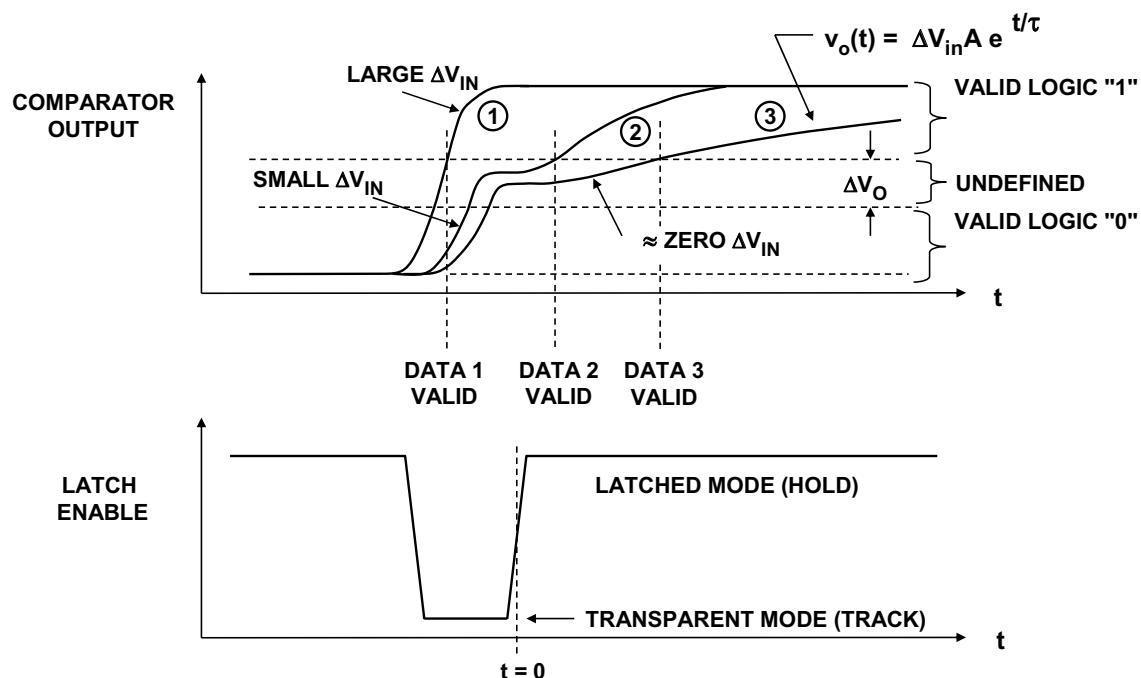


图3：比较器亚稳态误差

从设计角度来看，可以通过以下方式降低比较器亚稳态：提高增益(A)，增加锁存的增益带宽以减小再生时间常数( $\tau$ )，并为比较器输出达到有效逻辑电平给出充足的时间(t)。分析速度、功率和电路复杂性之间复杂的权衡关系以优化比较器设计不在本文讨论范围之内，不过参考文献3、4对该问题进行了较好的探讨。

从用户角度来看，比较器亚稳态的影响（如果会影响ADC的性能的话）体现在“误码率”(BER)——通常大多数ADC数据手册中并未标明该值。最终误差通常称为“闪码”、“跳码”或“飞码”。

在大多数应用中，设计得当的ADC并不存在误码率问题，但系统设计师必须知道，这种现象是可能存在的。在数字示波器中利用ADC来检测小幅单发随机事件时，可能存在这种问题。如果误码率不够小，ADC可能给出错误的信息。欲了解闪码的更多讨论，请参见“[教程 MT-011](#)”。

## Flash转换器

Flash ADC（有时称为“并行”ADC）是速度最快的ADC，其中使用数个比较器。一个N位flash ADC包括 $2N$ 个电阻和 $2N - 1$ 个比较器，具体排列方式如图4所示。每个比较器均从电阻串获得基准电压，且每个基准电压要比链中的下一个基准电压大1 LSB。对于给定输入电压，低于某个点的所有比较器都将出现输入电压高于基准电压且逻辑输出为"1"，而高于该点的所有比较器则都将出现基准电压高于输入电压且逻辑输出为"0"。因此， $2N - 1$ 个比较器输出在行为上类似于水银温度计，而该点的输出码有时称为“温度计”码。由于 $2N - 1$ 个数据输出并不便于实际应用，因此需要经过解码器处理来产生N位二进制输出。

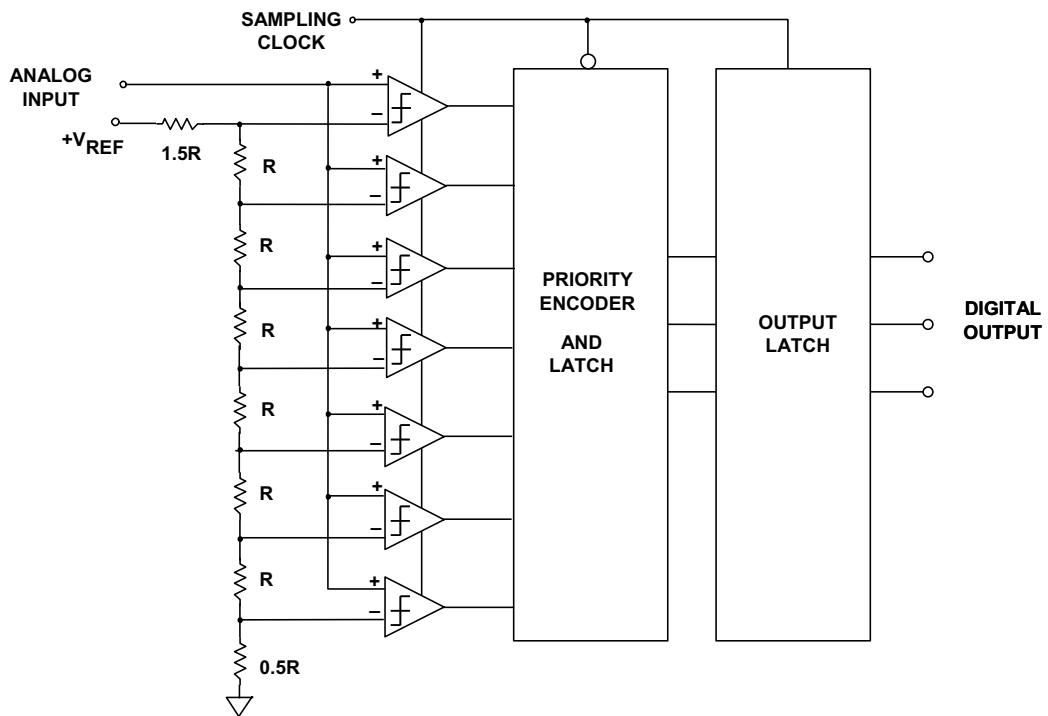


图4：3位全并行(Flash)转换器

由于输入信号同时施加于所有比较器，因此温度计输出与输入之间仅存在一个比较器延迟，而编码器N位输出仅存在数个门延迟，故而该过程非常迅速。此外，各个比较器固有“采样保持”功能，因此理论上，只要比较器完全动态匹配，flash转换器就无需单独的SHA。不过实际操作中，由于比较器之间不可避免地存在细微时序不匹配，因此大多数flash转换器通常都需要添加合适的外部采样保持电路来改善动态性能。

由于flash转换器采用了大量电阻和比较器且限制在低分辨率，因此如果达到较高速度，每个比较器就必须以相对较高的功耗水平运行。因此，flash ADC的问题包括分辨率有限、因使用大量高速比较器(尤其是采样速率超过50 MSPS时)而导致功耗较高和相对较大(因此成本较高)的芯片尺寸。此外，基准电阻链的电阻必须保持在较低水平，以便向快速比较器提供足够的偏置电流，因此基准电压源必须提供较大的源电流(通常大于10 mA)。

### 典型的Flash转换器时序

图5所示为早期商用flash转换器(8位、35 MSPS [AD9048](#))的简化时序图。采样时钟处于低电平状态时，输入比较器处于“跟踪”或“透明”模式。采样时钟的上升沿将比较器置于“保持”或“锁存”模式。“保持”时间期间，解码逻辑根据比较器输出做出决策。采样时钟的下降沿将解码数据锁存至中间锁存器。采样时钟的下一个上升沿将解码数据传输至输出锁存器。注意，这就在输出数据上产生相对于对应采样时钟沿的一个“流水线延迟”周期。中间锁存器允许使用更为复杂的两级解码方法。例如，比较器输出数据首先解码成格雷码并在采样时钟的下降沿锁存，然后在“跟踪”时间间隔内转换成二进制。两级解码通常用于最大程度地减少因错误地解读比较器输出而导致的“闪码”。(有关闪码和亚稳态误差的详细讨论，请参见“教程[MT-011](#)”。)有些flash转换器使用的是更为复杂的解码方法，因此流水线延迟超过一个时钟周期。

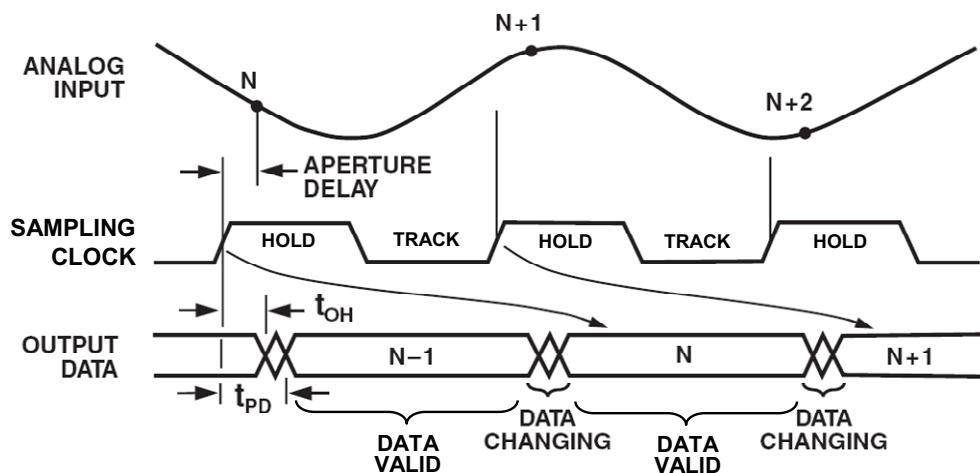
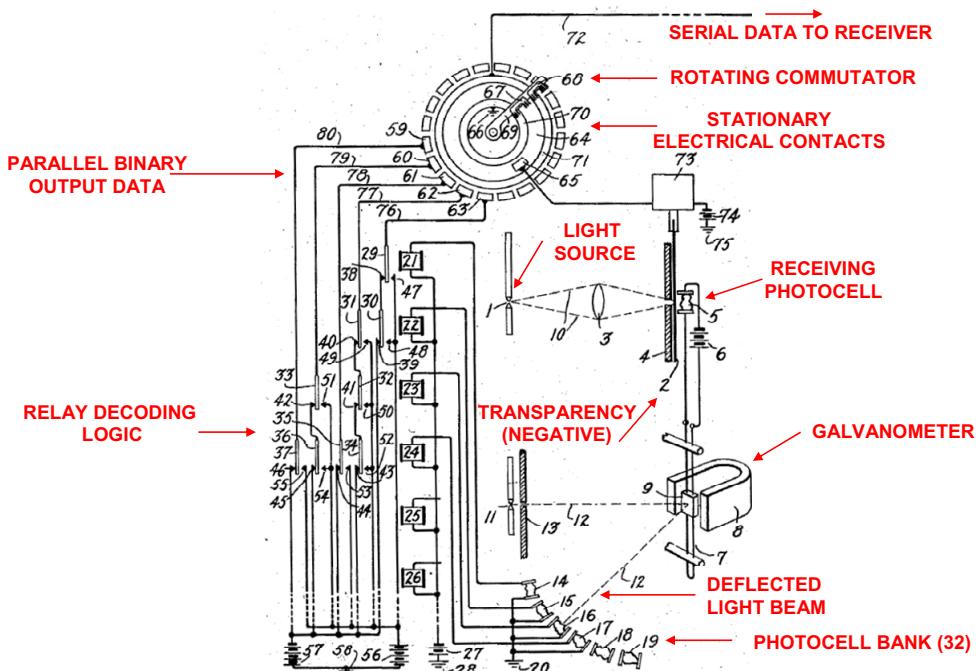


图5：典型的Flash转换器（8位、35 MSPS AD9048）的数据时序

如果使用的是简单的优先级解码方法，则无需输出锁存和中间锁存，即可直接从解码逻辑的输出端获取二进制数据。不过，如果是这种情况，则“跟踪”时间间隔内输出数据会不断变化，因此“DATA VALID”时间间隔限制为采样时钟周期的一半。因此，习惯做法是至少使用一个锁存器，以便输出数据可以在除少量“DATA CHANGING”时间之外的整个采样周期内保持不变，如图5所示。

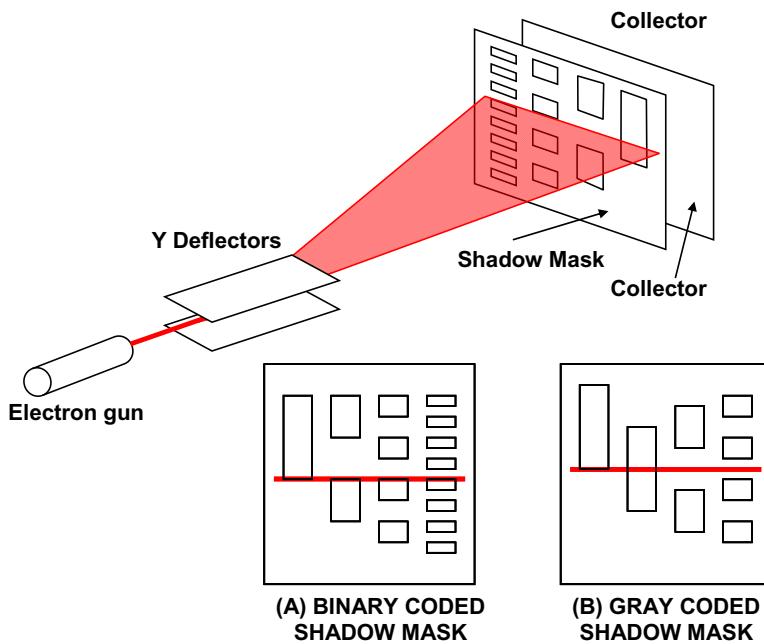
## Flash转换器历史展望

最早有记录的flash转换器是Paul M. Rainey研发的电子机械PCM传真系统，该系统曾出现在1921年一项未引起重视的专利中(参考文献5)。在ADC中，与光线强度成比例的电流驱动电流计，而后者又移动另一光束来激活32个光电管之一，具体取决于电流计偏转程度。每个光电管输出激活部分继电器网络，从而产生5位二进制代码，如图6所示。



**图6：Paul Rainey提出的5位Flash ADC，改编自Paul M. Rainey“传真电报系统”，  
美国专利1,608,527，1921年7月20日申请，1926年11月30日颁发**

上世纪40年代期间，高速ADC技术取得了一项重大进展，那就是贝尔实验室研发出了电子束编码管，如图7所示。该电子管(R. W. Sears在参考文献6中描述的)能够以96 kSPS速率和7位分辨率进行采样。图6所示为4位器件的基本电子束编码器概念。该电子管采用“扇形”电子束来构建“flash”转换器，从而传送并行输出字。



**图7：贝尔实验室的电子束编码器(1948)**

早期的电子管编码器采用二进制编码荫罩(图7A)，并且如果电子束跨越两个相邻码字并将其同时点亮，则可能会出现较大误差。之后通过采用格雷码荫罩消除了与二进制荫罩相关的误差，如图7B所示。此编码原先称为“反演二进制”码，最初由Elisha Gray于1878年发明，之后由Frank Gray于1949年重新发明(参见参考文献7)。采用格雷码时，相邻电平对应的格雷码字仅有一位之差。因此，如果针对特定电平的位判断有误差，则转换为二进制代码后的对应误差仅为1 LSB。对于中间电平，仅MSB改变。值得注意的是，基于比较器的现代Flash型转换器也可能由于比较器亚稳态而发生这一现象。在少量过驱情况下，如果采用标准二进制解码技术，则比较器的输出可能在其锁存输出中产生错误的判断，从而出现同样的现象。许多情况下，格雷码或伪格雷码用来解码比较器库输出，然后最终转换成二进制代码输出。

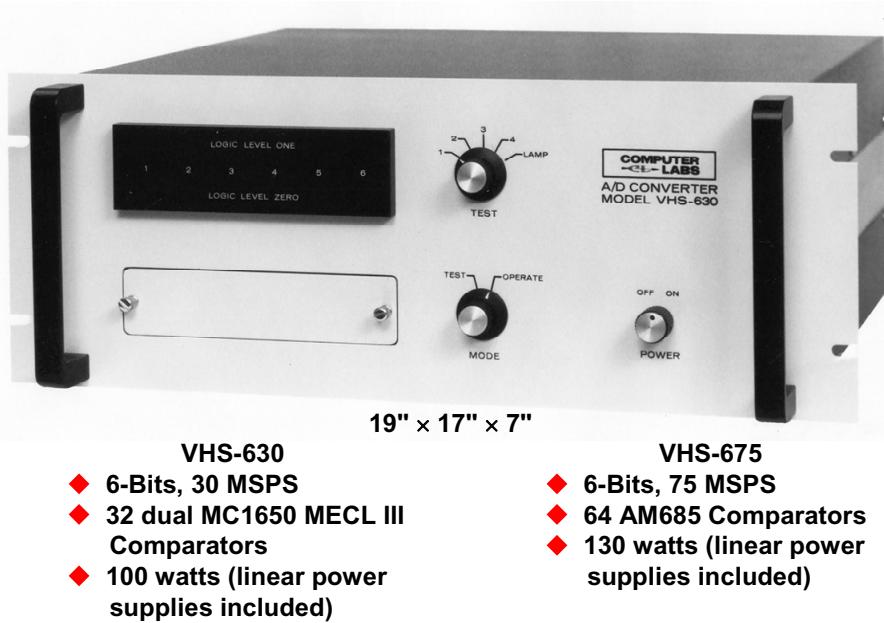
尽管存在很多与电子束对齐相关的机械和电子问题，但是电子管编码技术在上世纪60年代中期达到了巅峰，研制出了采样速率可达12 MSPS的实验性9位编码器。(参考文献8)。不过，之后不久随着全固态ADC技术的迅速发展，电子管技术逐渐退出历史舞台。

人们很快就认识到，与其它架构相比，flash转换器的采样速率是最快的，但是这种方法的问题在于，由于采用分立晶体管电路和真空管，比较器电路本身相当庞大而且非常繁琐。

对于上述两种技术而言，构建单锁存比较器单元都是一件相当不容易的事情，而哪怕是要扩展至4位分辨率(需要15个比较器)都显得有些不切实际。然而，Robert Staffin和Robert D. Lohman在上世纪50年代中期和60年代初期完成了该项工作，在他们获得专利中描述了一种同时使用电子管和晶体管技术的分级架构(参考文献9)。该项专利讨论了全并行方法所存在的问题并指出了通过将转换过程拆分成粗略转换加精细转换所能实现的节省。

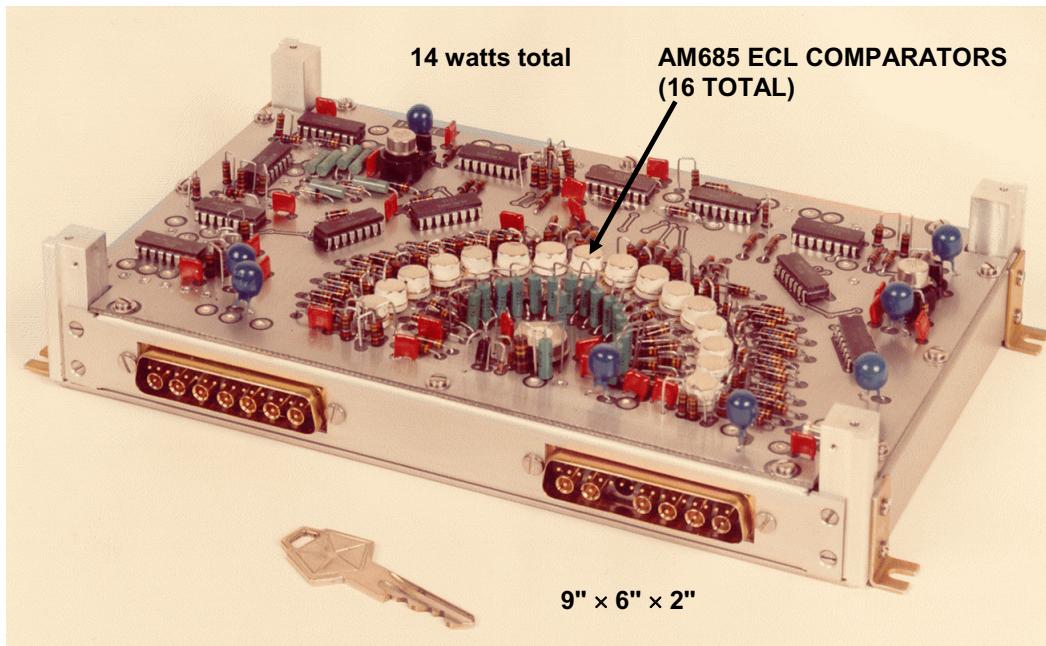
上世纪60年代的数种早期实验性flash转换器均采用隧道二极管作为比较器来代替仅基于电子管或晶体管的锁存比较器(参见参考文献10-13)。

1964年，Fairchild推出了首款IC比较器μA711/712，该器件由Bob Widlar负责设计。同年，Fairchild还推出了首款IC运算放大器μA709，Widlar的另一项设计产品。紧随其后推出的其它IC比较器包括Signetics 521、National LM361、Motorola MC1650 (1968)和AM685/687 (1972/1975)。随着这些构建模块比较器的推出和TTL和ECL逻辑IC的面市，Computer Labs, Inc.推出了6位机架安装分立flash转换器，包括VHS-630(6位、30 MSPS，1970年)和VHS-675 (6位、75 MSPS，1975年)。图8所示的VHS-675采用了63个AM685 ECL比较器，比较器前面接高速采样保持ECL解码逻辑，并内置线性电源(交流线路供电)，总能耗为130 W(1975年售价约为\$10,000)。此类仪器应用于早期的高速数据采集应用，包括军用雷达接收机。



**图8：Computer Labs, Inc.推出的VHS系列ADC：VHS-630 (1970)、VHS-675 (1975)**

AM685比较器还用作4位100 MSPS电路板级flash ADC MOD-4100(975年推出)的构建模块，如图9所示。



**图9：Computer Labs于1975年推出的4位、100-MSPS Flash转换器**

1979年，TRW LSI部门推出了首款集成电路8位视频速度30 MSPS flash转换器TDC1007J(参考文献14和15)。之后不久又推出了相同设计的6位版本，即TDC1014J。同样在1979年，Advanced Micro Devices, Inc.推出了4位100 MSPS IC flash转换器AM6688。

单芯片flash转换器在上世纪80年代变得非常流行，广泛应用于高速8位视频应用和较高分辨率分级卡片、模块和混合ADC的构建模块。来自ADI公司的器件示例包括[AD9048](#)(8位、35 MSPS)和[AD9002](#)(8位、150 MSPS)。许多flash转换器均采用CMOS工艺制造，以降低能耗。不过，最近分级流水线架构在速率高达约250 MSPS的8位ADC中日益受欢迎。例如，8位250 MSPS ADC [AD9480](#)采用高速BiCMOS工艺制造，耗能低于400mW，而采用类似工艺的全flash实施耗能则为数瓦。

在实际操作中，IC flash转换器目前最高可达到10位，但较为常见的分辨率是6或8位。而最大采样速率最高可达1 GHz(这类器件一般采用的是砷化镓且功耗为数瓦)，且全功率输入带宽超过300 MHz。

但正如上文所述，全功率带宽并不一定就是全分辨率带宽。理想情况下，flash转换器中的比较器在直流和交流特性上完全匹配。

由于采样时钟同时施加于所有比较器，因此flash转换器本质上是采样转换器。在实际操作中，比较器之间存在延迟偏差及其它交流不匹配，这些在高输入频率时可导致有效位数(ENOB)减少。这是因为输入压摆率能与比较器转换时间相比为此，通常需要在flash转换器之前放置采样保持电路，从而在高频输入信号上实现高SFDR。

flash型ADC的输入以并行方式施加于多个比较器。每个比较器都具有可变电压分结电容，而这种与信号相关的电容使得大多数flash型ADC在高输入频率下都具有较低ENOB和较高分辨率。为此，大多数flash转换器必须以宽带运算放大器来驱动，且后者需要能够耐受转换器的容性负载和输入端上产生的高速瞬变。

flash转换器中的比较器亚稳态会严重地影响误码率(BER)。图10所示为具有一级二进制解码逻辑的简单flash转换器。双输入与门将并行比较器的温度计编码输出转换成“独热”码。解码逻辑就是一个“线或”阵列，后者是发射极耦合逻辑(ECL)中常见的一项技术。假定标为“X”的比较器具有标为“X”的亚稳态输出。所需输出码应为011或100，但请注意，受亚稳态影响也可能出现000码(两个门输出均为高电平)和111码(两个门输出均为低电平)，表示 $\frac{1}{2}$  FS误差。

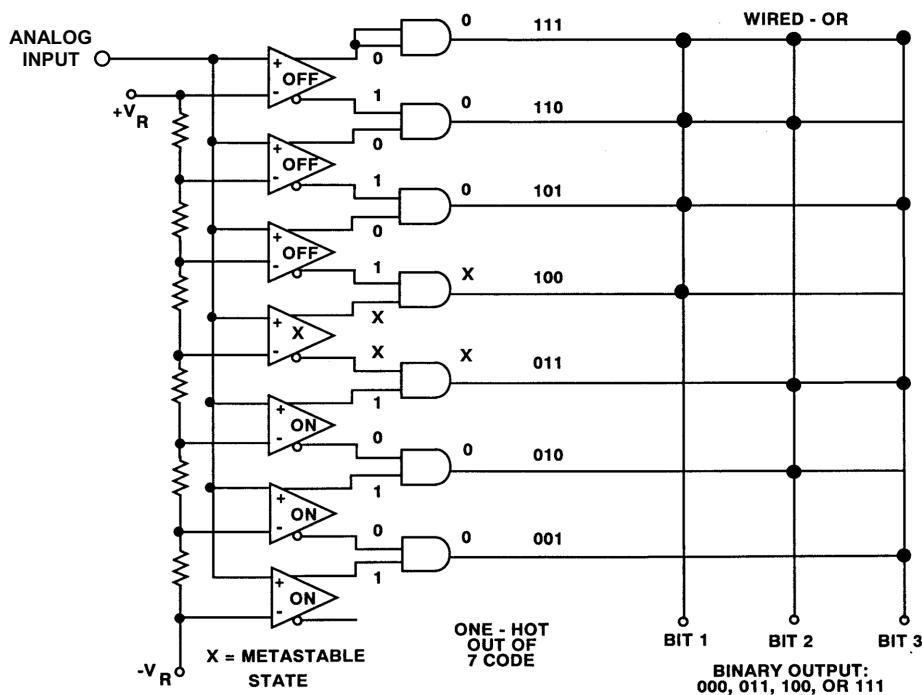


图10：比较器输出亚稳态可能导致数据转换器中出现错误码

Metastable state errors in flash转换器中的亚稳态误差可以通过数项技术来消减，其中之一涉及到以格雷码对比较器输出进行解码，然后如前文所述的贝尔实验室电子束编码器中一样进行格雷码至二进制转换。格雷码解码的优势在于，任意比较器的亚稳态仅可在格雷码输出中产生1 LSB误差。锁存之后，格雷码接着转换成二进制码，而后的最大误差又仅为1 LSB，如图11所示。

多种现代IC flash转换器都采用了相同原则来最大程度地减少参考文献3、16和17等中所述的亚稳态误差效应。

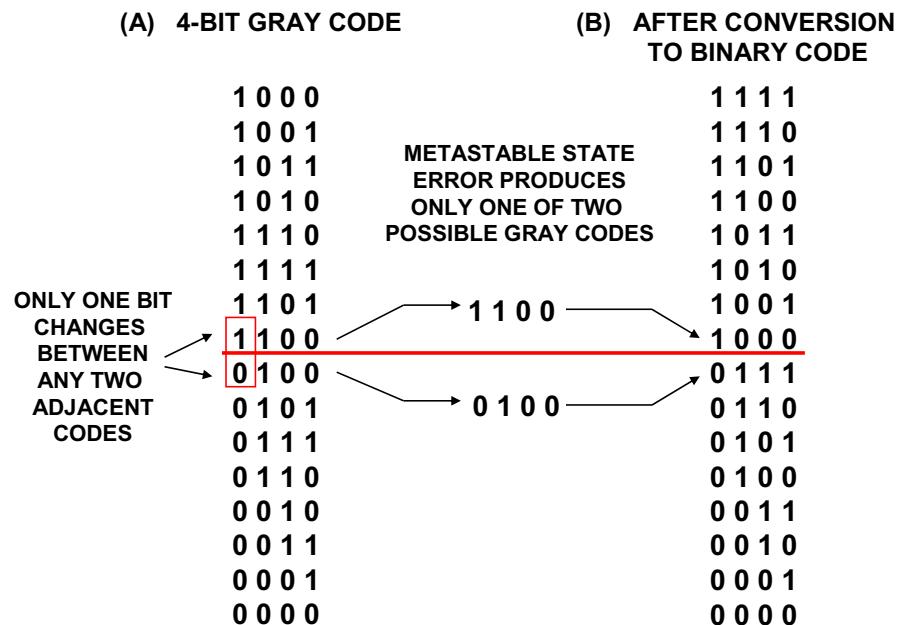


图11：格雷码解码减少亚稳态误差幅度

功耗始终是flash转换器的一项重要因素，尤其是分辨率超过8位时。10位、210-MSPS ADC [AD9410](#)中采用了一种称为“插值”的聪明技巧，不仅最大程度地减少了flash转换器中的前置放大器数量，而且还降低了功耗。该方法如图12所示（参见参考文献18）。

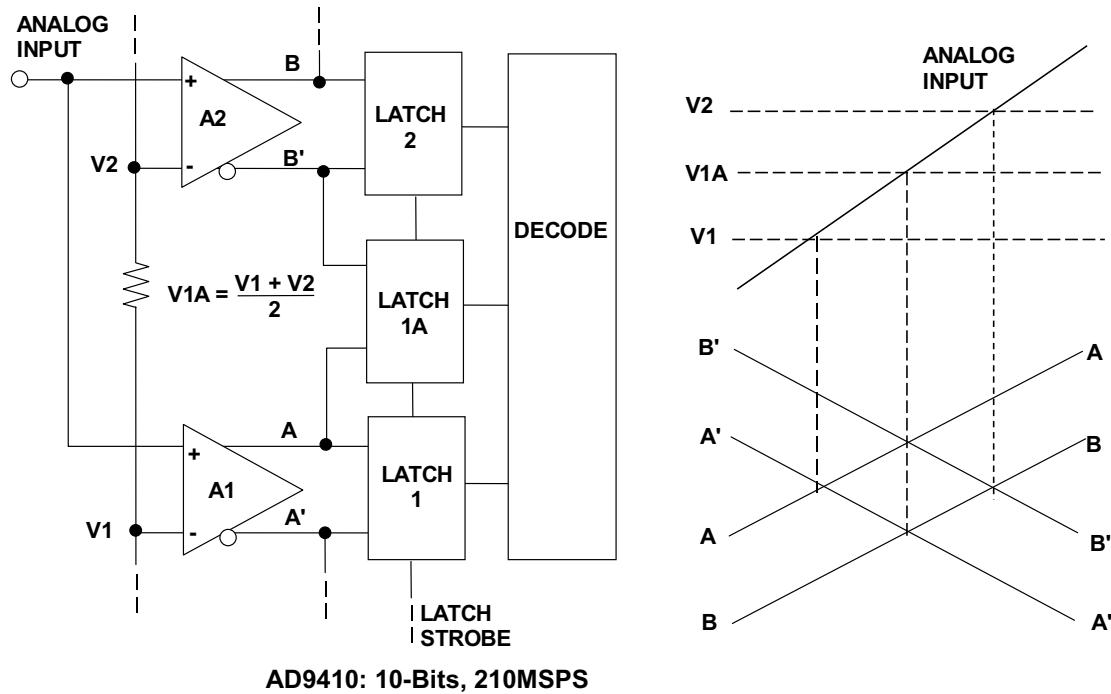


图12：“插值”Flash将前置放大器数量减少一半

前置放大器(标为"A1"、"A2"等)是低增益 $g_m$ 级且带宽与差分对的尾电流成比例。假定正向斜坡输入最初低于AMP A1的基准电压V1。当输入信号接近V1时，A1的差分输出接近零(如A = A')并到达决策点。A1的输出驱动LATCH 1的差分输入。随着输入信号继续朝正向变化，A继续朝正向变化，而B'开始朝负向变化。当A = B'时，即确定插值决策点。随着输入继续朝正向变化，当B = B'时即会到达第三个决策点。这种革新架构减少了ADC输入电容，因而可最大程度地减少其随信号电平发生的变化及相关失真。AD9410还采用输入采样保持电路来改善线性度。

## 总结

flash转换器仍旧是给定IC工艺所能制造的最快ADC架构。不过，功耗和电路板空间考虑因素常常导致分辨率限制为6或8位。商用砷化镓型flash转换器的采样速率可超过1 GHz，但是成本和功耗使得其很难被广泛应用。而凭借“流水线”架构，则能够以较低采样速率(最高位数百MSPS)实现分辨率更高、功耗和成本更低的ADC。这项技术采用低分辨率flash转换器作为构建模块，具体将在“[教程MT-023](#)”中加以讨论。

## 参考文献

1. Reza Moghimi, "[Amplifiers as Comparators](#)," Ask the Applications Engineer 31, *Analog Dialogue*, Vol. 37-04, Analog Devices, April 2003, <http://www.analog.com>.
2. James N. Giles, "High Speed Transistor Difference Amplifier," *U.S. Patent 3,843,934*, filed January 31 1973, issued October 22, 1974. (*describes one of the first high-speed ECL comparators, the AM685*).
3. Christopher W. Mangelsdorf, "A 400-MHz Input Flash Converter with Error Correction," *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 1, February 1990, pp. 184-191. (*a discussion of the AD770, an 8-bit 200 MSPS flash ADC. The paper describes the comparator metastable state problem and how to optimize the ADC design to minimize its effects*).
4. Charles E. Woodward, "A Monolithic Voltage-Comparator Array for A/D Converters," *IEEE Journal of Solid State Circuits*, Vol. SC-10, No. 6, December 1975, pp. 392-399. (*an early paper on a 3-bit flash converter optimized to minimize metastable state errors*).
5. Paul M. Rainey, "Facimile Telegraph System," *U.S. Patent 1,608,527*, filed July 20, 1921, issued November 30, 1926. (*although A. H. Reeves is generally credited with the invention of PCM, this patent discloses an electro-mechanical PCM system complete with A/D and D/A converters. The 5-bit electro-mechanical ADC described is probably the first documented flash converter. The patent was largely ignored and forgotten until many years after the various Reeves' patents were issued in 1939-1942*).
6. R. W. Sears, "Electron Beam Deflection Tube for Pulse Code Modulation," *Bell System Technical Journal*, Vol. 27, pp. 44-57, Jan. 1948. (*describes an electron-beam deflection tube 7-bit, 100-kSPS flash converter for early experimental PCM work*).
7. Frank Gray, "Pulse Code Communication," *U.S. Patent 2,632,058*, filed November 13, 1947, issued March 17, 1953. (*detailed patent on the Gray code and its application to electron beam coders*).
8. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," *Bell System Technical Journal*, Vol. 44, pp. 1887-1940, Nov. 1965. (*summarizes experiments on ADCs based on the electron tube coder as well as a bit-per-stage Gray code 9-bit solid state ADC. The electron beam coder was 9-bits at 12 MSPS, and represented the fastest of its type at the time*).
9. R. Staffin and R. D. Lohman, "Signal Amplitude Quantizer," *U.S. Patent 2,869,079*, filed December 19, 1956, issued January 13, 1959. (*describes flash and subranging conversion using tubes and transistors*).
10. Goto, et. al., "Esaki Diode High-Speed Logical Circuits," *IRE Transactions on Electronic Computers*, Vol. EC-9, March 1960, pp. 25-29. (*describes how to use tunnel diodes as logic elements*).
11. T. Kiyomo, K. Ikeda, and H. Ichiki, "Analog-to-Digital Converter Using an Esaki Diode Stack," *IRE Transactions on Electronic Computers*, Vol. EC-11, December 1962, pp. 791-792. (*description of a low resolution 3-bit flash ADC using a stack of tunnel diodes*).
12. H. R. Schindler, "Using the Latest Semiconductor Circuits in a UHF Digital Converter," *Electronics*, August 1963, pp. 37-40. (*describes a 6-bit 50-MSPS subranging ADC using three 2-bit tunnel diode flash converters*).
13. J. B. Earnshaw, "Design for a Tunnel Diode-Transistor Store with Nondestructive Read-out of Information," *IEEE Transactions on Electronic Computers*, EC-13, 1964 , pp. 710-722. (*use of tunnel diodes as memory elements*).

14. Willard K. Bucklen, "A Monolithic Video A/D Converter," *Digital Video, Vol. 2*, Society of Motion Picture and Television Engineers, March 1979, pp. 34-42. (*describes the revolutionary TDC1007J 8-bit 20MSPS video flash converter. Originally introduced at the February 3, 1979 SMPTE Winter Conference in San Francisco, Bucklen accepted an Emmy award for this product in 1988 and was responsible for the initial marketing and applications support for the device*).
15. J. Peterson, "A Monolithic video A/D Converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 6, December 1979, pp. 932-937. (*another detailed description of the TRW TDC1007J 8-bit, 20-MSPS flash converter*).
16. Yukio Akazawa et. al., "A 400MSPS 8 Bit Flash A/D Converter," *1987 ISSCC Digest of Technical Papers*, pp. 98-99. (*describes a monolithic flash converter using Gray decoding*).
17. A. Matsuzawa et al., "An 8b 600MHz Flash A/D Converter with Multi-stage Duplex-gray Coding," *Symposium VLSI Circuits, Digest of Technical Papers*, May 1991, pp. 113-114. (*describes a monolithic flash converter using Gray decoding*).
18. Chuck Lane, "A 10-bit 60MSPS Flash ADC," *Proceedings of the 1989 Bipolar Circuits and Technology Meeting*, IEEE Catalog No. 89CH2771-4, September 1989, pp. 44-47. (*describes an interpolating method for reducing the number of preamps required in a flash converter*).
19. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 1 and 3. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 1 and 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## ADC架构II：逐次逼近型ADC

作者：Walt Kester

### 简介

数年以来，逐次逼近型ADC一直是数据采集系统的主要依靠。近期设计改良使这类ADC的采样频率扩展至兆赫领域且分辨率为18位。ADI公司的PulSAR®系列SAR ADC采用内部开关电容技术和自动校准，以CMOS工艺实现18位、2 MSPS性能([AD7641](#))，而无需进行昂贵的薄膜激光调整。在16位级别，[AD7625](#)(6 MSPS)和[AD7626](#)(10 MSPS)还代表着突破性的技术。

基本逐次逼近型ADC如图1所示。该器件根据命令执行转换。为了处理交流信号，SAR ADC必须具有输入采样保持(SHA)功能来实现在转换周期期间保持信号不变。

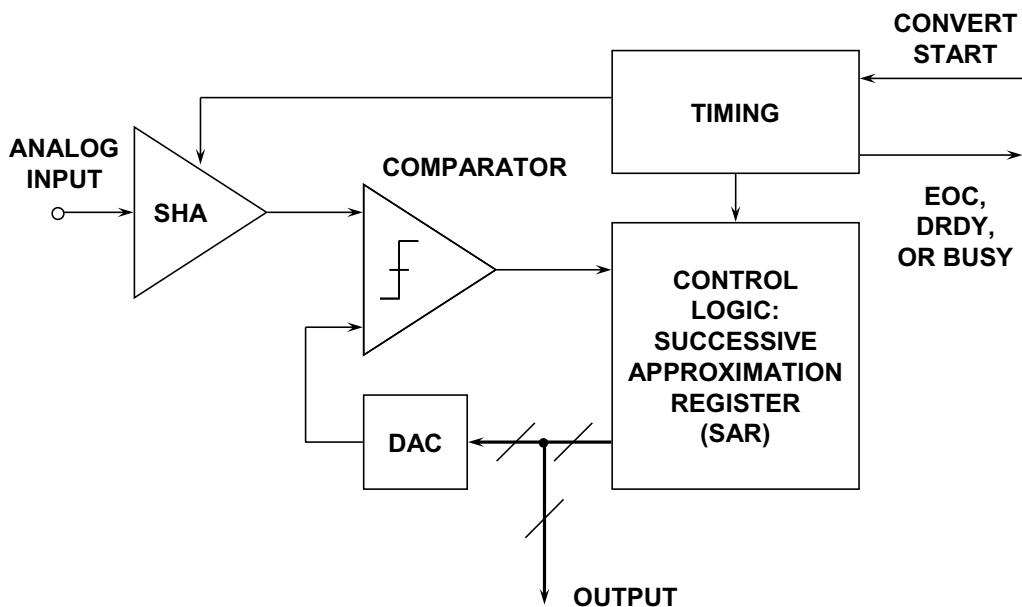


图1：基本逐次逼近型ADC(反馈减损型ADC)

CONVERT START命令置位时，采样保持(SHA)电路置于保持模式，而内部DAC设为中间电平。比较器确定SHA输出是大于还是小于DAC输出，并将结果(位1，转换的最高有效位)存储在逐次逼近型寄存器(SAR)中。然后，DAC被设为 $\frac{1}{4}$ 量程或 $\frac{3}{4}$ 量程(取决于位1的值)，而比较器则确定转换的位2。结果同样存储在寄存器中，而该过程继续进行，直到确定所有位的值为止。当所有位均完成设置、测试并根据需要复位之后，SAR的内容即对应于模拟输入的值，而转换到此完成。这些位“测试”构成串行输出版SAR型ADC的基础。注意，首字母缩写词“SAR”实际上代表Successive Approximation Register(逐次逼近型寄存器)，即控制转换过程的逻辑模块，但人们普遍将其视作该架构本身的缩写。

## SAR ADC时序

典型SAR ADC的基本时序图如图2所示。转换结束通常是通过转换结束(EOC)、数据就绪(DRDY)或繁忙信号(实际上，空闲信号表示转换结束)来表示。对于不同的SAR ADC，此信号的极性和名称可能会有所不同，但基本概念是相同的。在转换间隔开始时，信号变为高电平(或低电平)并保持该状态，直到转换完成为止，然后信号变为低电平(或高电平)。下降沿通常表示有效的输出数据，但应当仔细查看数据手册；有些ADC中可能需要额外延迟，输出数据才有效。

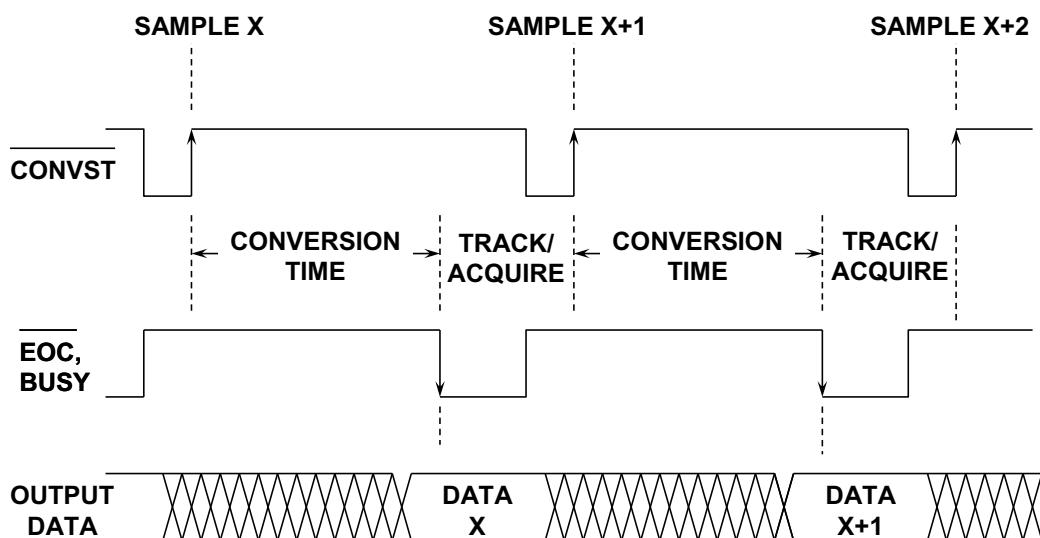


图2：典型的SAR ADC时序

N位转换分N步进行。因此，16位转换器的转换时间是8位转换器的两倍，这看起来是非常浅显的道理，但实际并不是这样。在8位转换器中，DAC必须建立至8位精度，然后才会做出位判断，而在16位转换器中则必须建立至16位精度，而这需要更长时间。在实际操作中，8位逐次逼近型ADC在数纳秒内即可完成转换，而16位逐次逼近型ADC则通常需要数微妙。

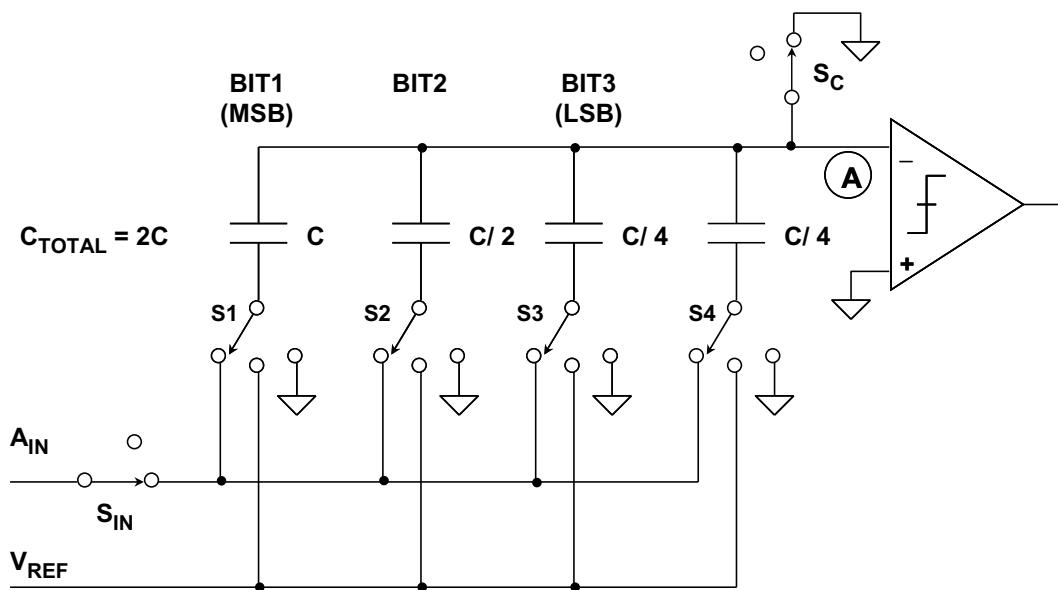
虽然存在一些变化，但大多数ADC的基本时序是类似的且相对直观。转换过程通常由置位CONVERT START信号来启动。CONVST信号是趋负脉冲，其趋正边沿实际上启动转换。内部采样保持(SHA)放大器在此边沿置于保持模式，并使用SAR算法来确定各个位。CONVST的趋负边沿导致EOC或BUSY线路变为高电平。转换完成时，BUSY线路变为低电平，表示转换过程已完成。大多数情况下，BUSY线路的下降沿可用于表示输出数据有效并可用来选通输出数据并存入外部寄存器。不过，由于术语和设计上存在诸多变化，因此使用特定ADC时应当仔细查阅相关数据手册。SAR ADC的重要特性之一是转换时间结束时，即可获得对应于采样时钟边沿的数据，而没有“流水线”延迟。这使得SAR ADC在“单发”和多路复用应用中使用尤为简单。

还应注意的是，除CONVERT START命令之外，有些SAR ADC还需要外部高频时钟。大多数情况下，无需将CONVERT START命令同步至高频时钟。如果需要，外部时钟的频率通常位于1 MHz至30 MHz范围内，具体取决于ADC的转换时间和分辨率。其它SAR ADC内置振荡器来用于执行转换并仅需要CONVERT START命令。因为其架构，SAR ADC通常允许以从DC到转换器最大转换速率范围内的任意重复率进行单发转换。不过，存在一些例外情况，因此始终应当查阅数据手册。

注意，SAR ADC的整体精度和线性度主要取决于内部DAC。直到最近，大多数精密SAR ADC都采用激光调整薄膜DAC来实现所需的精度和线性度。薄膜电阻调整过程会导致成本增加，并且薄膜电阻值可能会受到封装机械压力的影响。

为此，开关电容(或电荷再分配)DAC在新款SAR ADC中日益流行。开关电容DAC的优势在于，精度和线性度主要取决于高精度光刻，而后者又控制电容板面积、电容值和匹配程度。此外，可与主电容并联小电容，并可通过自动校准例程来控制是否接入小电容，因而无需薄膜激光调整，便可实现高精度和线性度。开关电容之间的温度跟踪能力可优于1 ppm/ $^{\circ}$ C，因此可提供较高的温度稳定性。现代细线CMOS工艺非常适合制造开关电容SAR ADC，因此成本较低。

简单的3位电容DAC如图3所示。图中的开关处于跟踪或采样模式，其中模拟输入电压 $A_{IN}$ 对所有电容并联组合持续充电和放电。保持模式通过打开 $S_{IN}$ 来启动，此时将采样的模拟输入电压保留在电容阵列中。接着，开关 $S_C$ 被打开，从而允许节点A处的电压随着位开关操控而移动。如果S1、S2、S3和S4全部连接到地，则节点A处出现大小等于 $-A_{IN}$ 的电压。如果将S1连接到 $V_{REF}$ ，则电压会在 $A_{IN}$ 的基础上增加 $V_{REF}/2$ 。然后，比较器做出MSB位判断，而SAR保持S1连接到 $V_{REF}$ 或将其连接到地，具体取决于比较器输出(高电平或低电平，分别取决于节点A处的电压是正还是负)。剩余的两个位遵循类似的过程。转换时间间隔结束时，S1、S2、S3、S4和 $S_{IN}$ 连接到地，而转换器则已准备好进入下一周期。



SWITCHES SHOWN IN TRACK (SAMPLE) MODE

图3：3位开关电容DAC

注意，需要使用额外的LSB电容(对于3位DAC，为 $C/4$ )来使电容阵列的总电容值等于 $2C$ ，以便可在操控各个位电容时完成二进制分配。

电容DAC(cap DAC)的操作类似于R-2R阻性DAC。当特定位电容切换至 $V_{REF}$ 时，该位电容所构成的分压器和总阵列电容( $2C$ )即会导致节点A处电压增加，具体幅度等于该位的权重。当该电容切换至地时，则会从节点A中减去相同大小的电压。

### SAR ADC历史展望

逐次逼近型(最初称为“反馈减损型”)ADC转换过程中使用的基本算法可以追溯到16世纪，与某个数学谜团的解决相关，即通过最小序列的称量操作来确定未知重量(参考文献1)。如上所述，该问题的目的是确定最少的称量次数，从而使用天平称量出1 lb到40 lb范围内且为整数值的重量。1556年数学家Tartaglia提出的解决方案之一就是使用1 lb、2 lb、4 lb、8 lb、16 lb和32 lb的称重序列。上述称重算法与现代逐次逼近型ADC中使用的算法完全相同。(应注意，此种解决方案实际上可以测量最高63 lb的未知重量，而非问题中所述的40 lb。)该算法如图4所示，其中未知重量为45 lb。此处使用天平等比来演示该算法。

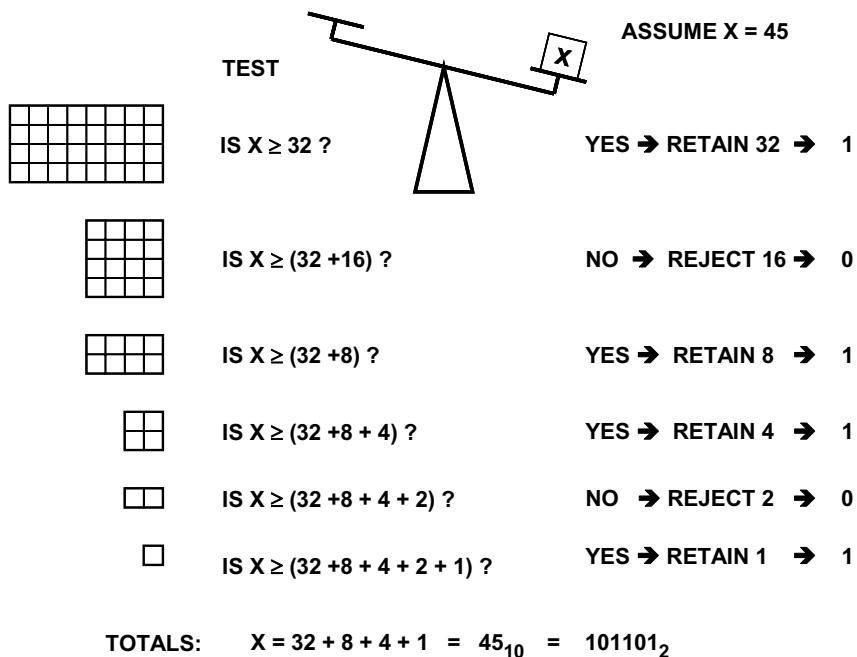


图4：逐次逼近型ADC算法

逐次逼近型ADC的早期实施并未采用DAC和逐次逼近型寄存器，但却以各种方式实施了类似功能。实际上，早期SAR ADC称为“连续编码器”、“反馈编码器”或“反馈减法器编码器”。术语SAR ADC是在上世纪70年代随着National Semiconductor和Advanced Micro Devices退出2503和2504等商用逐次逼近型寄存器逻辑IC而出现的。这些器件经过专门设计，可在逐次逼近型ADC中执行寄存器和控制功能，并且是许多模块式和混合型数据转换器的标准构建模块。

从数据转换角度来看，逐次逼近型ADC架构构成T1 PCM载波系统的构建模块，并且仍然是如今备受欢迎的架构之一，但此架构的确切来源并不是很清楚。虽然与逐次逼近型架构改进和变化相关的专利颁发无数，但这些专利都未说明基本原理。

1946年，贝尔电话实验室的J. C. Schelleng首次在某项专利中提到PCM环境下的逐次逼近型ADC架构(实际上是连续编码器)(参考文献2)。该设计并未使用内部DAC，而是以某种涉及添加二进制加权基准电压的革新方式实施逼近过程。有关此真空管设计的详细信息，请参见该项专利。

1947年，贝尔电话实验室的Goodall在某篇论文中描述了实施逐次逼近型ADC的更好方法(参考文献3)。此ADC具有5位分辨率并以8 kSPS的速率对声音通道进行采样。首先对语音信号进行采样，并将对应电压存储在电容上。然后，将其与大小等于满量程电压一半的基准电压进行比较。如果大于基准电压，则MSB登记为"1"，并从存储电容减去大小等于 $\frac{1}{2}$ 量程的电荷量。如果电容上的电压小于 $\frac{1}{2}$ 量程，那么不会移除任何电荷，并且位登记为"0"。MSB判断完成之后，针对第二位继续该循环，不过此时基准电压为 $\frac{1}{4}$ 量程。该过程持续到所有位判断完成为止。这种电荷再分配概念类似于现代开关电容DAC。

Schelleng和Goodall设计的ADC均采用二进制加权基准电压加减过程来执行SAR算法。虽然存在DAC功能，但并未使用传统的二进制加权DAC来执行。1953年，H. R. Kaiser et. al.(参考文献4)和B. D. Smith(参考文献5)设计的ADC采用真正的二进制加权DAC来产生输入信号的模拟逼近，这与现代SAR ADC相似。Smith还指出，通过使用非均匀加权DAC可以实现非线性ADC传递函数。这项技术构成了早期PCM系统中所用压缩扩展语音频带编解码器的基础。(请参见“[教程MT-018：有意为之的非线性DAC](#)”。)在这项非线性ADC技术面世之前，采用的是线性ADC，并使用二极管/电阻网络来执行压缩和扩展功能，而二极管/电阻网络必须单独进行校准且必须保持在恒温条件下，以免出现漂移误差(参考文献6)。

当然，在讨论ADC历史时，如果没有提到EPSCO公司(现在为Analogic, Incorporated)Bernard M. Gordon做出的划时代工作，那么肯定就不完整。Gordon在1955年的专利申请(参考文献7)中描述了一种全真空管11位、50 kSPS逐次逼近型ADC，这代表着完整转换器的首款商用产品(见图5)。DATRAC采用19" × 26" × 15"外壳设计，功耗为数百瓦，当时售价约为\$8000.00。

在稍后一项专利中(参考文献8)，Gordon详细描述了执行逐次逼近型算法所需的逻辑模块。稍后在上世纪70年代中，National Semiconductor和Advanced Micro Devices实施了SAR逻辑功能——备受欢迎的2502/2503/2504系列IC逻辑芯片。在上世纪70和80年代，这些芯片几乎成为所有模块式和混合型逐次逼近型ADC必不可少的构建模块。



- ◆ 19" x 15" x 26"
- ◆ 150 lbs
- ◆ \$8,500.00

Courtesy,  
Analogic Corporation  
8 Centennial Drive  
Peabody, MA 01960

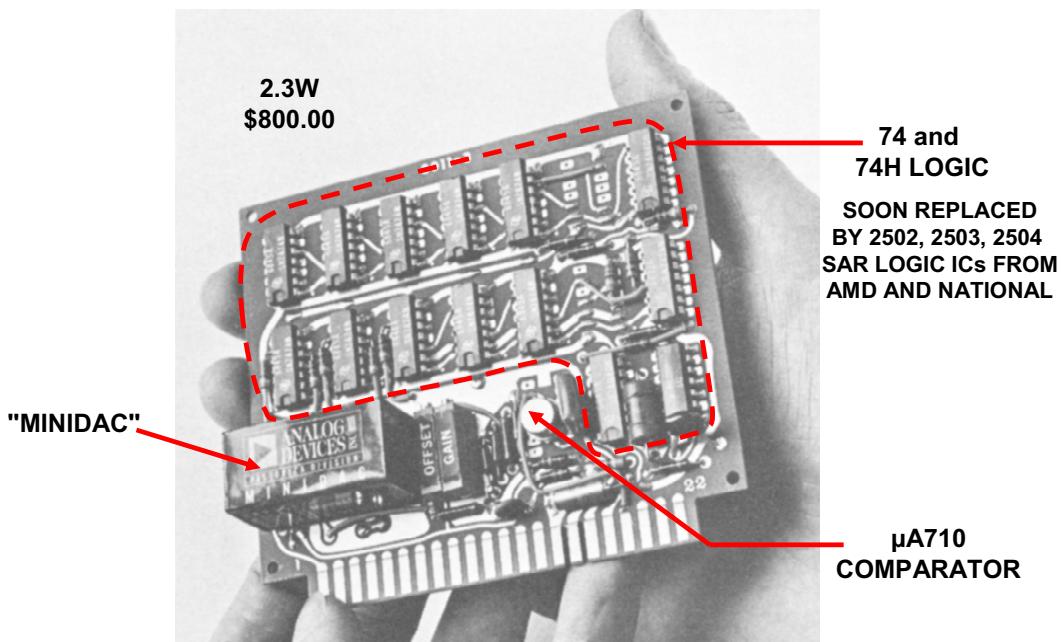
<http://www.analogic.com>

图5：1954年EPSCO公司Bernard M. Gordon设计的11位、50-kSPS SAR ADC "DATRAC"

### ADI公司于1969年进军数据转换器领域

1965年，Ray Stata和Matt Lorber在马萨诸塞州剑桥市创立ADI公司。ADI公司最初产品为高性能模块式运算放大器，但在1969年并购了Pastoriza Electronics(数据转换器产品的领先供应商)，从此坚定不移地投身于数据采集和线性产品。

Pastoriza拥有一系列数据采集产品，而图6所示为1969年款12位、10- $\mu$ s通用逐次逼近型ADC ADC-12U(当时售价约\$800.00)的照片。ADC-12U采用的是逐次逼近型架构，并利用一个 $\mu$ A710比较器、一个模块式12位"Minidac"和14个7400系列逻辑封装来执行逐次逼近型转换算法。



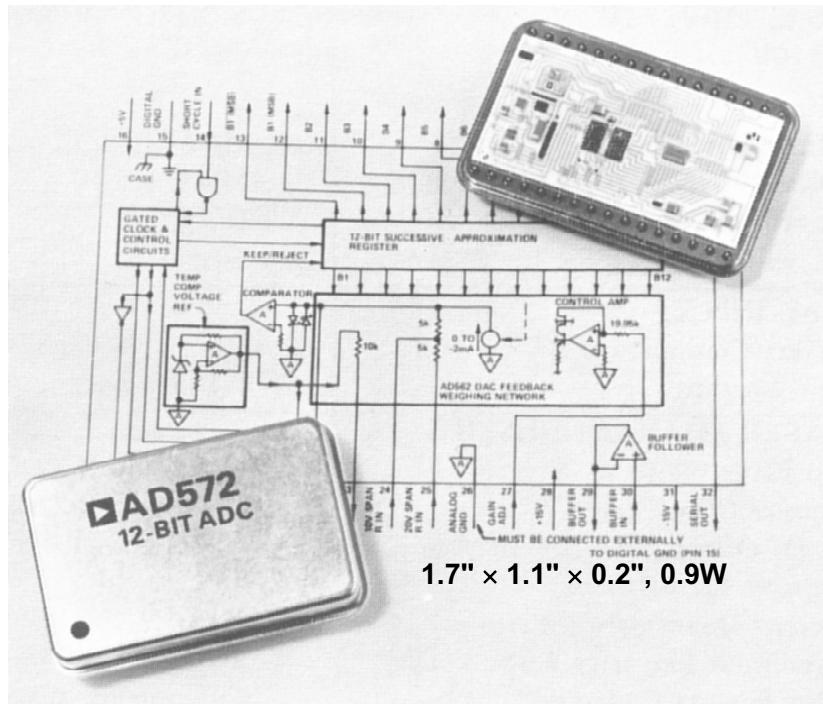
**图6：ADI公司Pastoriza分公司于1969年推出的12位、  
10- $\mu$ s SAR ADC ADC-12U**

"Minidac"模块实际上是由“四通道”IC (AD550)和薄膜网络(AD850)构建而成。有关这些早期DAC构建模块的进一步讨论，请参见[“教程MT-015：DAC架构II：二进制DAC”](#)。

注意，在ADC-12U中，逐次逼近型算法的实施要求采用14个逻辑封装。1958年，Bernard M. Gordon申请了一项关于逐次逼近型算法执行逻辑的专利(参考文献9)，并在上世纪70年代早期，Advanced Micro Devices和National Semiconductor推出了商用逐次逼近型寄存器IC：2502(8位串行，不可扩展)、2503(8位，可扩展)和2504(12位串行，可扩展)。这些器件经过专门设计，可在逐次逼近型ADC中执行寄存器和控制功能，并成为很多模块式和混合型数据转换器的标准构建模块。

1969年之后，ADI公司继续保持数据转换领域的先驱者地位。上世纪70年代期间，模块逐渐发展成为混合电路。混合电路通常采用具有厚膜或薄膜导体的陶瓷基板。独立芯片焊接到基板(通常采用环氧树脂)，而线焊构成焊盘和导体之间的连接。混合电路通常采用某种类型的陶瓷或金属封装进行密封封装。精度是通过在组装和互连之后、封装之前调整厚膜或薄膜电阻来实现的。制造商采用薄膜网络、分立薄膜电阻、堆积式厚膜或薄膜电阻或上述任意组合。

ADI公司于1977年推出的12位、 $25\text{-}\mu\text{s}$  SAR ADC [AD572](#)就是混合技术的一个很好例子。AD572配有内部时钟、基准电压源、比较器和输入缓冲放大器。SAR寄存器为常见的2504。内部DAC由一个12位开关芯片和一个主动调整型薄膜梯形电阻网络构成(单独封装为双芯片AD562 DAC)。AD572是首款通过军用认证的12位ADC，其按照MIL-STD-883B标准加工且可在 $-55^\circ\text{C}$ 至 $+125^\circ\text{C}$ 的整个温度范围内工作。图7所示为AD572的照片。



**图7：1977年通过军用认证的12位、 $25\text{-}\mu\text{s}$ 混合型ADC AD572**

ADI公司还是单芯片数据转换器领域的先驱者。1978年推出的12位、 $35\text{-}\mu\text{s}$  [AD574](#)很可能是有史以来最重要的SAR ADC。AD574代表着一个完整解决方案，其中包括埋层齐纳型基准电压源、时序电路和三态输出缓冲器来直接与8、12或16微控制器总线接口。最初推出时，AD574采用复合单芯片结构制造并基于两个芯片——其中一个是12位电流输出DAC [AD565](#)，包括基准电压源和薄膜调整电阻；而另一个则包含逐次逼近型寄存器(SAR)、微处理器接口逻辑功能和精密锁存比较器。AD574很快成为上世纪80年代早期的工业标准12位ADC。1985年，该器件首次以单芯片形式出现；此后使得低成本商用塑料封装成为可能。AD574简化框图如图8所示。

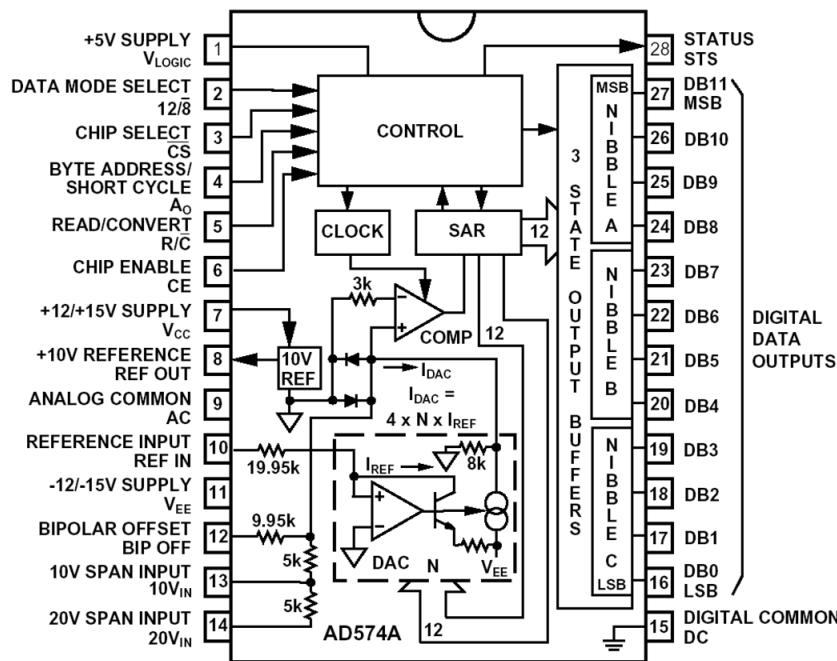


图8：1978年工业标准12位、35- $\mu$ s IC ADC [AD574](#)

## 现代SAR ADC

随着逐次逼近型ADC日益受欢迎，其分辨率、采样速率、输入/输出选项和成本开始出现多样化。现在，很多SAR ADC提供片上输入多路复用器，非常适合多通道数据采集系统。本教程无法一一介绍所有类型的SAR ADC，而只是重点介绍几款具有突破性意义的现代产品。

ADI公司的PulSAR®系列就是现代电荷再分配逐次逼近型ADC的一个例子。[AD7641](#)是一款18位、2 MSPS、全差分 ADC，采用2.5 V单电源供电(见图9)。该器件内置一个18位高速采样ADC、一个内部转换时钟、纠错电路、一个内部基准电压源以及串行和并行系统接口。AD7641经过出厂硬件校准和全面测试，可确保除一般直流参数(增益、偏置和线性度)之外，诸如信噪比(SNR)和总谐波失真(THD)等交流参数也合乎要求。

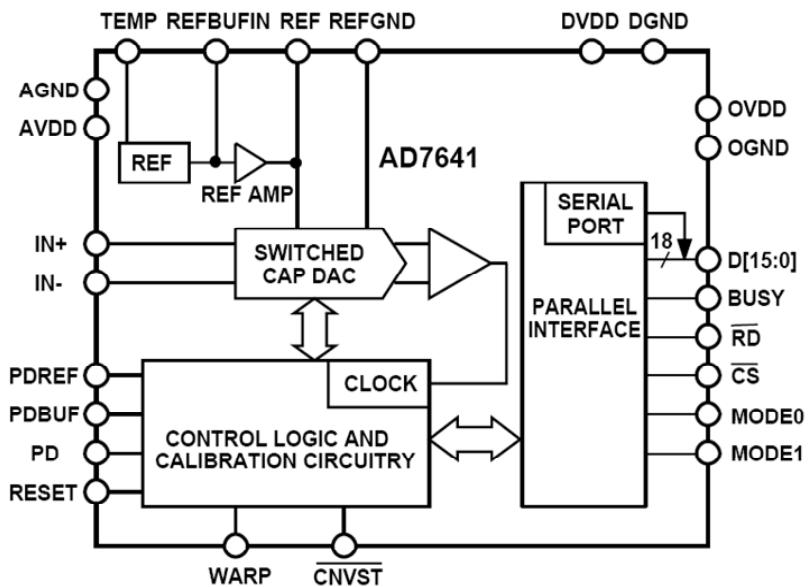


图9：18位2-MSPS开关电容PulSAR® ADC [AD7641](#)

## 处理工业级信号

几年前推出了许多低电压单电源SAR ADC，但其输入范围通常限制为小于或等于电源电压。许多情况下，这并不是什么问题；但是，仍旧有很多工业应用要求对双极性信号(如 $\pm 5$  V或 $\pm 10$  V)进行数字化处理。在与单电源ADC接口时，这就要求使用外部电路。图10显示了两种可能方法。可以使用外部运算放大器来执行所需的电平转换和衰减，以使 $\pm 10$  V信号与ADC的0至+2.5 V输入范围相匹配(图10A)。或者利用电阻网络来执行衰减和电平转换(图10B)。两种方法都需要外部元件。

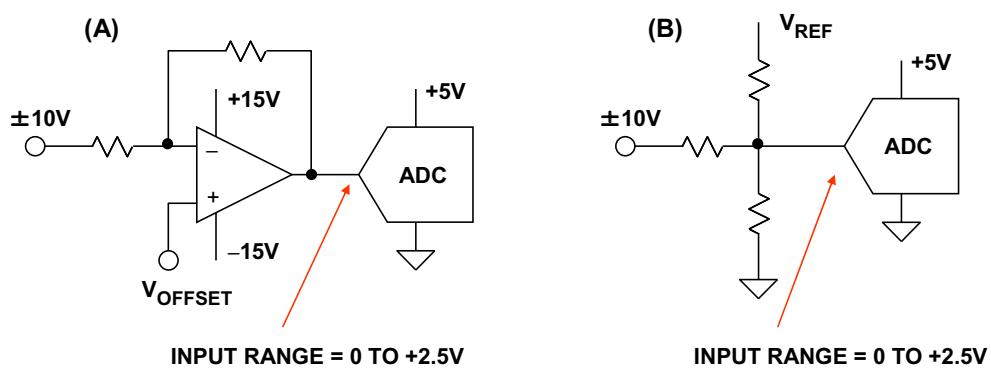


图10：工业级双极性信号与低电平ADC接口

ADI公司采用专有工业CMOS([iCMOS™](#))工艺打造了一种更加稳妥的解决方案，该方案允许输入电路使用标准工业 $\pm 15$  V电源供电，而ADC内核使用低电压电源(5 V或更小)供电。图11显示的是13位8通道输入ADC [AD7328](#)。

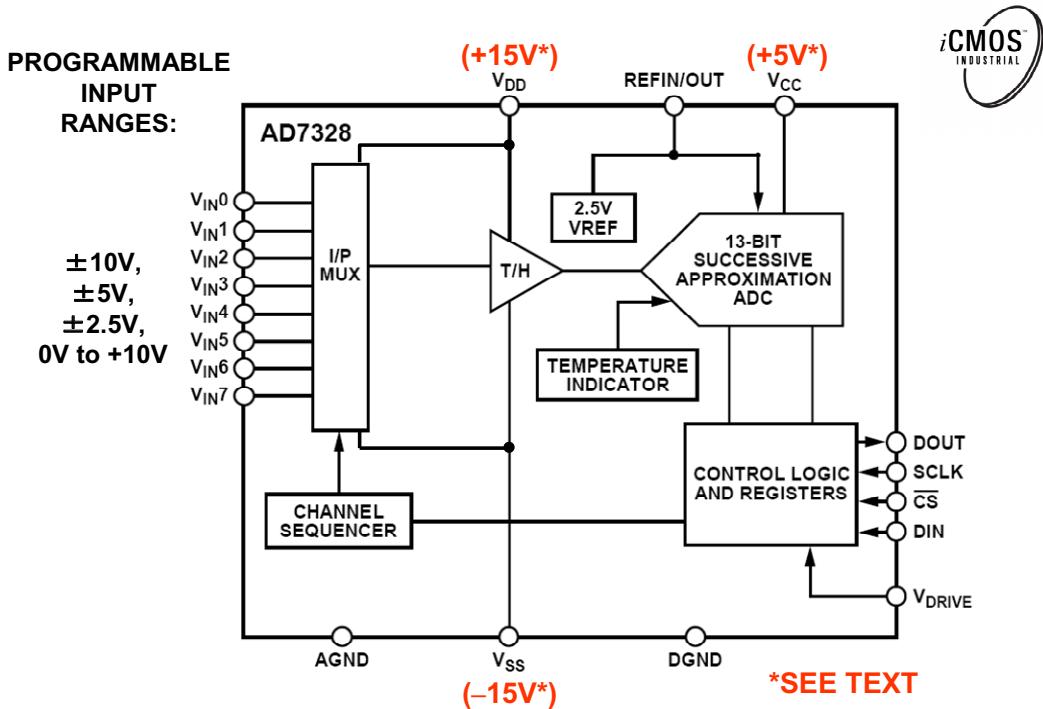


图11：真双极性输入、13位、1MSPS [iCMOS™ ADC AD7328](#)

AD7328采用iCMOS(工业CMOS)工艺设计。iCMOS是一种将高电压CMOS和低电压CMOS结合使用的工艺。通过这种工艺，可开发在33V高压下工作的高性能模拟IC，其体积性能比是以往的高压器件所无法实现的。与采用传统CMOS工艺的模拟IC不同，iCMOS组件不但可以输入双极性信号，同时还能提升性能，大幅降低功耗并减小封装尺寸。AD7328可输入真双极性模拟信号，它有四种软件可选输入范围： $\pm 10$  V、 $\pm 5$  V、 $\pm 2.5$  V和0 V至10 V。每个模拟输入通道支持独立编程，可设为四个输入范围之一。AD7328中的模拟输入通道可通过编程设为单端、真差分或伪差分三种模式。该ADC内置一个2.5 V的基准电压，也可采用外部基准。如果在REFIN/OUT引脚上施加3V外部基准电压，AD7328则可接受 $\pm 12$  V真双极性模拟输入。对于 $\pm 12$  V输入范围，需要采用最低 $\pm 12$  V的V<sub>DD</sub>和V<sub>SS</sub>电源。

AD7328的低电压内核采用V<sub>CC</sub>电源供电，针对额定性能的标称值应为5 V(4.75 V至5.5 V)。对于2.7 V和4.75 V之间的V<sub>CC</sub>，该器件符合其典型规格。AD7328采用单独的V<sub>DRIVE</sub>引脚来设置I/O逻辑接口电压(2.7 V至5.5 V)。V<sub>DRIVE</sub>电压不应比V<sub>CC</sub>高出0.3 V。

该器件配有一个高速串行接口，最高吞吐量可达1 MSPS。

## 总结

SAR ADC架构是一种完善、有效且易于理解的架构，非常适合现代细线CMOS工艺。该架构没有“流水线”延迟，因此非常适合单发和多路复用数据采集应用。CMOS工艺允许添加各种各样的数字功能，如自动通道时序控制和自动校准等。此外，许多SAR ADC拥有片上温度传感器和基准电压源。虽然SAR ADC源自16世纪的数学谜团，但是其仍然是现代多通道数据采集系统所青睐的转换器。

## 参考文献

1. W. W. Rouse Ball and H. S. M. Coxeter, *Mathematical Recreations and Essays*, Thirteenth Edition, Dover Publications, 1987, pp. 50, 51. (*describes a mathematical puzzle for measuring unknown weights using the minimum number of weighing operations. The solution proposed in the 1500's is the same basic successive approximation algorithm used today.*)
2. John C. Schelleng, "Code Modulation Communication System," U.S. Patent 2,453,461, filed June 19, 1946, issued November 9, 1948. (*an interesting description of a rather cumbersome successive approximation ADC based on vacuum tube technology. This converter was not very practical, but did illustrate the concept. Also in the patent is a description of a corresponding binary DAC.*)
3. W. M. Goodall, "Telephony by Pulse Code Modulation," *Bell System Technical Journal*, Vol. 26, pp. 395-409, July 1947. (*describes an experimental PCM system using a 5-bit, 8KSPS successive approximation ADC based on the subtraction of binary weighted charges from a capacitor to implement the internal subtraction/DAC function. It required 5 internal reference voltages.*)
4. Harold R. Kaiser, et al, "High-Speed Electronic Analogue-to-Digital Converter System," U.S. Patent 2,784,396, filed April 2, 1953, issued March 5, 1957. (*one of the first SAR ADCs to use an actual binary-weighted DAC internally.*)
5. B. D. Smith, "Coding by Feedback Methods," *Proceedings of the I. R. E.*, Vol. 41, August 1953, pp. 1053-1058. (*Smith uses an internal DAC and also points out that a non-linear transfer function can be achieved by using a DAC with non-uniform bit weights, a technique which is widely used in today's voiceband ADCs with built-in companding.*)
6. L.A. Meacham and E. Peterson, "An Experimental Multichannel Pulse Code Modulation System of Toll Quality," *Bell System Technical Journal*, Vol. 27, No. 1, January 1948, pp. 1-43. (*describes non-linear diode-based compressors and expanders for generating a non-linear ADC/DAC transfer function.*)

7. Bernard M. Gordon and Robert P. Talambiras, "Signal Conversion Apparatus," *U.S. Patent 3,108,266*, filed July 22, 1955, issued October 22, 1963. (*classic patent describing Gordon's 11-bit, 20kSPS vacuum tube successive approximation ADC done at Epsco. The internal DAC represents the first known use of equal currents switched into an R/2R ladder network.*)
8. Bernard M. Gordon and Evan T. Colton, "Signal Conversion Apparatus," *U.S. Patent 2,997,704*, filed February 24, 1958, issued August 22, 1961. (*classic patent describes the logic to perform the successive approximation algorithm in a SAR ADC*).
9. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 1 and 3. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 1 and 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## ADC架构III：Σ-Δ型ADC基础

作者：Walt Kester

### 简介

Σ-Δ型ADC是现代语音频带、音频和高分辨率精密工业测量应用所青睐的转换器。高度数字架构非常适合现代细线CMOS工艺，因而允许轻松添加数字功能，而又不会显著增加成本。随着此转换器架构的广泛使用，了解其基本原理显得非常重要。

由于该主题长度较长，Σ-Δ型ADC需要分为两个教程MT-022和[MT-023](#)来讨论。本教程(MT-022)首先讨论Σ-Δ的历史和过采样、量化噪声整形、数字滤波以及抽取的基本概念。而教程[MT-023](#)讨论的是与Σ-Δ相关的较高级主题，包括空闲音、多位Σ-Δ型ADC、多级噪声整形Σ-Δ型ADC(MASH)、带通Σ-Δ型ADC以及一些应用示例。

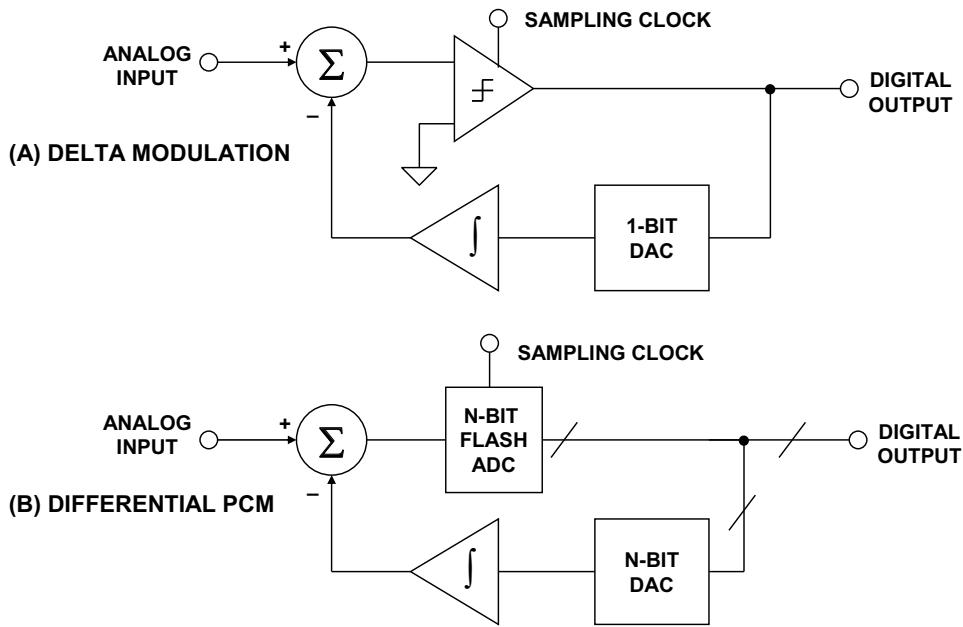
### 历史展望

Σ-Δ型ADC架构源自脉冲码调制(PCM)系统的早期研发阶段，尤其是那些与称为“Δ调制”和“差分PCM”的传输技术相关的。(在参考文献1中，Max Hauser非常清楚地描述了Σ-Δ型ADC的历史和概念。)Δ调制最初由法国ITT实验室的E. M. Deloraine、S. Van Mierlo和B. Derjavitich于1946年发明(参考文献2、3)。

其原理在数年之后由荷兰的飞利浦实验室“重新发现”。该实验室的工程师于1952年和1953年发表了一位和多位概念的首次大型研究结果(参考文献4、5)。1950年，美国贝尔电话实验室的C. C. Cutler申请了一项关于差分PCM的重要专利，其中也涵盖了相同的重要概念(参考文献6)。

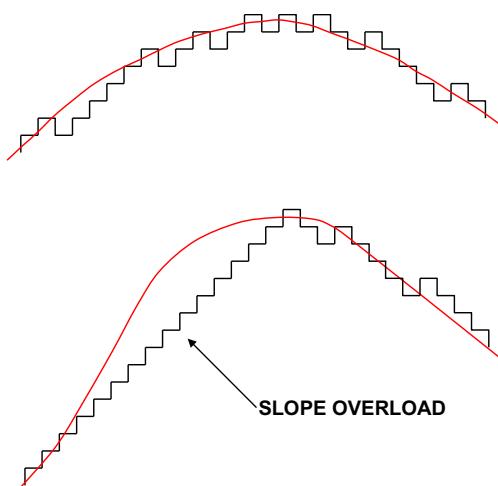
Δ调制和差分PCM的重要驱动力是通过传输连续样本之间的数值变化( $\Delta$ )而非真实样本自身，以实现更高的传输效率。

在Δ调制中，模拟信号通过1位ADC(比较器)进行量化，如图1A所示。比较器输出由1位DAC转回为模拟信号，并在通过积分器后从输入中减去。模拟信号波形的传送方式如下：“1”表示自上次采样后出现正偏移，而“0”则表示自上次采样之后出现负偏移。

图1:  $\Delta$ 调制和差分PCM

如果模拟信号在一定时间内保持固定的直流电平，则会获得“0”和“1”交替形式。应注意，差分PCM(见图1B)采用几乎完全相同的概念，不同之处仅在于其采用多位ADC而非单个比较器来获得所传送的信息。

由于并没有限制同符号脉冲的出现次数，因此 $\Delta$ 调制系统能够跟踪任何幅度的信号。理论上不存在峰值削波。不过， $\Delta$ 调制在理论上存在一定局限性，即模拟信号不可快速变化。斜率削波问题如图2所示。图中，虽然每个采样时刻都指示正偏移，但模拟信号上升过快，因此量化器无法保持同步。

图2: 使用 $\Delta$ 调制进行量化

要减少斜率削波，可增加量化步长或加快采样速率。差分PCM采用多位量化器通过增加复杂性来有效地增加量化步长。测试表明，要获得与经典PCM相同的品质， $\Delta$ 调制要求采用非常高的采样速率，通常为最高目标频率的20倍，而非奈奎斯特速率(2倍)。

为此， $\Delta$ 调制和差分PCM从未广泛流行开来，但只要对 $\Delta$ 型调制器稍微进行一些修改便可得到基本的 $\Sigma$ - $\Delta$ 架构，该架构是而今最受欢迎的ADC架构之一。

1954年，贝尔实验室的C. C. Cutler申请了一项非常重要的专利，其中介绍了旨在实现较高分辨率的过采样和噪声整形理论(参考文献7)。他并不是专门为了设计奈奎斯特ADC，而是为了传送过采样噪声整形信号而又不降低数据速率。因此，Cutler的转换器呈现了 $\Sigma$ - $\Delta$ 型ADC中的所几乎有概念，只有数字滤波和抽取除外，数字滤波和抽取在使用真空管技术的时代显得过于复杂和昂贵。

之后数年里依旧偶尔出现这些概念方面的重要著作，其中包括C. B. Brahm于1961年申请的重要专利，该专利详细介绍了二阶多位噪声整形ADC的环路滤波器模拟设计(参考文献8)。这段时间内，晶体管电路开始取代真空管，这为该架构的实现提供了更多可能性。

1962年，Inose、Yasuda和Murakami详细阐述了Cutler于1954年提出的一位过采样噪声整形架构(参考文献9)。他们的实验电路采用固态器件来实现一阶和二阶 $\Sigma$ - $\Delta$ 型调制器。在1962年论文之后紧接着于1963年发表了第二篇论文，其中给出了过采样和噪声整形的出色理论探讨(参考文献10)。这两篇论文还最先使用“ $\Delta$ - $\Sigma$ ”名称来描述该架构。“ $\Delta$ - $\Sigma$ ”名称一直沿用到19世纪70年代，那时AT&T工程师开始使用“ $\Sigma$ - $\Delta$ ”名称。从此以后，两个名称都一直在用；不过， $\Sigma$ - $\Delta$ 可能是两个名称当中较为正确的。

有趣的是，前文提到的所有著作都是关于直接传送过采样数字化信号，而非奈奎斯特ADC的实现。1969年，贝尔实验室的D. J. Goodman发表了一篇论文，介绍了在调制器后使用数字滤波器和抽取器的真正奈奎斯特 $\Sigma$ - $\Delta$ 型ADC(参考文献11)。这是首次使用 $\Sigma$ - $\Delta$ 架构来明确地构建奈奎斯特ADC。1974年，J. C. Candy(也来自贝尔实验室)描述了一种具有噪声整形、数字滤波和抽取功能的多位过采样 $\Sigma$ - $\Delta$ 型ADC来实现高分辨率奈奎斯特ADC(参考文献12)。

与其它架构相比，该IC  $\Sigma$ - $\Delta$ 型ADC具有数项优势，尤其是针对高分辨率、低频应用时。首先，该一位 $\Sigma$ - $\Delta$ 型ADC本身具有单调性且无需激光调整。此外，该架构的数字化密集特性使得该 $\Sigma$ - $\Delta$ 型ADC非常适合低成本CMOS工艺。参考文献13-21中给出了一些早期单芯片 $\Sigma$ - $\Delta$ 型ADC示例。从那以后，上文所述早期著作中提出的基本架构经过了连续工艺的过程和设计改进。

现代CMOS  $\Sigma$ - $\Delta$ 型ADC(以及DAC，就此而言)是语音频带和音频应用所青睐的转换器。高度数字化架构使得其非常适合细线CMOS工艺。此外，高分辨率(最高达24位)低频 $\Sigma$ - $\Delta$ 型ADC在精密工业测量应用中几乎已经取代了老的积分型转换器。

### **$\Sigma$ - $\Delta$ 型ADC基础**

$\Sigma$ - $\Delta$ 型ADC的架构和理论说明可说是数不胜数，但大多数都涉及到错综复杂的积分运算并因此而变得更让人费解。有些工程师不清楚 $\Sigma$ - $\Delta$ 型ADC的工作原理，故而研读已发表的典型文章，结果发现这些文章内容过于复杂而不易理解。

其实，只要避开详细的数学运算， $\Sigma$ - $\Delta$ 型ADC也没什么特别难以理解的，而此部分的目的就是尝试阐明该主题。 $\Sigma$ - $\Delta$ 型ADC包含非常简单的模拟电子电路(一个比较器、一个基准电压源、一个开关以及一个或以上的积分器与模拟求和电路)和相当复杂的数字运算电路。这个数字电路由一个用作滤波器(通常但不总是低通滤波器)的数字信号处理器(DSP)组成。无需确切知道该滤波器的工作原理，便可领会其具体作用。要弄清楚 $\Sigma$ - $\Delta$ 型ADC的工作原理，需要熟悉过采样、量化噪声整形、数字滤波和抽取等概念。

接下来，我们借助频域分析来看看过采样技术。当直流转换具有多达 $\frac{1}{2}$  LSB的量化误差时，数据采样系统便存在量化噪声。理想的经典N位采样ADC在DC至 $f_s/2$ 的奈奎斯特频段范围内均匀地分布着均方根大小为 $q/\sqrt{12}$ 的量化噪声(其中， $q$ 是一个LSB的值而 $f_s$ 是采样频率)，如图3A所示。因此，采用满量程正弦波输入时，其SNR将为 $(6.02N + 1.76)$  dB。(有关推到过程，请参考“[教程MT-001](#)”。)如果ADC并不理想，其噪声大于理论上的最小量化噪声，那么其有效分辨率将低于N位。其实际分辨率(通常称为“有效位数”或ENOB)定义为：

$$\text{ENOB} = \frac{\text{SNR} - 1.76\text{dB}}{6.02\text{dB}} \quad \text{等式 1}$$

如果选择更高的采样速率 $Kf_s$ (见图3B)，均方根量化噪声保持为 $q/\sqrt{12}$ ，但该噪声现在分布在DC至 $Kf_s/2$ 这个更宽的带宽范围内。如果接着在输出端应用数字低通滤波器(LPF)，则可以消除多数量化噪声，而又不会影响所需信号，从而使得ENOB得以改善。这样，我们便使用低分辨率ADC完成了高分辨率模数转换。系数K通常称为“过采样率”。注意，从这一点看，过采样还有一个好处，那就是可降低对模拟抗混叠滤波器的要求。这是 $\Sigma$ - $\Delta$ 的一项巨大优势，尤其是在锐截止线性相位滤波器成本非常重要的消费电子音频应用中。

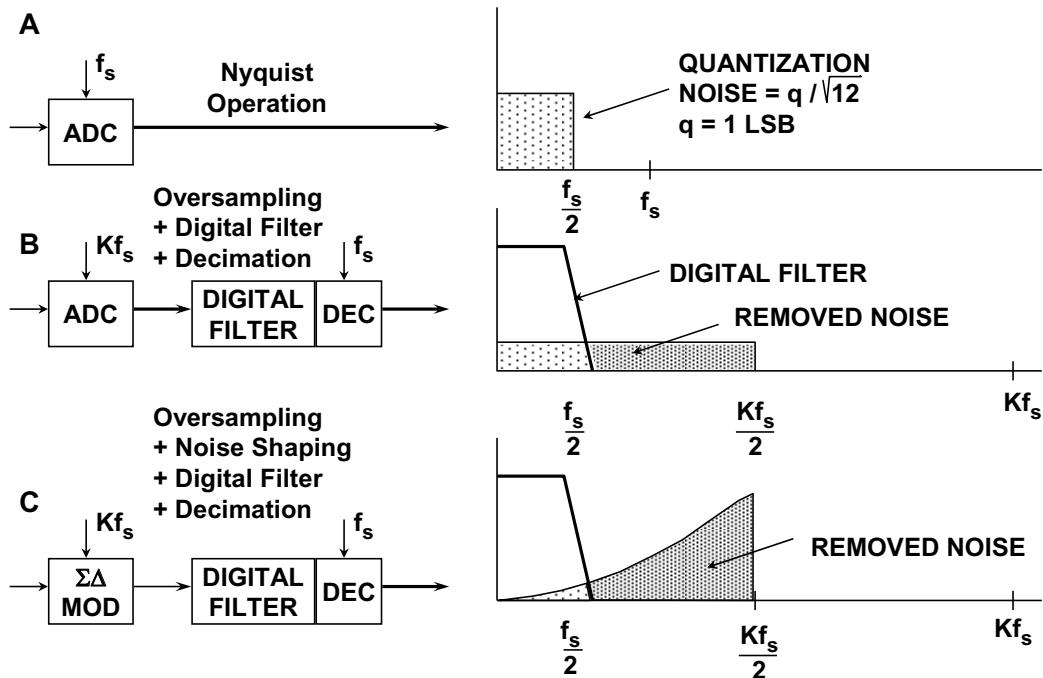
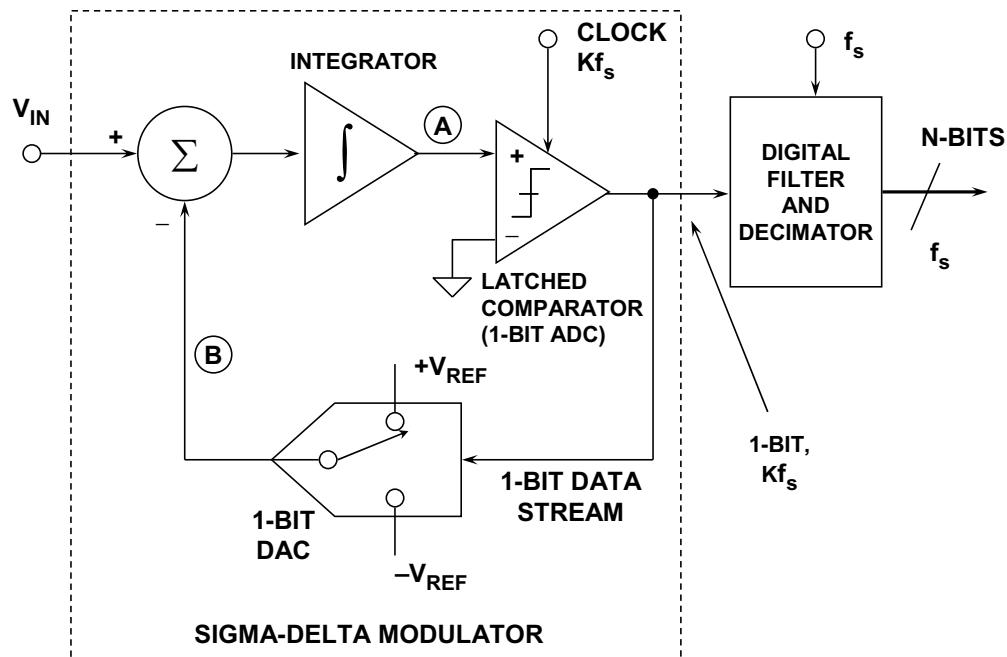


图3：过采样、数字滤波、噪声整形和抽取

由于数字输出滤波器会减少带宽，因此输出数据速率将小于原始采样速率( $Kf_s$ )但仍旧满足奈奎斯特准则。这点或许可通过将每第M个结果传递至输出端并丢弃其它结果来实现。该过程称为M倍“抽取”。不管该术语的来源如何(decem在拉丁语中表示“十”), 只要输出数据速率是信号带宽的两倍以上, 那么M可以是任意整数值。抽取并不会导致任何信息丢失(见图3B)。

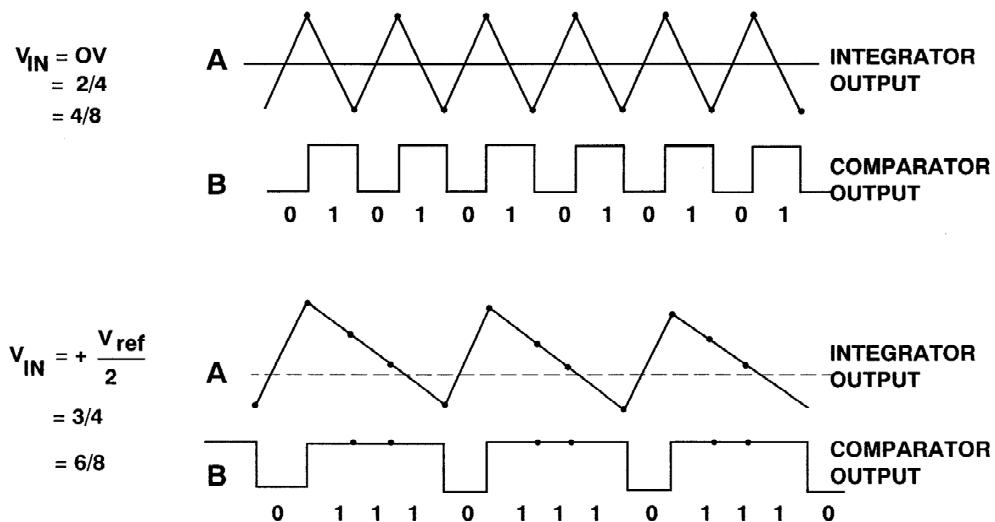
如果只是采用过采样来提高分辨率, 则要让分辨率增加N位, 就必须进行 $2^{2N}$ 倍过采样。 $\Sigma\Delta$ 型转换器无需此类高过采样率, 因为其不仅会限制信号通带, 而且还会对量化噪声进行整形, 以使此类噪声大多数位于此通带之外, 如图3C所示。

如果选用一个1位ADC(一个比较器)并以一个积分器的输出来驱动该比较器, 然后将该ADC输出馈入一个1位DAC并将1位DAC的输出与输入信号的加和馈入积分器, 便可得到一阶 $\Sigma\Delta$ 型调制器, 如图4所示。若接着在数字输出端添加一个数字低通滤波器(LPF)和抽取器, 则可以得到一个 $\Sigma\Delta$ 型ADC。 $\Sigma\Delta$ 型调制器会对量化噪声进行整形, 以使其位于数字输出滤波器的通带以外, 因此ENOB要远大于在该过采样率下所预期的结果。

图4：一阶 $\Sigma$ - $\Delta$ 型ADC

直观而言， $\Sigma$ - $\Delta$ 型ADC的工作方式如下。假定在 $V_{IN}$ 处施加直流输入。积分器在节点A处持续斜升或斜降。比较器的输出通过一个1位DAC反馈至节点B处的求和输入。比较器输出通过1位DAC的回到求和点的负反馈环路强制将节点B处的平均直流电压设为 $V_{IN}$ 。这表示平均DAC输出电压必须等于输入电压 $V_{IN}$ 。平均DAC输出电压由比较器输出的1位数据流中的1的密度来控制。随着输入信号增加到 $+V_{REF}$ ，串行位流中的"1"数量增加，而"0"数量则减少。类似地，随着信号负向趋近 $-V_{REF}$ ，串行位流中的"1"数量减少，而"0"数量则增加。从非常简单的角度来看，此项分析显示输入电压的平均值包含在比较器输出的串行位流中。数字滤波器和抽取器处理该串行位流并产生最终的输出数据。

对于任意给定输入值，一个采样间隔内的1位ADC的输出数据几乎毫无意义。只有对大量样本求平均值时，才会产生有意义的值。由于一位数据输出具有明显的随机性，因此很难在时域内对 $\Sigma$ - $\Delta$ 型调制器进行分析。如果输入信号接近正满量程，位流中的"1"将明显多于"0"。同样，如果信号接近负满量程，位流中的"0"将明显多于"1"。如果信号接近中间电平，则"1"和"0"的数量大致相等。图5显示了两种输入条件下积分器的输出。第一种条件是输入为0(中间电平)。为了解码输出，需使输出样本通过一个简单的数字低通滤波器(对每4个样本求平均值)。滤波器的输出为2/4，此值代表双极性0。如果对更多样本求平均值，则可实现更高动态范围。例如，对4个样本求平均值可以得到2位的分辨率，对8个样本求平均值则可得到4/8，或者说3位的分辨率。在图5下方的波形中，针对4个样本所获得的平均值为3/4，8个样本的平均值为6/8。



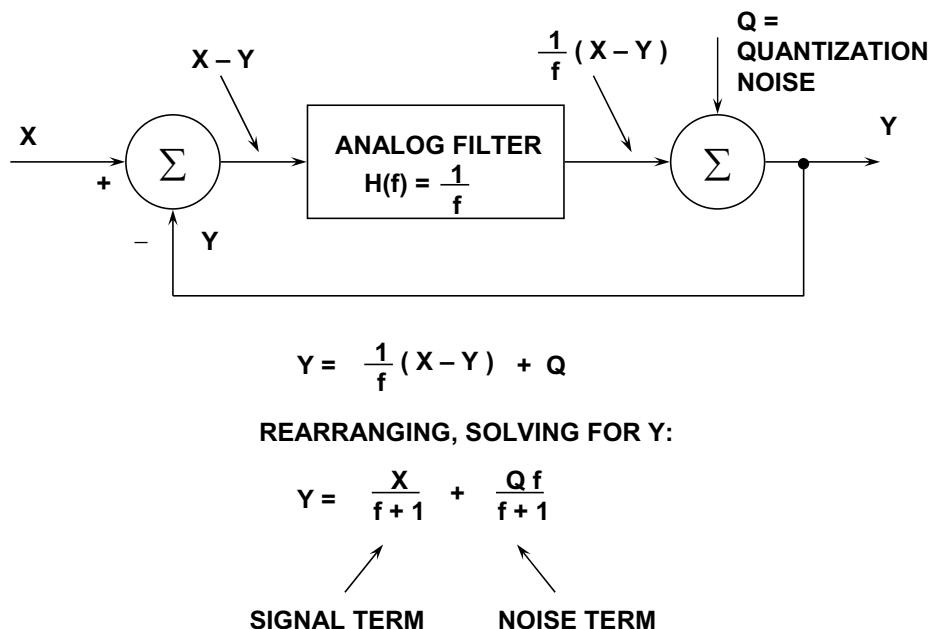
有关 $\Sigma-\Delta$ 型调制器时域特性的交互式教程，请参见ADI公司设计中心网页中的“ [\$\Sigma-\Delta\$ 教程](#)”，其中以图形方式展示了理想 $\Sigma-\Delta$ 型ADC的行为。

$\Sigma-\Delta$ 型ADC也可以视作一个后接计数器的同步电压频率转换器。如果对足够多样本的输出数据流中“1”的数量进行计数，则计数器输出将能代表输入的数字值。很显然，这种求平均的方法仅对直流或变化非常慢的输入信号有效。此外，为了实现N位有效分辨率，必须计数 $2^N$ 个时钟周期，这将严重限制有效采样速率。

应注意，由于数字滤波器是 $\Sigma-\Delta$ 型ADC的一个重要组成部分，其固定的“流水线”延迟(有时称为“延迟时间”)主要取决于数字滤波器中的抽头数。 $\Sigma-\Delta$ 型ADC中的数字滤波器可能相当大(数百抽头)，因此在多路复用应用中，延迟时间可能会变成一个问题，因为在切换通道之后必须留出足够的建立时间。

### $\Sigma-\Delta$ 型ADC的频域分析和噪声整形

进一步进行时域分析的意义不大，而要清楚地说明噪声整形概念，最好是在频域内考虑简单的 $\Sigma-\Delta$ 型调制器模型，如图6所示。



**图6：Σ-Δ型调制器的简化频域线性化模型**

调制器中的积分器表示为传递函数等于 $H(f) = 1/f$ 的模拟低通滤波器。此传递函数具有与输入频率成反比的幅度响应。1位量化器产生量化噪声 $Q$ ，量化噪声 $Q$ 被注入输出求和模块。如果我们以 $X$ 表示输入信号并以 $Y$ 表示输出，则输入加法器的信号输出为 $X-Y$ 。此信号与滤波器传递函数 $1/f$ 相乘，然后结果送入输出加法器的一路输入。可以看出，输出电压 $Y$ 的表达式可以写作：

$$Y = \frac{1}{f} (X - Y) + Q \quad \text{等式 2}$$

此表达式经过简单地整理并求解 $Y$ ，便可得到以 $X$ 、 $f$ 和 $Q$ 表示的下列等式：

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1} \quad \text{等式 3}$$

注意，当频率 $f$ 趋近0时，输出电压 $Y$ 趋近 $X$ 且无噪声成分。在较高频率时，信号成分的幅度趋近0，且噪声成分趋近 $Q$ 。在高频时，输出主要由量化噪声组成。本质上，模拟滤波器对信号有低通效应，对量化噪声有高通效应。因此，模拟滤波器执行 $\Sigma-\Delta$ 型调制器模型中的噪声整形功能。对于给定输入频率，高阶模拟滤波器可提供更多衰减。只要采取一定的防范措施，则 $\Sigma-\Delta$ 型调制器也同样如此。

通过在 $\Sigma-\Delta$ 型调制器中使用一个以上的积分和求和级，我们可以实现更高阶量化噪声整形并可针对给定过采样率取得更好的ENOB，如图7所示为一阶和二阶 $\Sigma-\Delta$ 型调制器。

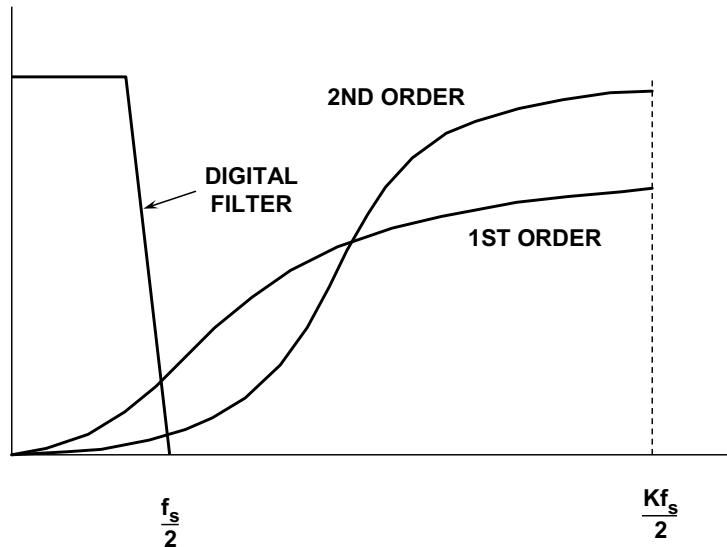


图7： $\Sigma-\Delta$ 型调制器对量化噪声进行整形

二阶 $\Sigma-\Delta$ 型调制器的框图如图8所示。之前曾认为三阶及以上的 $\Sigma-\Delta$ 型ADC在输入为某些值时可能会出现不稳定。近期分析结果显示，比较器中使用有限增益而非无限增益时，并不一定会出现不稳定情况，但即使真的开始出现不稳定情况，还可以设置数字滤波器和抽取器中的DSP来识别初始不稳定性并做出反应来进行预防。

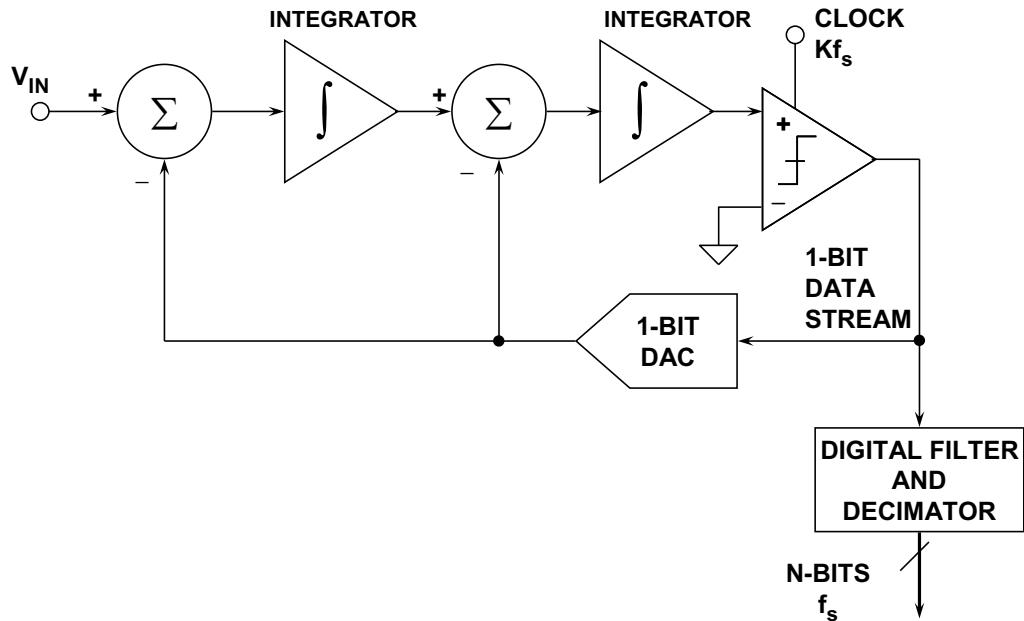


图8：二阶 $\Sigma-\Delta$ 型ADC

图9显示的是 $\Sigma-\Delta$ 型调制器的阶数与实现特定SNR所需的不同过采样率之间的关系。例如，如果过采样率为64，则理想的二阶系统能够提供约80 dB的SNR，这表示有效位数(ENOB)约为13。虽然数字滤波器和抽取器的滤波可以达到任何需要的精度，但向外界提供13个以上的二进制位是没有意义的。增加的位不含有用的信号信息，并且除非采用后置滤波技术，否则将淹没于量化噪声中。通过增加过采样率和/或采用更高阶调制器，可以从1位系统获得额外分辨率。有关通常用于实现更高分辨率的其它方法(如多位 $\Sigma-\Delta$ 架构)，请参见“教程[MT-023](#)”。

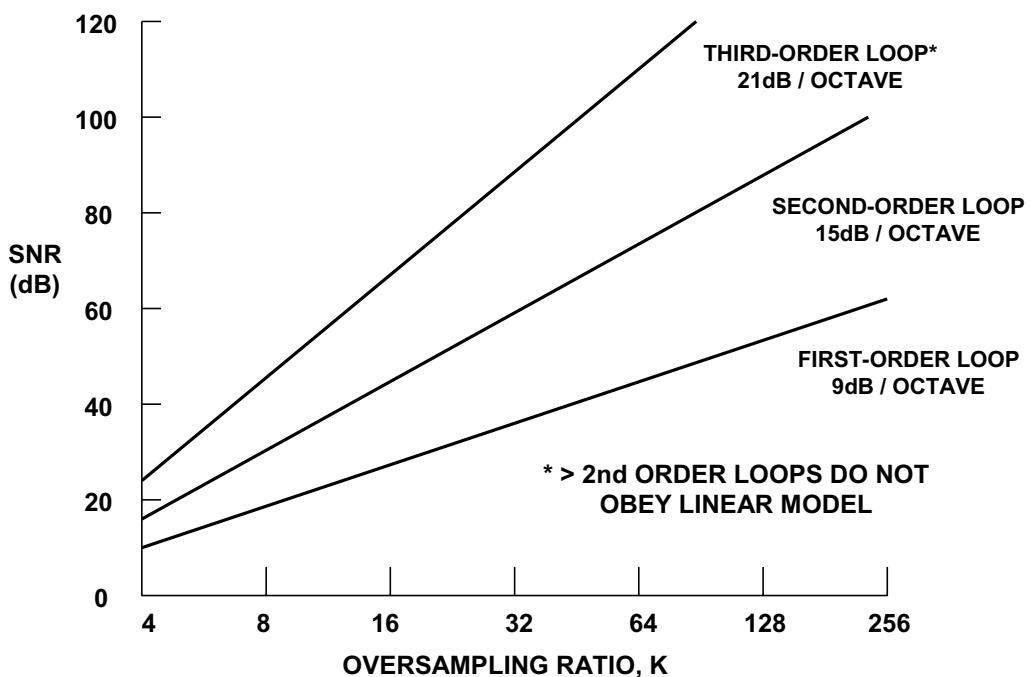


图9：一阶、二阶和三阶环路的SNR与过采样率之间的关系

## 总结

本教程从历史展望角度介绍了 $\Sigma-\Delta$ 型ADC的各种基础知识，包括过采样、数字滤波、噪声整形和抽取等重要概念。“教程[MT-023](#)”将介绍一些更高级的概念和 $\Sigma-\Delta$ 型ADC的各种应用，如空闲音、多位 $\Sigma-\Delta$ 、MASH和带通 $\Sigma-\Delta$ 。

## 参考文献

1. Max W. Hauser, "Principles of Oversampling A/D Conversion," *Journal Audio Engineering Society*, Vol. 39, No. 1/2, January/February 1991, pp. 3-26. (*one of the best tutorials and practical discussions of the sigma-delta ADC architecture and its history*).
2. E. M. Deloraine, S. Van Mierlo, and B. Derjavitch, "Methode et système de transmission par impulsions," *French Patent 932,140*, issued August, 1946. Also *British Patent 627,262*, issued 1949.
3. E. M. Deloraine, S. Van Mierlo, and B. Derjavitch, "Communication System Utilizing Constant Amplitude Pulses of Opposite Polarities," *U.S. Patent 2,629,857*, filed October 8, 1947, issued February 24, 1953.
4. F. de Jager, "Delta Modulation: A Method of PCM Transmission Using the One Unit Code," *Phillips Research Reports*, Vol. 7, 1952, pp. 542-546. (*additional work done on delta modulation during the same time period*).
5. H. Van de Weg, "Quantizing Noise of a Single Integration Delta Modulation System with an N-Digit Code," *Phillips Research Reports*, Vol. 8, 1953, pp. 367-385. (*additional work done on delta modulation during the same time period*).
6. C. C. Cutler, "Differential Quantization of Communication Signals," *U.S. Patent 2,605,361*, filed June 29, 1950, issued July 29, 1952. (*recognized as the first patent on differential PCM or delta modulation, although actually first invented in the Paris labs of the International Telephone and Telegraph Corporation by E. M. Deloraine, S. Mierlo, and B. Derjavitch a few years earlier*)
7. C. C. Cutler, "Transmission Systems Employing Quantization," *U.S. Patent 2,927,962*, filed April 26, 1954, issued March 8, 1960. (*a ground-breaking patent describing oversampling and noise shaping using first and second-order loops to increase effective resolution. The goal was transmission of oversampled noise shaped PCM data without decimation, not a Nyquist-type ADC*).
8. C. B. Brahm, "Feedback Integrating System," *U.S. Patent 3,192,371*, filed September 14, 1961, issued June 29, 1965. (*describes a second-order multibit oversampling noise shaping ADC*).
9. H. Inose, Y. Yasuda, and J. Murakami, "A Telemetering System by Code Modulation:  $\Delta-\Sigma$  Modulation," *IRE Transactions on Space Electronics Telemetry*, Vol. SET-8, September 1962, pp. 204-209. Reprinted in N. S. Jayant, *Waveform Quantization and Coding*, IEEE Press and John Wiley, 1976, ISBN 0-471-01970-4. (*an elaboration on the 1-bit form of Cutler's noise-shaping oversampling concept. This work coined the description of the architecture as 'delta-sigma modulation'*).
10. H. Inose and Y. Yasuda, "A Unity Bit Coding Method by Negative Feedback," *IEEE Proceedings*, Vol. 51, November 1963, pp. 1524-1535. (*further discussions on their 1-bit 'delta-sigma' concept*).
11. D. J. Goodman, "The Application of Delta Modulation of Analog-to-PCM Encoding," *Bell System Technical Journal*, Vol. 48, February 1969, pp. 321-343. Reprinted in N. S. Jayant, *Waveform Quantization and Coding*, IEEE Press and John Wiley, 1976, ISBN 0-471-01970-4. (*the first description of using oversampling and noise shaping techniques followed by digital filtering and decimation to produce a true Nyquist-rate ADC*).
12. J. C. Candy, "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters," *IEEE Transactions on Communications*, Vol. COM-22, December 1974, pp. 298-305. (*describes a multibit oversampling noise shaping ADC with output digital filtering and decimation to interpolate between the quantization levels*).
13. R. J. van de Plassche, "A Sigma-Delta Modulator as an A/D Converter," *IEEE Transactions on Circuits and Systems*, Vol. CAS-25, July 1978, pp. 510-514.

14. B. A. Wooley and J. L. Henry, "An Integrated Per-Channel PCM Encoder Based on Interpolation," *IEEE Journal of Solid State Circuits*, Vol. SC-14, February 1979, pp. 14-20. (*one of the first all-integrated CMOS sigma-delta ADCs*).
15. B. A. Wooley et al, "An Integrated Interpolative PCM Decoder," *IEEE Journal of Solid State Circuits*, Vol. SC-14, February 1979, pp. 20-25.
16. J. C. Candy, B. A. Wooley, and O. J. Benjamin, "A Voiceband Codec with Digital Filtering," *IEEE Transactions on Communications*, Vol. COM-29, June 1981, pp. 815-830.
17. J. C. Candy and Gabor C. Temes, *Oversampling Delta-Sigma Data Converters*, IEEE Press, ISBN 0-87942-258-8, 1992.
18. R. Koch, B. Heise, F. Eckbauer, E. Engelhardt, J. Fisher, and F. Parzefall, "A 12-bit Sigma-Delta Analog-to-Digital Converter with a 15 MHz Clock Rate," *IEEE Journal of Solid-State Circuits*, Vol. SC-21, No. 6, December 1986.
19. D. R. Welland, B. P. Del Signore and E. J. Swanson, "A Stereo 16-Bit Delta-Sigma A/D Converter for Digital Audio," *J. Audio Engineering Society*, Vol. 37, No. 6, June 1989, pp. 476-485.
20. B. Boser and Bruce Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 6, December 1988, pp. 1298-1308.
21. J. Dattorro, A. Charpentier, D. Andreas, "The Implementation of a One-Stage Multirate 64:1 FIR Decimator for use in One-Bit Sigma-Delta A/D Applications," *AES 7th International Conference*, May 1989.
22. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.



















































## ADC架构VII：计数ADC

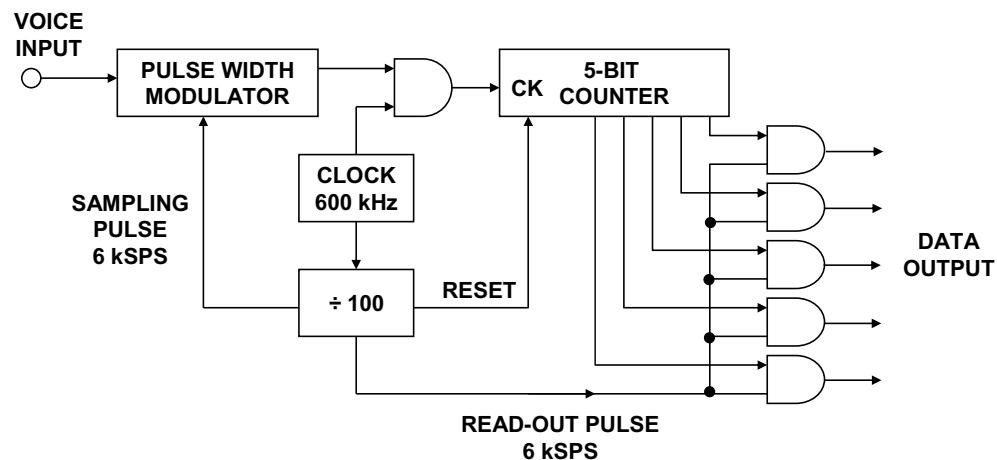
作者：Walt Kester和James Bryant

### 简介

计数ADC虽然不太适合高速应用，但却是高分辨率低频应用的理想之选，特别是结合使用双斜式积分、三斜式积分、四斜式积分等技术时。

### A. H. REEVES的5位计数ADC

计数ADC起源于1930年代末的早期实验性脉冲码调制(PCM)系统。A. H. Reeves在其内容全面的1939年PCM专利档案(参考文献1)中描述了第一款适合PCM应用的ADC，图1是该ADC的简化框图。早期用于PCM的ADC通常具有5到7位分辨率，采样速率为6 kSPS到10 kSPS。非常有趣的是，Reeves的ADC是基于一种计数技术，原因很可能是他对计数器具有浓厚的兴趣——就在几年前，Eccles-Jordan双稳态多谐振荡器刚刚问世。然而，在后来的PCM应用中，其它架构的使用更为广泛，如Flash型([指南MT-020](#))、逐次逼近型([指南MT-021](#))、分级和流水线型([指南MT-024](#))、每级一位型([指南MT-025](#))等。



Adapted from: Alec Harley Reeves, "Electric Signaling System,"  
U.S. Patent 2,272,070, Filed November 22, 1939, Issued February 3, 1942

图1：A. H. REEVES的5位计数ADC

计数ADC技术的基本原理是利用一个采样脉冲对模拟信号进行采样，然后设置一个R/S触发器，同时启动一个受控斜坡电压。该斜坡电压与输入进行比较，当二者相等时，就会产生一个脉冲以复位R/S触发器。触发器的输出是一个脉冲，其宽度与采样时刻的模拟信号成正比。该脉宽调制(PWM)脉冲控制一个选通振荡器，选通振荡器输出的脉冲数量代表模拟信号的量化值，通过一个计数器很容易将该脉冲串转换成一个二进制字。Reeves的系统使用600 kHz的主时钟，100:1分频器产生6 kHz的采样脉冲。该系统采用5位计数器，因而采样脉冲之间的100个脉冲中的31个脉冲代表一个满量程信号。显然，可以将该计数扩展到更高的分辨率。

### 电荷耗尽型ADC

电荷耗尽ADC架构(参见参考文献2)如图2所示，它首先对模拟输入进行采样，将电压储存在一个固定电容中。然后用一个恒定电流源给该电容放电，并用一个计数器测量完成放电所需的时间。注意，这种方法的整体精度取决于电容的质量和容值、电流源的幅度以及时基的精度。

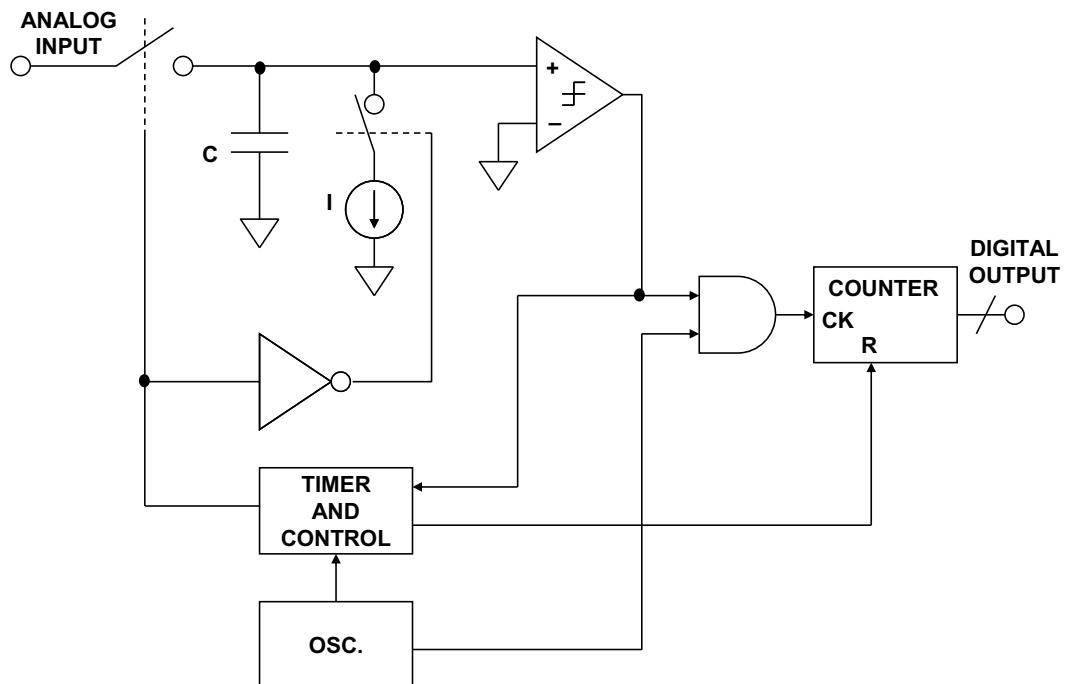


图2：电荷耗尽型ADC

## 斜坡上升型ADC

斜坡上升架构如图3所示(参见参考文献3)，斜坡发生器在转换周期开始时启动。然后，计数器测量斜坡电压上升到模拟输入电压所需的时间。因此，计数器输出与模拟信号的值成正比。在另一个方案中(如图3虚线所示)，斜坡电压发生器被计数器输出驱动的DAC取代。使用斜坡发生器的优势是可以确保ADC始终是单调的，而用DAC取代之时，ADC的整体单调性由DAC决定。

斜坡上升型ADC的精度取决于斜坡发生器(或DAC)和振荡器的精度。为了处理交流信号，必须使用采样保持器，使得模拟输入在转换周期内保持不变。注意，斜坡上升架构与图1所示的Reeves计数架构非常相似。

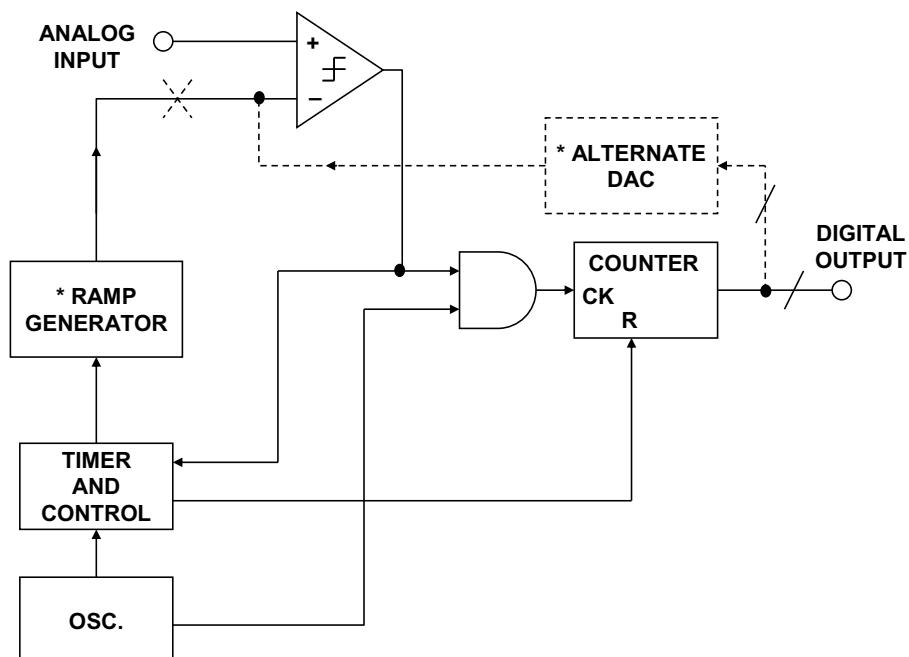


图3：斜坡上升型ADC

跟踪型ADC

跟踪型ADC架构如图4所示(参见参考文献4和5)，它将实际的输入信号与重构的输入信号进行持续比较。升降计数器由比较器输出控制。如果模拟输入超过DAC输出，则计数器升高，直到二者相等。如果DAC输出超过模拟输入，则计数器降低，直到二者相等。显然，如果模拟输入缓慢变化，计数器将随之变化，使数字输出始终会非常接近其正确值。但如果模拟输入突然发生大幅度变化，则需要经过数百或数千个时钟周期后，输出才会再次有效。因此，跟踪型ADC对慢速变化的信号响应迅速，但对快速变化的信号则响应缓慢。

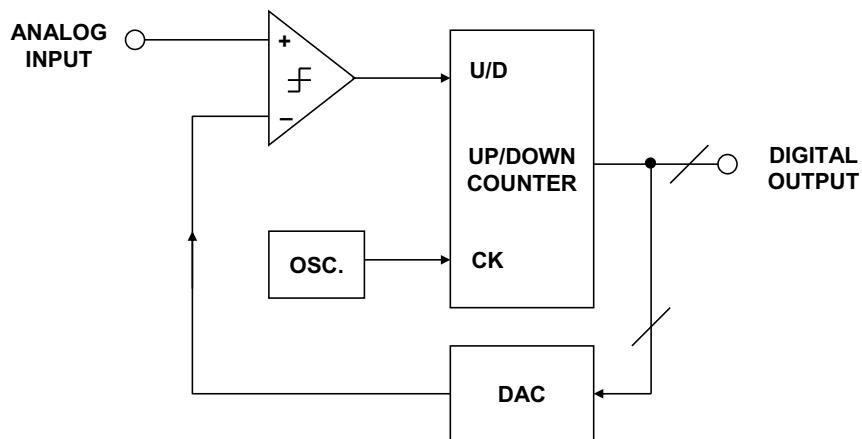


图4：跟踪型ADC

以上的简单分析忽略了模拟输入与DAC输出接近相等时ADC的表现。这取决于比较器和计数器的确切特性。如果比较器较为简单，则DAC输出将发生1个LSB的跳动(比模拟输入略大和略小的两个值)，数字输出当然也一样，因而存在1 LSB的闪烁。注意，在这种情况下，无论模拟输入为何值，输出在每个时钟周期都会发生步进，因而传号空号比始终为1。换言之，这种方法无法对数字输出求平均值，即无法利用过采样来提高分辨率。

一个更令人满意但更复杂的方案是使用一个宽度为1-2 LSB的窗口比较器。当DAC输出较高或较低时，系统像上文所述一样工作，但如果DAC输出在窗口内，计数器将停止计数。只要DAC的DNL能保证，使得1 LSB的代码变化绝不会导致DAC输出跨过窗口，那么这一方案就能消除闪烁。

跟踪型ADC并不常用，较慢的阶跃响应使之不适合许多应用，但它有一个独特的优点：其输出持续可用。大多数ADC执行转换，即在接到“开始转换”命令(也可以是内部产生)时执行转换，经过一定的延迟后，结果变得可用。跟踪ADC则不同，只要模拟输入变化缓慢，其输出便始终可用。这在自整角机数字转换器(SDC)和旋变数字转换器(RDC)中极具价值，这也是跟踪型ADC的主要应用(参见[指南MT-030](#))。跟踪型ADC还有一个重要的特性，即模拟输入的快速瞬变只会导致输出改变一个计数，这在高噪声环境中非常有用。请注意跟踪型ADC与逐次逼近型ADC之间的相似性，逐次逼近型ADC架构是将升降计数器更换为SAR逻辑。

## 参考文献

1. Alec Harley Reeves, "Electric Signaling System," *U.S. Patent 2,272,070*, filed November 22, 1939, issued February 3, 1942. Also *French Patent 852,183* issued 1938, and *British Patent 538,860* issued 1939. (*the ground-breaking patent on PCM. Interestingly enough, the ADC and DAC proposed by Reeves are counting types, and not successive approximation*).
2. Bernard M. Oliver and Claude E. Shannon, "Communication System Employing Pulse Code Modulation," *U.S. Patent 2,801,281*, filed February 21, 1946, issued July 30, 1957. (*charge run-down ADC and Shannon-Rack DAC*).
3. Arthur H. Dickinson, "Device to Manifest an Unknown Voltage as a Numerical Quantity," *U.S. Patent 2,872,670*, filed May 26, 1951, issued February 3, 1959. (*ramp run-up ADC*).
4. K. Howard Barney, "Binary Quantizer," *U.S. Patent 2,715,678*, filed May 26, 1950, issued August 16, 1955. (*tracking ADC*).
5. Bernard M. Gordon and Robert P. Talambiras, "Information Translating Apparatus and Method," *U.S. Patent 2,989,741*, filed July 22, 1955, issued June 20, 1961. (*tracking ADC*).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.









## ADC输入噪声面面观——噪声是利还是弊?

作者: Walt Kester

### 简介

所有模数转换器(ADC)都有一定量的“折合到输入端噪声”，可以将其模拟为与无噪声ADC输入串联的噪声源。折合到输入端噪声与量化噪声不同，后者仅在ADC处理交流信号时出现。多数情况下，输入噪声越低越好，但在某些情况下，输入噪声实际上有助于实现更高的分辨率。这似乎毫无道理，不过继续阅读本指南，就会明白为什么有些噪声是好的噪声。

### 折合到输入端噪声(代码跃迁噪声)

实际的ADC在许多方面与理想的ADC有偏差。折合到输入端的噪声肯定不是理想情况下会出现的，它对ADC整体传递函数的影响如图1所示。随着模拟输入电压提高，“理想”ADC(如图1A所示)保持恒定的输出代码，直至达到跃迁区，此时输出代码即刻跳变为下一个值，并且保持该值，直至达到下一个跃迁区。理论上，理想ADC的“代码跃迁”噪声为0，跃迁区宽度也等于0。实际的ADC具有一定量的代码跃迁噪声，因此跃迁区宽度取决于折合到输入端噪声的量(如图1B所示)。图1B显示的情况是代码跃迁噪声的宽度约为1个LSB(最低有效位)峰峰值。

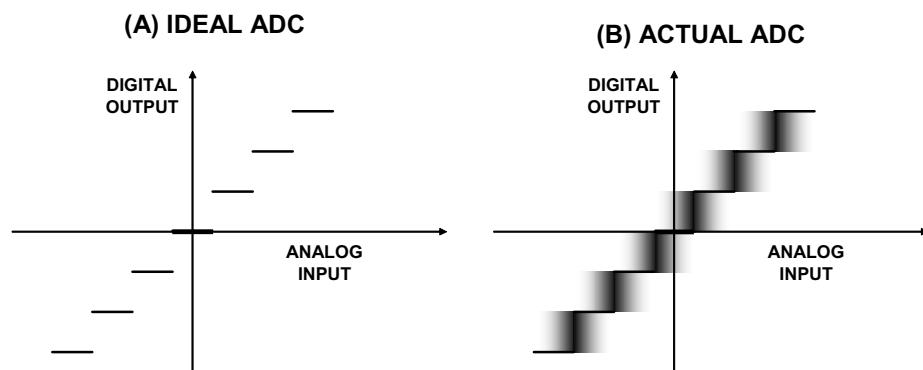


图1：代码跃迁噪声(折合到输入端噪声)及其对ADC传递函数的影响

由于电阻噪声和“ $kT/C$ ”噪声，所有ADC内部电路都会产生一定量的均方根(RMS)噪声。即使是直流输入信号，此噪声也存在，它是代码跃迁噪声存在的原因。如今通常把代码跃迁噪声称为“折合到输入端噪声”，而不是直接使用“代码跃迁噪声”这一说法。折合到输入端噪声通常用ADC输入为直流值时的若干输出样本的直方图来表征。大多数高速或高分辨率ADC的输出为一系列以直流输入标称值为中心的代码(见图2)。为了测量其值，ADC的输入端接地或连接到一个深度去耦的电压源，然后采集大量输出样本并将其表示为直方图(有时也称为“接地输入”直方图)。由于噪声大致呈高斯分布，因此可以计算直方图的标准差 $\sigma$ ，它对应于有效输入均方根噪声。参考文献1详细说明了如何根据直方图数据计算 $\sigma$ 值。该均方根噪声虽然可以表示为以ADC满量程输入范围为基准的均方根电压，但惯例是用LSB rms来表示。

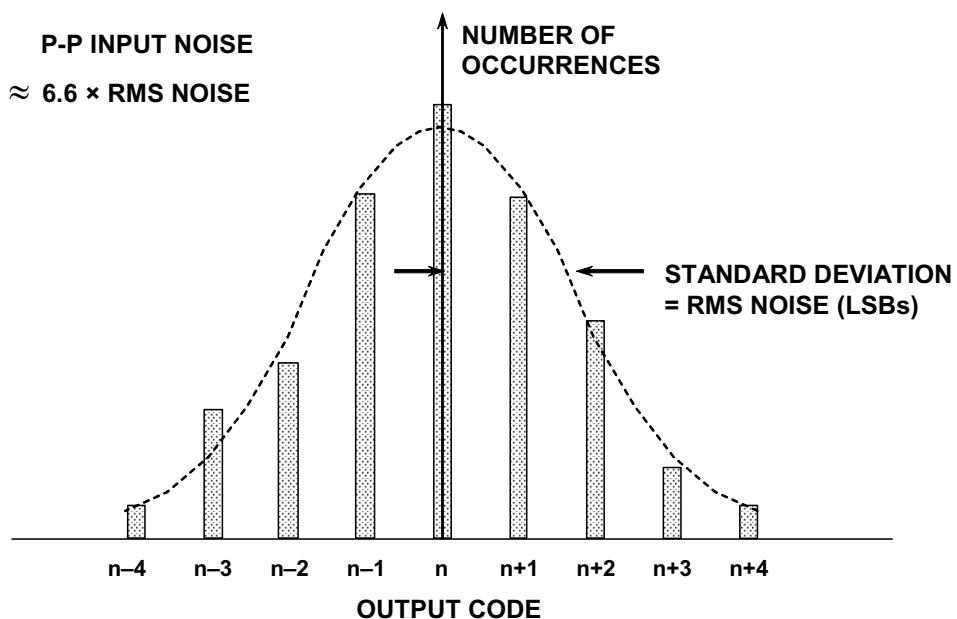


图2：折合到输入端噪声对ADC“接地输入端”直方图的影响(ADC具有少量DNL)

虽然ADC固有的微分非线性(DNL)可能会导致其噪声分布与理想的高斯分布有细微的偏差(图2示例中显示了部分DNL)，但它至少大致呈高斯分布。如果DNL比较大，则应计算多个不同直流输入电压的 $\sigma$ 值，然后求平均值。例如，如果代码分布具有较大且独特的峰值和谷值，则表明ADC设计不佳，或者更有可能的是PCB布局布线错误、接地不良、电源去耦不当(见图3)。当直流输入扫过ADC输入电压范围时，如果分布宽度急剧变化，这也表明存在问题。

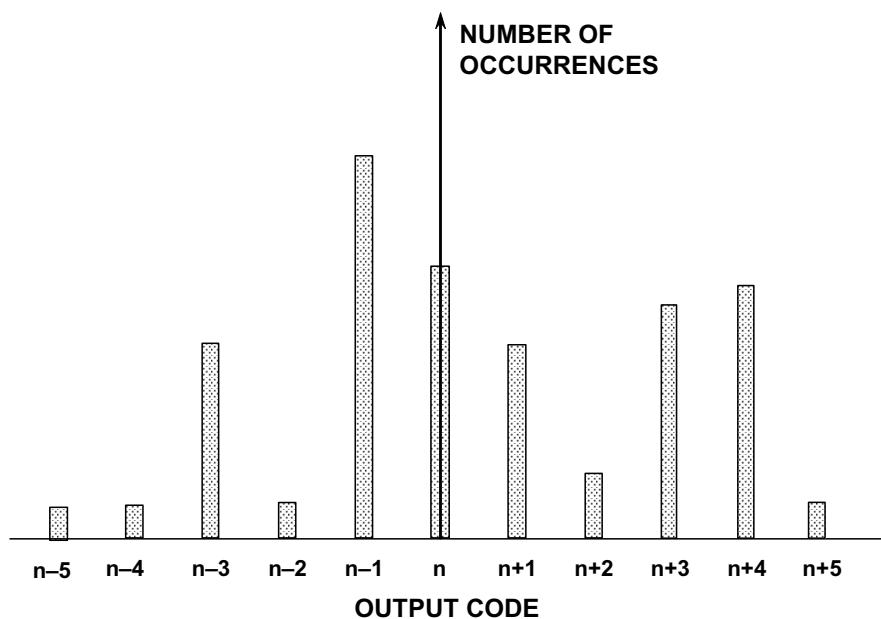


图3：设计不佳的ADC和/或布局布线、接地、去耦不当的接地输入端直方图

### 无噪声(无闪烁)代码分辨率

ADC的无噪声代码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个代码，原因是存在所有ADC都具有的有效输入噪声(或折合到输入端噪声)，如上文所述。该噪声可以表示为均方根量，单位通常是LSB rms。乘以系数6.6可以将均方根噪声转换为峰峰值噪声(用“LSB峰峰值”表示)。N位ADC的总范围为 $2^N$ LSB。因此，无噪声采样总数等于：

$$\text{Noise - Free Counts} = \frac{2^N}{\text{Peak - Peak Input Noise (LSBs)}}. \quad \text{等式1}$$

对无噪声采样数求以2为底的对数可以得到无噪声代码分辨率：

$$\text{Noise Free Code Resolution} = \log_2 \left( \frac{2^N}{\text{Peak - Peak Input Noise (LSBs)}} \right). \quad \text{等式2}$$

无噪声代码分辨率规格一般与高分辨率Σ-Δ型测量ADC相关，通常是采样速率、数字滤波器带宽和可编程增益放大器(PGA)增益的函数。图4所示为从Σ-Δ型测量ADC AD7730获得的一个典型数据表。

Table II. Peak-to-Peak Resolution vs. Input Range and Update Rate (CHP = 1)

Output Data Rate	-3 dB Frequency	SF Word	Peak-to-Peak Resolution in Counts (Bits)		Input Range = ±80 mV	Input Range = ±40 mV	Input Range = ±20 mV	Input Range = ±10 mV
			Settling Time Normal Mode	Settling Time Fast Mode				
50 Hz	1.97 Hz	2048	460 ms	60 ms	230k (18)	175k (17.5)	120k (17)	80k (16.5)
100 Hz	3.95 Hz	1024	230 ms	30 ms	170k (17.5)	125k (17)	90k (16.5)	55k (16)
150 Hz	5.92 Hz	683	153 ms	20 ms	130k (17)	100k (16.5)	70k (16)	45k (15.5)
200 Hz*	7.9 Hz	512	115 ms	15 ms	120k (17)	90k (16.5)	65k (16)	40k (15.5)
400 Hz	15.8 Hz	256	57.5 ms	7.5 ms	80k (16.5)	55k (16)	40k (15.5)	30k (15)

\*Power-On Default

图4：Σ-Δ型ADC AD7730的无噪声代码分辨率

注意，当输出数据速率为50 Hz、输入范围为±10 mV时，无噪声代码分辨率为16.5位(80,000无噪声采样)。这些条件下的建立时间为460 ms，因此该ADC是精密电子秤应用的理想之选。对于适合精密测量应用的高分辨率Σ-Δ型ADC，大部分数据手册都提供了类似的数据。

有时候会利用满量程范围与均方根输入噪声(而非峰峰值噪声)的比值来计算分辨率，该分辨率称为“有效分辨率”。注意：在相同条件下，有效分辨率比无噪声代码分辨率高 $\log_2(6.6)$ ，约2.7位。

$$\text{Effective Resolution} = \log_2 \left( \frac{2^N}{\text{RMS Input Noise (LSBs)}} \right) \quad \text{等式3}$$

$$\text{有效分辨率} = \text{无噪声代码分辨率} + 2.7 \text{位}. \quad \text{等式4}$$

有些制造商更愿意规定有效分辨率，而不是无噪声代码分辨率，因为前者的位数较高。用户应仔细检查数据手册，弄清它到底指定哪一种分辨率。

## 通过数字均值法提高ADC分辨率并降低噪声

折合到输入端噪声的影响可以通过数字均值方法降低。假设一个16位ADC具有15位无噪声分辨率，采样速率为100 kSPS。对于每个输出样本，如果对两个样本进行平均，则有效采样速率降至50 kSPS，SNR提高3 dB，无噪声位数提高到15.5位。如果对四个样本进行平均，则采样速率降至25 kSPS，SNR提高6 dB，无噪声位数提高到16位。

事实上，如果对16个样本进行平均，则输出采样速率降至6.25 kSPS，SNR再提高6 dB，无噪声位数提高到17位。为了利用额外的“分辨率”，均值算法必须在较大的有效位数上执行。

均值过程还有助于消除ADC传递函数的DNL误差，这可以通过下面的简单例子来说明：假设ADC在量化电平“k”处有一个失码，虽然代码“k”由于DNL误差较大而丢失，但两个相邻代码k - 1和k + 1的平均值等于k。

因此，可以利用该技术来有效提高ADC的动态范围，代价是整体输出采样速率降低并且需要额外的数字硬件。不过应注意，均值并不能校正ADC固有的积分非线性。

现在考虑这样一种情况：ADC的折合到输入端噪声非常低，直方图总是显示一个明确的代码，对于这种ADC，数字均值有何作用呢？答案很简单——没有作用！无论对多少样本进行平均，答案始终相同。但只要将足够大的噪声增加到输入信号中，使得直方图中有一个以上的代码，那么均值方法又会发挥效用。因此，少量噪声可能是好事情(至少对于均值方法而言)，但输入端存在的噪声越高，为实现相同分辨率所需的均值样本数越多。

## 切勿将有效位数(ENOB)与有效分辨率或无噪声代码分辨率混为一谈

由于这些术语名称相似，“有效位数”和“有效分辨率”常被误认为是一回事，事实并非如此。

有效位数(ENOB)来自对ADC输出的FFT分析，条件是用一个满量程正弦波输入信号激励ADC。计算所有噪声和失真项的和方根(RSS)值，信号对噪声和失真的比值定义为信纳比SINAD或S/(N+D)。理想N位ADC的理论SNR为：

$$\text{SNR} = 6.02N + 1.76\text{dB}. \quad \text{等式5}$$

将计算所得的SINAD值替换等式5中的SNR，并求解N，便得到ENOB：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76\text{dB}}{6.02} . \quad \text{等式6}$$

用于计算SINAD和ENOB的噪声和失真不仅包括折合到输入端噪声，而且包括量化噪声和失真项。SINAD和ENOB用于衡量ADC的动态性能，有效分辨率和无噪声代码分辨率则用于衡量ADC在无量化噪声的直流输入条件下的噪声。

### 利用噪声扰动提高ADC无杂散动态范围

对于高速ADC，若要最大程度地提高SFDR，存在两个基本限制：第一是前端放大器和采样保持电路产生的失真；第二是ADC编码器部分的实际传递函数的非线性所导致的失真。提高SFDR的关键是尽可能降低以上两种非线性。

要显著降低ADC前端引起的固有失真，在ADC外部着力是徒劳的。然而，ADC编码器传递函数的微分非线性可以通过适当利用扰动(即外部噪声，与ADC的模拟输入信号相加)来降低。

在一定的条件下，扰动可以改善ADC的SFDR(参考文献2-5)。例如，即使在理想ADC中，量化噪声与输入信号也有某种相关性，这会降低ADC的SFDR，特别是当输入信号恰好为采样频率的约数时。将宽带噪声(幅度约为½ LSB rms)与输入信号相加往往会使量化噪声随机化，从而降低其影响(见图5A)。然而，在大多数系统中，信号之上有足够的噪声，因此无需额外添加扰动噪声。ADC的折合到输入端噪声也可能足以产生同样的效果。将宽带均方根噪声电平提高约1 LSB以上会成比例地降低ADC SNR，且性能不会有进一步的提高。

还有其它一些方案，都使用更大数量的扰动噪声，使ADC的传递函数随机化。图5B还显示了一个由驱动DAC的伪随机数发生器组成的扰动噪声源，此信号从ADC输入信号中减去后，以数字方式增加到ADC输出中，从而不会导致SNR性能显著下降。这种技术本身有一个缺点，即随着扰动信号的幅度增大，允许的输入信号摆幅会减小。之所以需要减小信号幅度，是为了防止过驱ADC。应当注意，这种方案不能显著改善ADC前端产生的失真，只能改善ADC编码器传递函数的非线性所引起的失真。

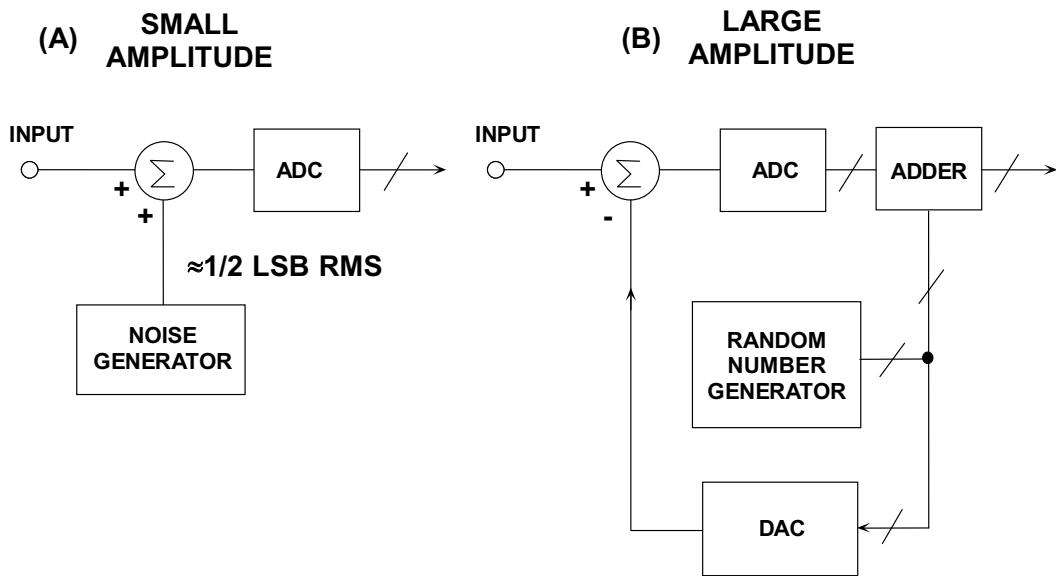


图5：利用扰动使ADC传递函数随机化

还有一种方法更容易实现，尤其是在宽带接收机中，即注入信号目标频带以外的一个窄带扰动信号，如图6所示。一般来说，信号成分不会位于接近DC的频率范围，因此该低频区常用于这种扰动信号。扰动信号可能还位于略低于 $f_s/2$ 的地方。相对于信号带宽，扰动信号仅占用很小的带宽（数百kHz带宽通常即足够），因此SNR性能不会像在宽带扰动下那样显著下降。

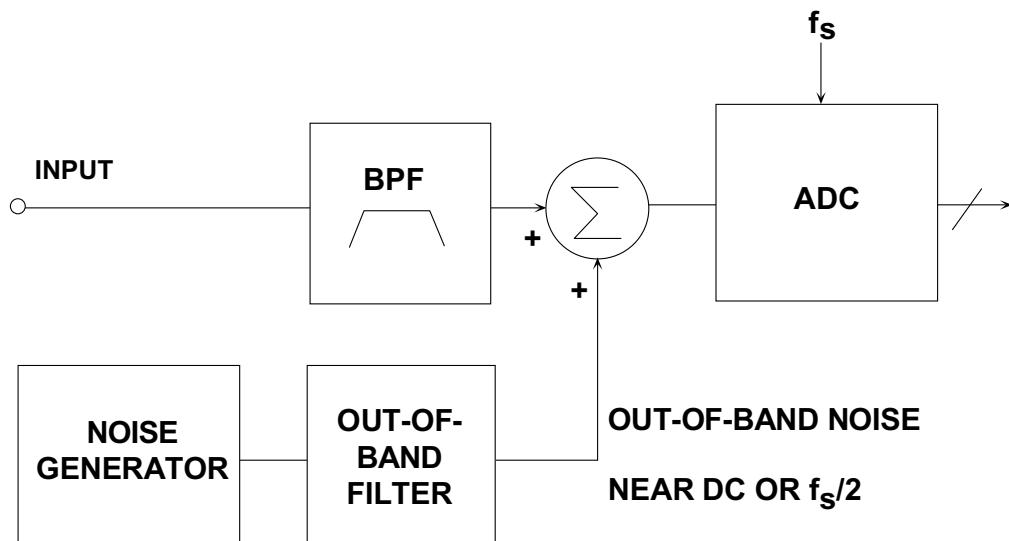


图6：注入带外扰动以改善ADC SFDR

分级流水线式ADC，例如图7所示的14位105 MSPS ADC AD6645，在ADC范围内的特定代码跃迁点有非常小的差分非线性误差。AD6645由一个5位ADC1、一个5位ADC2和一个6位ADC3组成。严重的DNL误差仅出现在ADC1跃迁点，第二级和第三级ADC的DNL误差非常小。ADC1有 $2^5 = 32$ 个相关的决策点，每隔68.75 mV ( $2^9 = 512$  LSB)出现一个(2.2 V满量程输入范围)。图8以夸张形式显示了这些非线性误差。

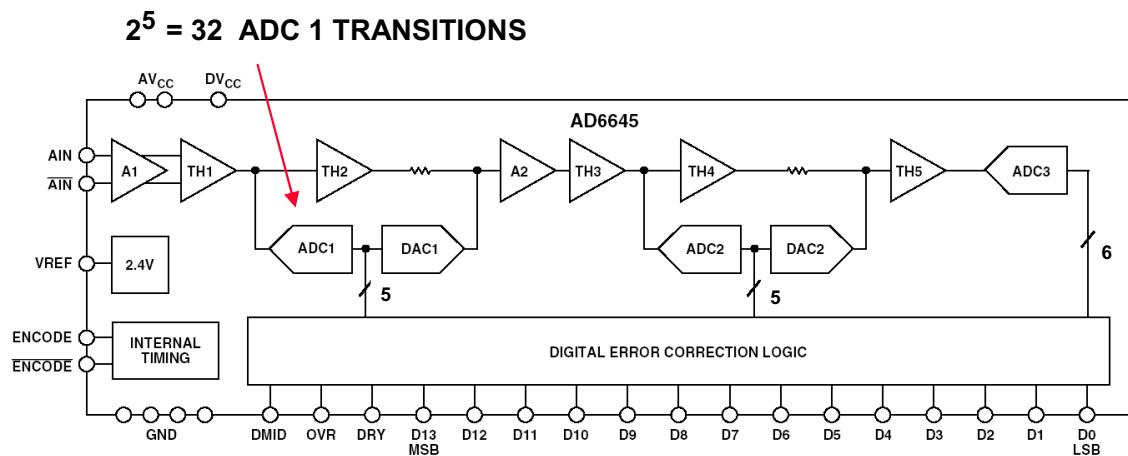


图7：14位105 MSPS ADC AD6645简化框图

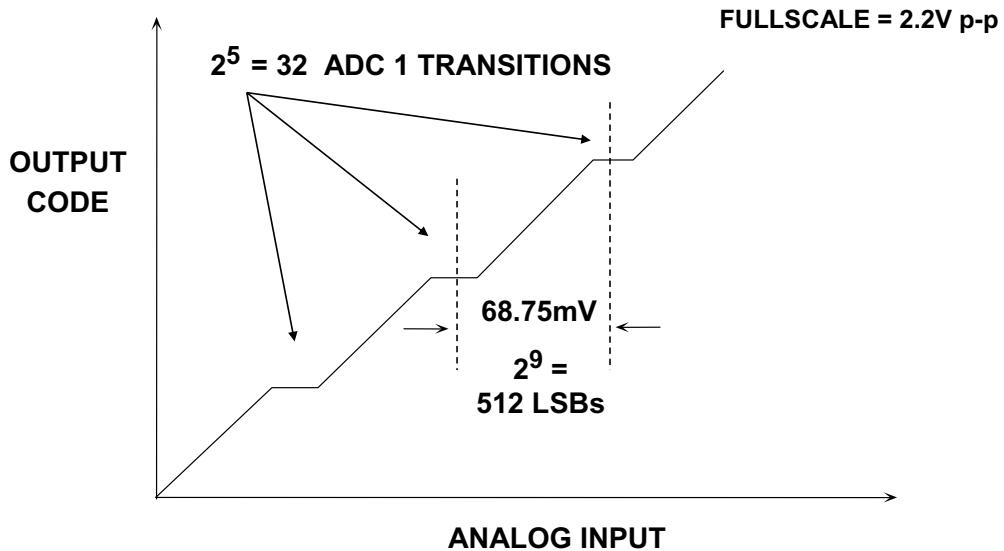
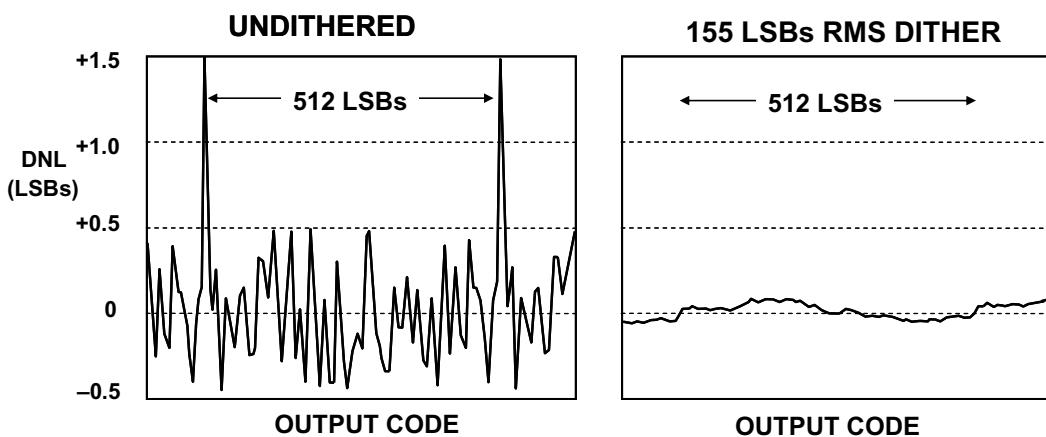


图8：AD6645分级点DNL误差(夸张显示)

对于最高约为200 MHz的模拟输入，AD6645前端产生的失真成分与编码器产生的失真相比可忽略不计。这就是说，AD6645传递函数的静态非线性是SFDR性能的主要限制。

目标是选择适当的带外扰动量，使得这些微小DNL误差的影响在ADC整个输入范围内随机化，从而降低平均DNL误差。这可以通过实验方法确定，覆盖大约两个ADC1跃迁区的峰峰值扰动噪声对DNL的改善最佳。更高的噪声量不会明显改善DNL。两个ADC1跃迁区覆盖1024 LSB峰峰值，或者大约155 LSB rms（峰峰值高斯噪声除以6.6即得到均方根值）。

图9中的第一幅图显示一小部分输入信号范围内的无扰动DNL。水平轴经过放大，以显示两个相距68.75 mV (512 LSB)的分级点。第二幅图显示增加155 LSB rms扰动后的DNL，该扰动量相当于大约-20.6 dBm。请注意，DNL得到显著改善。



**图9：无扰动和有扰动的AD6645 DNL**

扰动噪声可以通过多种方式产生。可以使用噪声二极管，但简单地放大器宽带双极性运放的输入电压噪声是更经济的解决方案，这种方法已在参考文献3、4、5中详细说明，在此恕不赘述。

利用带外扰动获得的SFDR大幅改善结果如图10的深(1,048,576点)FFT所示，其中AD6645以80 MSPS的速率对一个-35 dBm、30.5 MHz信号进行采样。请注意，无扰动时SFDR约为92 dBFS，有扰动时约为108 dBFS，提高幅度达16 dB！

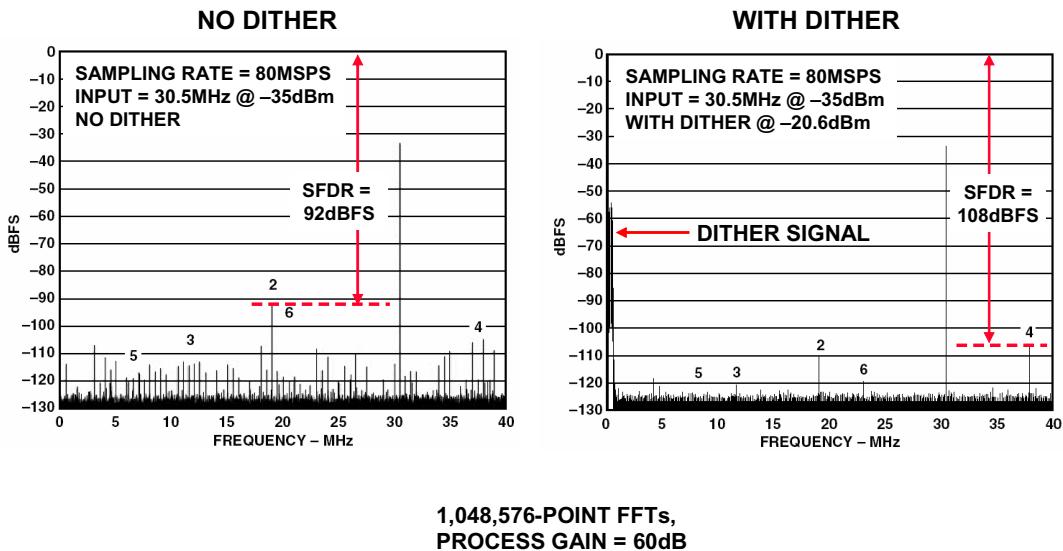


图10：无扰动和有扰动的AD6645 FFT图

AD6645 ADC由ADI公司于2000年推出，直到最近，它仍是代表SFDR极致性能的产品。自从推出该器件后，工艺技术和电路设计两方面的进步推动ADC向更高性能发展，例如[AD9444](#)(14位、80 MSPS)、[AD9445](#)(14位、105/125 MSPS)和[AD9446](#)(16位、80/100 MSPS)，这些ADC具有非常高的SFDR(对于70 MHz满量程输入信号，典型值大于90 dBc)和低DNL。在一定的输入信号条件下，增加适当的带外扰动信号同样可以改善SFDR性能。

图11显示了有扰动和无扰动下的[AD9444](#)(14位、80MSPS)FFT。在这些输入条件下，添加扰动使SFDR提高25 dB。所示数据是利用ADIsimADC程序和AD9444模型获得。

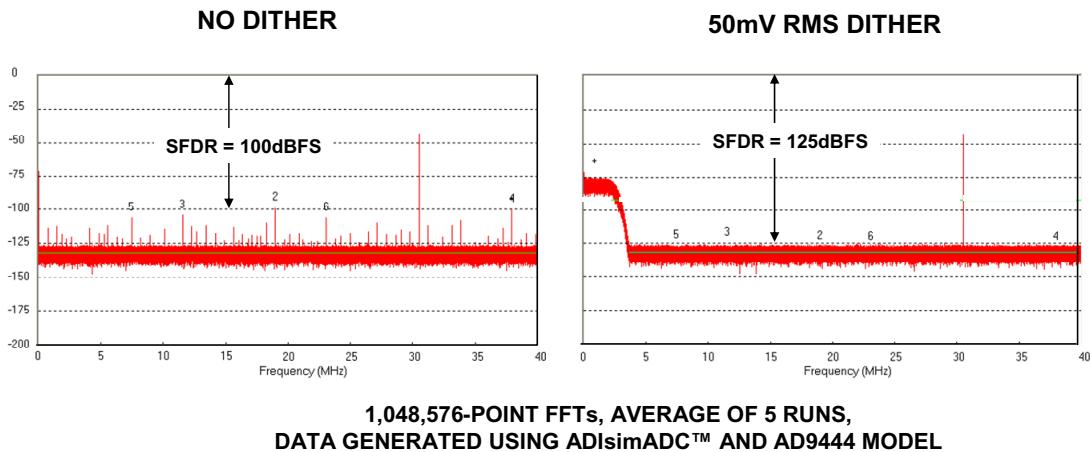


图11：14位、80MSPS ADC AD9444,  $f_s = 80\text{MSPS}$ ,  
 $f_{in} = 30.5\text{MHz}$ , 信号幅度 =  $-40\text{dBFS}$

虽然图10和图11所示的结果相当惊人，但不应认为，增加带外噪声扰动一定就会改善ADC的SFDR，或者在所有条件下都适用。正如之前提到的，扰动无法改善ADC前端电路的线性度。即使是近乎理想的前端，扰动的效果也将高度依赖于输入信号的幅度和扰动信号本身的幅度。例如，当信号接近ADC的满量程输入范围时，传递函数的积分非线性可能会成为确定SFDR的限制因素，扰动将没有助益。务必认真研究数据手册，某些情况下，其中可能给出了有扰动和无扰动的数据以及幅度和带宽建议。扰动可能是更新一代中频采样ADC的内置特性。

### **结束语**

在本文中，我们说明了所有ADC都有一定量的折合到输入端噪声。在精密、低频测量应用中，以数字方式对ADC输出数据求平均值可以降低该噪声，代价是采样速率会降低并且需要额外的硬件。该均值方法实际上可以提高ADC的分辨率，但无法降低积分非线性误差。通过均值技术提高分辨率时，需要少量的折合到输入端噪声，但如果噪声太高，均值法将需要大量样本，而且存在一个“效益递减”点。

在某些高速ADC应用中，增加适当数量的带外噪声扰动可以改善ADC的DNL，并提高无杂散动态范围(SFDR)。然而，扰动对改善SFDR的效力高度依赖于特定ADC的特性。

### **致谢**

Microchip Technology的Bonnie Baker和ADI公司的Alain Guery为本指南的撰写提供了细致周到的建议，在此表示衷心感谢。

## 参考文献

1. Steve Rusnak and Larry Singer, "[Using Histogram Techniques to Measure A/D Converter Noise](#)," *Analog Dialogue*, Vol. 29-2, 1995.
2. Brad Brannon, "[Overcoming Converter Nonlinearities with Dither](#)," *Application Note AN-410*, Analog Devices, 1995.
3. Walt Jung, "Wideband Noise Generator," Ideas for Design, *Electronic Design*, October 1, 1996.
4. Walter G. Jung, [\*Op Amp Applications\*](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [\*Op Amp Applications Handbook\*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5..
5. Walt Kester, "Add Noise Dither to Blow Out ADCs' Dynamic Range," *Electronic Design, Analog Applications Supplement*, November 22, 1999, pp. 20-26.
6. Bonnie Baker, "Sometimes, Noise Can Be Good," *EDN*, February 17, 2005, p. 26.
7. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [\*Linear Circuit Design Handbook\*](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 12
8. Walt Kester, [\*Analog-Digital Conversion\*](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [\*The Data Conversion Handbook\*](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 6

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## ADC需要考虑的交调失真因素

作者: Walt Kester

### 简介

交调失真(IMD)是用于衡量放大器、增益模块、混频器和其他射频元件线性度的一项常用指标。二阶和三阶交调截点(IP2和IP3)是这些规格参数的品质因素，以其为基础可以计算不同信号幅度下的失真积。虽然射频工程师们非常熟悉这些规格参数，但当将其用于ADC时往往会产生一些困惑。本教程首先在ADC的框架下对交调失真进行定义，然后指出将IP2和IP3的定义应用于ADC时必须采取的一些预防措施。

### 双音交调失真(IMD)

测量双音交调失真时，要将两个频谱纯净的正弦波在频率 $f_1$ 和 $f_2$ 下应用于ADC，这两个频率一般距离相对较近。将每个音的幅度设为比满量程低，数值略微超过6 dB即可，以便两个音相位增加时，ADC不会出现削波。二阶和三阶积的位置如图1所示。请注意，二阶积处于数字滤波器可以消除的频率位置。然而，三阶积 $2f_2 - f_1$ 和 $2f_1 - f_2$ 接近原始信号，过滤的难度更大。除非另有说明，双音交调失真指这些“近距”三阶积。交调失真积值一般以dBc为单位，相对于两个原始音之一的值，而不是两者之和。

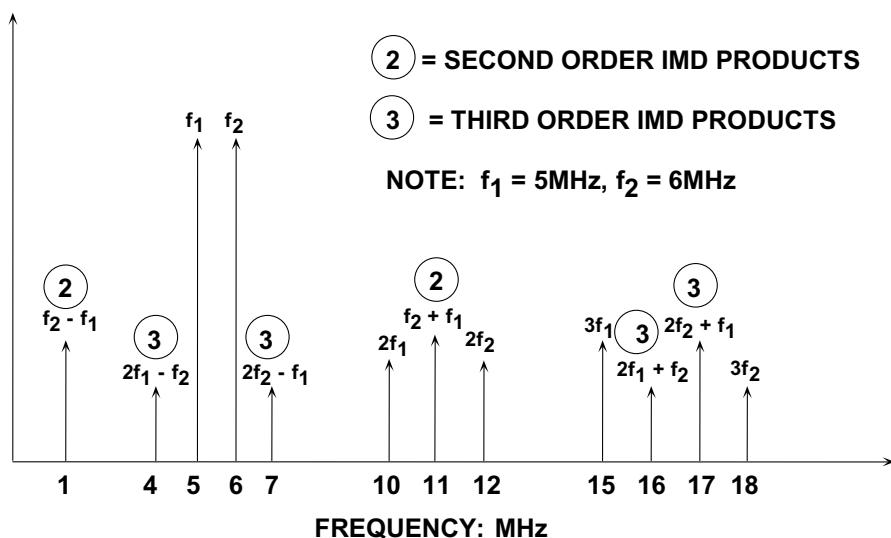


图1：二阶和三阶交调积  
 其中， $f_1 = 5\text{MHz}$ ,  $f_2 = 6\text{MHz}$

然而,请注意,如果两个音接近 $f_s/4$ ,则基波的混叠三次谐波可能使 $2f_2 - f_1$ 和 $2f_1 - f_2$ 真实积的识别变得异常困难。其原因在于, $f_s/4$ 的三次谐波为 $3f_s/4$ ,而混叠出现在 $f_s - 3f_s/4 = f_s/4$ 频率处。类似地,如果两个音接近 $f_s/3$ ,则混叠二次谐波可能会干扰测量。原理同上, $f_s/3$ 的二次谐波为 $2f_s/3$ ,混叠出现在 $f_s - 2f_s/3 = f_s/3$ 处。

## 二阶和三阶交调截点(IP2, IP3)、1-dB 压缩点

三阶交调失真积在多通道通信系统中尤其麻烦,这种应用中,通道隔离在整个频段保持不变。三阶交调失真积在有大信号的情况下可能掩盖住小信号。

在放大器、混频器和其他射频元件中,一般以三阶交调截点(IP3)来表示三阶交调失真积,如图2所示。两个频谱纯洁的音被应用于该系统。单音的输出信号功率(单位: dBm)以及三阶积的相对幅度(以一个单音为基准)表示为输入信号功率的函数。基波表示为图中的*slope = 1*曲线。如果通过幂级数展开逼近系统非线性度,则信号每增加1 dB,二阶IMD (IMD2)幅度将增加2 dB,如图中*slope = 2*曲线所示。

类似地,信号每增加1 dB,三阶IMD (IMD3)幅度就增加3 dB,如图中*slope = 3*曲线所示。在一个低电平双音输入信号和两个数据点下,则可以绘制出二阶和三阶交调失真线,如图2所示(其原理是,一个点和一个斜率定义一条直线)。

然而,输入信号一旦达到某种水平,输出信号就会开始软限制或压缩。这里一个相关参数是1 dB压缩点。这就是输出信号从一个理想的输入/输出传递函数压缩1 dB的点。在图2中,该点处于理想斜率=1线变成虚线与实际响应表现出压缩迹象(实线)之间的区域中。

然而,二阶和三阶交调截线都可以延长,与理想输出信号线的延长线(虚线)相交。这些交点分别称为二阶和三阶交调截点,表示为IP2和IP3。这些功率电平值通常以传导至一个匹配负载(通常但不一定为 $50 \Omega$ )的器件输出功率为基准,表示为dBm。

应当注意,IP2、IP3和1 dB压缩点都是频率的函数,不出所料,频率越高,失真越严重。

对于给定的频率,在已知三阶交调截点的情况下,可以计算出三阶IMD积的近似电平值(为输出信号电平的函数)。

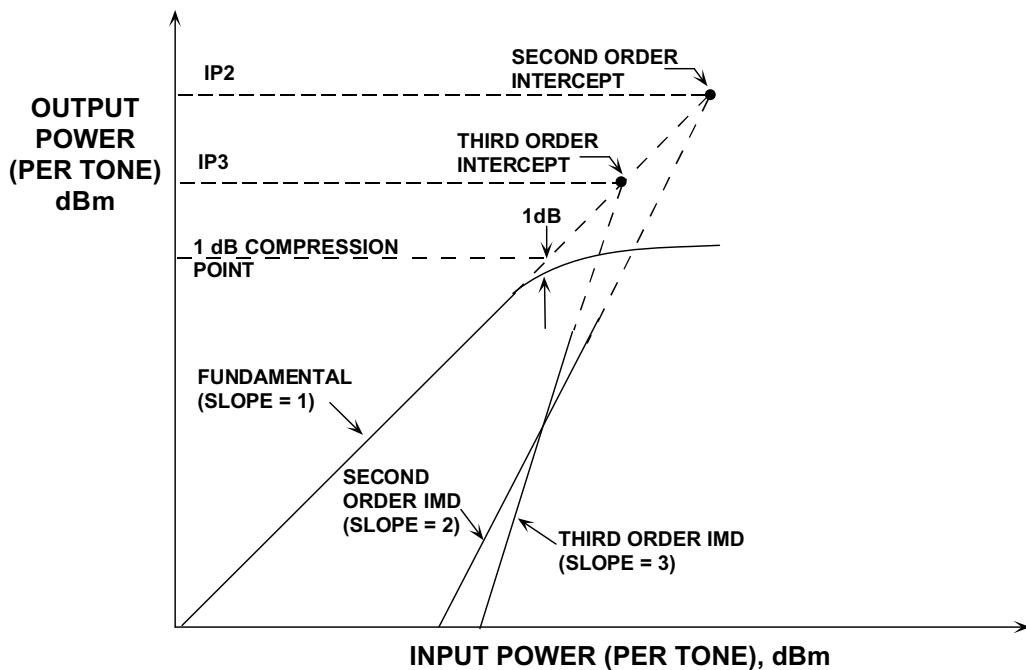


图2：交调截点的定义与放大器的1 dB压缩

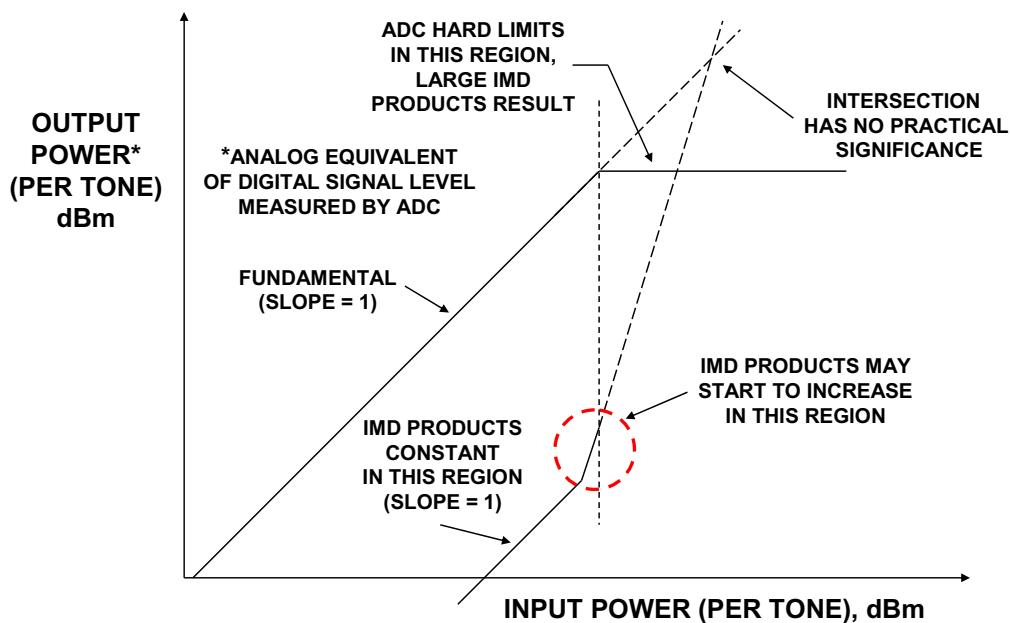


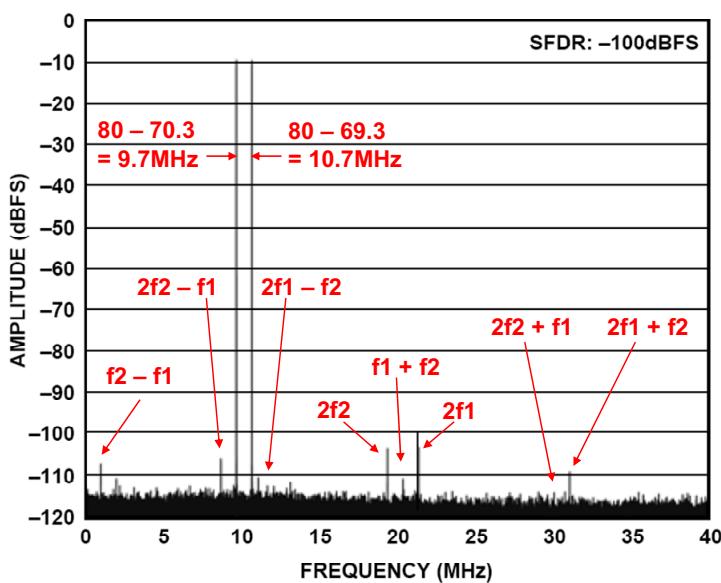
图3：数据转换器的交调截点无实用价值

二阶和三阶交调截点的概念对ADC无效，因为，在这种情况下，失真积的变化不可预测（作为信号幅度的函数）。ADC并不是逐渐开始压缩接近满量程的信号（不存在1 dB压缩点）；一旦信号超过ADC输入范围，ADC就会充当硬限幅器，从而因削波而突然产生数量极大的失真。另一方面，对于远远低于满量程的信号，失真底保持相对稳定，不受信号电平影响，如图3所示。

图3中的IMD曲线分为三个区域。对于低电平输入信号，IMD积保持相对稳定，不受信号电平的影响。这就意味着，当输入信号增加1 dB时，该信号与IMD电平的比值也会增加1 dB。当输入信号处于ADC满量程范围的几dB之内时，IMD可能开始增加(但在设计优良的ADC中可能不会如此)。出现这种现象的确切电平取决于具体的ADC——有些ADC在其满量程输入范围内，其IMD积不会显著增大，但多数ADC会。当输入信号继续增加并超过满量程范围时，ADC应充当理想的限幅器，IMD积将变得非常大。出于对此类原因的考虑，ADC并无二阶和三阶IMD交调截点额定值。需要注意的是，DAC实际上存在同样的情况。在两种情况下，单音或多音SFDR(无杂散动态范围)额定值是广受认可的数据转换器失真性能的衡量指标。

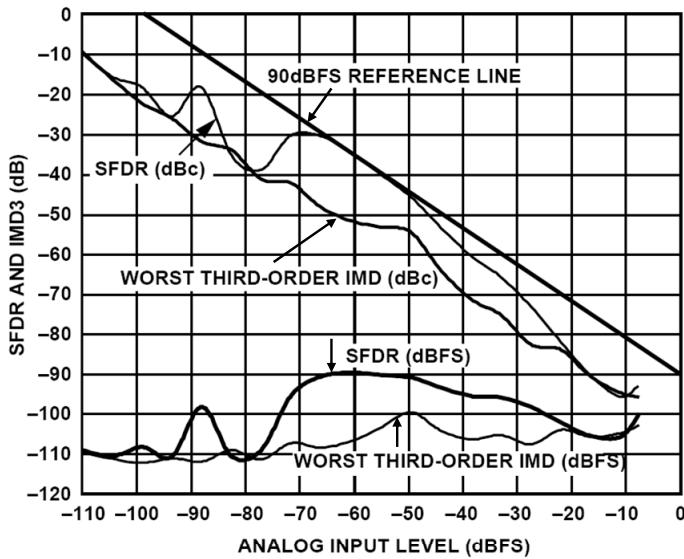
## 多音无杂散动态范围

通信应用通常需要测量双音和多音SFDR。信号音数量越多，越接近蜂窝电话系统(如AMPS或GSM)的宽带频谱。图4所示为AD9444 14位80-MSPS ADC的双音交调性能。两个输入音的频率分别为69.3 MHz和70.3 MHz，位于第二奈奎斯区。



**图4：AD9444 14位80 MSPS ADC双音FFT  
(输入音频率： $f_1 = 69.3 \text{ MHz}$ 和 $f_2 = 70.3 \text{ MHz}$ )**

因此，混叠音出现在9.7 MHz和10.7 MHz，位于第一奈奎斯区。图4同时显示了所有混叠IMD积的位置。高SFDR会增强接收器在有大信号时捕获小信号的能力，并防止小信号被大信号的交调积掩盖。图5所示为AD9444双音SFDR(为输入信号幅度的函数)，其中，两个音的输入频率相同。



**图5：双音SFDR和最差IMD3积与AD9444 14位80 MSPS ADC输入幅度的关系**

## 总结

交调失真(IMD2、IMD3)和交调截点(IP2、IP3)是混频器、LNA、增益模块、放大器等射频元件的常用规格参数。通过幂级数展开来模拟这些器件的非线性度，可以基于交调截点IP2和IP3来预测各种信号幅度的失真电平。与放大器和混频器不同，ADC失真(尤其是低电平信号)并不适用简单的幂级数展开模型，因此，交调截点IP2和IP3无法用于预测失真性能。另外，当输入信号超过满量程范围时，ADC将充当理想的限幅器，而放大器和混频器一般充当软限幅器。

尽管存在这些差异，但在通信应用中，了解ADC的双音IMD性能至关重要。较好的数据手册会针对多种输入信号频率和幅度提供这种数据。除此以外，[ADIsimADC™](#) 程序可用于评估各种ADC在系统应用要求的具体频率和幅度下的性能。ADIsimADC程序充当虚拟评估板的作用，可以从ADI网站下载，同时还可下载针对IF采样ADC的最新模型。该程序基于FFT引擎，可以精确地计算出单音和双音输入信号的SNR、SFDR和IMD值。

## 参考文献

1. Robert A. Witte, "Distortion Measurements Using a Spectrum Analyzer," *RF Design*, September, 1992, pp. 75-84.
2. Walt Kester, "[Confused About Amplifier Distortion Specs?](#)", *Ask The Applications Engineer, A Selection from Analog Dialogue, 30<sup>th</sup> Issue Reader Bonus*, Analog Devices, 1997, pp. 23-25.
3. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 2. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 2.
4. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034, Chapter 1.
5. Walter G. Jung, [Op Amp Applications](#), Analog Devices, 2002, ISBN 0-916550-26-5, Also available as [Op Amp Applications Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7844-5. Chapter 6.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

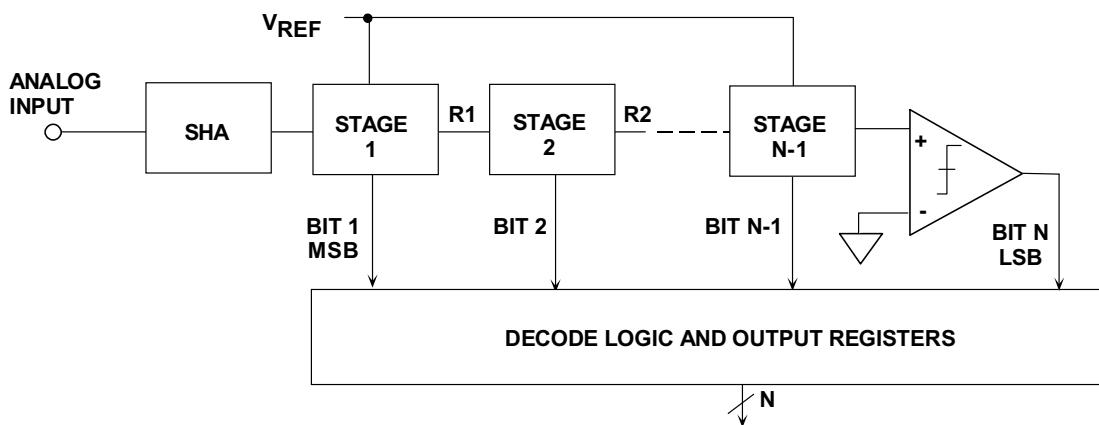
## ADC架构VI：折叠型ADC

作者：Walt Kester

### 简介

“折叠”架构是各种串行或每级一位架构中的一种。有多种架构可以使用每位一级技术来执行模数转换，基本原理如图1所示。每级一位、无误差校正机制的多级流水线式分级ADC基本上就是一个每级一位转换器。实践中，此类流水线式转换器一般使用每级1.5位方法来提供误差校正功能(详见参考文献1)。

在每级一位ADC中，输入信号在整个转换周期中必须保持恒定。共有N级，每级都有一个“位”输出和一个“残余”输出。上一级的残余输出是下一级的输入。最后一位通过一个比较器检测，如图所示。



B. D. Smith, "An Unusual Electronic Analog-Digital Conversion Method,"  
*IRE Transactions on Instrumentation*, June 1956, pp. 155-160.

**图1：每级一位ADC的一般架构**

每级一位架构可以与其它架构结合使用。例如，最后一级的残余输出可以通过一个Flash型转换器进一步数字化，从而提供更高的分辨率。

B. D. Smith于1956年发表的一篇文章是首次提到这种架构的文献之一(参考文献2)。但Smith指出，先前的工作已由R. P. Sallen在麻省理工学院完成(1949年论文)。Smith在文章中说明了实现模数转换所需的二进制和格雷(或折叠)传递函数。

## 二进制和折叠型每级一位(串行)ADC

图2所示为用于执行单个二进制位转换的基本级，它由一个2倍增益放大器、一个比较器和一个1位DAC(转换开关)组成。假设这是ADC的第一级。MSB就是输入的极性，通过比较器进行检测，比较器还控制1位DAC。1位DAC的输出与2倍增益放大器的输出相加，然后将由此产生的残余输出输入到下一级。为了更好地了解该电路的工作原理，图中显示了一个涵盖整个ADC范围( $-V_R$ 至 $+V_R$ )的线性斜坡输入电压的残余输出。注意，残余输出的极性决定了下一级的二进制位输出。

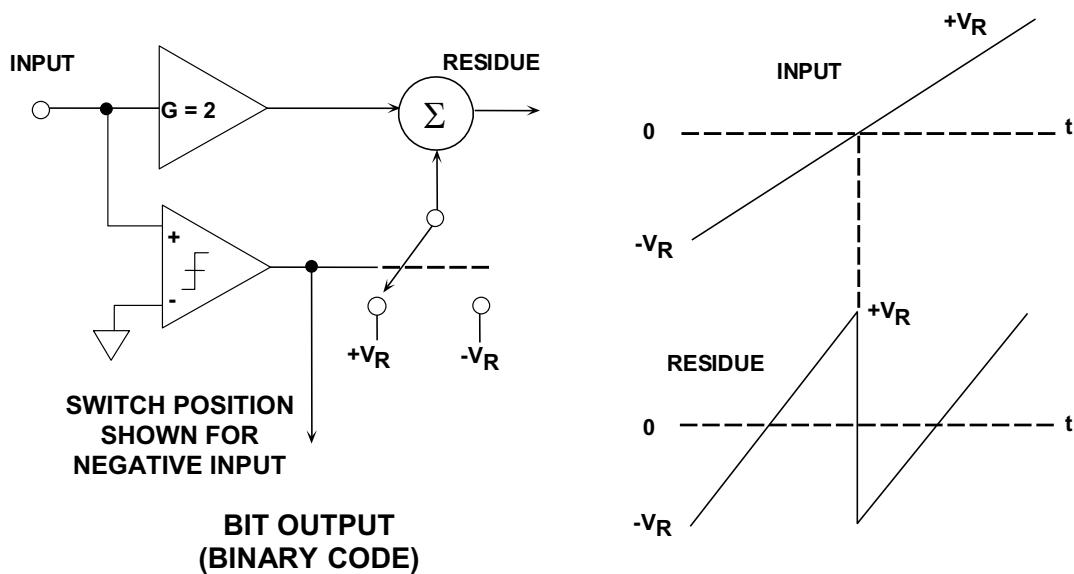


图2：二进制ADC的单级传递函数

图3所示为一个简化的3位串行二进制每级一位ADC，其残余输出如图4所示。同样，图中显示的是范围介于 $-V_R$ 和 $+V_R$ 之间的一个线性斜坡输入电压的情况。每个残余输出都有间断点，这些间断点对应于比较器改变状态并驱使DAC切换的点。这种架构的根本问题在于残余输出波形中的不连续性。为使这些瞬变穿过所有级并在最后一个比较器输入端建立，必须提供充足的建立时间。因此，这种架构不适合高速工作。然而，每级1.5位流水线式架构(见参考文献1)对高速应用的吸引力则大得多。

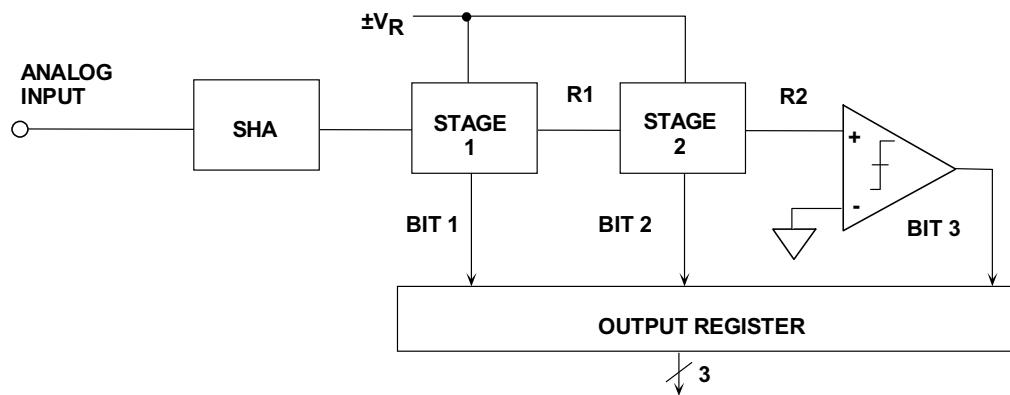


图3：二进制输出的3位串行ADC

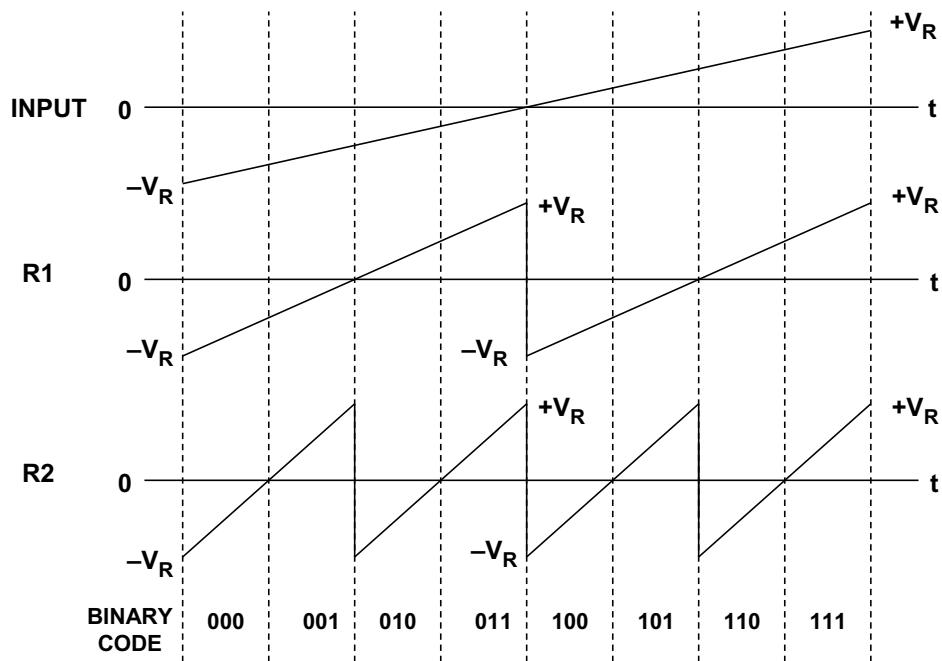


图4：3位二进制纹波ADC的输入和残余波形

除二进制方法以外，B. D. Smith在论文中还描述了一种更理想的基于绝对值放大器(幅度放大器，或简称为MagAMPs™)的每级一位架构。这种方案常被称为串行格雷式(因为输出编码为格雷码)，或者根据其传递函数的形状而称为“折叠型”转换器。使用一个能够产生初始格雷码输出的传递函数来执行转换，可以最大程度地减少残余输出波形中的间断点，并且有望以远高于二进制方法的速度工作。

图5显示了基本折叠级的功能框图及其传递函数。假设折叠级的输入是范围介于 $-V_R$ 和 $+V_R$ 之间的一个线性斜坡电压。比较器检测输入信号的极性，并产生该级的格雷位输出。它还确定该级的总增益是+2还是-2。基准电压 $V_R$ 与开关输出相加，产生的残余信号输入到下一级。残余信号的极性决定了下一级的格雷位。图5同时给出了折叠级的传递函数。

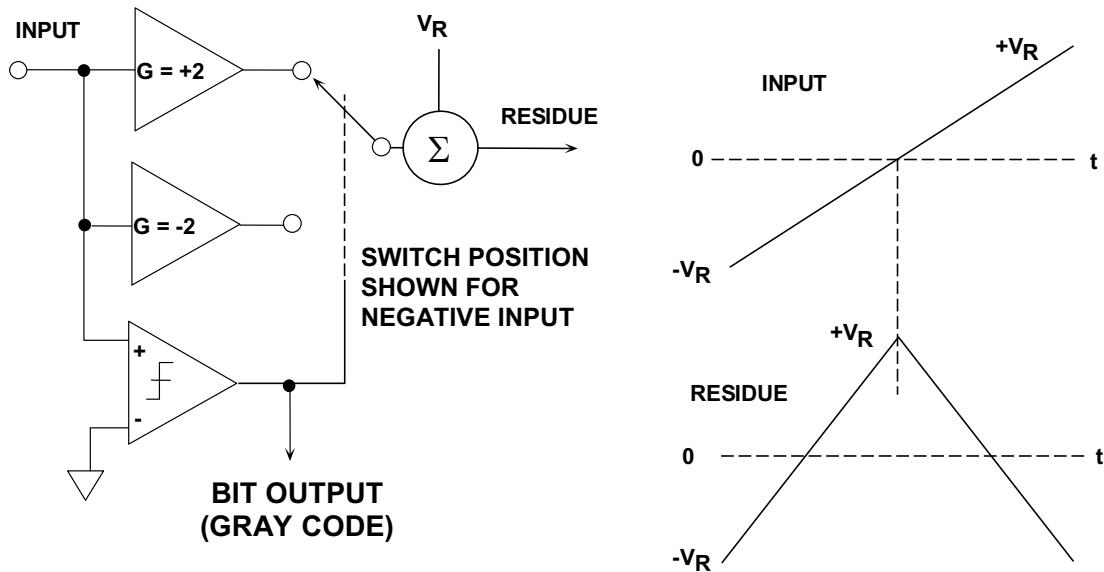


图5：折叠级功能等效电路

图6所示为一个3位MagAMP折叠型ADC，其对应的残余波形如图7所示。如同二进制每一位ADC，上一级的残余输出信号的极性决定了下一级的格雷位的值。第一级的输入极性决定了格雷MSB，R1输出的极性决定了格雷位2，R2输出的极性决定了格雷位3。注意，与二进制纹波ADC不同，任何折叠级残余输出波形中都不存在突变，因此实现高速工作是切实可行的。

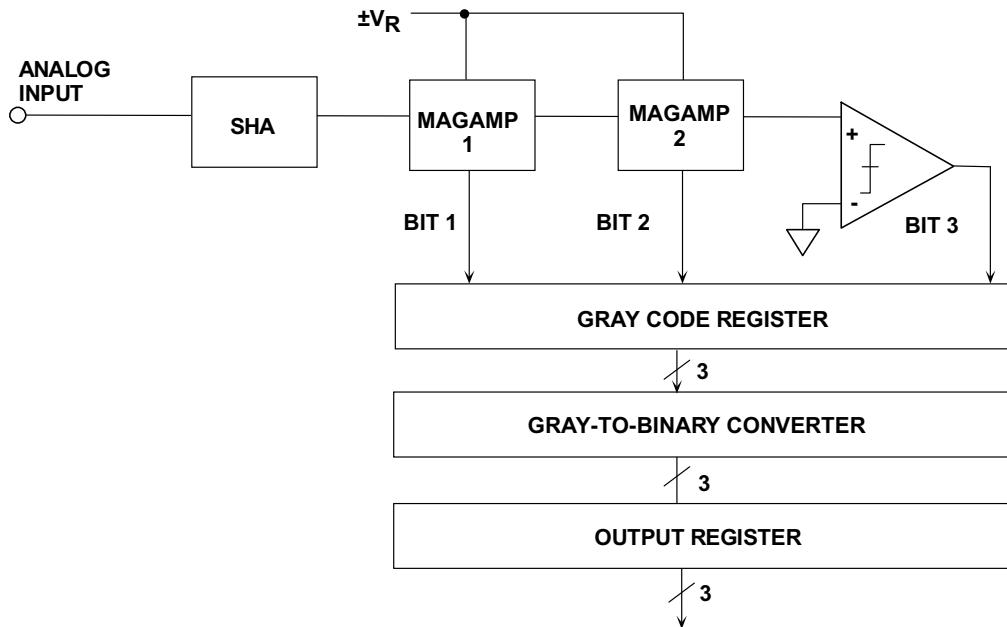


图6：3位折叠型ADC框图

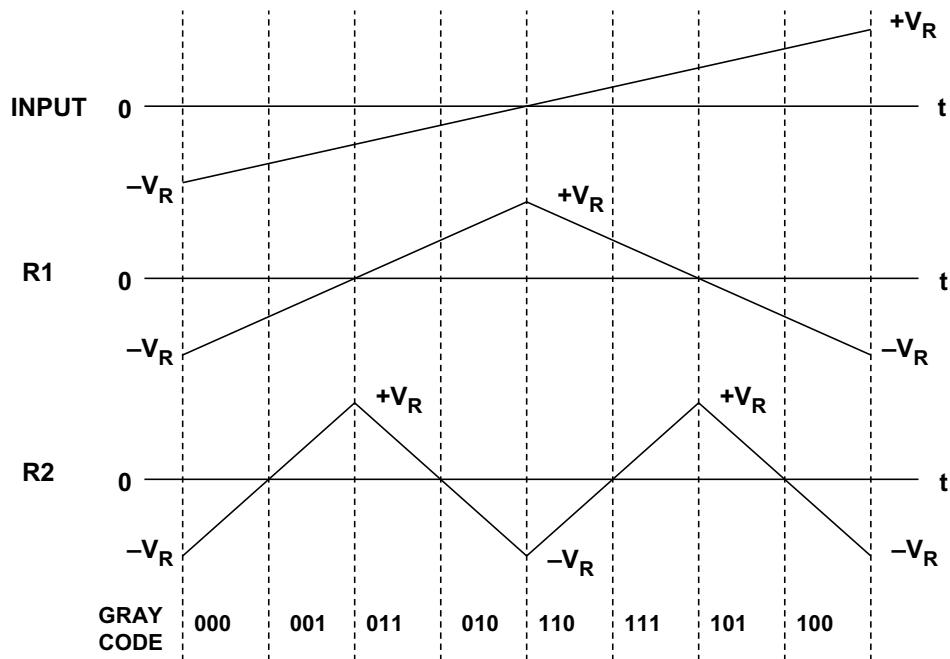
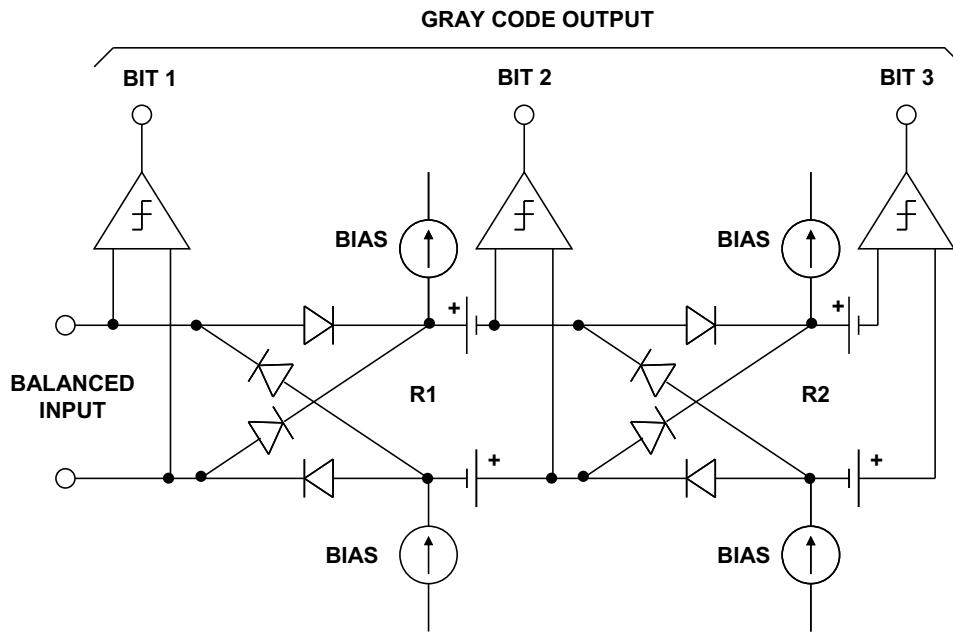


图7：3位折叠型ADC的输入和残余波形

让这种架构以高速工作的关键在于折叠级。贝尔电话实验室的N. E. Chasek在1960申请的专利中(参考文献3)描述了一种利用巢式二极管桥产生折叠传递函数的电路。该电路利用固态器件，但每级需要不同的基准电压(见图8)。当多级级联以形成更高分辨率的转换器时，Chasek的电路还会遭受裕量和增益损失，如图9所示。为使折叠型ADC以高分辨率工作，真正需要的是近乎理想的电压或电流整流。



Adapted from: N. E. Chasek, "Pulse Code Modulation Encoder,"  
U.S. Patent 3,035,258, Filed November 14, 1960, Issued May 15, 1962

图8：基于N. E. Chasek设计的3位折叠型ADC

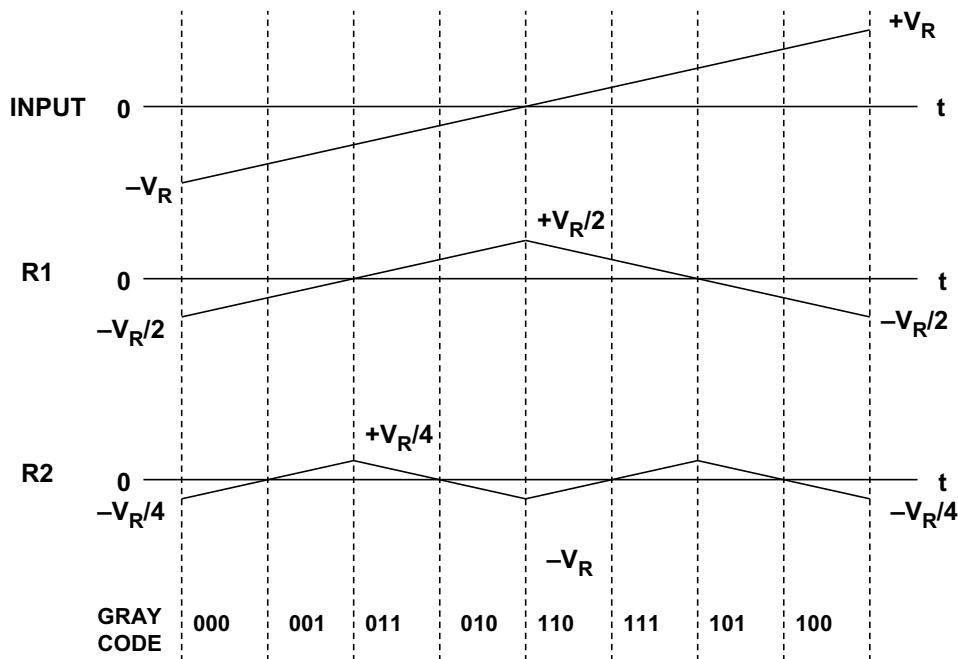
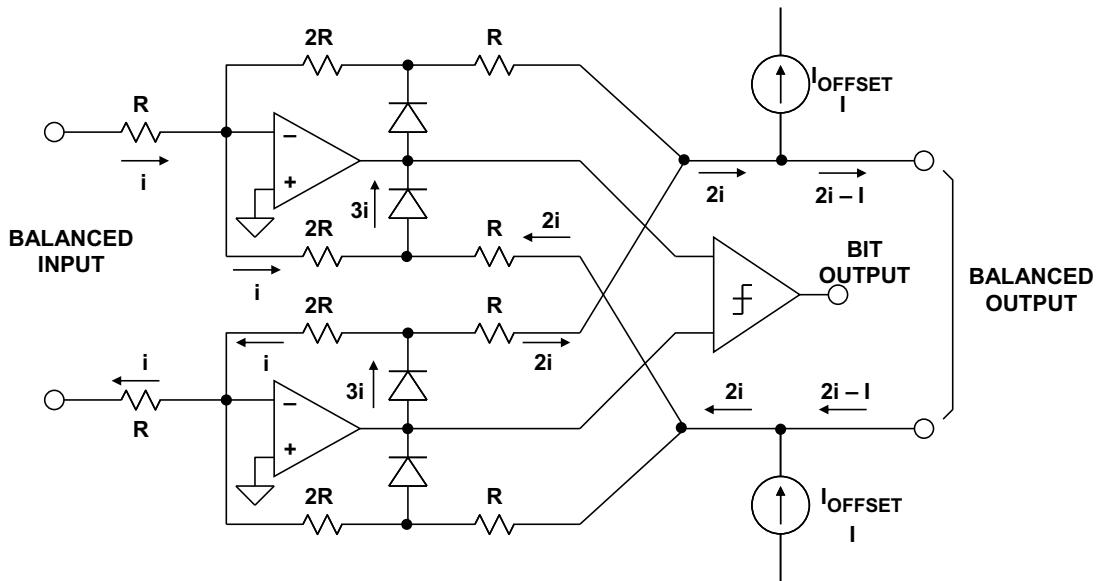


图9：Chasek折叠型ADC的单端波形

贝尔电话实验室的F. D. Waldhauer在1962年申请的著名专利(参考文献4)中解决了Chasek巢式二极管桥电路的问题。图10显示了Waldhauer用于实现折叠传递函数的完善方案, 它使用固态运算放大器, 反馈环路中含有二极管。2倍增益运算放大器允许各级使用相同的基准电压, 并利用近乎完美的整流电路使各残余输出保持相同的信号电平。



Extracted from: F. D. Waldhauer, "Analog-to-digital Converter,"  
U.S. Patent 3,187,325, Filed July 2, 1962, Issued June 1, 1965

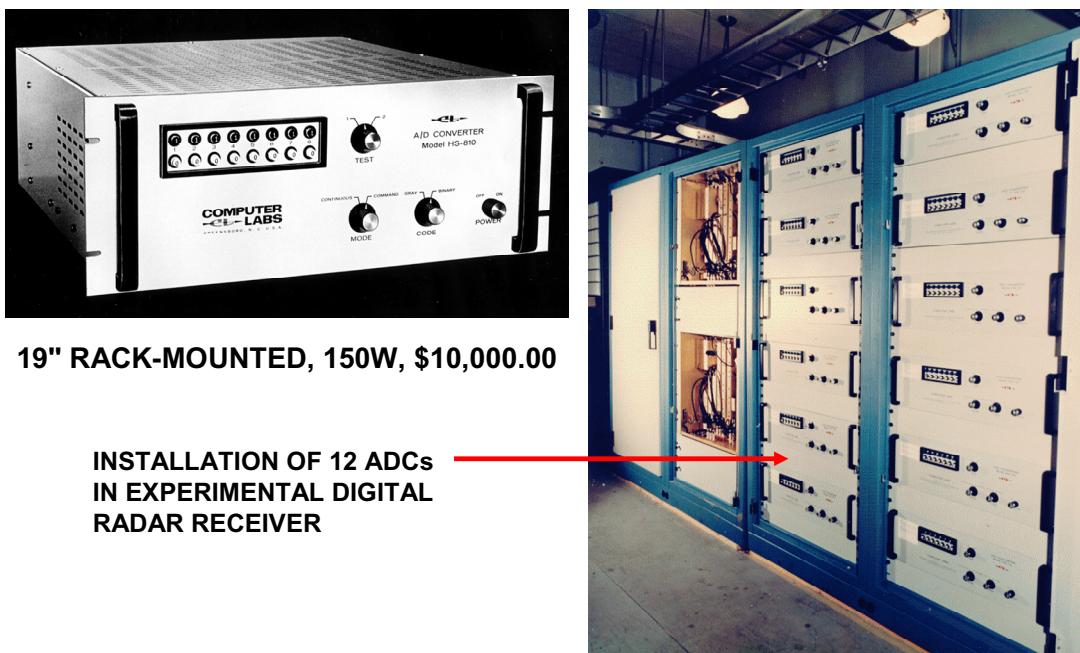
**图10：采用整流放大器的F. D. Waldhauer经典折叠级**

J. O. Edson和H. H. Henning在1965年《贝尔系统技术杂志》的一篇文章中详细描述了此类ADC的工作原理和性能(参考文献5)。实验研究使用一个9位6 MSPS ADC, 在224 Mbps PCM终端上进行。这些终端既要处理数据, 又要处理语音信号。语音频带的目标是对整个600信道、2.4 MHz FDM频段进行数字化, 因而要求的最低采样速率约为6 MSPS。

值得注意的是, 实验终端还要处理视频, 这就要求更高的采样速率(约为12 MSPS)。针对这一要求, 需要使用贝尔实验室的最新(也是最后)一代电子束编码器([参见指南MT-020](#))才能满足ADC要求, 因为基于Waldhauer申请专利的固态编码器在较高采样速率下精度不足。

第一款采用Waldhauer格雷码架构的商用ADC是Computer Labs, Inc.于1966年推出的8位10 MSPS 的HS-810。该仪器全部采用分立晶体管电路(无集成电路), 安装在19"机架中(如图11所示), 用于早期实验性数字雷达接收机应用。这款8位10 MSPS转换器自带线性电源, 功耗近150瓦, 每台售价约为10,000美元。该公司还利用同样的技术生产了9位5 MSPS和10位3 MSPS产品。虽然Computer Labs的下一代设计利用了模块式运算放大器(Computer Labs OA-125和FS-125), Fairchild μA710/711比较器、以及7400 TTL逻辑等IC, 但第一代ADC全部采用分立器件。

Computer Labs生产的这些早期高速ADC主要用于Raytheon、General Electric、MIT Lincoln Labs等公司的雷达接收机开发相关的研发项目。



**图11：Computer Labs, Inc.于1966年推出的8位10 MSPS ADC HS-810**

在1970年代初，有些仪表和模块式ADC使用折叠格雷码架构，如HS-810等，但在1980年代，商用高速ADC主要使用Flash或误差校正分级架构。然而，在1970年代末和整个1980年代，随着IC工艺的进步，业界对折叠架构的兴趣不减，许多实验性设计出现在这一时期的各种杂志中(参考文献6至10)。

ADI公司于1980年代中期首先开发出高速完全互补双极性(CB)工艺；1994年，Frank Murden和Carl Moreland大幅改进了格雷码MagAMP™ ADC所用的电流舵架构，并申请了专利(参考文献11至15)。该技术首先应用于构建ADI公司于1995年推出的12位41-MSPS ADC [AD9042](#)的模块内核，其后的技术改进和更高速度CB工艺——XFCB的成功开发(参考文献16和17)，将内核技术扩展到14位：1999年推出14位65-MSPS ADC [AD6644](#)，2001年推出14位80 MSPS ADC [AD6645](#)，2003年推出AD6645的105 MSPS版本。虽然这些ADC使用误差校正流水线式分级架构，但内部构建模块核心ADC采用的是MagAMP™架构。

现代IC电路设计利用电流舵开环增益技术实现传递函数，以便能够更高速工作。全差分级(包括SHA)也能提供高速、低失真特性，并实现8位精度的折叠级，而无需使用薄膜电阻激光调整。

图12所示为一个全差分2倍增益MagAMP折叠级示例(见参考文献11、12、14)。差分输入信号施加于退化射极差分对Q1、Q2和比较器。差分输入电压被转换成差分电流，流入Q1、Q2的集电极。如果 $+IN$ 大于 $-IN$ ，则晶体管Q3、Q6导通，Q4、Q5断开。因此，差分信号电流通过Q3、Q6的集电极流入电平转换晶体管Q7、Q8和输出负载电阻，在 $+OUT$ 与 $-OUT$ 之间产生一个差分输出电压。该电路的整体差分电压增益为2。

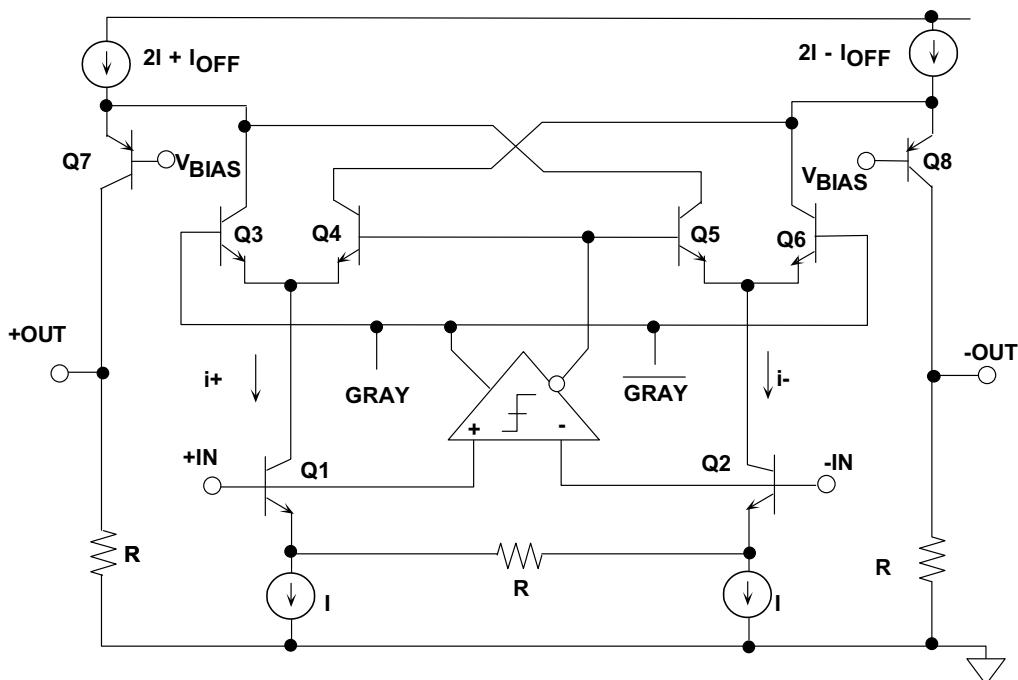


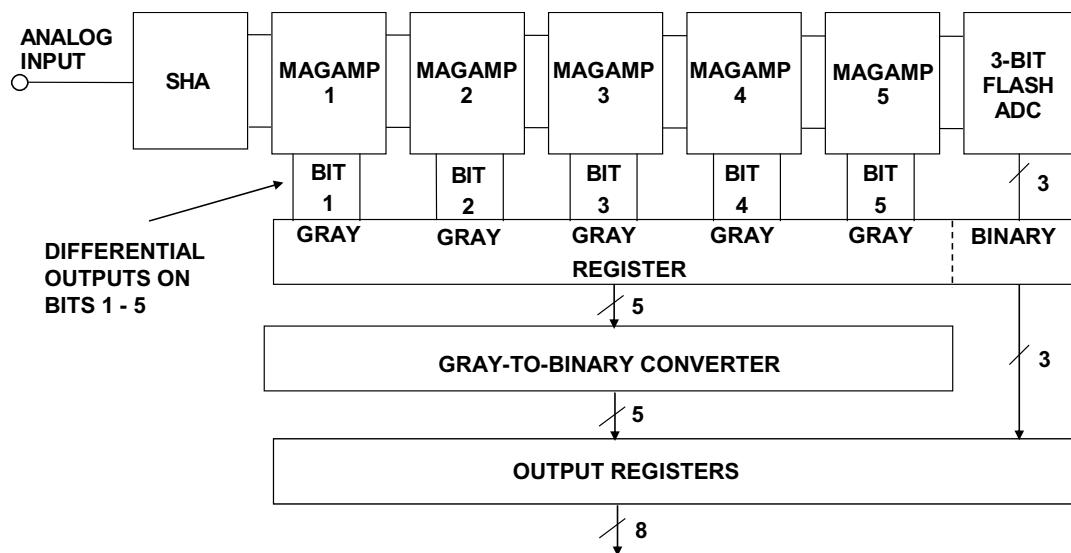
图12：现代电流舵MagAMP™级

如果 $+IN$ 小于 $-IN$ (负差分输入电压)，则比较器更改状态，Q4、Q5导通，Q3、Q6断开。差分信号电流从Q5流到Q7，从Q4流到Q8，从而在差分输出端保持与正差分输入电压相同的相对极性。所需的偏移电压通过如下方式产生：在Q7的射极电流中增加一个电流 $I_{OFF}$ ，并且在Q8的射极电流中减去电流 $I_{OFF}$ 。

该级的差分残余输出电压驱动下一级的输入，比较器输出代表该级的格雷码输出。

MagAMP架构的功耗更低，可以达到以前Flash型转换器的采样速率。例如，图13所示为1997年首次推出的8位200 MSPS ADC [AD9054A](#)，该器件采用高速互补双极性工艺制造，功耗为500 mW。前5位(格雷码)从5个差分MagAMP级产生。第五MagAMP级的差分残余输出驱动一个3位Flash型转换器，而不是单个比较器。

五个MagAMP的格雷码输出和3位Flash转换器的二进制码输出经过锁存，全部被转换成二进制格式，然后再次锁存于输出数据寄存器中。由于数据速率较高，该器件提供一个解复用输出选项。



**图13：1997年推出的8位200 MSPS ADC [AD9054A](#)**

8位高速领域的最新产品采用CMOS工艺和流水线式分级架构，例如8位250 MSPS [AD9480](#)(LVDS输出)和[AD9481](#)(解复用CMOS输出)，其功耗分别为700 mW和600 mW。

## 结束语

虽然Flash和流水线式分级架构最初用于贝尔实验室和Computer Labs于1960年代推出的开创性仪表ADC中，但它们目前已占据了高速ADC市场的主导地位。虽然有许多IC采用了折叠架构设计，但这种架构从未像流水线式分级ADC那样受到青睐。尽管如此，仍有必要知道这种架构的存在，因为将来随着IC工艺的发展，它可能会重新受到赏识。

## 参考文献

1. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.
2. B. D. Smith, "An Unusual Electronic Analog-Digital Conversion Method," *IRE Transactions on Instrumentation*, June 1956, pp. 155-160. (*possibly the first published description of the binary-coded and Gray-coded bit-per-stage ADC architectures. Smith mentions similar work partially covered in R. P. Sallen's 1949 thesis at M.I.T.*).
3. N. E. Chasek, "Pulse Code Modulation Encoder," *U.S. Patent 3,035,258*, filed November 14, 1960, issued May 15, 1962. (*an early patent showing a diode-based circuit for realizing the Gray code folding transfer function*).
4. F. D. Waldhauer, "Analog-to-Digital Converter," *U.S. Patent 3,187,325*, filed July 2, 1962, issued June 1, 1965. (*a classic patent using op amps with diode switches in the feedback loops to implement the Gray code folding transfer function*).
5. J. O. Edson and H. H. Henning, "Broadband Codecs for an Experimental 224Mb/s PCM Terminal," *Bell System Technical Journal*, Vol. 44, pp. 1887-1940, Nov. 1965. (*a further description of a 9-bit ADC based on Waldhauer's folding stage*).
6. Udo Fiedler and Dieter Seitzer, "A High-Speed 8 Bit A/D Converter Based on a Gray-Code Multiple Folding Circuit," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 3, June 1979, pp. 547-551. (*an early monolithic folding ADC*).
7. Rudy J. van de Plassche and Rob E. J. van de Grift, "A High-Speed 7 Bit A/D Converter," *IEEE Journal of Solid-State Circuits*, Vol. SC-14, No. 6, December 1979, pp. 938-943. (*a monolithic folding ADC*).
8. Rob. E. J. van de Grift and Rudy J. van de Plassche, "A Monolithic 8-bit Video A/D Converter, *IEEE Journal of Solid State Circuits*, Vol. SC-19, No. 3, June 1984, pp. 374-378. (*a monolithic folding ADC*).
9. Rob. E. J. van de Grift, Ivo W. J. M. Rutten and Martien van der Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Techniques," *IEEE Journal of Solid State Circuits*, Vol. SC-22, No. 6, December 1987, pp. 944-953. (*another monolithic folding ADC*).
10. Rudy van de Plassche, *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Publishers, 1994, pp. 148-187. (*a good textbook on ADCs and DACs with a section on folding ADCs indicated by the referenced page numbers*).
11. Carl Moreland, "An 8-bit 150 MSPS Serial ADC," *1995 ISSCC Digest of Technical Papers*, Vol. 38, p. 272. (*a description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter*).
12. Carl Moreland, *An Analog-to-Digital Converter Using Serial-Ripple Architecture*, Masters' Thesis, Florida State University College of Engineering, Department of Electrical Engineering, 1995. (*Moreland's early work on folding ADCs*).
13. Frank Murden, "Analog to Digital Converter Using Complementary Differential Emitter Pairs," *U.S. Patent 5,550,492*, filed December 1, 1994, issued August 27, 1996. (*a description of an ADC based on the MagAMP folding stage*).
14. Carl W. Moreland, "Analog to Digital Converter Having a Magnitude Amplifier with an Improved Differential Input Amplifier," *U.S. Patent 5,554,943*, filed December 1, 1994, issued September 10, 1996. (*a description of an 8-bit ADC with 5 folding stages followed by a 3-bit flash converter*).

15. Frank Murden and Carl W. Moreland, "N-bit Analog-to-Digital Converter with N-1 Magnitude Amplifiers and N Comparators," *U.S. Patent 5,684,419*, filed December 1, 1994, issued November 4, 1997. (*another patent on the MagAMP folding architecture applied to an ADC*).
16. Carl Moreland, Frank Murden, Michael Elliott, Joe Young, Mike Hensley, and Russell Stop, "A 14-bit 100-Msample/s Subranging ADC, *IEEE Journal of Solid State Circuits*, Vol. 35, No. 12, December 2000, pp. 1791-1798. (*describes the architecture used in the 14-bit AD6645 ADC*).
17. Frank Murden and Michael R. Elliott, "Linearizing Structures and Methods for Adjustable-Gain Folding Amplifiers," *U.S. Patent 6,172,636B1*, filed July 13, 1999, issued January 9, 2001. (*describes methods for trimming the folding amplifiers in an ADC*).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## FPGA与ADC数字数据输出的接口

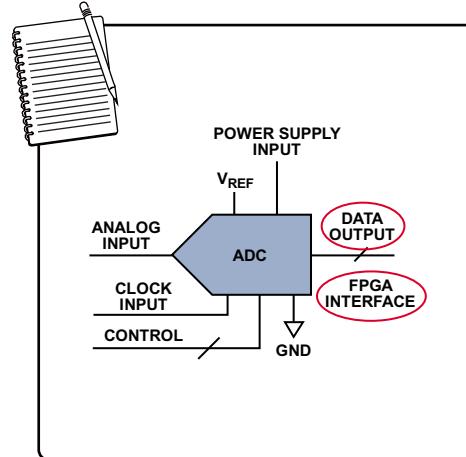
### ADI公司应用工程部

#### 引言

现场可编程门阵列(FPGA)与模数转换器(ADC)输出的接口是一项常见的工程设计挑战。本笔记简要介绍各种接口协议和标准，并提供有关在高速数据转换器实现方案中使用LVDS的应用诀窍和技巧。

#### 目录

接口方式和标准.....	2
一般建议.....	3
典型示例.....	4
故障排除技巧.....	7
ADC丢失第14位.....	7
ADC丢失第14位时的频域曲线.....	7
ADC丢失第14位时的时域曲线.....	8
ADC的第9位和第10位短接在一起.....	8



应用工程笔记教程系列

ADC第9位和第10位短接在一起时的频域曲线.....	9
ADC第9位和第10位短接在一起时的时域曲线.....	9
数据和时钟时序无效时的时域曲线 .....	10
数据和时钟时序无效时的放大时域曲线.....	10
使用适配板.....	11

#### 修订历史

2012年1月—修订版0：初始版

## 接口方式和标准

现场可编程门阵列(FPGA)与模数转换器(ADC)数字数据输出的接口是一项常见的工程设计挑战。此外，ADC使用多种多样的数字数据样式和标准，使这项挑战更加复杂。对于通常在200 MHz以下的低速数据接口，单倍数据速率(SDR)CMOS非常普遍：发送器在一个时钟沿传送数据，接收器在另一个时钟沿接收数据。这种方式可确保数据有充足的时间完成建立，然后由接收器采样。在双倍数据速率(DDR)CMOS中，发送器在每一个时钟沿都会传送数据。因此，在相同的时间内，它传输的数据量是SDR的两倍。然而，接收器正确采样的时序更加复杂。

并行低压差分信号(LVDS)是高速数据转换器的常见标准。它采用差分信号，每一位均有P线和N线；在最新的FPGA中，其速度可达DDR 1.6 Gbps或800 MHz。并行LVDS的功耗低于CMOS，但所需的线数则是CMOS的两倍，因而布线可能比较困难。LVDS常常用在具有“源同步”时钟系统的数据转换器中，不过这并不是LVDS标准的一部分。在这种设置中，时钟与数据同相，并且与数据一同发送。这样，接收器就能使用该时钟更轻松地捕捉数据，因为它现在知道数据传输何时发生。

FPGA逻辑的速度一般跟不上高速转换器的总线速度，因此大多数FPGA具有串行器/解串器(SERDES)模块，用以将转换器端的快速、窄带串行接口转换为FPGA端的慢速、宽带并行接口。针对总线中的每个数据位，此模块输出2、4或8位，但以½、¼或1/8的时钟速率输出，从而有效地将数据解串。数据由FPGA内部的宽总线处理，其速度远低于连接到转换器的窄总线。

LVDS信号标准也用于串行链路，大部分是用在高速ADC上。当引脚数量比接口速度更重要时，通常使用串行LVDS。常常使用两个时钟：数据速率时钟和帧时钟。并

行LVDS部分提到的所有考虑同样适用于串行LVDS。并行LVDS不过是由多条串行LVDS线组成。

I<sup>2</sup>C使用两条线：时钟和数据。它支持总线上的大量器件，而无需额外的引脚。I<sup>2</sup>C相对较慢，考虑协议开销，速度为400 kHz至1 MHz。它通常用在慢速、小尺寸器件上。I<sup>2</sup>C也常常用作控制接口或数据接口。

SPI使用3到4条线：

- 时钟
- 数据输入和数据输出(4线)，或者双向数据输入/数据输出(3线)
- 片选(每个非主机器件使用一条线)

可用片选线有多少，SPI就能支持多少器件。它的速度可达约100 MHz，通常用作控制接口和数据接口。

串行PORT (SPORT)是一种基于CMOS的双向接口，每个方向使用一个或两个数据引脚。对于非%8分辨率，其可调字长能够提高效率。SPORT支持时域复用(TDM)，通常用在音频/媒体转换器和高通道数转换器上。它提供每引脚约100 MHz的性能。Blackfin处理器支持SPORT，FPGA上可直接实现SPORT。SPORT一般仅用于数据传输，但也可以插入控制字符。

JESD204是一种JEDEC标准，用于单一主机(如FPGA或ASIC等)与一个或多个数据转换器之间的高速串行链路。最新规格提供每通道或每差分对最高3.125 Gbps的速度。未来的版本可能提供6.25 Gbps及更高的速度。通道采用8B/10B编码，因而通道的有效带宽降为理论值的80%。时钟嵌入在数据流中，因此没有额外的时钟信号。多个通道可以结合在一起以提高吞吐量，数据链路层协议确保数据完整性。在FPGA/ASIC中，为实现数据帧传输，JESD204需要的资源远远多于简单的LVDS或CMOS。它显著降低了接线要求，不过要求使用更昂贵的FPGA，PCB布线也更加复杂。

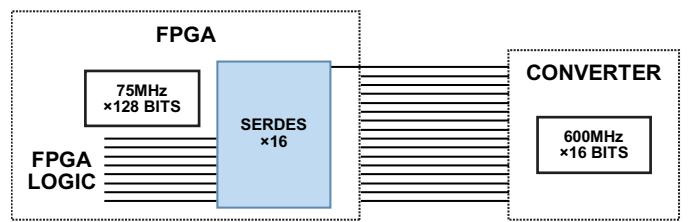


图1. FPGA接口中的SERDES模块和转换器的高速串行接口

## 一般建议

进行ADC与FPGA的接口设计时，下列一般建议会有所帮助。

- 使用接收器、FPGA或ASIC的外部电阻终端，而不要使用FPGA内部终端，以免不匹配引起反射，致使超出时序预算。
- 如果系统使用多个ADC，请勿使用某个ADC的某个DCO。
- 布设连接到接收器的数字走线时，请勿采用大量“转接”(tromboning)来使所有走线保持等长。
- 利用CMOS输出端的串联终端降低边沿速率并限制开关噪声。确认所用的数据格式(二进制补码或偏移二进制)正确。

采用单端CMOS数字信号时，逻辑电平以大约 $1\text{ V}/\text{nS}$ 的速度移动，典型输出负载为 $10\text{ pF}$ (最大值)，典型充电电流为 $10\text{ mA}/\text{位}$ 。应采用尽可能小的容性负载，使充电电流最小。这可以利用尽可能短的走线仅驱动一个门来实现，最好没有任何过孔。在数字输出端和输入端使用阻尼电阻，也可以使充电电流最小。

阻尼电阻和容性负载的时间常数应为采样速率周期的大约10%。如果时钟速率为 $100\text{ MHz}$ ，负载为 $10\text{ pF}$ ，则该时间常数应为 $10\text{ nS}$ 的10%，即 $1\text{ nS}$ 。这种情况下， $R$ 应为 $100\Omega$ 。为获得最佳信噪比(SNR)性能， $1.8\text{ V DRVDD}$ 优于 $3.3\text{ V DRVDD}$ 。然而，当驱动大容性负载时，SNR性能会下降。CMOS输出支持最高约 $200\text{ MHz}$ 的采样时钟速率。如果驱动两个输出负载，或者走线长度大于1或2英寸，建议使用缓冲器。

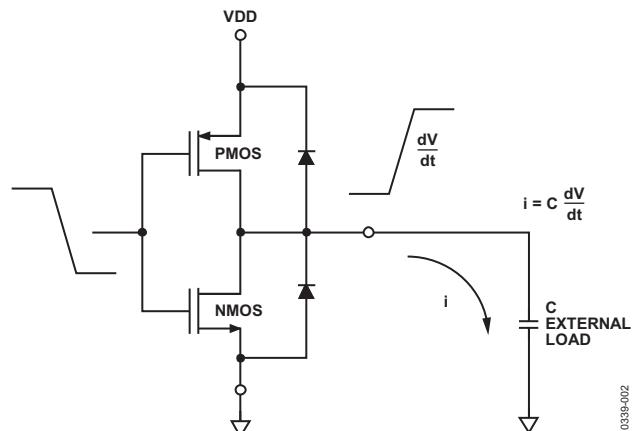


图2. 典型CMOS数字输出驱动器

ADC数字输出应小心对待，因为瞬态电流可能会耦合回模拟输入端，导致ADC的噪声和失真提高。

图2所示的典型CMOS驱动器能够产生很大的瞬态电流，尤其是驱动容性负载时。对于CMOS数据输出ADC，必须采取特别措施以使这些电流最小，不致于在ADC中产生额外的噪声和失真。

## 典型示例

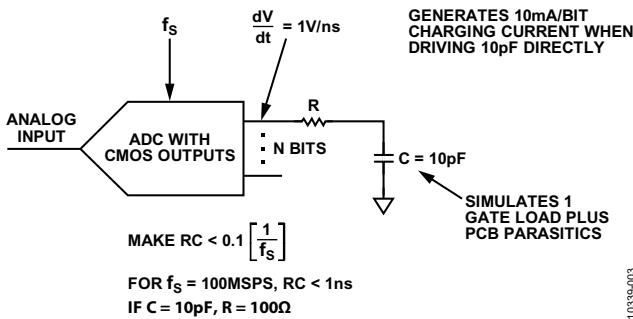


图3. 利用串联电阻使CMOS数字输出的充电电流最小

图3显示了一个16位并行CMOS输出ADC的情况。每路输出有一个 $10\text{ pF}$ 负载，用以模拟一个门负载加上PCB寄生电容；当驱动 $10\text{ pF}$ 负载时，各驱动器产生 $10\text{ mA}$ 的充电电流。

因此，该16位ADC的总瞬态电流可能高达 $16 \times 10\text{ mA} = 160\text{ mA}$ 。在各数据输出端增加一个小串联电阻R，可以抑制这些瞬态电流。应适当选择该电阻的值，使RC时间常数小于总采样周期的10%。如果 $f_s = 100\text{ MSPS}$ ，则RC应小于 $1\text{ ns}$ 。 $C = 10\text{ pF}$ ，因此最佳的R值约为 $100\Omega$ 。选择更大的R值可能会降低输出数据建立时间性能，并干扰正常的数据捕捉。CMOS ADC输出端的容性负载应以单个门负载为限，通常是一个外部数据捕捉寄存器。任何情况下都不

得将数据输出端直接连到高噪声数据总线，必须使用一个中间缓冲寄存器，使ADC输出端的直接负载最小。

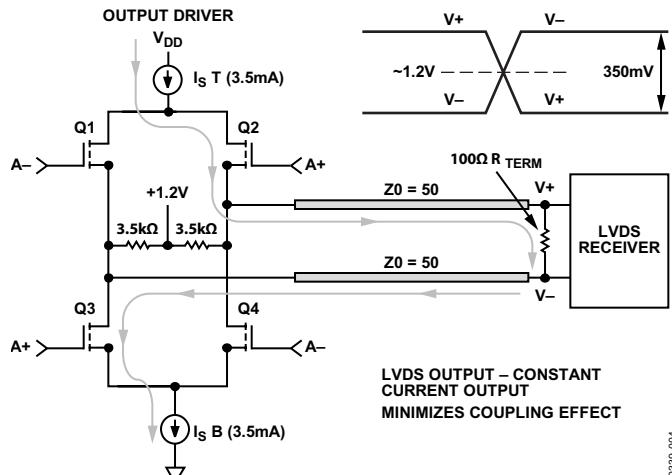


图4. 典型LVDS驱动器设计

图4显示了CMOS中的一个标准LVDS驱动器。标称电流为 $3.5\text{ mA}$ ，共模电压为 $1.2\text{ V}$ 。因此，当驱动一个 $100\Omega$ 差分终端电阻时，接收器各输入的摆幅为 $350\text{ mV p-p}$ ，这相当于 $700\text{ mV p-p}$ 的差分摆幅。这些数值来源于LVDS规范。

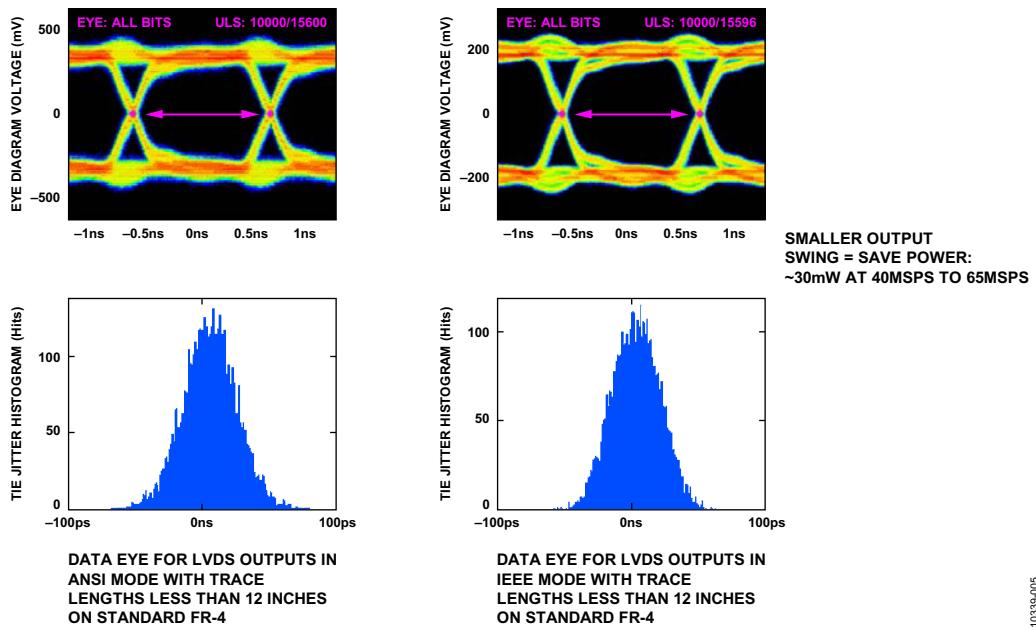


图5. ANSI和IEEE LVDS标准

LVDS标准有两个：一个由ANSI制定，另一个由IEEE制定。虽然这两个标准类似且大致兼容，但并不完全相同。图5比较了这两个标准的眼图和抖动直方图。IEEE标准LVDS的摆幅为200 mV p-p，低于ANSI标准的320 mV p-p，这有助于节省数字输出的功耗。因此，如果IEEE标准支持目标应用及与接收器的连接，建议使用IEEE标准。

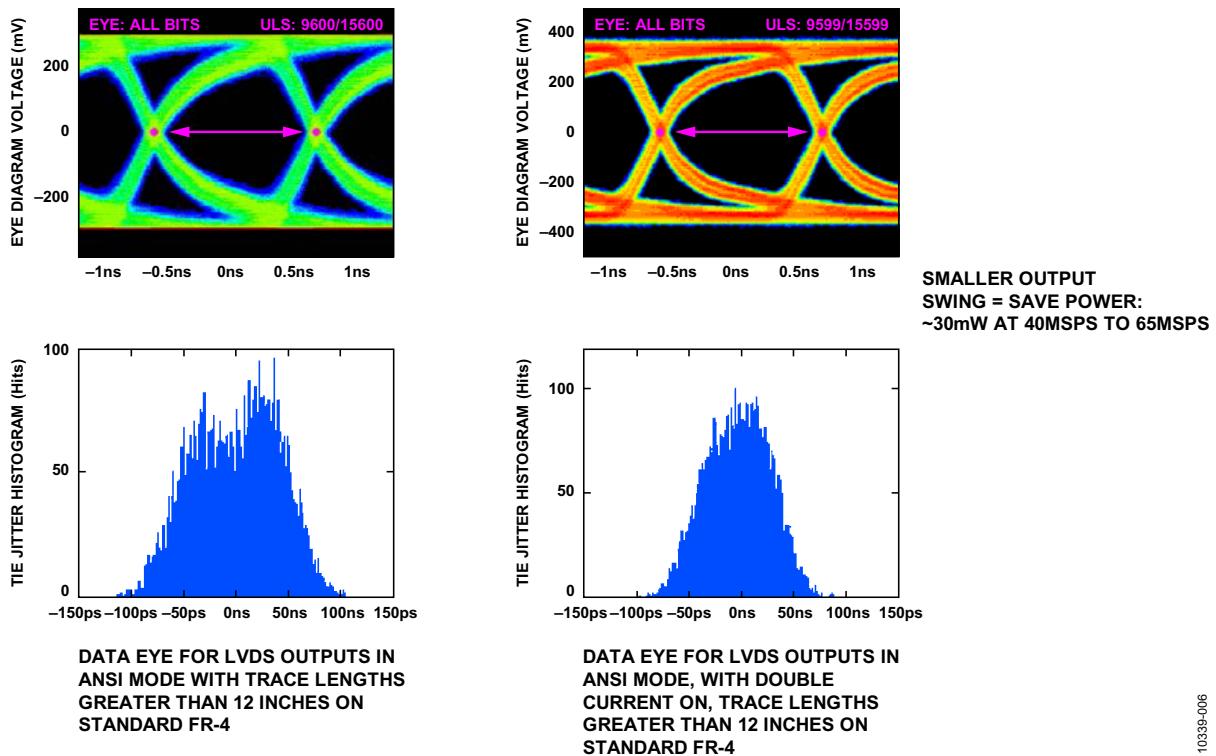


图6. ANSI和IEEE LVDS标准：走线超过12英寸

图6比较了走线长度超过12英寸或30厘米情况下的ANSI和IEEE LVDS标准。两幅图中，驱动电流均采用ANSI版标准。右图中，输出电流加倍，这可以净化眼图并改善抖动直方图。

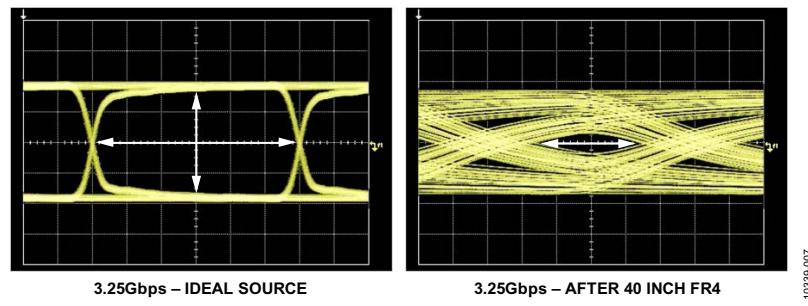


图7. FR4通道损耗的影响

图7显示了长走线对FR4材料的影响。左图显示了发送器端的理想眼图。在距离40英寸的接收器端，眼图几乎闭合，接收器难以恢复数据。

## 故障排除技巧

### ADC丢失第14位

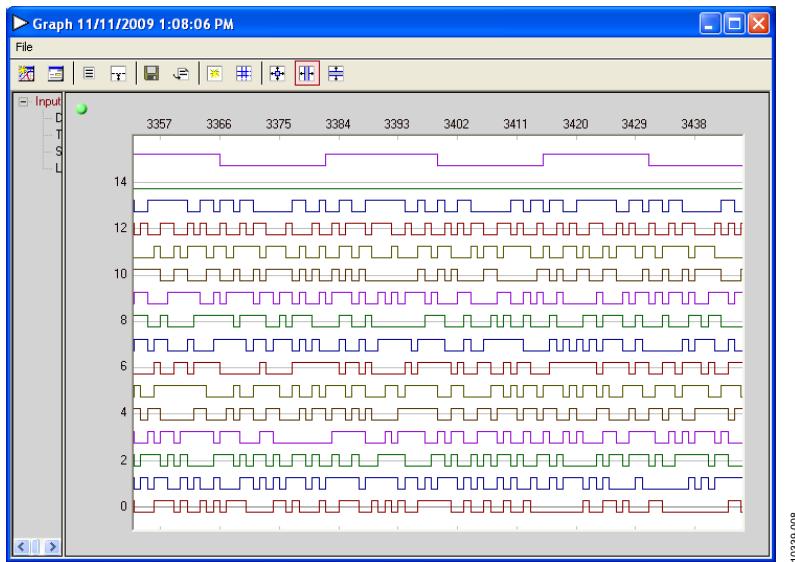


图8. AD9268 ADC丢失第14位

图8中，数据位的VisualAnalog数字显示表明，第14位从未跳变。这可能说明器件、PCB或接收器有问题，或者无符号数据不够大，无法使最高有效位跳变。

### ADC丢失第14位时的频域曲线

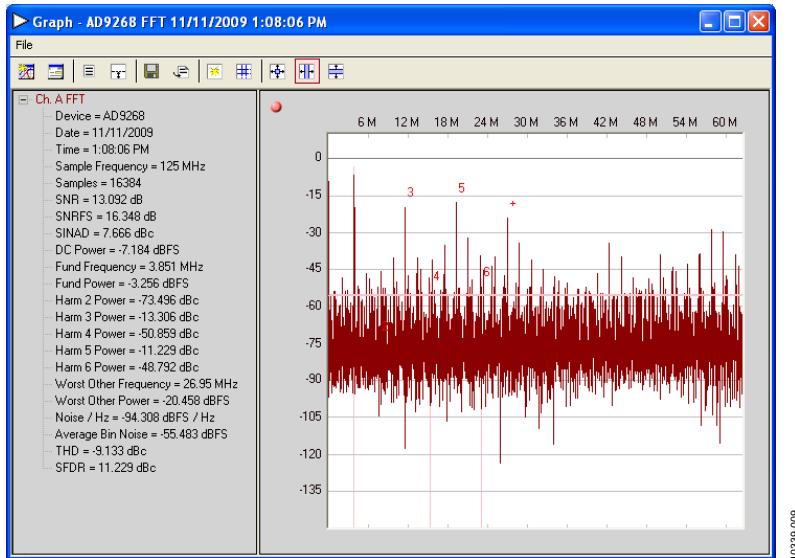


图9. AD9268 ADC丢失第14位时的频域曲线

图9显示了上述数字数据(其中第14位未跳变)的频域视图。该图说明，第14位有意义，系统中的某个地方发生错误。

## ADC丢失第14位时的时域曲线

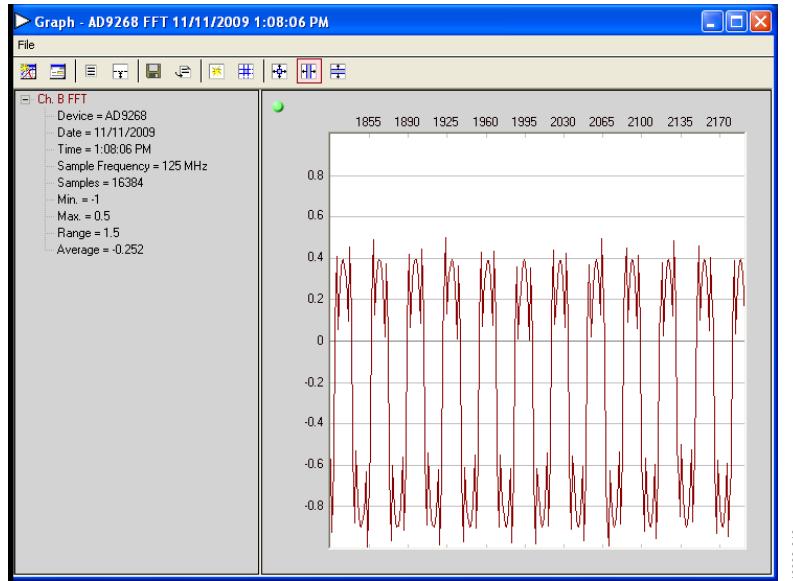


图10. AD9268 ADC丢失第14位时的时域曲线

图10为相同数据的时域曲线。它不是一个平滑的正弦波，数据发生偏移，波形中多个点处有明显的尖峰。

## ADC的第9位和第10位短接在一起

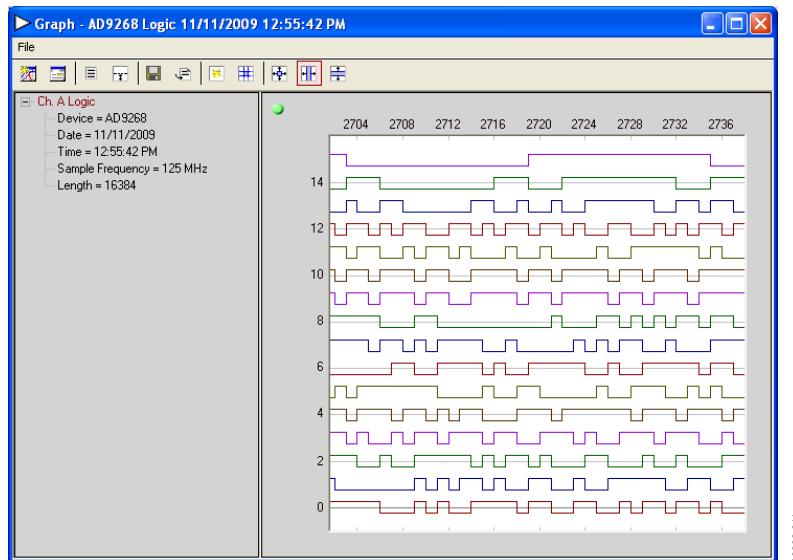


图11. AD9268 ADC的第9位和第10位短接在一起

图11所示不再是丢失一位的情况，而是两位短接在一起，因此对于这两个引脚，接收器始终接收到相同的数据。

## ADC第9位和第10位短接在一起时的频域曲线

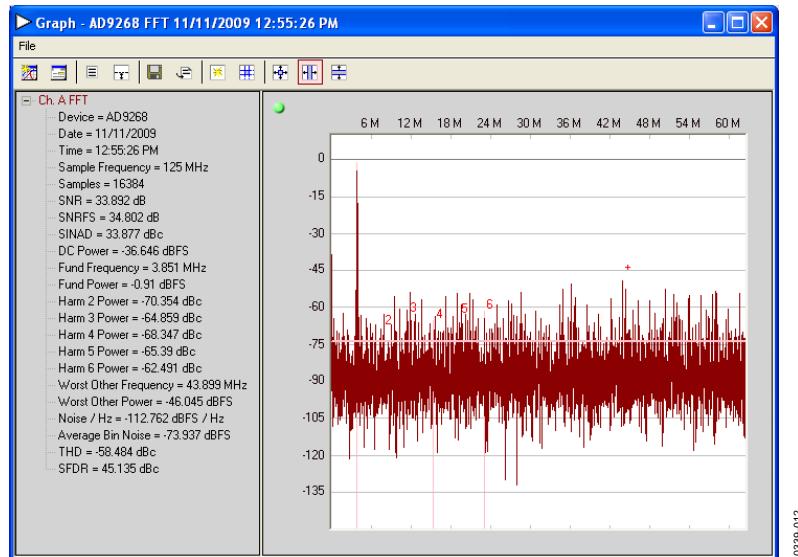


图12. AD9268 ADC的第9位和第10位短接在一起时的频域曲线

图12显示了两位短接在一起时的频域视图。虽然基音频非常清楚，但噪底显著低于预期。噪底失真的程度取决于短接哪两位。

## ADC第9位和第10位短接在一起时的时域曲线

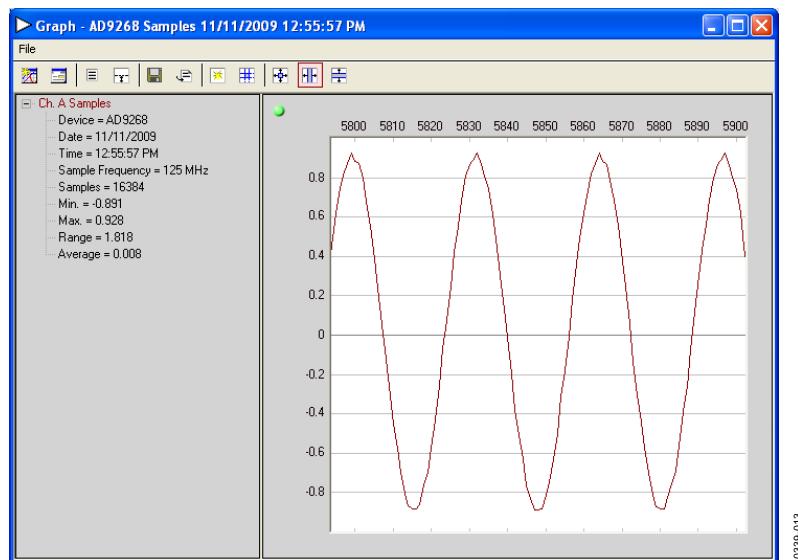


图13. AD9268 ADC的第9位和第10位短接在一起时的时域曲线

在图13所示的时域图中，问题相对不明显。虽然在波峰和波谷处损失了一些平滑度，但当采样速率接近波形频率时，这是常见现象。

## 数据和时钟时序无效时的时域曲线

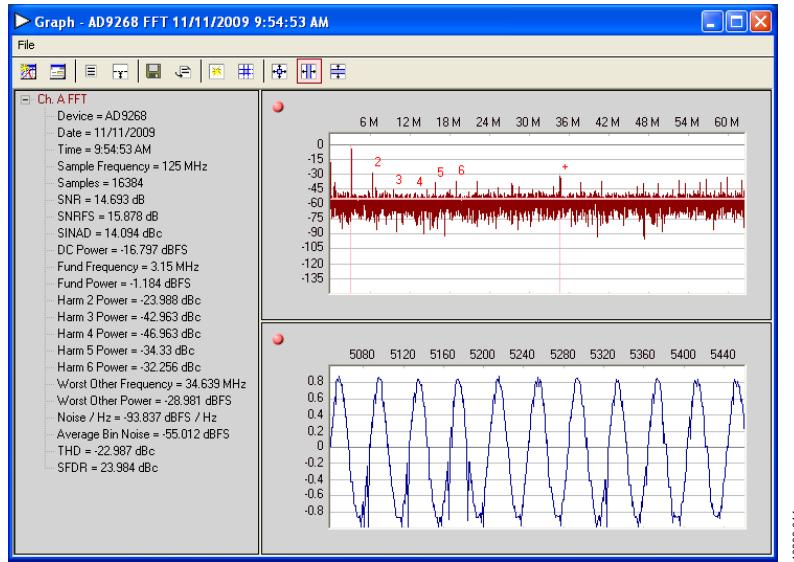


图14. AD9268数据和时钟时序无效时的时域曲线

图14显示了一个因建立/保持问题而导致时序无效的转换器的情况。上述错误一般会在数据的每个周期中出现，而时序错误则不然，通常并不是持续存在。不太严重的时序错误可能是间歇性的。这些图显示了不符合时序要求的数据捕捉的时域和频域曲线。注意，各周期的时域错误并不一致。还应注意FFT/频域的噪底有所提高，这通常表示有一位丢失，原因可能是时序对齐错误。

## 数据和时钟时序无效时的放大时域曲线

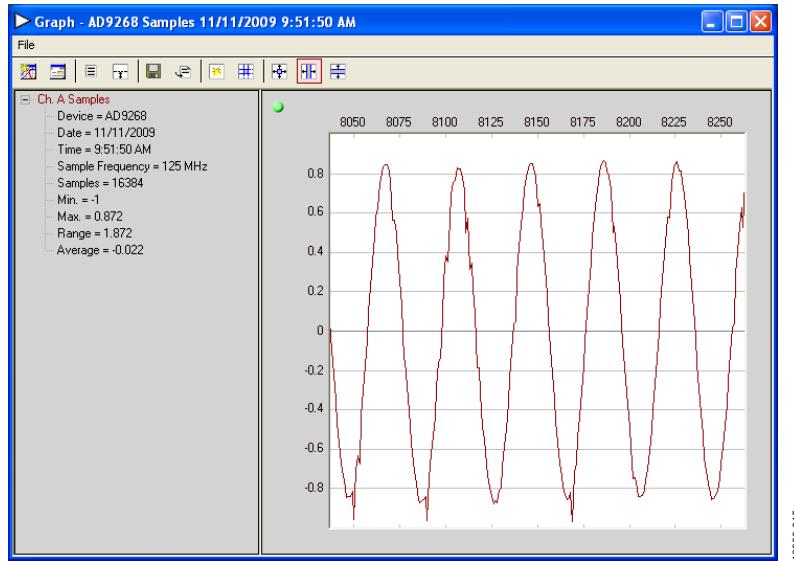
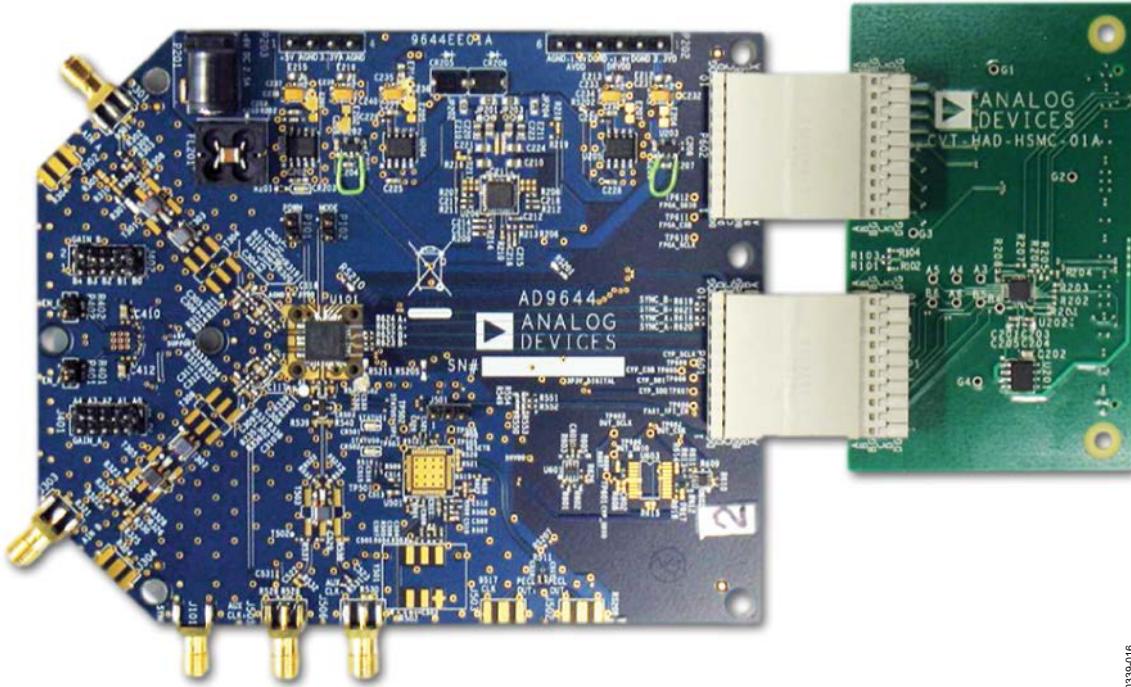


图15. AD9268数据和时钟时序无效时的放大时域曲线

图15是图14所示时域时序误差的放大图。同样应注意，各周期的错误并不一致，但某些错误会重复。例如，该图中有多个周期的谷底上出现负尖峰。

## 使用适配板



10339-016

图16. AD9644转换器和CVT-ADC-HSMC-INTPZ适配板的前侧

借助适配板，ADI公司标准评估板就可以与各种FPGA评估板一起使用。适配板为用户提供了一个熟悉器件及其期望性能的平台。它仅提供电气连接，因此固件支持是用户的责任。适配板可用于Xilinx (FMC-HPC)和Altera (HSMC)评估板。SPI通过FPGA评估板连接器连接，受FPGA固件的控制。此外还有一个FMC (VITA-57)低引脚数(LPC)适配器(Analog Devices AD-DAC-FMC-ADP)，它可以配合Xilinx Virtex-6和Spartan-6评估板及其它带有LPC连接器的评估板使用。该适配器仅处理数据和时钟。针对独立于数据源工作的SPI，评估板提供片上USB控制器。

## 注释

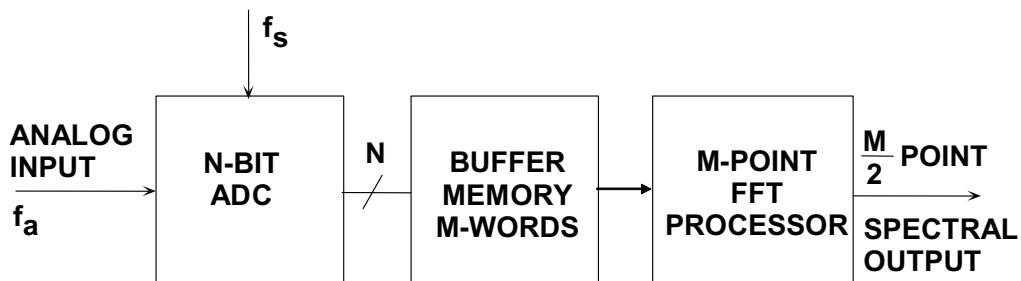
## 了解SINAD、ENOB、SNR、THD、 THD + N、SFDR，不在噪底中迷失

作者：Walt Kester

### 简介

用于定量表示ADC动态性能的常用指标有六个，分别是：SINAD(信纳比)、ENOB(有效位数)、SNR(信噪比)、THD(总谐波失真)、THD + N(总谐波失真加噪声)和SFDR(无杂散动态范围)。对于这些指标，虽然大部分ADC制造商采用相同的定义，但也存在一些例外。比较ADC时，这些指标非常重要，因此不仅要了解各指标反映哪一方面性能，而且要明白它们之间的关系。

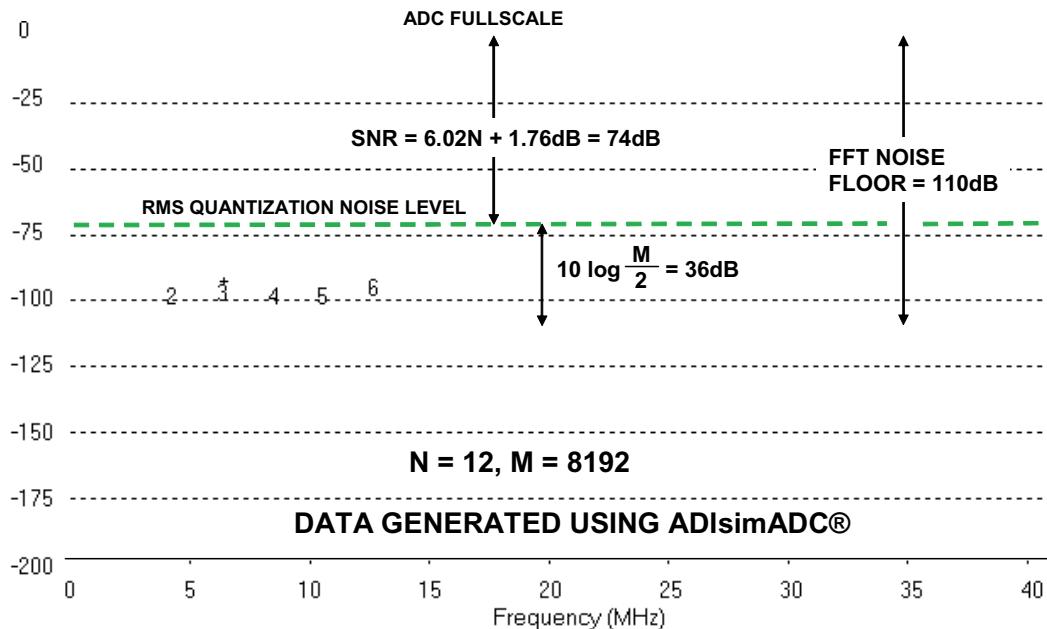
有多种方法可以量化ADC的失真和噪声，但所有方法均基于一种使用一般化测试设置的FFT分析，例如图1所示的设置。



**图1：用于对ADC输出进行FFT分析的一般化测试设置**

FFT的频谱输出是频域中连续的 $M/2$ 个点( $M$ 为FFT的大小，即缓冲存储器中存储的采样点数)。两点之间的间隔为 $f_s/M$ ，覆盖的总频率范围为DC至 $f_s/2$ ，其中 $f_s$ 为采样速率。各频率“仓”的宽度(有时也称为FFT的“分辨率”)为 $f_s/M$ 。图2所示为使用ADI公司ADIsimADC®程序得到的一个理想12位ADC的FFT输出。注意，FFT的理论噪底等于理论SNR加上FFT“处理增益” $10 \times \log(M/2)$ 。必须记住，用于计算SNR的噪声值是分布于整个奈奎斯特带宽(DC至 $f_s/2$ )的噪声，而FFT用作一个带宽为 $f_s/M$ 的窄带频谱分析仪，它扫描整个频谱，其结果是将噪声下推一个与处理增益相等的量，该效应与模拟频谱分析仪的带宽窄化相同。

图2所示的FFT数据代表5次独立FFT的平均值。注意，求多次FFT的平均值不会影响平均噪底，只会“熨平”各频率仓所含幅度的随机变化的作用。



**图2：理想12位ADC的FFT输出，输入 = 2.111MHz,  $f_s$  = 82MSPS,  
5次FFT的平均值,  $M = 8192$ , 数据通过ADIsimADC®产生**

FFT输出可以像模拟频谱分析仪一样用来测量各次谐波的幅度和数字化信号的噪声成分。输入信号的谐波可以通过其在频谱中的位置与其它失真积相区别。图3显示了一个以20 MSPS速率进行采样的7 MHz输入信号及前9次谐波的位置。 $f_a$ 的混叠谐波处于 $|\pm Kf_s \pm nf_a|$ 的频率位置，其中n为谐波的次数，K = 0, 1, 2, 3,...。数据手册一般仅说明二次和三次谐波，因为这些谐波往往是最大的，但也有一些数据手册说明了最差谐波的值。

谐波失真通常用dBc(低于载波的分贝数)来表示，不过音频应用可能会用百分比来表示，它指的是信号均方根值与相关谐波的均方根值之比。谐波失真一般用接近满量程的输入信号(一般比满量程低0.5 - 1 dB以防止箝位)来规定，但也可以用任何电平来规定。对于远低于满量程的信号，转换器微分非线性(DNL)引起的其它失真积——非直接谐波——可能会限制性能。

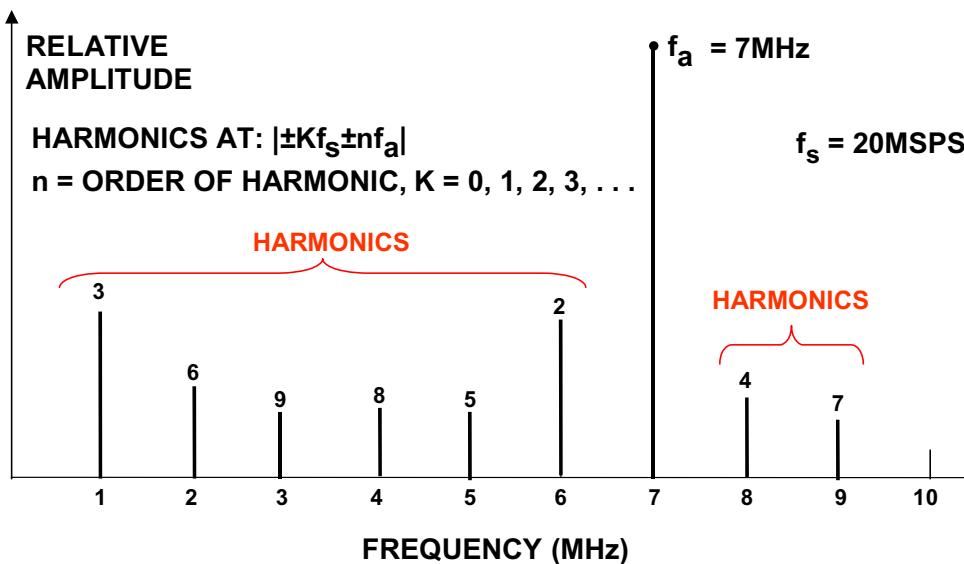


图3：失真积的位置：输入信号 = 7 MHz,  
采样速率 = 20 MSPS

总谐波失真(THD)指的是基波信号的均方根值与其谐波(一般仅前5次谐波比较重要)的和方根的平均值之比。ADC的THD虽然可以用任何电平来规定，但是一般也用接近满量程的输入信号来规定。

总谐波失真加噪声 (THD) 指的是基波信号的均方根值与其谐波加上所有噪声成分(直流除外)的和方根的平均值之比。必须说明噪声测量的带宽。对于FFT，带宽为DC至 $f_s/2$ 。如果测量带宽为DC至 $f_s/2$ (奈奎斯特带宽)，则THD + N等于下文所述的SINAD。不过应注意，在音频应用中，测量带宽不一定是奈奎斯特带宽。

无杂散动态范围 (SFDR) 指的是信号的均方根值与最差杂散信号(无论它位于频谱中何处)的均方根值之比。最差杂散可能是原始信号的谐波，也可能不是。在通信系统中，SFDR是一项重要指标，因为它代表了可以与大干扰信号(阻塞信号)相区别的最小信号值。SFDR可以相对于满量程(dBFS)或实际信号幅度(dBc)来规定。图4以图形化方式说明了SFDR的定义。

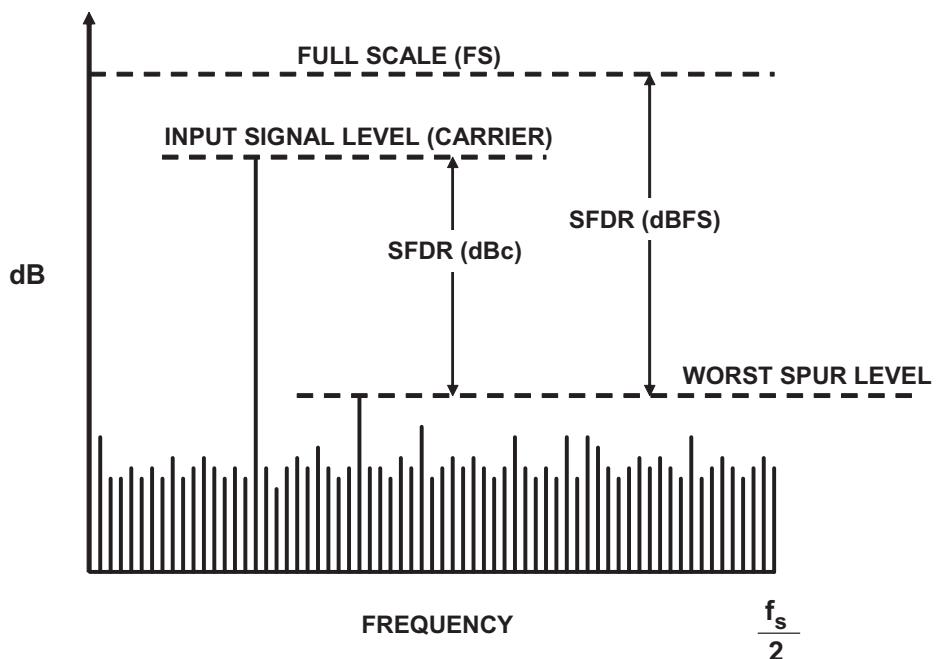
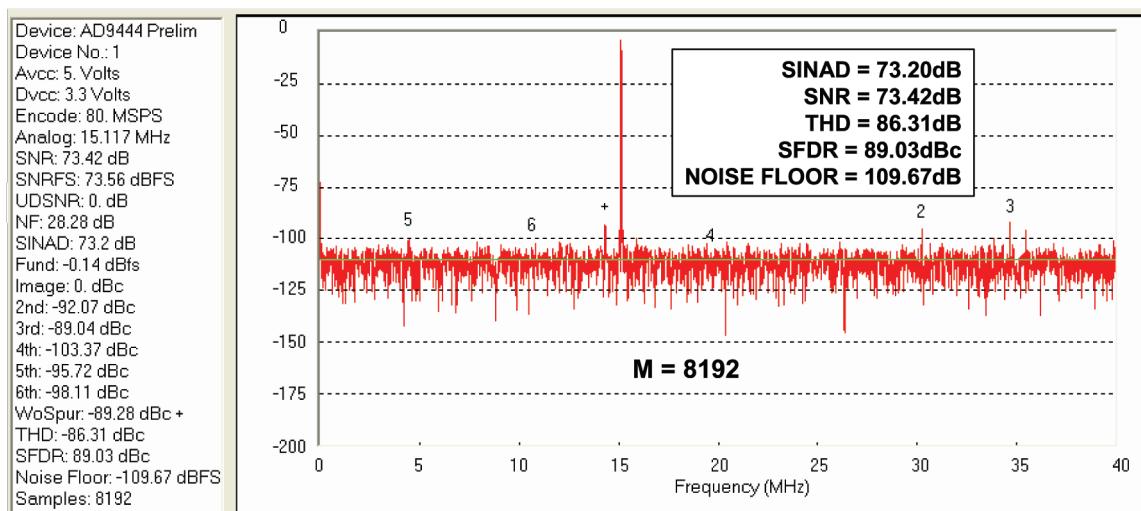


图4：无杂散动态范围(SFDR)

利用ADI公司的[ADIsimADC®](#) ADC建模程序，可以在不同工作频率、电平和采样速率下评估各种高性能ADC。这些模型能够精确显示实际的性能，图5所示为14位80 MSPS ADC [AD9444](#)的典型FFT输出。注意，输入频率为95.111 MHz，采样过程将其混叠回15.111 MHz。输出还显示了前5次谐波的位置。本例中，所有谐波均为混叠。程序还能计算并列出重要的性能参数，如左边的数据栏所示。

图5：14位80MSPS ADC [AD9444](#),  $f_{in} = 95.111\text{MHz}$ ,  $f_s = 80\text{MSPS}$ , 5次FFT的平均值,  $M = 8192$ , 数据通过ADIsimADC®产生

## 信纳比(SINAD)、信噪比(SNR)和有效位数(ENOB)

SINAD和SNR值得特别关注，因为ADC制造商之间就其确切含义仍然存在一些分歧。信纳比(SINAD或S/(N + D))指的是信号幅度均方根与所有其它频谱成分(包括谐波但不含直流)的和方根(rss)的平均值之比。SINAD很好地反映了ADC的整体动态性能，因为它包括所有构成噪声和失真的成分。SINAD曲线常常针对不同的输入幅度和频率而给出。对于既定的输入频率和幅度，如果SINAD和THD + N二者的噪声测量带宽相同(均为奈奎斯特带宽)，则二者的值相等。图6所示为12位65MSPS ADC [AD9226](#)的典型曲线。

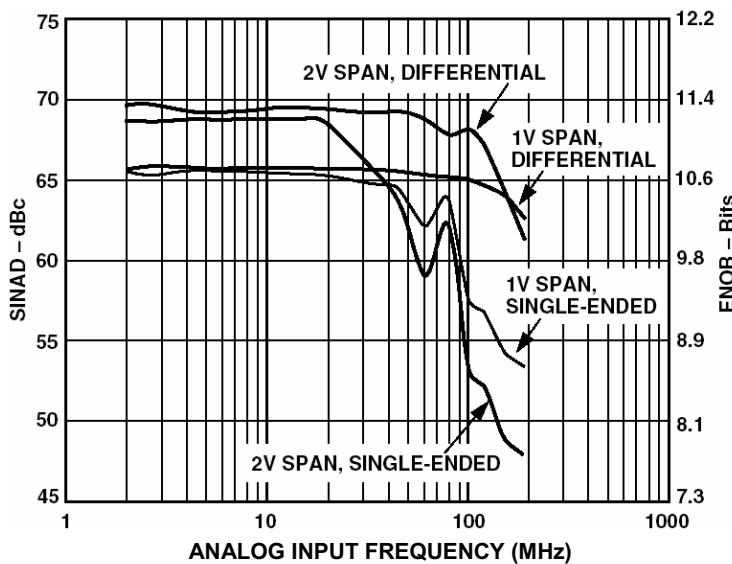


图6：12位65MSPS ADC [AD9226](#)在不同输入满量程范围下的SINAD和ENOB

SINAD曲线显示，ADC的交流性能因高频失真而下降；曲线通常针对远高于奈奎斯特频率的频率而绘制，以便能够评估欠采样应用中的性能。诸如此类的SINAD曲线对于评估ADC的动态性能非常有用。常常利用理想N位ADC的理论SNR计算公式( $\text{SNR} = 6.02N + 1.76 \text{ dB}$ )，将SINAD换算为有效位数(ENOB)。对上式求解N，并用SINAD的值代替SNR：

$$\text{ENOB} = \frac{\text{SINAD} - 1.76 \text{ dB}}{6.02} . \quad \text{等式1}$$

注意，等式1假设使用满量程输入信号。如果信号电平降低，则SINAD的值减小，ENOB也会减小。对于较低的信号幅度，在计算ENOB时有必要增加一个校正系数，如等式2所示：

$$\text{ENOB} = \frac{\text{SINAD}_{\text{MEASURED}} - 1.76 \text{ db} + 20 \log\left(\frac{\text{Fullscale Amplitude}}{\text{Input Amplitude}}\right)}{6.02} . \quad \text{等式2}$$

该校正系数本质上将ENOB值归一化到满量程，从而与实际信号幅度无关。

信噪比(SNR，有时也称为无谐波的SNR)与SINAD一样，也是根据FFT数据计算，不同的是计算剔除了信号谐波，仅留下噪声项。实际应用中，只需剔除主要的前5次谐波。SNR性能在高输入频率下会下降，但由于不包括谐波项，其下降速度一般不像SINAD那样快。

少数ADC数据手册有时会将SINAD与SNR混为一谈，因此在解读这些规格时必须小心，务必弄清制造商的确切含义。

### SINAD、SNR和THD之间的数学关系

SINAD、SNR和THD之间存在数学关系(假设所有指标均在相同的输入信号幅度和频率下测量)。在下面的等式中，SNR、THD和SINAD用dB表示，根据实际的数值比S/N、S/D、S/(N+D)得出：

$$\text{SNR} = 20 \log\left(\frac{S}{N}\right), \quad \text{等式3}$$

$$\text{THD} = 20 \log\left(\frac{S}{D}\right), \quad \text{等式4}$$

$$\text{SINAD} = 20 \log\left(\frac{S}{N+D}\right). \quad \text{等式5}$$

从等式3、等式4和等式5可以求解数值比N/S、D/S和(N+D)/S：

$$\frac{N}{S} = 10^{-\text{SNR}/20} \quad \text{等式6}$$

$$\frac{D}{S} = 10^{-\text{THD}/20} \quad \text{等式7}$$

$$\frac{N+D}{S} = 10^{-SINAD/20} \quad \text{等式8}$$

由于等式6、等式7和等式8的分母均为S，因此N/S和D/S的和方根等于(N+D)/S：

$$\frac{N+D}{S} = \left[ \left( \frac{N}{S} \right)^2 + \left( \frac{D}{S} \right)^2 \right]^{\frac{1}{2}} = \left[ \left( 10^{-SNR/20} \right)^2 + \left( 10^{-THD/20} \right)^2 \right]^{\frac{1}{2}}, \quad \text{等式9}$$

$$\frac{N+D}{S} = \left[ 10^{-SNR/10} + 10^{-THD/10} \right]^{\frac{1}{2}}. \quad \text{等式10}$$

因此，S/(N+D)必须等于：

$$\frac{S}{N+D} = \left[ 10^{-SNR/10} + 10^{-THD/10} \right]^{-\frac{1}{2}}, \quad \text{等式11}$$

所以，

$$SINAD = 20 \log \left( \frac{S}{N+D} \right) = -10 \log \left[ 10^{-SNR/10} + 10^{-THD/10} \right]. \quad \text{等式12}$$

等式12给出了SINAD与SNR和THD的函数关系。

同样，如果我们知道SINAD和THD，则可以求解SNR：

$$SNR = 20 \log \left( \frac{S}{N} \right) = -10 \log \left[ 10^{-SINAD/10} - 10^{-THD/10} \right]. \quad \text{等式13}$$

同样，如果我们知道SINAD和SNR，则可以求解THD：

$$THD = 20 \log \left( \frac{S}{D} \right) = -10 \log \left[ 10^{-SINAD/10} - 10^{-SNR/10} \right]. \quad \text{等式14}$$

ADI公司网站上提供了一款易用的设计工具，它实现了等式12、13和14。必须再次强调，只有在相同的输入频率和幅度下测量这三个指标时，上述关系才成立。

## 结束语

SINAD、SNR、ENOB、THD、THD + N和SFDR是衡量ADC动态性能的常用指标，以制造商的数据手册为基础详细了解这些指标至关重要。本教程给出了各项指标的定义，并推导出了SINAD、SNR和THD之间的关系。

## 参考文献

1. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 6. Also available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 2.
2. Hank Zumbahlen, [Basic Linear Design](#), Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 6.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 光学编码器

作者: Walt Kester

光学编码器是最受欢迎的位置测量传感器之一，适合可靠性和分辨率较低的应用。增量式光学编码器(图1左侧示意图)是一个圆盘，分割成多个扇形区域，各区域呈透明和不透明交替出现。圆盘的一侧是光源，另一侧是光传感器。圆盘旋转时，检波器的输出会交替接通或关闭，具体取决于出现在光源和检波器之间的扇形区域是透明还是不透明。

接着，编码器会产生一串方波脉冲，方波的数量代表轴的角位置。编码器的可用分辨率(每个圆盘的透明和不透明区域数)为100至65000，绝对精度接近30角秒(1/43200圈)。大多数增量式编码器都有第二组光源和传感器，与主光源和主传感器呈一定角度，可以指示旋转的方向。许多编码器还有第三组光源和检波器，可以检测同频标记。如果不采用某种旋转标记，就很难确定绝对角度。增量式编码器可能存在的严重缺点是需要通过外部计数器来确定某次旋转中的绝对角度。如果暂时切断电源，或者编码器由于噪声或圆盘不干净而错过一个脉冲，获得的角度信息就会存在误差。

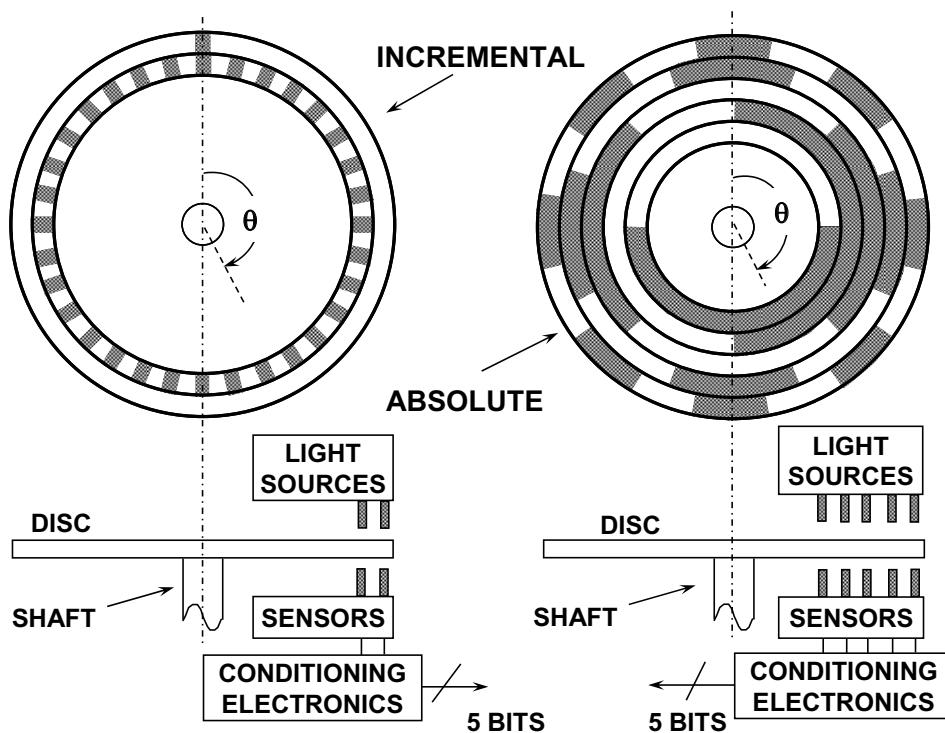


图1：增量式与绝对光学编码器

绝对型光学编码器(图1右侧示意图)可以克服这些缺点，但价格较贵。绝对型光学编码器的圆盘分成N个区域(例如 $N = 5$ ，如图所示)，每个区域进一步沿径向分成透明和不透明的部分，形成独特的N位数字字，最大数量为 $2^N - 1$ 。各区域径向形成的数字字的值按区域递增，通常采用格雷码表示。可以采用二进制编码，但是如果传感器出现一位错误解读，就会产生很大的误差。格雷码可以克服这一缺点：格雷码转换为二进制码后，格雷码任意一位产生的最大误差只有1 LSB。一组N个光传感器对N位数字字做出响应，数字字则与圆盘的绝对角位置相对应。

工业光学编码器的分辨率可达16位，绝对精度接近分辨率(20角秒)。但是，绝对式和增量式光学编码器在恶劣工业环境中都可能会受损。

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

## 奈奎斯特准则对数据采样系统设计有何意义

作者: Walt Kester

### 简介

只是快速阅读Harry Nyquist于1924年发表的《贝尔系统技术杂志》经典文章(参考文献1)，并不足以了解以其名字命名的该项准则的真正意义。当时，Nyquist正致力于研究通过带宽受限的通道传输电报信号。处理数据采样系统时，必须详细了解现代对奈奎斯特准则的全新诠释。本指南将以通俗易懂的方式介绍奈奎斯特准则如何运用于基带采样、欠采样和过采样应用。

图1所示为典型的实时数据采样系统框图。实际进行模数转换之前，模拟信号通常会通过某种放大、衰减和滤波等功能的信号调理电路。而要消除目标带宽之外的干扰信号并防止出现混叠，则需要低通/带通滤波器。

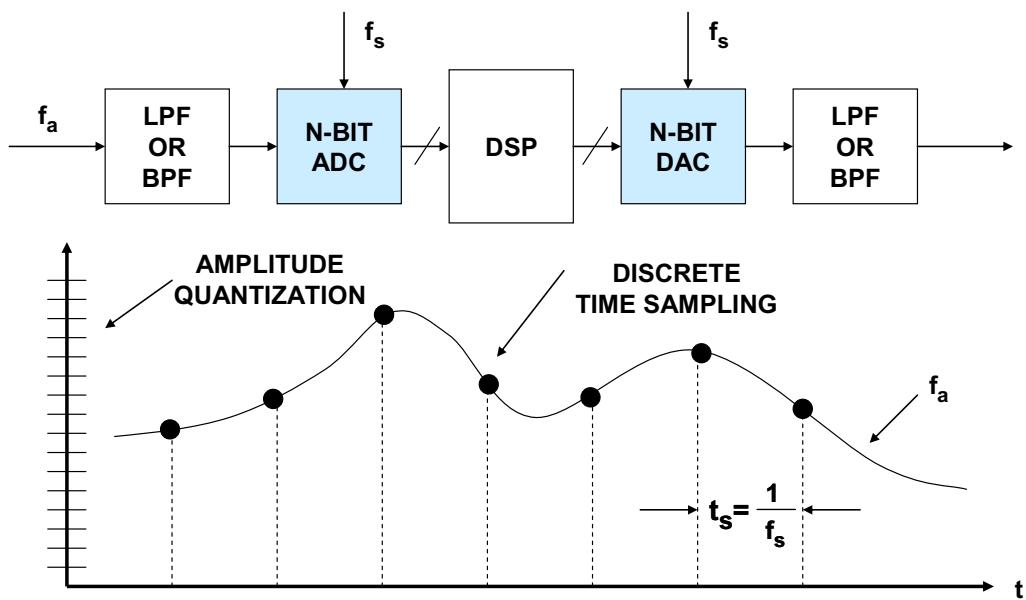


图1：典型的数据采样系统

图1所示的系统是实时系统，即该系统 $f_s$ 的速率对输入ADC的信号进行连续采样，而ADC同样以此速率将新样本提供给DSP。为了维持实时操作，DSP必须在采样间隔( $1/f_s$ )内完成所有必要计算，并在ADC的下一样本到达之前向DAC提供输出样本。数字滤波器就是一个典型的DSP功能示例。

注意，只有DSP数据必须再次转换成模拟信号(例如，在语音频带或音频应用中)时，才需要DAC。在很多应用中，初始模数转换之后，信号仍旧全部以数字格式存在。类似地，在一些应用中，DSP仅负责产生DAC的输入信号。如果使用了DAC，则其后必须紧跟模拟抗镜像滤波器来消除镜像频率。最后，在一些速度较慢的工业过程控制系统中，采样速率要慢很多。无论何种系统，采样理论的基础知识都仍旧适用。

实际的模数和数模转换过程涉及到两个关键概念：离散时间采样和量化所致有限幅度分辨率。本指南将讨论离散时间采样。

### 采样保持放大器(SHA)功能作用

正如图1所示的一般的数据采样系统是假定输入端为某种类型的交流信号。应注意，这并不是一项硬性要求（例如，针对直流测量优化的现代数字电压表(DVM)或ADC），但本次讨论假定输入信号具有一定的频率上限 $f_a$ 。

当今大多数ADC都内置采样保持功能，因而能够处理交流信号。此类ADC称为“采样ADC”。不过，很多早期ADC(如ADI公司的行业标准AD574)并不属于这种采样类型，而只是如图2所示的编码器。如果转换时间(如8 μs)内SAR ADC(假定不具有SHA功能)的输入信号变化超过1 LSB，输出数据将出现较大误差，具体取决于代码位置。可能除具有相配比较器的flash转换器之外，大多数ADC架构或多或少都受到这类误差影响。

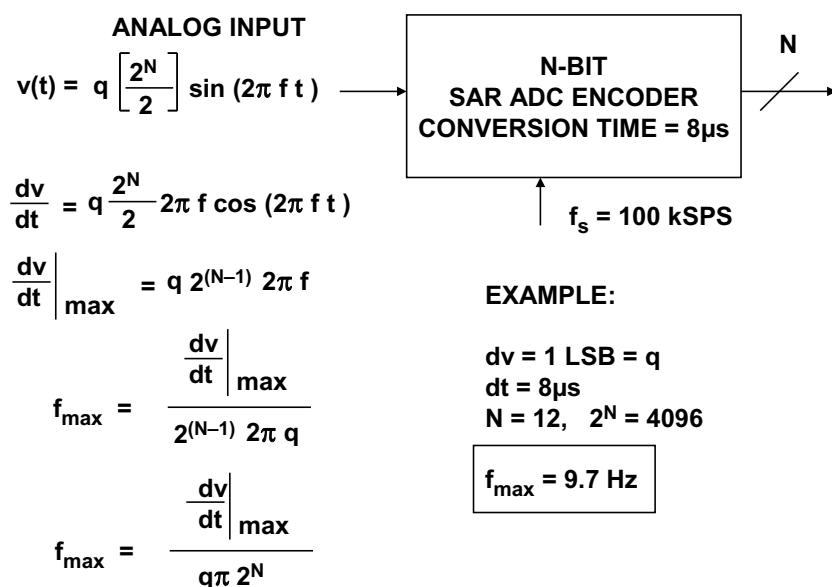


图2：非采样ADC(编码器)的输入频率限制

假定编码器的输入信号是具有满量程幅度( $q2^N/2$ )的正弦波，其中 $q$ 是1 LSB的权重。

$$v(t) = q \frac{2^N}{2} \sin(2\pi ft). \quad \text{等式1}$$

通过求导可以得到：

$$\frac{dv}{dt} = 2\pi fq \frac{2^N}{2} \cos(2\pi ft). \quad \text{等式2}$$

因此，最大变化率为：

$$\left. \frac{dv}{dt} \right|_{\max} = 2\pi fq \frac{2^N}{2}. \quad \text{等式3}$$

求解 $f$ :

$$f = \frac{\left. \frac{dv}{dt} \right|_{\max}}{q\pi 2^N}. \quad \text{等式4}$$

如果 $N = 12$ ，且转换时间( $dt = 8 \mu s$ )内允许出现1 LSB的变化，那么该等式可求解 $f_{\max}$ ，即不出现误差的情况下可处理的最大满量程信号频率：

$$f_{\max} = 9.7 \text{ Hz.}$$

这表示，即使 $8 \mu s$  ADC支持100 kSPS采样频率(这样就额外多出 $2 \mu s$ 时间来让外部SHA在退出保持模式后重新获取信号)，但一旦输入频率超过9.7 Hz，仍会出现转换误差。

为了处理交流信号，需要增加采样保持(SHA)功能，如图3所示。理想的SHA是一个简单的开关，用于驱动保持电容及其后的高输入阻抗缓冲器。缓冲器的输入阻抗必须足够高，以便电容可以在保持时间内放电少于1 LSB。SHA在采样模式中对信号进行采样，而在保持模式期间则保持信号恒定。同时调整时序，以便编码器可以在保持时间内执行转换。因此，采样ADC可以处理快速信号，且频率上限取决于SHA孔径抖动、带宽和失真等，而非编码器。在给出的示例中，采样保持功能在 $2 \mu s$ 内进行信号采集，而编码器则在 $8 \mu s$ 内进行信号转换，因而采样周期总计 $10 \mu s$ 。这样，采样频率就等于100 kSPS，并且最高能够处理50 kHz的输入频率。

了解真正的采样保持放大器(SHA)和跟踪保持放大器(T/H或THA)之间的细微差异非常重要。严格来说，并不会在采样模式期间定义采样保持功能的输出，但跟踪保持功能的输出会在采样或跟踪模式期间跟踪信号。在实际操作中，该功能一般配置为跟踪保持，且“跟踪保持”和“采样保持”术语通常可以互换使用。图3所示的波形就是与跟踪保持功能相关的那些波形。

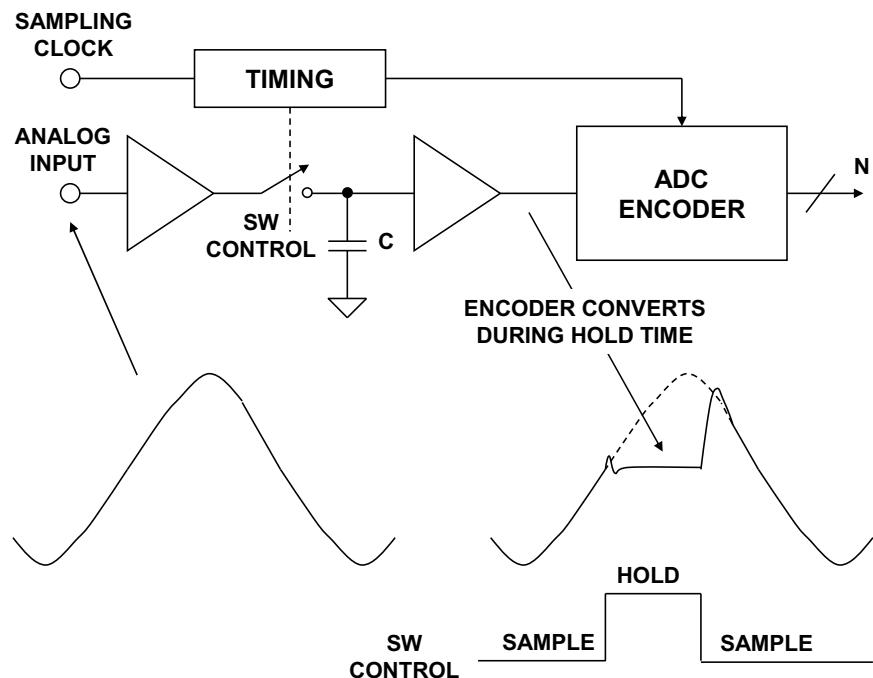


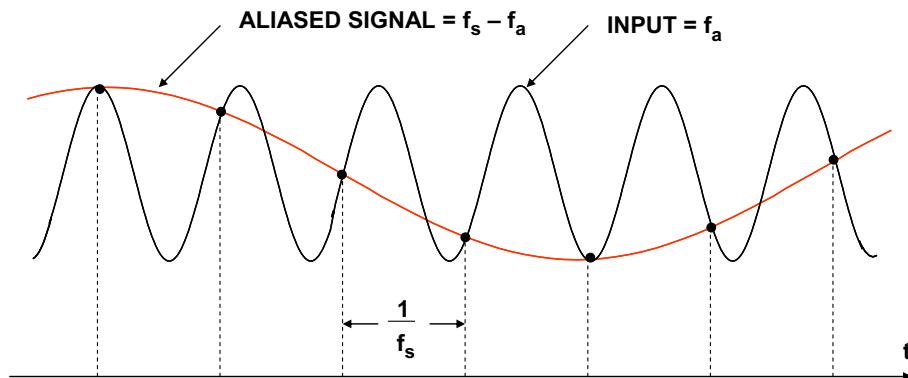
图3：对交流信号进行数字化处理所需的采样保持功能

### 奈奎斯特准则

连续模拟信号以离散的时间间隔 $t_s = 1/f_s$ 采样，该时间间隔必须精心选择，确保采样数据能精确描述原始模拟信号。很显然，采样越多(采样速率越快)，模拟信号的数字表示就越精确。如果采样较少(采样速率较慢)，则少到某一点时，模拟信号的关键信息将因得不到采样而丢失。在贝尔电话实验室工作期间，Harry Nyquist分别于1924和1928年发表了两篇经典论文，奠定了采样的数学基础。(请参见参考文献1和2，以及参考文献6的第2章。)之后不久，R. V. L. Hartley对Nyquist的原始工作进行了补充(参考文献3)。这些论文构成了上世纪40年代PCM工作的基础，而后在1948年Claude Shannon撰写了其在通信理论方面的经典论文(参考文献4)。

简而言之，奈奎斯特准则要求采样频率至少是信号所含最高频率的两倍，否则信号所承载的信息将会丢失。如果采样频率小于最大模拟信号频率的两倍，将会出现一种称为“混叠”的现象。

为了理解混叠对时域和频域的影响，首先请考虑图4所示采样单音正弦波的时域表示情况。在此示例中，采样频率 $f_s$ 并未达到至少 $2f_a$ ，而仅仅是略大于模拟输入频率 $f_a$ ，因而违背了奈奎斯特准则。注意，实际样本的图案产生了较低频率( $f_s - f_a$ )的混叠正弦波。



NOTE:  $f_a$  IS SLIGHTLY LESS THAN  $f_s$

图4：时域中的混叠现象

这种情况的对应频域表示如图5B所示。现在考虑采用理想的脉冲采样器以 $f_s$ 的频率对频率为 $f_a$ 的单频正弦波进行采样(见图5A)。另外假定 $f_s > 2f_a$ ，如图所示。采样器的频域输出显示每数个 $f_s$ 附近均会出现原始信号的混叠或镜像，具体位于 $|\pm Kf_s \pm f_a|$ ， $K = 1, 2, 3, 4, \dots$

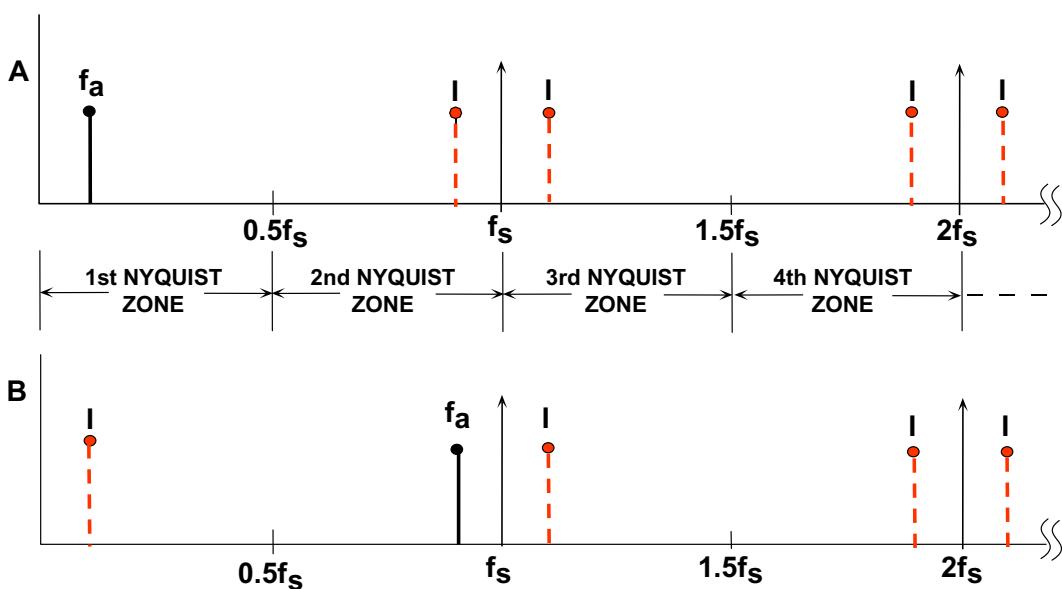


图5：使用理想采样器以 $f_s$ 频率进行采样时模拟信号 $f_a$ 具有镜像（混叠），  
具体位于 $|\pm Kf_s \pm f_a|$ ， $K = 1, 2, 3, \dots$

奈奎斯特带宽定义为从DC到 $f_s/2$ 的频谱。该频谱可细分为无数奈奎斯特区，每个宽度等于 $0.5f_s$ ，如图所示。在实际操作中，理想采样器可以替换为后接FFT处理器的ADC。FFT处理器仅提供DC到 $f_s/2$ 范围内的输出，即第一奈奎斯特区出现的信号或混叠。

接下来，我们考虑第一奈奎斯特区之外的信号情况(图5B)。信号频率仅仅略小于采样频率，对应图4中时域表示所示的条件。注意，即使信号位于第一奈奎斯特区之外，其镜像(或混叠) $f_s - f_a$ 仍位于该区内。现在回到图5A。很明显，如果任何镜像频率 $f_a$ 处出现干扰信号，那么也将会出现在 $f_a$ 处，因而会在第一奈奎斯特区内产生杂散频率成分。

这类似于模拟混频过程，同时意味着需要在采样器(或ADC)之前放置一些滤波器件来消除位于奈奎斯特带宽之外但其混叠成分又位于该范围之内的频率成分。滤波器性能将取决于带外信号与 $f_s/2$ 的接近程度和所需的衰减量。

### 基带抗混叠滤波器

基带采样意味着要采样的信号位于第一奈奎斯特区之内。需要注意的是，当理想采样器的输入端没有输入滤波时，任意奈奎斯特区内奈奎斯特带宽之外的任意频率成分(信号或噪声)都将混叠回到第一奈奎斯特区。为此，几乎所有采样ADC应用中都会使用抗混叠滤波器来消除这些干扰信号。

合理指定抗混叠滤波器是非常重要的。第一步是了解待采样信号的特性。假定最高目标频率为 $f_a$ 。抗混叠滤波器任由DC至 $f_a$ 范围内的信号通过，同时对 $f_a$ 以上的信号进行衰减。

假定所选滤波器的转折频率等于 $f_a$ 。系统动态范围内从最小衰减到最大衰减的有限跃迁效应如图6A所示。

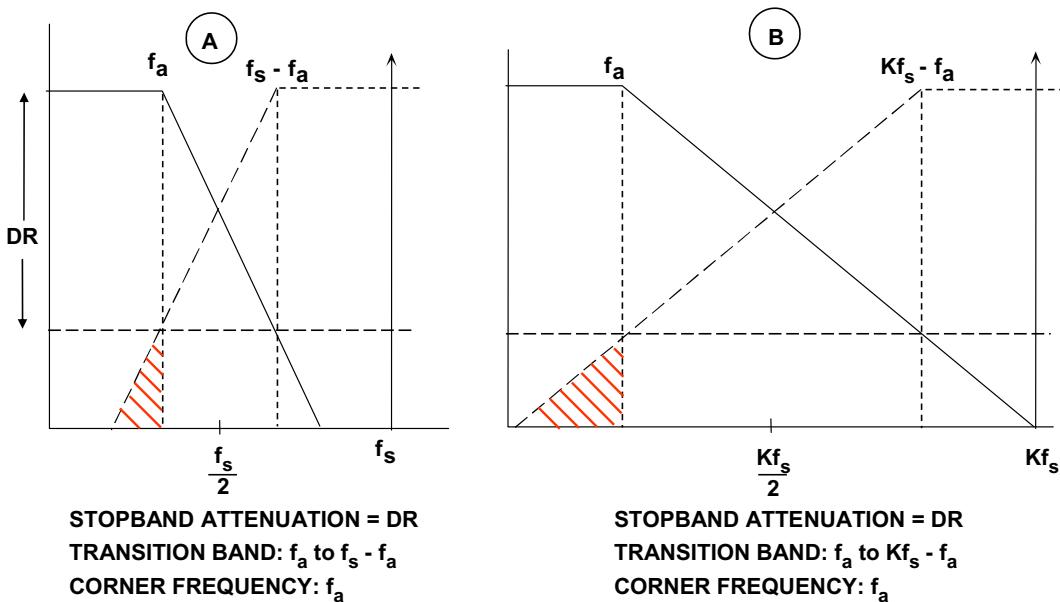


图6：过采样降低对基带抗混叠滤波器的要求

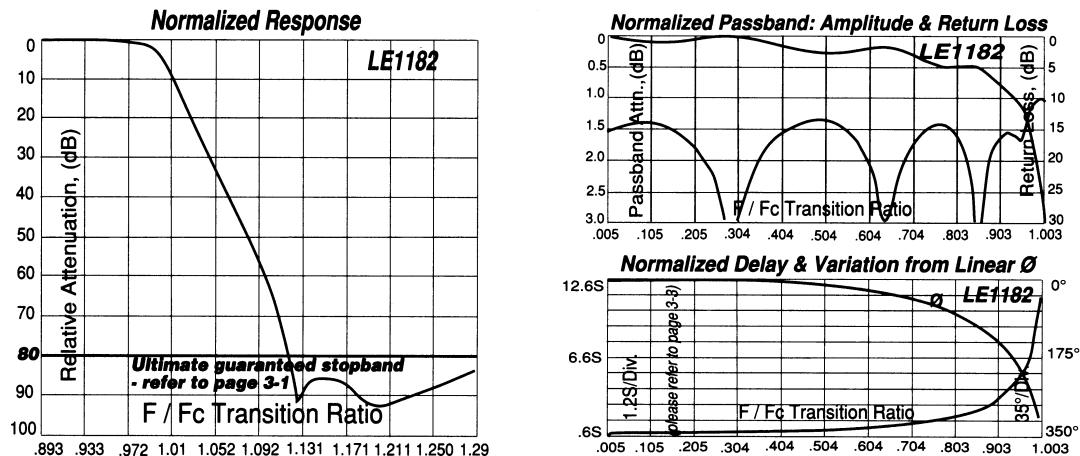
假定输入信号具有超过最大目标频率 $f_a$ 的满量程成分。该图显示了 $f_s - f_a$ 以上的满量程频率成分如何混叠回到DC至 $f_a$ 的带宽范围内。这些混叠成分不易与实际信号区分开来，因此将动态范围限制为图中显示为DR的值。

有些文章推荐根据奈奎斯特频率 $f_s/2$ 来指定抗混叠滤波器，但这时假定目标信号带宽为DC至 $f_s/2$ ，而那种情况非常少见。在图6A的示例中， $f_a$ 和 $f_s/2$ 之间的混叠成分并不是目标成分，因此不会限制动态范围。

因此，抗混叠滤波器的过渡带取决于转折频率 $f_a$ 、阻带频率 $f_s - f_a$ 和所需阻带衰减DR。所需系统动态范围的选择依据是信号保真度要求。

所有其它条件不变时，过渡带越陡，滤波器就越复杂。例如，与所有其他滤波器一样，巴特沃兹滤波器针对每个滤波器极点提供每倍频程6 dB衰减。要在1 MHz到2 MHz的过渡区(1倍频程)内实现60 dB衰减，需要至少10个极点。这样的滤波器可不是随随便便就能实现的，绝对是一项设计挑战。

因此，其它滤波器类型通常更适合于对陡峭过渡带、带内平坦度以及线性相位响应有要求的应用。椭圆滤波器满足这些标准，是一种颇受欢迎的选择。有一些公司专门提供定制模拟滤波器。TTE就属于这类公司(参考文献5)。例如，TTE公司11极点椭圆抗混叠滤波器LE1182的归一化响应如图7所示。注意，此滤波器专用于在 $f_c$ 和 $1.2f_c$ 之间实现至少80 dB衰减。图7还显示了相应的通带纹波、回损、延迟和相位响应。



Reprinted with Permission of TTE, Inc.,  
11652 Olympic Blvd., Los Angeles CA 90064  
<http://www.tte.com>

图7：11极点椭圆滤波器(TTE公司LE1182系列)的特性

从上述讨论中，我们可以看到如何对抗混叠过渡带的锐度与ADC采样频率作出权衡。选择较高的采样速率(过采样)时，过渡带的锐度要求有所降低(因而滤波器复杂程度也相应降低)，但是需要使用更快的ADC，并且需要以更快的速率来处理数据。图6B显示了保持模拟转折频率 $f_a$ 和动态范围DR要求不变但采样频率调高K倍时所产生的影响。对于图6A中的情况，过渡带( $f_a$ 至 $Kf_s - f_a$ )越宽，那么此过滤器设计就越简单。

抗混叠滤波器设计过程从选择大小等于2.5到4倍 $f_a$ 的初始采样速率开始。接着，根据所需动态范围确定滤波器规格并判断是否可在系统成本和性能限制范围内实现该滤波器。如果无法实现，则考虑使用较高的采样速率，而这可能要求使用更快的ADC。值得一提的是， $\Sigma-\Delta$ 型ADC本质上属于高过采样转换器，因此此架构又添一项优势，那就是可以降低对模拟抗混叠滤波器的要求。

如果确定永远不会出现阻带频率 $f_s - f_a$ 的满量程信号，也可降低对抗混叠滤波器的要求。很多应用中都不太可能会出现此频率的满量程信号。如果 $f_s - f_a$ 频率的最大信号永远不会超过满量程以下X dB，那么滤波器阻带衰减要求也会出现同幅下降。基于对信号的这种了解， $f_s - f_a$ 处的新阻带衰减要求现在仅为DR - X dB。作出此类假定时，注意要将可能超过最大信号频率 $f_a$ 的任何噪声信号视作也会叠加回到信号带宽内的干扰信号。

### 欠采样(谐波采样、带通采样、中频采样、直接中频数字转换)

到目前为止，我们考虑的是基带采样情况，即所有目标信号均位于第一奈奎斯特区内。图8A显示了另外一种情况，其中采样信号频带局限于第一奈奎斯特区，而原始频带镜像出现在其它每个奈奎斯特区。

以图8B所示的情况为例，其中采样信号频带完全位于第二奈奎斯特区内。对第一奈奎斯特区之外的信号进行采样的过程通常称为“欠采样”或“谐波采样”。注意，第一奈奎斯特区内的镜像包含原始信号中的所有信息，但其原始位置除外(频谱内频率成分的顺序是相反的，但这点可轻松地通过重新调整FFT输出的顺序来加以纠正)。

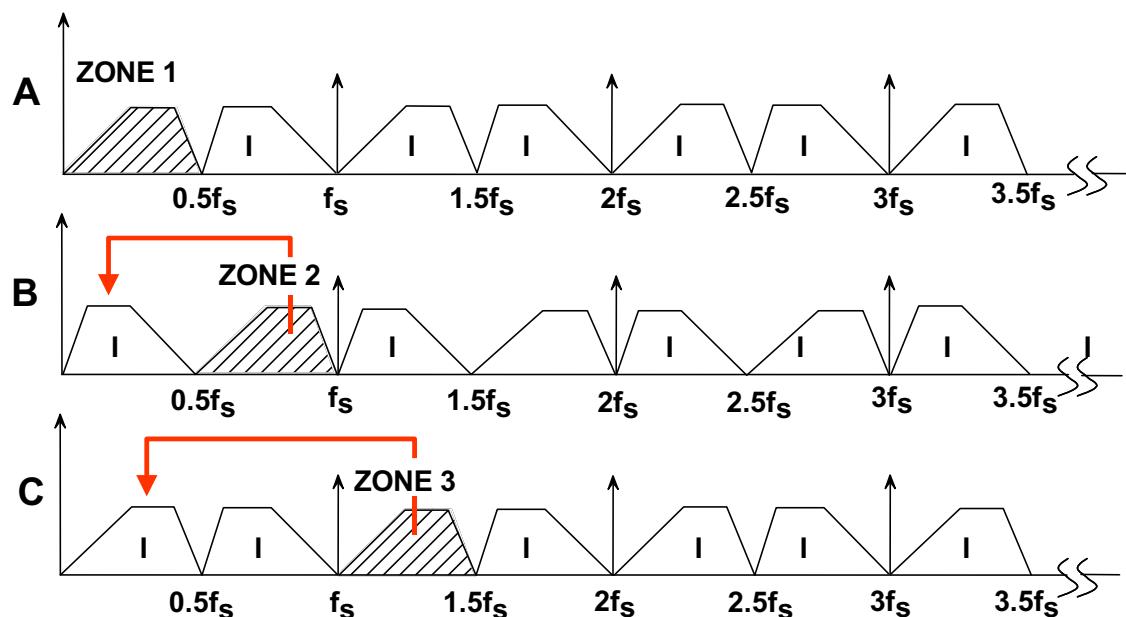


图8：欠采样和奈奎斯特区之间的频率转换

图8C显示了限制至第三奈奎斯特区的采样信号。注意，第一奈奎斯特区内的镜像并未频谱反转。实际上，采样信号频率可能位于任意独特的奈奎斯特区内，而第一奈奎斯特区内的镜像仍旧是精确表示(当信号位于编号为偶数的奈奎斯特区时出现的频谱反转除外)。此时，我们可以重提奈奎斯特准则，因为其适用于宽带信号：

带宽为BW的信号必须以等于或大于其带宽两倍(2BW)的速率进行采样，方可保留信号中的全部信息。

注意，该处并没有提到采样信号频带相对于采样频率在频谱内的绝对位置。唯一的限制是采样信号频带必须局限于单个奈奎斯特区，即信号不得重叠任意多个 $f_s/2$ (实际上，这就是抗混叠滤波器的主要功能)。

在通信应用中，对第一奈奎斯特区以上的信号进行采样等效于模拟解调，因此越来越受欢迎。直接对中频信号进行采样，然后使用数字技术来处理该信号，这种做法已经日渐普遍，从而不再需要中频解调器和滤波器。不过显然，IF频率越高，对ADC的动态性能要求就越严格。ADC输入带宽和失真性能必须足以处理IF频率，而不仅仅是基带。这就给仅设计用来处理第一奈奎斯特区内信号的大多数ADC带来了一项难题——适合欠采样应用的ADC必须在高阶奈奎斯特区内保持动态性能不变。

### 欠采样应用中的抗混叠滤波器

图9显示了以载波频率 $f_c$ 为中心的第二奈奎斯特区内的信号，其中频率下限和上限分别为 $f_1$ 和 $f_2$ 。抗混叠滤波器是一个带通滤波器。所需动态范围为DR，该范围定义了滤波器阻带衰减。过渡带上限为 $f_2$ 至 $2f_s - f_2$ ，而下限则为 $f_1$ 至 $f_s - f_1$ 。对于基带采样，通过按比例调高采样频率可以降低对抗混叠滤波器的要求，但还必须改变 $f_c$ ，使其始终是第二奈奎斯特区的中心。

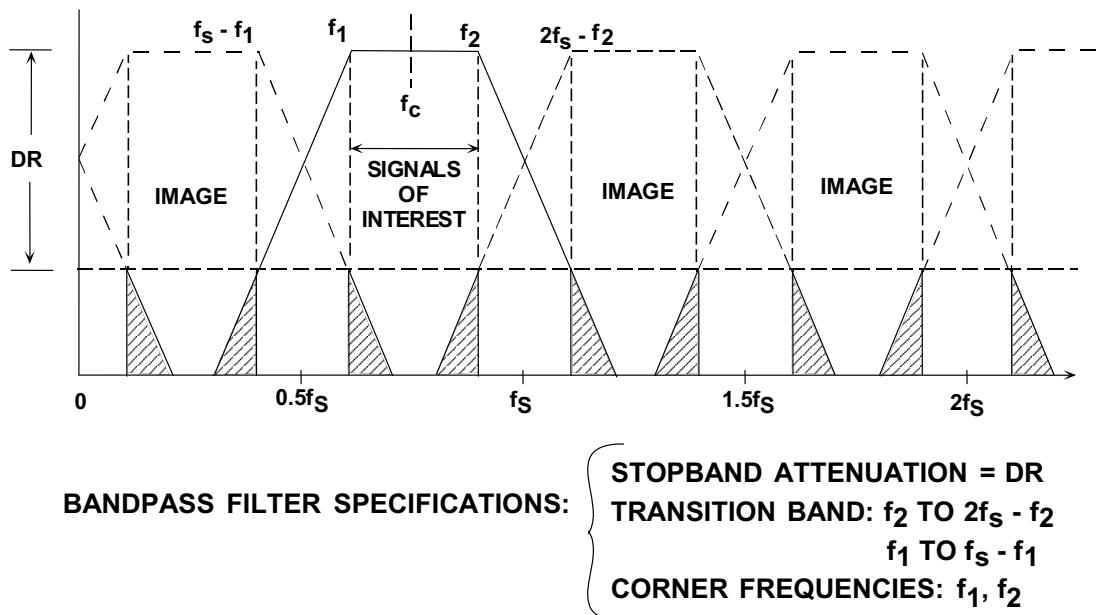


图9：用于欠采样的抗混叠滤波器

给定载波频率 $f_c$ 及其信号带宽 $\Delta f$ 时，可使用两个关键等式来选择采样频率 $f_s$ 。首先是奈奎斯特定则：

$$f_s > 2\Delta f. \quad \text{等式5}$$

第二个等式确保 $f_c$ 位于某个奈奎斯特区的中心：

$$f_s = \frac{f_c}{2NZ - 1}, \quad \text{等式6}$$

其中， $NZ = 1, 2, 3, 4, \dots$ ，且 $NZ$ 对应于载波及其信号所位于的奈奎斯特区(见图10)。

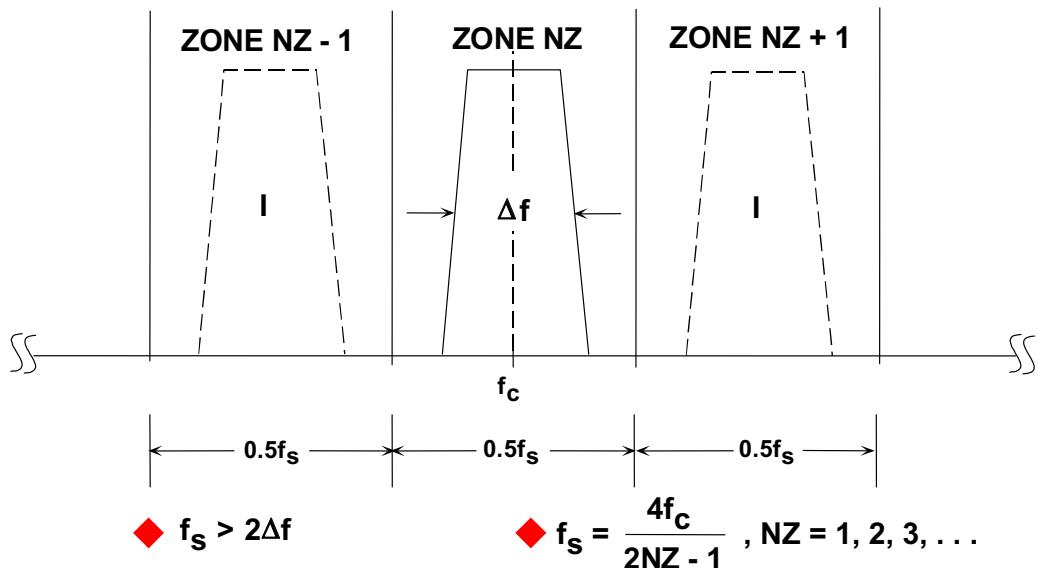


图10：使欠采样信号位于某个奈奎斯特区中心

一般而言， $NZ$ 越大越好，从而允许处理高IF频率。无论 $NZ$ 选择多少，奈奎斯特定则都要求 $f_s > 2\Delta f$ 。如果 $NZ$ 选择为奇数，那么 $f_c$ 及其信号将位于编号为奇数的奈奎斯特区内，而第一奈奎斯特区内的镜像频率不会反转。

举例来说，假定信号以载波频率71 MHz为中心且宽度为4 MHz。因此，最低采样频率要求为8 MSPS。通过将 $f_c = 71$  MHz和 $f_s = 8$  MSPS代入等式6来求解 $NZ$ ，可得到 $NZ = 18.25$ 。不过， $NZ$ 必须为整数，因此我们把18.25四舍五入为最接近的整数，即18。再次通过等式6来求解 $f_s$ ，可得到 $f_s = 8.1143$  MSPS。因此，最后的值为 $f_s = 8.1143$  MSPS、 $f_c = 71$  MHz、 $NZ = 18$ 。

现在假定我们需要抗混叠滤波器具有更多余量，因此将 $f_s$ 选择为10 MSPS。通过将 $f_c = 71$  MHz和 $f_s = 10$  MSPS代入等式6来求解NZ，可得到 $NZ = 14.7$ 。我们将14.7四舍五入为最接近的整数，即可得到 $NZ = 14$ 。再次通过等式6来求解 $f_s$ ，可得到 $f_s = 10.519$  MSPS。因此，最后的值为 $f_s = 10.519$  MSPS、 $f_c = 71$  MHz、 $NZ = 14$ 。

上述迭代过程也可通过从 $f_s$ 开始并调整载波频率来为NZ产生一个整数。

## 总结

本指南涵盖了奈奎斯特准则的基础知识和时域与频域的混叠影响。同时利用该准则的应用知识介绍了如何适当地指定抗混叠滤波器。文中介绍了与现代通信系统应用相关的过采样和欠采样示例。

## 参考文献：

1. H. Nyquist, "Certain Factors Affecting Telegraph Speed," *Bell System Technical Journal*, Vol. 3, April 1924, pp. 324-346.
2. H. Nyquist, Certain Topics in Telegraph Transmission Theory, *A.I.E.E. Transactions*, Vol. 47, April 1928, pp. 617-644.
3. R.V.L. Hartley, "Transmission of Information," *Bell System Technical Journal*, Vol. 7, July 1928, pp. 535-563.
4. C. E. Shannon, "A Mathematical Theory of Communication," *Bell System Technical Journal*, Vol. 27, July 1948, pp. 379-423 and October 1948, pp. 623-656.
5. TTE, Inc., 11652 Olympic Blvd., Los Angeles, CA 90064, <http://www.tte.com>.
6. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 2. Also Available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 2.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.

















## 将振荡器相位噪声转换为时间抖动

作者: Walt Kester

### 简介

为实现高信噪比(SNR)，ADC的孔径抖动必须很低(参见参考文献1、2和3)。目前可提供孔径抖动低至60 fs rms的ADC([AD9445](#) 14位125 MSPS和[AD9446](#) 16位100 MSPS)。为了避免降低ADC的性能，必须采用抖动极低的采样时钟，因为总抖动等于转换器内部孔径抖动与外部采样时钟抖动的方和根。然而，用于产生采样时钟的振荡器常常用相位噪声而非时间抖动来描述特性。本文的目的就是提出一种简单的方法来将振荡器相位噪声转换为时间抖动。

### 相位噪声定义

首先明确几个定义。图1所示为一个非理想振荡器(即时域中存在抖动，对应于频域中的相位噪声)的典型输出频谱。频谱显示，1 Hz带宽内的噪声功率与频率成函数关系。相位噪声定义为额定频率偏移 $f_m$ 下的1 Hz带宽内的噪声与频率 $f_o$ 下的振荡器信号幅度之比。

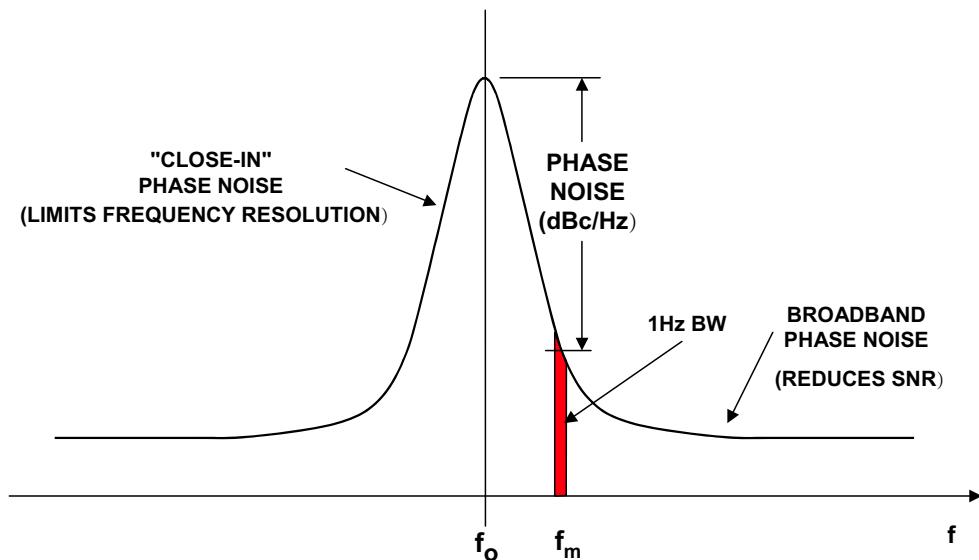


图1：受相位噪声影响的振荡器功率频谱

采样过程基本上是采样时钟与模拟输入信号的乘法。这是时域中的乘法，相当于频域中的卷积。因此，采样时钟振荡器的频谱与输入进行卷积，并显示在纯正弦波输入信号的FFT输出上(见图2)。

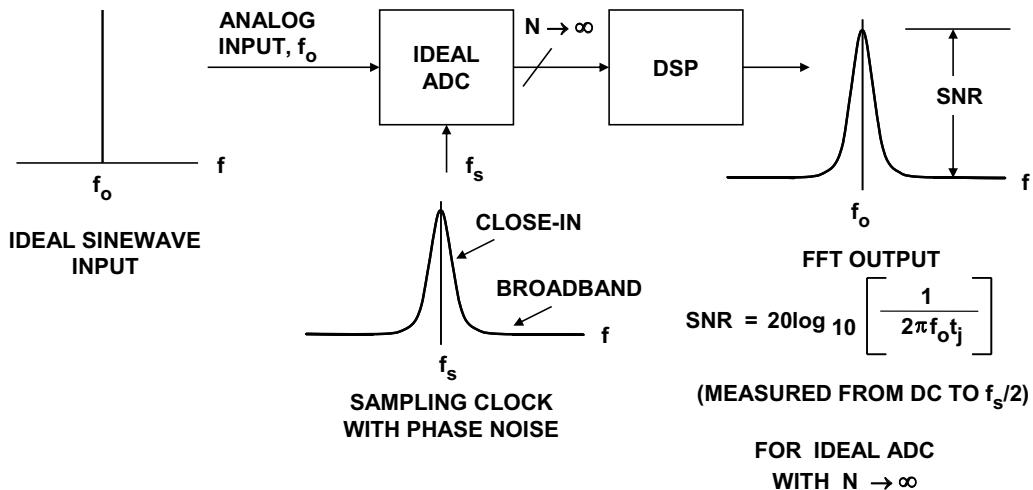


图2：采样时钟相位噪声对理想数字化正弦波的影响

“近载波”相位噪声会“污损”多个频率仓中的基波信号，从而降低整体频谱分辨率。“宽带”相位噪声则会导致整体SNR下降，如公式1所示(参考文献1和2)：

$$\text{SNR} = 20\log_{10} \left[ \frac{1}{2\pi f t_j} \right]. \quad \text{公式1}$$

通常用单边带相位噪声来描述振荡器的特性，如图3的相位噪声(dBc/Hz)与频率偏移 $f_m$ 的关系曲线所示，其中频率轴采用对数刻度。注意，实际的曲线由多个区域拟合而成，各区域的斜率为 $1/f^x$ ， $x = 0$ 对应于“白色”相位噪声区域(斜率 = 0 dB/10倍)， $x = 1$ 对应于“闪烁”相位噪声区域(斜率 = -20 dB/10倍)还存在 $x = 2, 3, 4$ 的区域，这些区域依次出现，愈来愈接近载波频率。

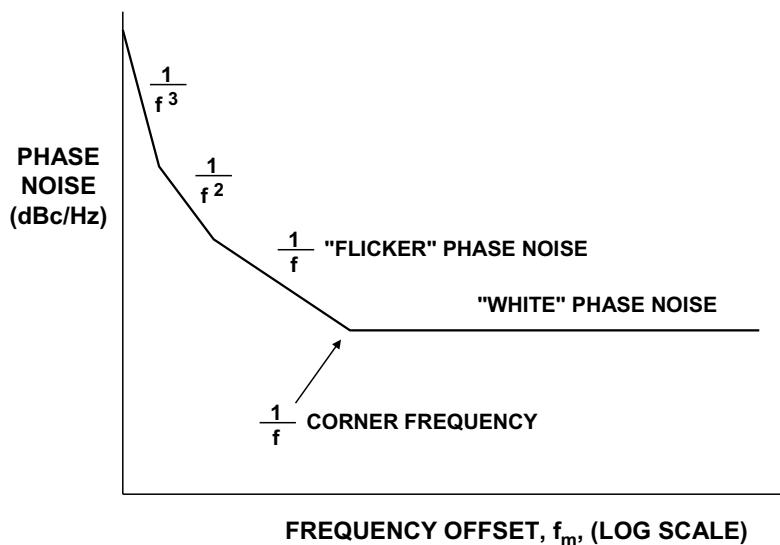


图3：振荡器相位噪声(dBc/Hz)与频率偏移的关系

请注意，相位噪声曲线与放大器的输入电压噪声频谱密度有一定的类似。像放大器电压噪声一样，振荡器也非常需要较低的 $1/f$ 转折频率。

我们已经看到，振荡器通常用相位噪声来描述性能，但为了将相位噪声与ADC的性能关联起来，必须将相位噪声转换为抖动。为将该曲线与现代ADC应用关联起来，选择100 MHz的振荡器频率(采样频率)以便于讨论，典型曲线如图4所示。请注意，相位噪声曲线由多条线段拟合而成，各线段的端点由数据点定义。

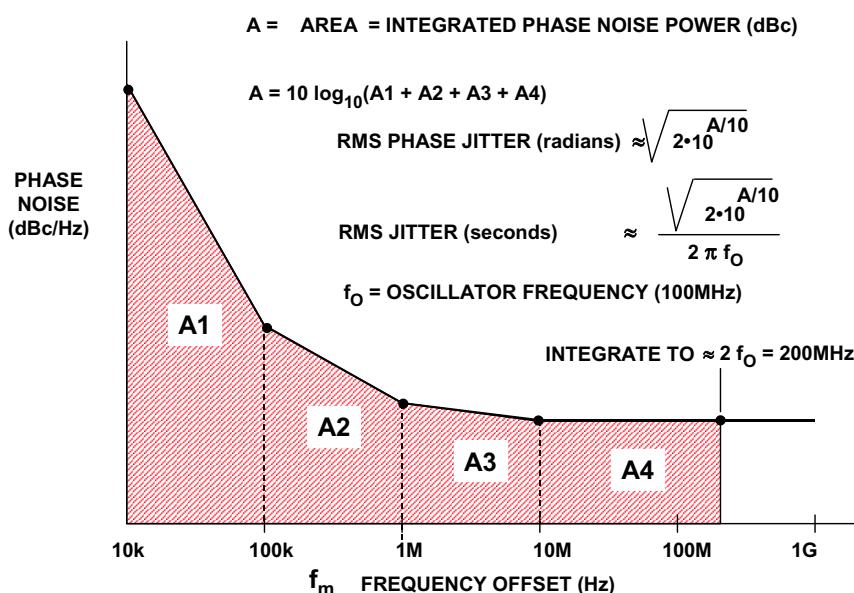


图4：根据相位噪声计算抖动

## 将相位噪声转换为抖动

计算等效rms抖动的第一步是获得目标频率范围(即曲线区域A)内的积分相位噪声功率。该曲线被分为多个独立区域(A1、A2、A3、A4)，各区域由两个数据点定义。一般而言，假设振荡器与ADC输入端之间无滤波，则积分频率范围的上限应为采样频率的2倍，这近似于ADC采样时钟输入的带宽。

积分频率范围下限的选择也需要一定的斟酌。理论上，它应尽可能低，以便获得真实的rms抖动。但实际上，制造商一般不会给出偏移频率小于10 Hz时的振荡器特性，不过这在计算中已经能够得出足够精度的结果。多数情况下，如果提供了100 Hz时的特性，则选择100 Hz作为积分频率下限是合理的。否则，可以使用1 kHz或10 kHz数据点。

还应考虑，“近载波”相位噪声会影响系统的频谱分辨率，而宽带噪声则会影响整体系统信噪比。最明智的方法或许是按照下文所述对各区域分别积分，并检查各区域的抖动贡献幅度。如果使用晶体振荡器，则低频贡献与宽带贡献相比，可能可以忽略不计。其它类型的振荡器在低频区域可能具有相当大的抖动贡献，必须确定其对整体系统频率分辨率的重要性。

各区域的积分产生个别功率比，然后将各功率比相加，并转换回dBc。一旦知道积分相位噪声功率，便可通过下式计算rms相位抖动(单位为弧度，更多信息及其引申等参见参考文献3至7)：

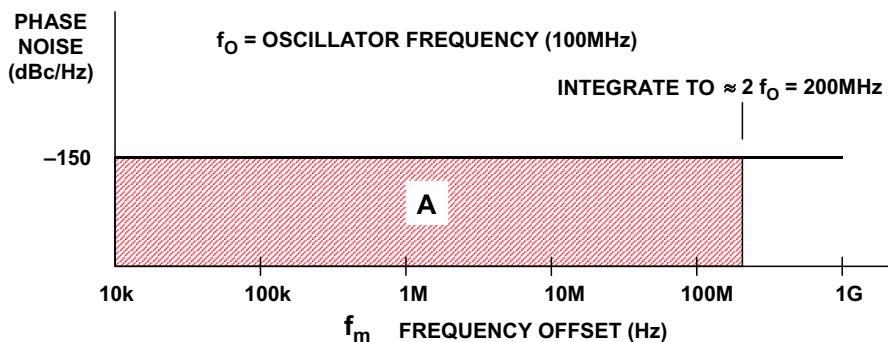
$$\text{rms相位抖动(弧度)} = \sqrt{2 \cdot 10^{A/10}}, \quad \text{公式2}$$

以上结果除以 $2\pi f_O$ ，便可将用弧度表示的抖动转换为用秒表示的抖动：

$$\text{rms相位抖动(秒)} = \frac{\sqrt{2 \cdot 10^{A/10}}}{2\pi f_O}. \quad \text{公式3}$$

应注意，网络上可以找到计算机程序和电子表格来执行分段积分并计算rms抖动，从而大大简化计算过程(参考文献8、9)。

图5给出了一个计算示例，它假设仅存在宽带相位噪声。所选的-150 dBc/Hz宽带相位噪声代表了良好信号发生器的特性，由此获得的抖动值可以代表实际情况。-150 dBc/Hz的相位噪声(用比值表示)乘以积分带宽(200 MHz)，得到-67 dBc的积分相位噪声。请注意，该乘法相当于把 $10 \log_{10}[200 \text{ MHz} - 0.01 \text{ MHz}]$ 的量与相位噪声(dBc/Hz)相加。实际上，计算中可以丢弃0.01 MHz的频率下限，因为它不会对最终结果产生重大影响。利用公式3可知，总rms抖动约为1 ps。



$$A = -150 \text{ dBc} + 10 \log_{10} [200 \times 10^6 - 0.01 \times 10^6] = -150 \text{ dBc} + 83 \text{ dB} = -67 \text{ dBc}$$

$$\text{RMS PHASE JITTER (radians)} \approx \sqrt{\frac{A/10}{2 \cdot 10}} = 6.32 \times 10^{-4} \text{ radians}$$

$$\text{RMS JITTER (seconds)} = \frac{\text{RMS PHASE JITTER (radians)}}{2 \pi f_O} = 1 \text{ ps}$$

**图5：假设仅存在宽带相位噪声的抖动计算示例**

晶体振荡器的相位噪声和抖动一般是最低的，图6给出了几个例子以供比较。所示的全部振荡器都具有20 kHz的1/f转折频率，因此相位噪声代表的是白色相位噪声水平。两个Wenzel振荡器为固定频率型，性能出色(参考文献9)。利用可变频率信号发生器很难实现如此高的性能，一个质量相对较高的发生器的性能为-150 dBc，如图所示。

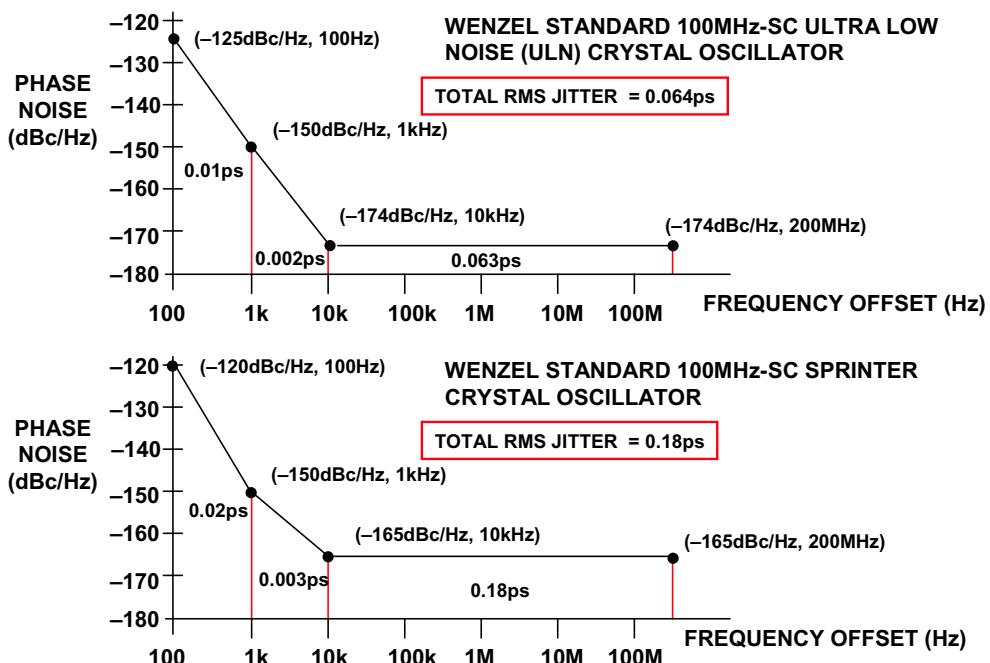
- ◆ Wenzel ULN Series\*      -174dBc/Hz @ 10kHz+
- ◆ Wenzel Sprinter Series,    -165dBc/Hz @ 10kHz+
- ◆ High Quality Signal Generator -150dBc/Hz @ 10kHz+
  - Thermal noise floor of resistive source in a matched system @ +25°C = -174dBm/Hz
  - 0dBm = 1mW = 632mV p-p into 50Ω
  - \* An oscillator with an output of +13dBm (2.82V p-p) into 50Ω with a phase noise of -174dBc/Hz has a noise floor of +13dBm - 174dBc = -161dBm, 13dB above the thermal noise floor

(Wenzel ULN and Sprinter Series Specifications and Pricing Used with Permission of Wenzel Associates)

**图6：100 MHz振荡器的宽带相位本底噪声比较(Wenzel ULN和Sprinter系列的特性和报价已获得Wenzel Associates的许可)**

这里应注意，振荡器的本底噪声存在一个理论限值，它由匹配源的热噪声决定：+25°C时为-174 dBm/Hz。因此，相位噪声为-174 dBc/Hz的振荡器以+13-dBm输出驱动50 Ω (2.82-V p-p)负载时，其本底噪声为 $-174 \text{ dBc} + 13 \text{ dBm} = -161 \text{ dBm}$ 。这就是图6所示的Wenzel ULN系列的情况。

图7给出了两个Wenzel晶体振荡器的抖动计算。每种情况中的数据点直接来自制造商的数据手册。由于1/f转折频率较低，抖动的绝大部分是由“白色”相位噪声区域引起的。计算值64 fs (ULN-Series)和180 fs说明抖动极低。图中分别标出了各区域的噪声贡献，以供参考。总抖动为各抖动贡献因素的方和根。



**图7：低噪声100 MHz晶体振荡器的抖动计算  
(所用相位噪声数据已获得Wenzel Associates的许可)**

在要求低抖动采样时钟的系统设计中，低噪声专用晶体振荡器的成本一般极高。替代方案是使用锁相环(PLL)和压控振荡器来“净化”高噪声系统时钟，如图8所示。关于PLL设计有许多很好的参考资料(例如参考文献10至13)，在此不做进一步探讨，但仅说明一点：使用窄带宽环路滤波器和压控晶体振荡器(VCXO)通常可获得最低的相位噪声。如图8所示，PLL在降低整体相位本底噪声的同时，往往也会降低“近载波”相位噪声。在PLL输出之后连接一个适当的带通滤波器，可以进一步降低白色本底噪声。

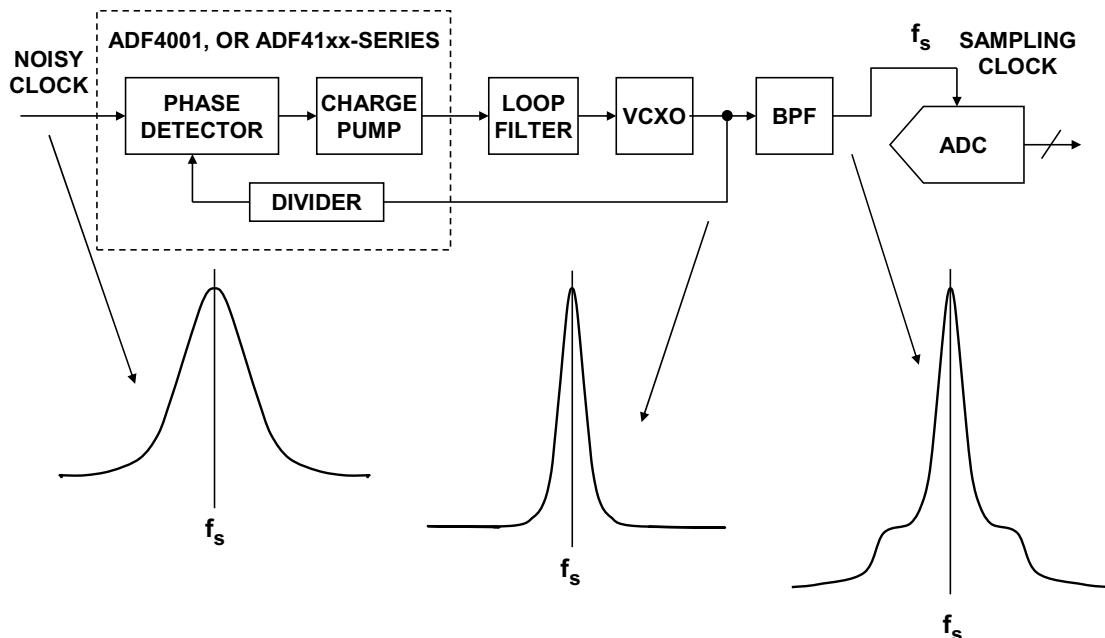


图8：使用锁相环(PLL)和带通滤波器来调理高噪声时钟源

在PLL中内置一个自由运行VCO的效果如图9所示。注意，由于PLL的作用，“近载波”相位噪声大幅降低。

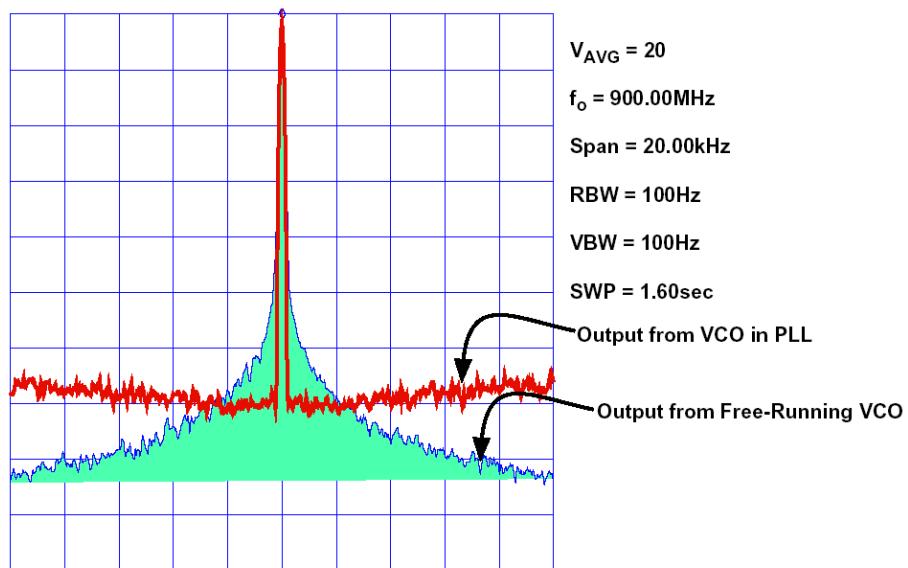


图9：自由运行的VCO和连接PLL的VCO的相位噪声

ADI公司提供许多不同的频率合成产品，包括DDS系统、整数N和小数N分频PLL等。例如，ADF4360系列是内置VCO的完全集成式PLL。在结合使用一个10 kHz带宽环路滤波器的情况下，[ADF4360-1](#) 2.25-GHz PLL的相位噪声如图10所示，分段近似和抖动计算如图11所示。请注意，即使采用非晶体VCO，rms抖动也只有1.57 ps。

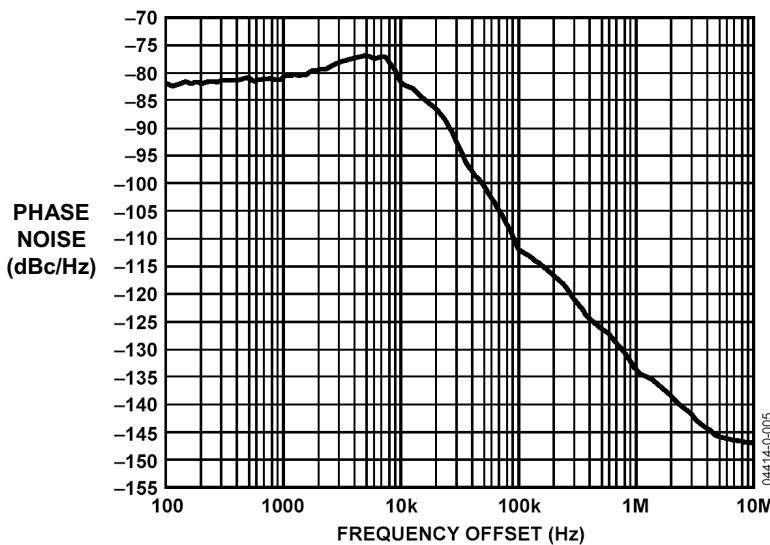


图10：采用10 kHz带宽环路滤波器的ADF4360-1 2.25-GHz PLL的相位噪声

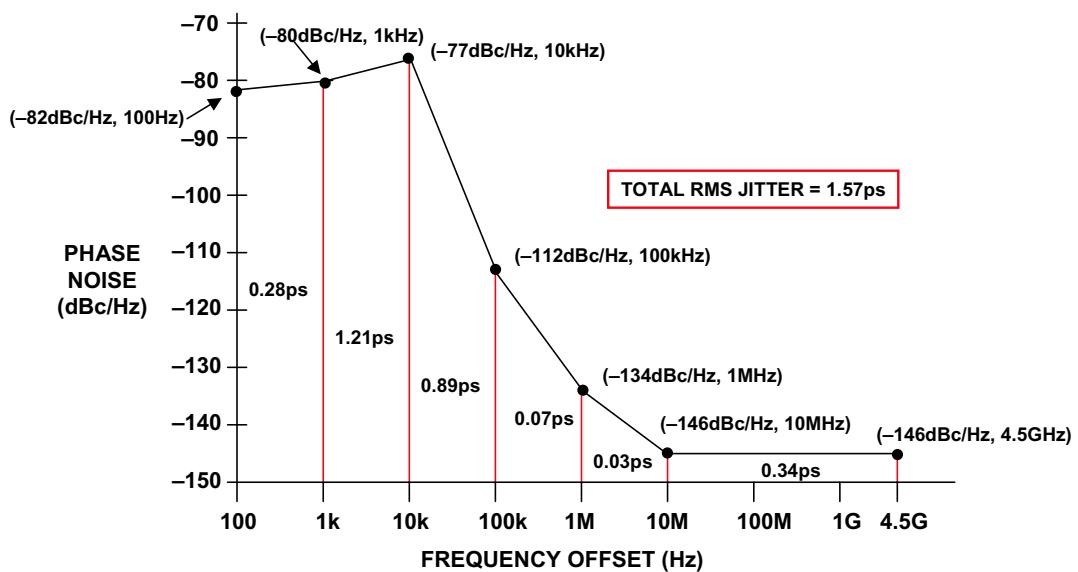


图11：ADF4360-1 2.25-GHz PLL相位噪声的分段近似抖动计算

一直以来，PLL设计高度依赖于教科书和应用笔记来帮助设计环路滤波器等。现在，利用ADI公司提供的可免费下载的[ADIsimPLL®](#)软件，PLL设计变得非常轻松。要开始设计，请输入所需的输出频率范围以选择一个电路，然后选择PLL、VCO和晶体参考。一旦选定环路滤波器配置后，就可以分析电路并从频域和时域两方面优化相位噪声、相位裕量、增益、杂散水平、锁定时间等。程序还能根据PLL相位噪声计算rms抖动，以便评估作为采样时钟的最终PLL输出。

## 结束语

采样时钟抖动可能会给高性能ADC的信噪比性能带来灾难性影响。虽然信噪比与抖动之间的关系已为大家所熟知，但大多数振荡器都是用相位噪声来描述特性的。本文说明了如何将相位噪声转换为抖动，以便轻松计算信噪比的下降幅度。

使用晶体VCO(以及适当的滤波)的现代PLL虽然不如成本高昂的独立晶体振荡器那样理想，但也能实现出色的抖动性能，适合除要求最为苛刻的应用之外的大部分应用。

由于低抖动要求，整个时钟分配问题变得更加重要。ADI公司现在提供一系列时钟分配IC以满足这种需求([www.analog.com/clocks](http://www.analog.com/clocks))。

## 参考文献

1. Brad Brannon, "[Aperture Uncertainty and ADC System Performance](#)," *Application Note AN-501*, Analog Devices, download at <http://www.analog.com>.
2. Bar-Giora Goldberg, "The Effects of Clock Jitter on Data Conversion Devices," *RF Design*, August 2002, pp. 26-32, <http://www.rfdesign.com>.
3. Ulrich L. Rohde, *Digital PLL Frequency Synthesizers, Theory and Design*, Prentice-Hall, 1983, ISBN 0-13-214239-2, all of Chapter 2 and pp. 411-418 for computer analysis.
4. Joseph V. Adler, "Clock-Source Jitter: A Clear Understanding Aids Oscillator Selection," *EDN*, February 18, 1999, pp. 79-86, <http://www.ednmag.com>.
5. Neil Roberts, "Phase Noise and Jitter – A Primer for Digital Designers," *EEdesign*, July 14, 2003, <http://www.eedesign.com>.
6. Boris Drakhlis, "Calculate Oscillator Jitter by using Phase-Noise Analysis Part 1," *Microwaves and RF*, January 2001, p. 82, <http://www.mwrf.com>.
7. Boris Drakhlis, "Calculate Oscillator Jitter by using Phase-Noise Analysis Part 2," *Microwaves and RF*, February 2001, p. 109, <http://www.mwrf.com>.
8. Raltron Electronics Corporation, 10651 Northwest 19th Street, Miami, Florida 33172, Tel: (305) 593-6033, <http://www.raltron.com>. (see "Convert SSB Phase Noise to Jitter" under "Engineering Design Tools").
9. Wenzel Associates, Inc., 2215 Kramer Lane, Austin, Texas 78758, Tel: (512) 835-2038, <http://www.wenzel.com> (see "Allan Variance from Phase Noise" under "Spreadsheets").
10. Mike Curtin and Paul O'Brien, "[Phase-Locked Loops for High-Frequency Receivers and Transmitters, Part 1](#), *Analog Dialogue* 33-3, 1999, <http://www.analog.com>.
11. Mike Curtin and Paul O'Brien, "[Phase-Locked Loops for High-Frequency Receivers and Transmitters, Part 2](#), *Analog Dialogue* 33-5, 1999, <http://www.analog.com>.
12. R. E. Best, *Phase-Locked Loops: Theory, Design and Applications, Fourth Edition*, McGraw-Hill, 1999, ISBN 0071349030.
13. F. M. Gardner, *Phaselock Techniques, Second Edition*, John Wiley, 1979, ISBN 0471042943.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.





















## 揭开一个公式( $\text{SNR} = 6.02N + 1.76\text{dB}$ )的神秘面纱， 以及为什么我们要予以关注

作者: Walt Kester

### 简介

接触ADC或DAC时您一定会碰到这个经常被引用的公式，用于计算转换器理论信噪比(SNR)。与其盲目地相信表象，不如从根本上了解其来源，因为该公式蕴含着一些微妙之处，如果不深入探究，可能导致对数据手册技术规格和转换器性能的误解。记住，该公式代表的是完美N位ADC的理论性能。您可以比较ADC的实际SNR与理论SNR，看看二者有何异同。

本教程首先推导N位模数转换器(ADC)的理论量化噪声，知道均方根量化噪声电压后，就可以计算理论信噪比(SNR)。此外还会分析过采样对SNR的影响。

### 量化噪声模型

理想转换器对信号进行数字化时，最大误差为 $\pm\frac{1}{2}$  LSB，如图1的一个理想N位ADC的传递函数所示。对于任何横跨数个LSB的交流信号，其量化误差可以通过一个峰峰值幅度为 $q$ (一个LSB的权重)的非相关锯齿波形来近似计算。对该近似法还可以从另一个角度来看待，即实际量化误差发生在 $\pm\frac{1}{2}q$ 范围内任意一点的概率相等。虽然这种分析不是百分之百精确，但对大多数应用是足够准确的。

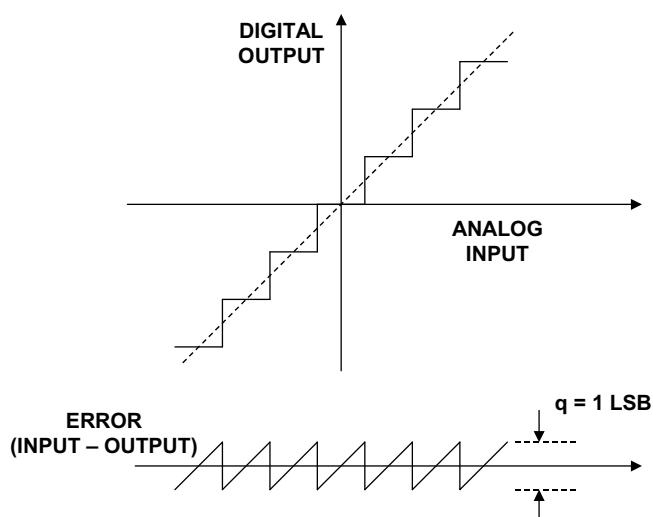


图1：理想N位ADC的量化噪声

贝尔实验室的W. R. Bennett 1948年发表的经典论文(参考文献1)中, 分析了量化噪声的实际频谱。采用上述简化假设, 他的详细数学分析可以简化为图1所示。继Bennett的经典论文之后, 还有其它一些关于转换器噪声的重要论文和著作(参考文献2-6)。

图2更详细地显示了量化误差与时间的关系。同样, 一个简单的锯齿波形就能提供足够准确的分析模型。锯齿误差的计算公式如下:

$$e(t) = st, -q/2s < t < +q/2s. \quad \text{等式1}$$

$e(t)$ 的均方值可以表示为:

$$\overline{e^2(t)} = \frac{s}{q} \int_{-q/2s}^{+q/2s} (st)^2 dt. \quad \text{等式2}$$

进行简单的积分和简化可得:

$$\overline{e^2(t)} = \frac{q^2}{12}. \quad \text{等式3}$$

因此, 均方根量化误差为:

$$\text{均方根量化噪声} = \sqrt{\overline{e^2(t)}} = \frac{q}{\sqrt{12}}. \quad \text{等式4}$$

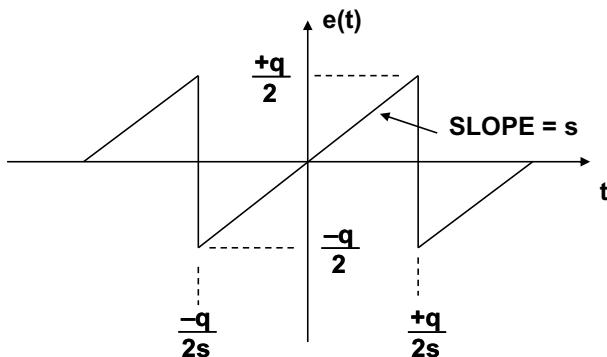


图2: 量化噪声与时间的关系

锯齿误差波形产生的谐波远远超过DC至 $f_s/2$ 的奈奎斯特带宽, 然而, 所有这些高阶谐波必须折回(混叠)到奈奎斯特带宽并相加, 产生 $q/\sqrt{12}$ 的均方根噪声。

正如Bennett所指出的(参考文献1), 量化噪声近似于高斯分布, 几乎均匀地分布于从DC至 $f_s/2$ 的奈奎斯特带宽。这里假设置量化噪声与输入信号不相关。在某些条件下, 当采样时钟

和信号通过谐波相关时，量化噪声将与输入信号相关，能量集中在信号的谐波中，但均方根值仍然约为 $q/\sqrt{12}$ 。理论信噪比现在可以通过一个满量程输入正弦波来计算：

$$\text{满量程输入正弦波 } v(t) = \frac{q2^N}{2} \sin(2\pi ft). \quad \text{等式5}$$

因此，输入信号的均方根值为：

$$\text{满量程输入的均方根值} = \frac{q2^N}{2\sqrt{2}}. \quad \text{等式6}$$

因此，理想N位转换器的均方根信噪比为：

$$\text{SNR} = 20 \log_{10} \frac{\text{rms value of FS input}}{\text{rms value of quantization noise}} \quad \text{等式7}$$

$$\text{SNR} = 20 \log_{10} \left[ \frac{q2^N/2 \sqrt{2}}{q/\sqrt{12}} \right] = 20 \log_{10} 2^N + 20 \log_{10} \sqrt{\frac{3}{2}} \quad \text{等式8}$$

$$\text{SNR} = 6.02N + 1.76\text{dB}, \quad \text{DC至} f_s/2 \text{带宽范围} \quad \text{等式9}$$

Bennett论文说明：虽然量化噪声的实际频谱相当复杂，难以分析，但推导出等式9的简化分析对大多数应用足够准确。然而，必须再次强调，均方根量化噪声是在DC至 $f_s/2$ 的完整奈奎斯特带宽范围内进行测量。

### 量化噪声模型

许多应用中，实际目标信号占用的带宽BW小于奈奎斯特带宽(参见图3)。如果使用数字滤波来滤除带宽BW以外的噪声成分，则等式中必须包括一个校正系数(称为“处理增益”)，以反映SNR的最终提高，如等式10所示。

$$\text{SNR} = 6.02N + 1.76 \text{ dB} + 10 \log_{10} \frac{f_s}{2 \cdot BW}, \quad \text{带宽BW范围.} \quad \text{等式10}$$

以两倍以上的信号带宽的速率对信号进行采样的过程称为“过采样”。过采样、量化噪声整形和数字滤波均是 $\Sigma-\Delta$ 型转换器的重要概念，不过任何ADC架构都可以采用过采样技术。

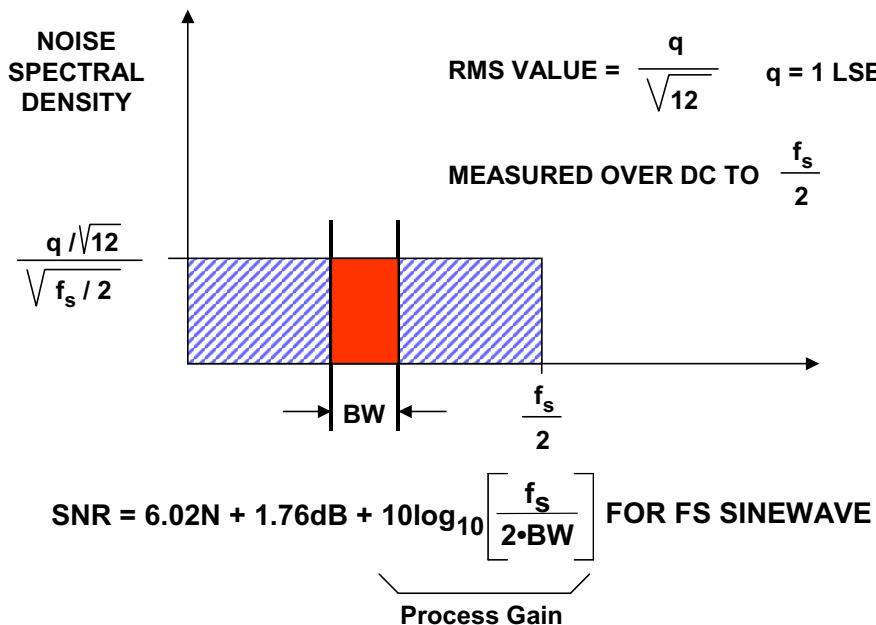


图3：显示处理增益的量化噪声频谱

处理增益的意义可以通过下例说明。在许多数字基站或其它宽带接收机中，信号带宽由许多独立的通道组成，一个ADC对整个带宽进行数字化处理。例如，美国的模拟蜂窝无线电系统(AMPS)由416个30 kHz带宽通道组成，占用的带宽约为12.5 MHz。假设采样速率为65 MSPS，并且使用数字滤波来分离各个30 kHz通道。在这些条件下，过采样导致的处理增益为：

$$\text{处理增益} = 10 \log_{10} \frac{f_s}{2 \cdot \text{BW}} = 10 \log_{10} \frac{65 \times 10^6}{2 \times 30 \times 10^3} = 30.3 \text{ dB.} \quad \text{等式11}$$

将处理增益加入ADC SNR规格，便得到30 kHz带宽内的SNR。上例中，如果ADC SNR规格为65 dB(DC至f<sub>s</sub>/2)，则30 kHz通道带宽内的SNR提高到95.3 dB(经过适当的数字滤波后)。

图4显示了一个结合过采样和欠采样的应用。目标信号的带宽为BW，以载波频率f<sub>c</sub>为中心。采样频率可以远低于f<sub>c</sub>，所选的采样频率使得目标信号位于其奈奎斯特区的中心。通过模拟和数字滤波消除目标信号带宽以外的噪声，从而获得等式10所示的处理增益。

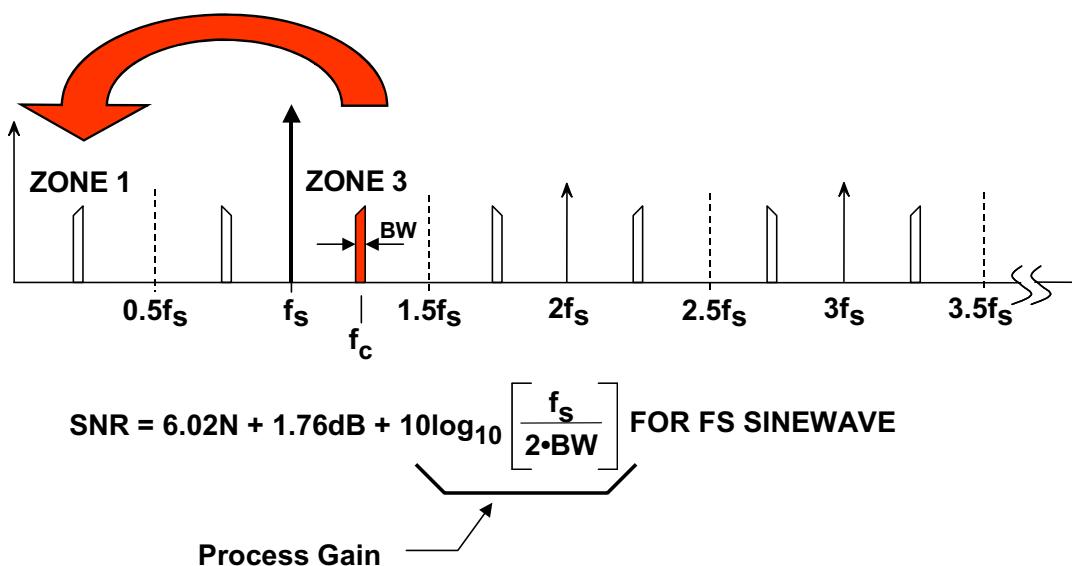


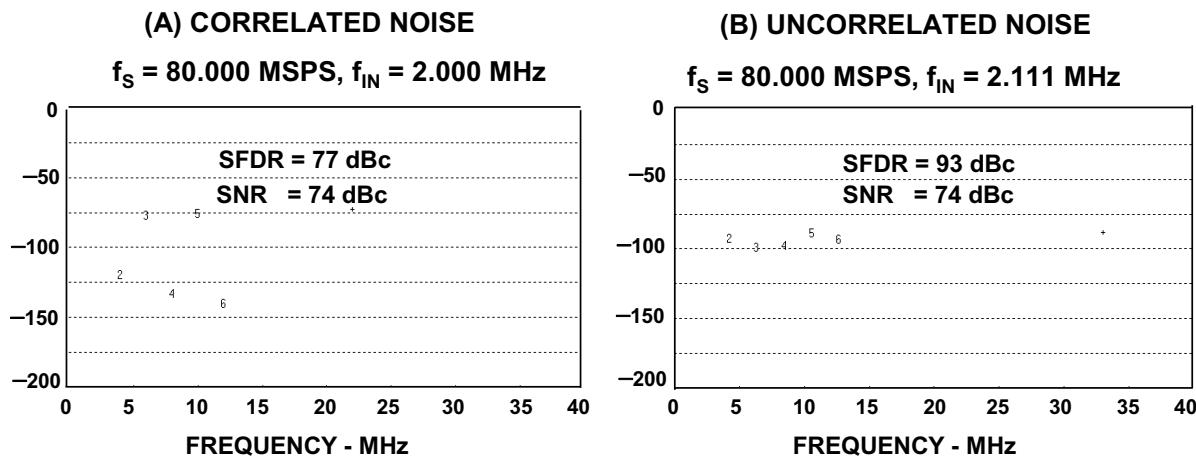
图4：欠采样和过采样结合所产生的处理增益

### 量化噪声与输入信号之间的相关性容易令人误解

虽然噪声的均方根值可通过 $q/\sqrt{12}$ 计算精确近似值，但在某些条件下，频域成分可能与交流输入信号高度相关。例如，低幅度周期性信号的相关度大于高幅度随机信号的相关度。通常假设理论量化噪声表现为白噪声，均匀地分布在DC至 $f_s/2$ 的奈奎斯特带宽范围。但是，事实并非全然如此。在强相关的情况下，量化噪声集中在输入信号的各次谐波上，这正是我们不希望看到的。

在多数实际应用中，ADC的输入是一段频率(总是会与一些不可避免的系统噪声相加)，因此量化噪声往往是随机的。然而，在频谱分析应用中(或者使用频谱纯净的正弦波作为输入对ADC执行FFT)，量化噪声与信号的相关度取决于采样频率与输入信号的比值。

图5的示例说明了这种情况，其中使用一个4096点FFT来分析一个理想12位ADC的输出。在左边的FFT图(A)中，采样频率(80.000 MSPS)与输入频率(2.000 MHz)的比值恰好选择为40，最差谐波比基波低大约77 dB。右图(B)显示了将输入频率略微偏移到2.111 MHz的效果，表现出随机性相对较高的噪声频谱，此时SFDR约为93 dBc，受FFT噪底尖峰限制。两种情况下，所有噪声成分的均方根值均近似于 $q/\sqrt{12}$ (理论SNR因此为74 dB)，但在第一种情况下，噪声因为相关性而集中在基波谐波上。



**图5：采样时钟与输入频率的比值对理想12位ADC量化噪声频谱的影响，4096点FFT。**  
**(A) 相关噪声，(B) 非相关噪声**

注意，从ADC看到的谐波失真的这种变化是采样过程的伪像，由量化误差与输入频率的相关性引起。在实际ADC应用中，量化误差一般表现为随机噪声，原因是宽带输入信号具有随机性，而且通常会有少量的系统噪声充当“扰动”信号，使量化误差频谱进一步随机化。

理解上述原理非常重要，因为ADC的单音正弦波FFT测试是公认的性能评估方法之一。为了精确测量ADC的谐波失真，必须采取措施确保测试设置能够真正测量ADC失真，而不是量化噪声相关性引起的伪像。因此，必须正确选择频率比，有时还要将少量噪声（扰动）与输入信号相加。利用模拟频谱分析仪测量DAC失真时，也应采取同样的防范措施。

### SNR、处理增益和FFT噪底的关系

图6显示了一个理想12位ADC的FFT输出。注意，FFT噪底的平均值约为满量程以下107 dB，但12位ADC的理论SNR为74 dB。FFT噪底并非ADC的SNR，因为FFT像是一个带宽为 $f_s/M$ 的模拟频谱分析仪，其中M为FFT中的点数。由于FFT的处理增益，理论FFT噪底因而比量化噪底低 $10\log_{10}(M/2)$  dB。

对于SNR为74 dB的理想12位ADC，4096点FFT将产生 $10\log_{10}(4096/2) = 33$  dB的处理增益，因此总FFT噪底为 $74 + 33 = 107$  dBc。事实上，FFT噪底可以通过提高FFT点数来进一步降低，就像模拟频谱分析仪的噪底可以通过缩小带宽来降低一样。因此，利用FFT测试ADC时，必须确保FFT足够大，使得失真能够与FFT噪底本身区别开。多次FFT的平均值无法进一步降低噪底，只能减小各个噪声谱成分幅度之间的差异。

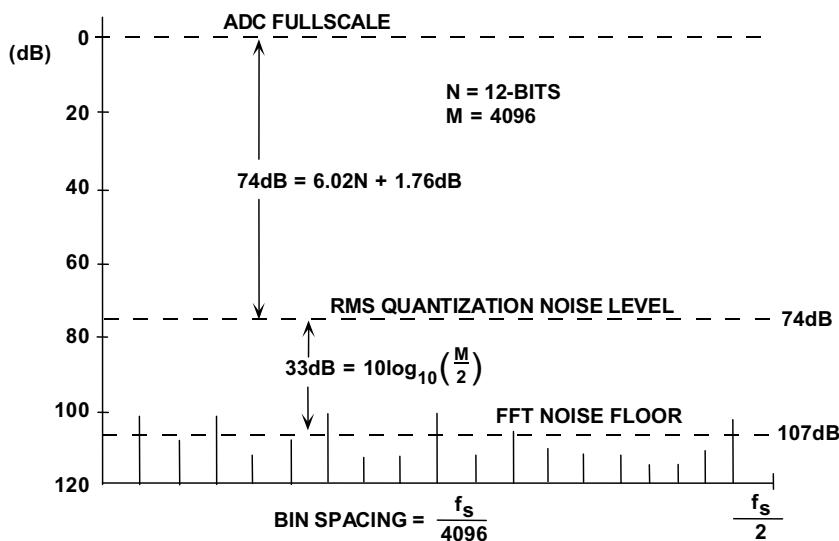


图6：理想12位ADC的噪底，使用4096点FFT

## 参考文献

1. W. R. Bennett, "Spectra of Quantized Signals," *Bell System Technical Journal*, Vol. 27, July 1948, pp. 446-471.
2. B. M. Oliver, J. R. Pierce, and C. E. Shannon, "The Philosophy of PCM," *Proceedings IRE*, Vol. 36, November 1948, pp. 1324-1331.
3. W. R. Bennett, "Noise in PCM Systems," *Bell Labs Record*, Vol. 26, December 1948, pp. 495-499.
4. H. S. Black and J. O. Edson, "Pulse Code Modulation," *AIEE Transactions*, Vol. 66, 1947, pp. 895-899.
5. H. S. Black, "Pulse Code Modulation," *Bell Labs Record*, Vol. 25, July 1947, pp. 265-269.
6. K. W. Cattermole, *Principles of Pulse Code Modulation*, American Elsevier Publishing Company, Inc., 1969, New York NY, ISBN 444-19747-8.
7. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 2. Also Available as [The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 2.
8. Hank Zumbahlen, *Basic Linear Design*, Analog Devices, 2006, ISBN: 0-915550-28-1. Also available as [Linear Circuit Design Handbook](#), Elsevier-Newnes, 2008, ISBN-10: 0750687037, ISBN-13: 978-0750687034. Chapter 5.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.









































## 旋变数字转换器

作者: Walt Kester

### 简介

加工工具和机器人制造商利用旋变器和自整角机来提供精确的角度和旋转信息。在要求小尺寸、长期可靠性、绝对位置测量、高精度、低噪声工作的工厂和航空应用中，这些器件具有突出的作用。

### 自整角机和旋变器

典型的自整角机和旋变器如图1所示。自整角机和旋变器均采用单绕组转子，转子在固定定子内部旋转。在简单的自整角机中，定子有三个相距120°的绕组，这些绕组形成Y型电气连接。旋变器与自整角机的区别在于前者的定子只有两个成90°角的绕组。

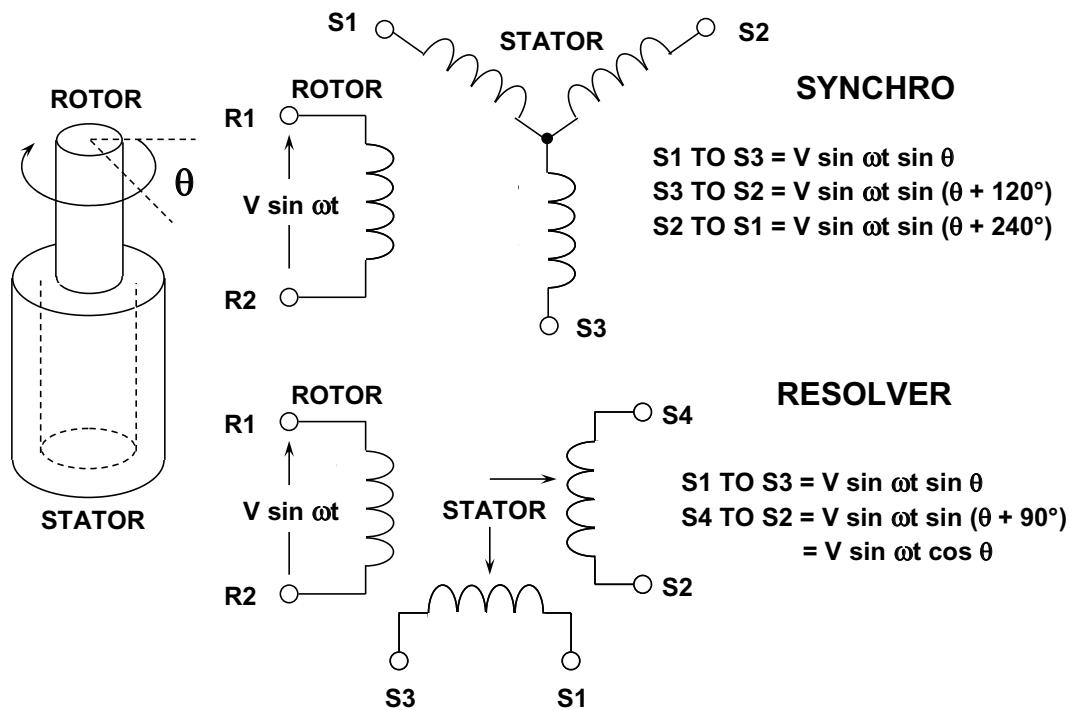


图1：自整角机和旋变器

由于自整角机有三个成 $120^\circ$ 角的定子线圈，因此它比旋变器更难制造，成本也更高。如今，自整角机的应用越来越少，仅限于某些军事和航空翻新应用。

相比之下，现代旋变器则以无刷形式提供，采用变压器将转子信号从定子耦合到转子。该变压器的初级绕组位于定子上，次级绕组位于转子上。另有一些旋变器利用更传统的电刷或滑环将信号耦合到转子绕组。无刷旋变器比自整角机更稳定，因为不存在可能会损坏或松动的电刷，无刷旋变器的寿命仅受轴承的限制。多数旋变器的额定工作电压为2 V至40 V rms，频率为400 Hz至10 kHz，角度精度为5弧分至0.5弧分(一度有60弧分，一弧分有60弧秒，因此一弧分相当于0.0167度)。

自整角机和旋变器像旋转变压器一样工作。转子绕组由一个交流基准电压激励，其频率可高达数kHz。定子绕组中感应的电压幅度与转子线圈轴和定子线圈轴之间的角度 $\theta$ 的正弦值成正比。对于自整角机，任何一对转子端子间感应的电压都等于这两个相连线圈上的电压的矢量和。

例如，如果一个自整角机的转子由端子R1和R2上的基准电压 $V \sin \omega t$ 激励，则定子的端子电压如下：

$$S1 \text{至} S3 = V \sin \omega t \sin \theta \quad \text{公式1}$$

$$S3 \text{至} S2 = V \sin \omega t \sin (\theta + 120^\circ) \quad \text{公式2}$$

$$S2 \text{至} S1 = V \sin \omega t \sin (\theta + 240^\circ), \quad \text{公式3}$$

其中， $\theta$ 为轴角。

对于旋变器，当转子交流基准电压为 $V \sin \omega t$ 时，定子的端子电压为：

$$S1 \text{至} S3 = V \sin \omega t \sin \theta \quad \text{公式4}$$

$$S4 \text{至} S2 = V \sin \omega t \sin (\theta + 90^\circ) = V \sin \omega t \cos \theta. \quad \text{公式5}$$

应当注意，利用Scott-T变压器可以将自整角机的3线输出轻松转换为等效的旋变器格式。因此，下面的信号处理示例仅说明旋变器配置。

## 旋变数字转换器(RDC)

图2所示为典型旋变数字转换器(RDC)的功能框图。旋变器的两个输出应用于余弦和正弦乘法器，这些乘法器包括正弦和余弦查找表，起到乘法数模转换器的作用。首先，假设升降计数器的当前状态为一个代表试验角 $\varphi$ 的数字值。转换器将不断调整数字角度 $\varphi$ ，使之等于要测量的模拟角度 $\theta$ 并进行跟踪。

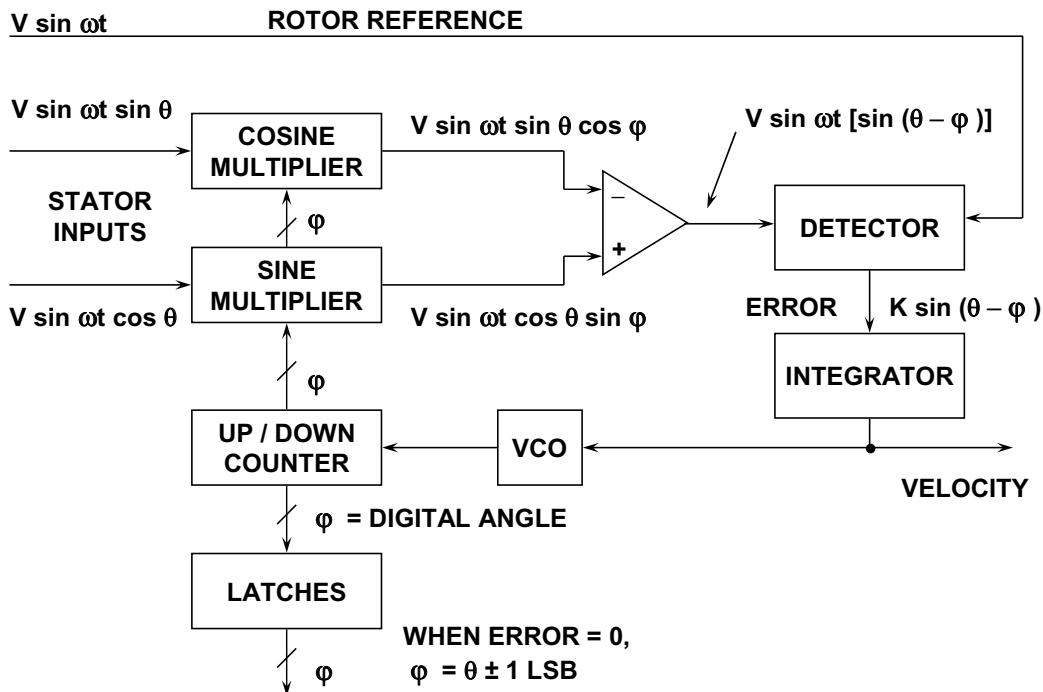


图2：旋变数字转换器(RDC)

旋变器的定子输出电压表示为：

$$V_1 = V \sin \omega t \sin \theta \quad \text{公式6}$$

$$V_2 = V \sin \omega t \cos \theta \quad \text{公式7}$$

其中， $\theta$ 为旋变器转子的角度。数字角度 $\varphi$ 应用于余弦乘法器，其余弦值乘以 $V_1$ 得到以下项：

$$V \sin \omega t \sin \theta \cos \varphi. \quad \text{公式8}$$

数字角度 $\varphi$ 同时应用于正弦乘法器，其正弦值乘以 $V_2$ 得到以下项：

$$V \sin\omega t \cos\theta \sin\varphi. \quad \text{公式9}$$

这两个信号由误差放大器相减，产生如下形式的交流误差信号：

$$V \sin\omega t [\sin\theta \cos\varphi - \cos\theta \sin\varphi]. \quad \text{公式10}$$

运用简单的三角恒等式，可以将上式简化为：

$$V \sin\omega t [\sin(\theta - \varphi)]. \quad \text{公式11}$$

检波器利用旋变器的转子电压作为基准，对该交流误差信号进行同步解调，产生一个与 $\sin(\theta - \varphi)$ 成正比的直流误差信号。

直流误差信号馈入一个积分器，其输出驱动一个压控振荡器(VCO)。该VCO进而驱使升降计数器沿适当的方向计数，使得：

$$\sin(\theta - \varphi) \rightarrow 0. \quad \text{公式12}$$

实现这一结果后，

$$\theta - \varphi \rightarrow 0, \quad \text{公式13}$$

所以，

$$\varphi = \theta \quad \text{公式14}$$

精度在一个计数以内。因此，计数器的数字输出 $\varphi$ 代表角度 $\theta$ 。利用锁存器可以将该数据传输到外部，而无需中断环路的跟踪过程。

此电路等效于所谓的2型伺服环路，因为它实际上有两个积分器。一个是计数器，用于累计脉冲；另一个是检波器输出端的积分器。在一个具有恒定转速输入的2型伺服环路中，输出数字字持续跟随或跟踪输入，无需外部产生转换命令，而且数字输出字与实际轴角之间不存在稳态相位迟滞。误差信号仅在加速或减速期间出现。

跟踪RDC还有一个额外的优势，即它能提供与轴的转速成正比的模拟直流输出电压。如果伺服系统中需要测量速度或将其用作一个稳定项，利用这一实用特性就能实现，而无需另外增加转速计。

RDC的操作仅依赖于输入信号幅度之间的比值，因此将这些信号连接到旋变器的线路中的衰减不会严重影响性能。出于类似的原因，这种转换器也不大容易受到波形失真的影响。事实上，即使输入信号的谐波失真高达10%，它们也能照常工作。有些应用甚至使用方波参考，额外误差非常低。

因此，跟踪型ADC最适合RDC应用。虽然也可以使用其它ADC架构，如逐次逼近型，但对于此类应用，跟踪型转换器最精确、最有效。

由于跟踪型转换器对其误差信号进行二重积分，因此器件的抗扰度非常高(12 dB/倍频程滚降)。任何给定的噪声尖峰下的净区域都会产生一个误差。然而，典型的感应耦合噪声尖峰具有相等的趋正和趋负波形，经过积分后，净误差信号为0。由此获得的抗扰度，加上转换器对压降不敏感，使得用户能够将转换器放在离旋变器相当远的地方。此外，检波器也会抑制任何不处于参考频率的信号，如宽带噪声等，因而抗扰度进一步增强。

[AD2S90](#)是ADI公司提供的多款集成式RDC中的一款(参见[自整角机/旋变数字转换器选型表](#))。一般架构与图2所示相似。有关自整角机/旋变数字转换器的更多信息，请参阅参考文献1、2和3。

## 参考文献

1. Dan Sheingold, *Analog-Digital Conversion Handbook*, Prentice-Hall, 1986, ISBN-0-13-032848-0, pp. 441-471. (*this chapter contains an excellent tutorial on optical, synchro, and resolver-to-digital conversion*).
2. Dennis Fu, "Circuit Applications of the AD2S90 Resolver-to-Digital Converter," [Application Note AN-230](#), Analog Devices. (*applications of the AD2S90 RTD*).
3. John Gasking, "Resolver-to-Digital Conversion: A Simple and Cost Effective Alternative to Optical Shaft Encoders," [Application Note AN-263](#), Analog Devices.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.













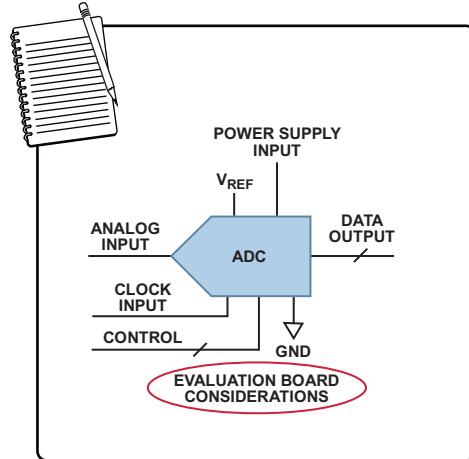


## 运行典型高速ADC评估板设置

ADI公司应用工程部

### 引言

本笔记讨论设置评估板硬件和软件时的考虑因素。



10532-101

*The Applications Engineering Notebook Educational Series*

### 目录

简介 .....	2
典型评估板 .....	2
硬件配置 .....	3
设置评估板 .....	3

使用测试软件 .....	4
基线FFT性能 .....	6
故障排除基础 .....	8
更多信息 .....	8

### 修订历史

2012年2月—修订版0：初始版

## 简介

这篇小型指南概略介绍了高速模数集成电路常用的受测器件(DUT)评估板(EVB)设置及故障排除技巧。

为了在一组特定的用户定义输入条件下观察和测量DUT，评估板一般会为模拟输入和时钟源提供外部连接。将具有控制软件包的独立通用数据采集板连接到EVB，可以对ADC的输出数据进行频谱分析。

## 典型评估板

图1显示了典型的实际平台特性设置，可用于评估高速ADC的交流性能。

为了举例说明，这篇小型指南使用AD9268 ADC评估板、ADI HSC - ADC - EVALCZ和VisualAnalog®软件包，其中包括实际软件配置的屏幕截图和硬件频谱曲线图。

AD9268是一款双通道、16位、80 MSPS/105 MSPS/125 MSPS高性能ADC，与采用多重采样速率的常见产品一样，专门针对每种速度范围设计评估板。例如，各种速度范围的EVB的产品型号分别为AD9268-80EBZ、AD9268-105EBZ和AD9268-125EBZ。

典型的出厂的EVB提供了可在各种模式和配置下运行所选ADC (DUT)所需的全部支持电路。

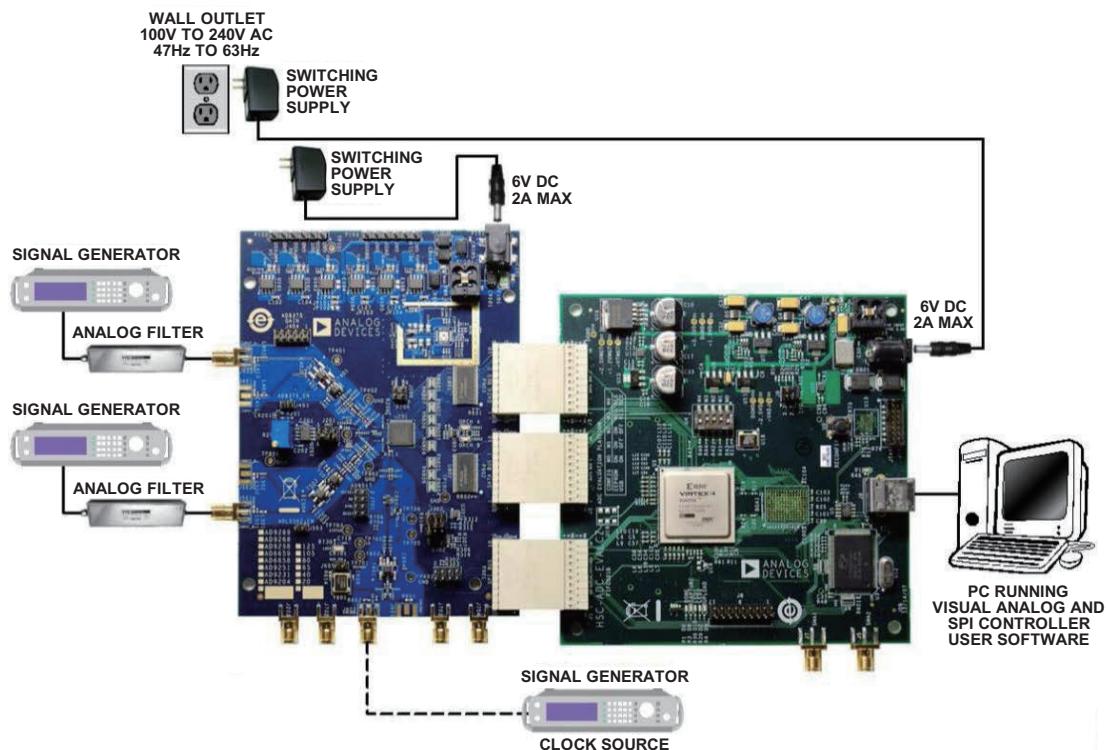


图1. 典型高速ADC评估设置

## 硬件配置

评估板套件包括用户指南(UG)、用于配置EVB和DUT的安装软件。请遵循UG中的说明和指南，以保证实现DUT的最佳性能。

在搭建上述平台时，模拟输入源、时钟源以及电源的性能必须有一个适当的底线，以便确保DUT可满足产品数据手册所详述的规格。数据采集设置也包括用户说明和软件，必须按照指南配置以实现高效操作。

## 设置评估板

下面是一些说明和考虑因素，用于设置AD9268评估板去执行FFT，从而对输入信号进行频谱分析。对于ADC评估板模拟输入信号

- 使用低相位噪声的干净信号发生器，为目标A和/或B通道提供输入信号。
- 使用1 m长的RG-58、50 Ω屏蔽同轴电缆连接信号发生器。
- 为获得最佳结果，使用输入输出阻抗为50 Ω并且中心频率合适的窄带带通滤波器。

## 使用测试软件

在EVB上配置目标输入信号和时钟后，通过以下步骤设置数据采集ADC：

1. 在连接的PC上打开VisualAnalog。

如果评估平台正确无误，对话框将针对所用的特定高速ADC显示一个打开的文件夹，如图2所示。

2. 选择产品型号模板，开始ADC评估。如果未显示打开的文件夹，请参阅故障排除基础部分。

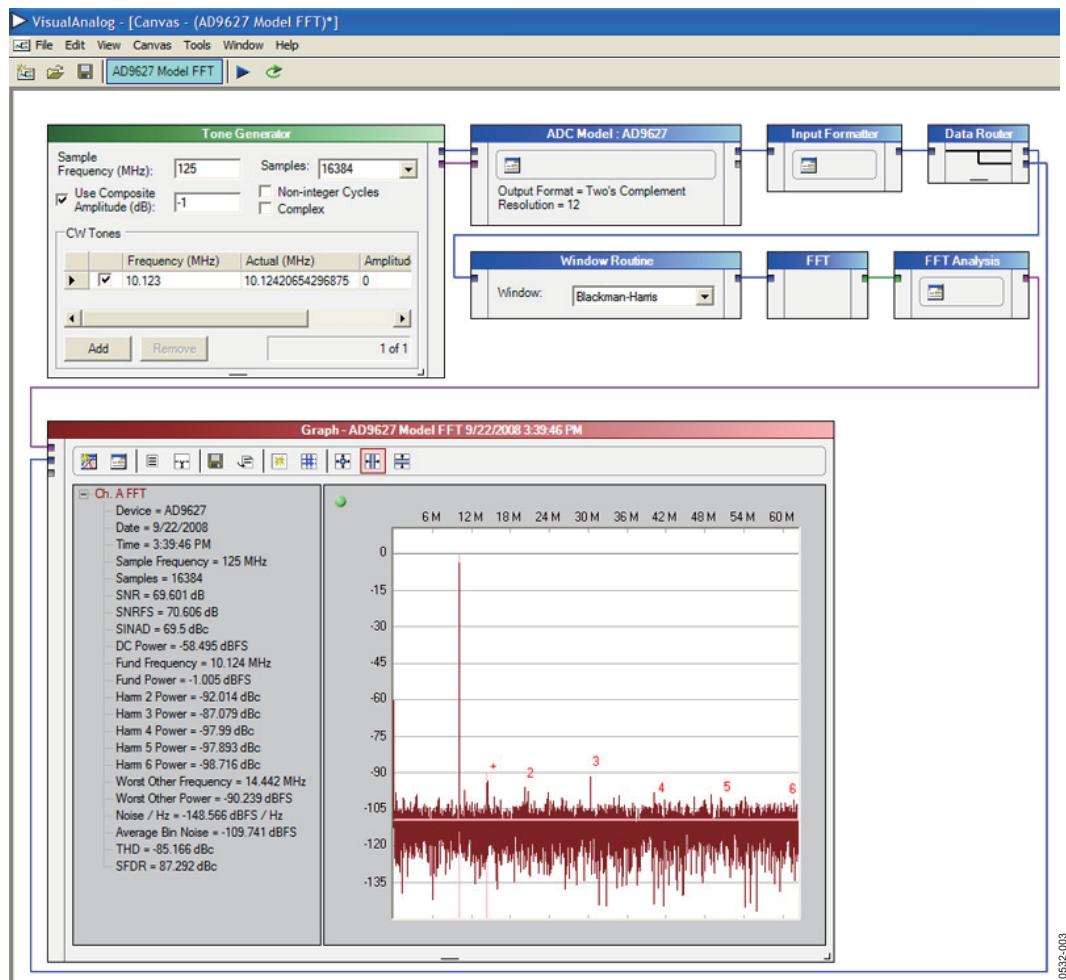


图2. VisualAnalog产品型号模板和软件设置

请注意，一旦为AD9268评估板供电，器件就会关断。为了唤醒器件，VisualAnalog会自动将SDIO/PWDN引脚拉低。

3. 选择模板后，系统出现消息，询问是否使用默认配置对FPGA进行编程。请单击“Yes(是)”关闭窗口。图3显示在选择模板后出现的VisualAnalog屏幕。

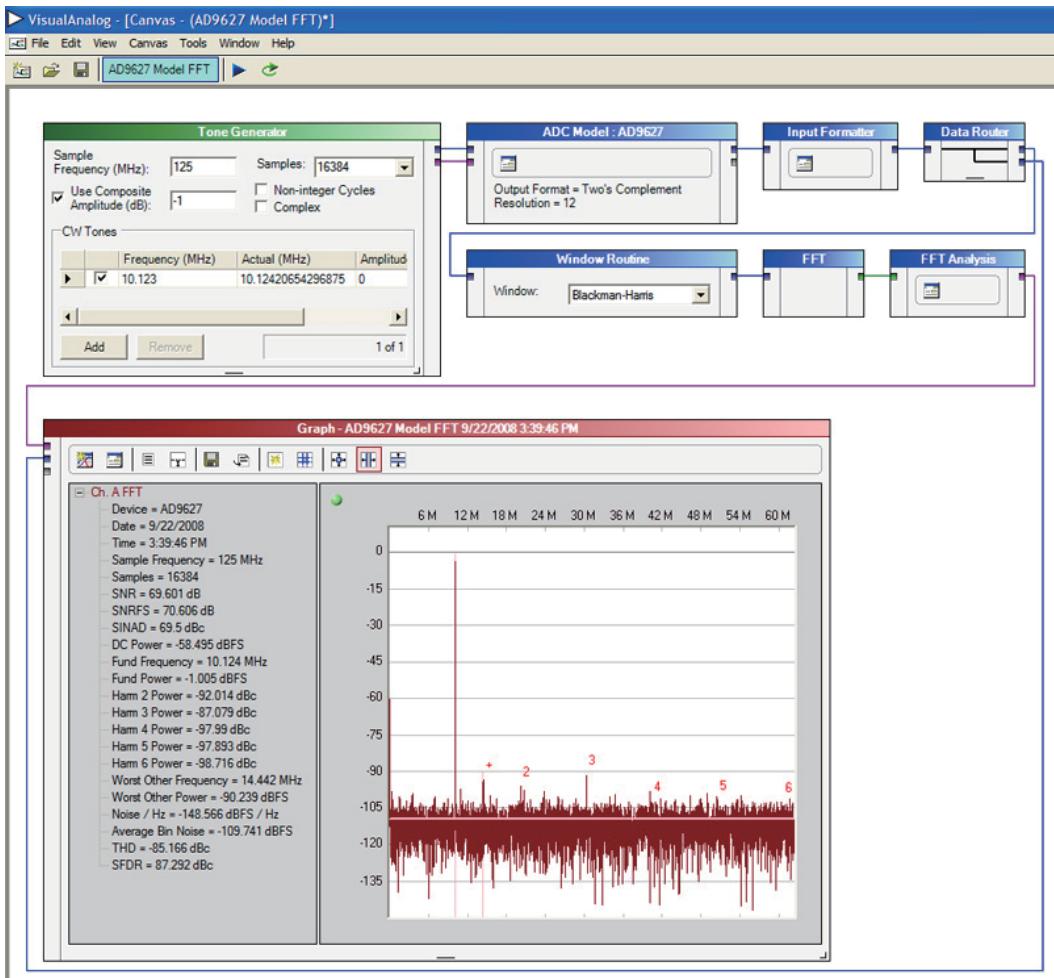


图3. VisualAnalog软件设置，使用画布模板

默认情况下，曲线图是隐藏的，在右上角单击展开按钮便可显示。

图3显示了ADIsimADC™中AD9268型号的FFT曲线图，这是ADI公司的模数行为模型，可精确模拟许多高速转换器的典型性能特性。通过VisualAnalog，可以对型号进行横向比较评估，同时评估硬件。

4. 选择Start > SPIController(开始 > SPIController)，或双击SPIController software(SPIController软件)桌面图标，打开SPIController软件。
5. 在SPIController窗口中单击New DUT(新 DUT)按钮。在SPIController窗口的ADCBase 0选项卡内，可访问所有全局寄存器设置。SPI控制器软件可用于更改或了解任意特性，只要该特性可通过ADC的SPI端口使能。

## 基线FFT性能

图4显示了AD9268 ADCBase 0选项卡的对话框及其全局特性。

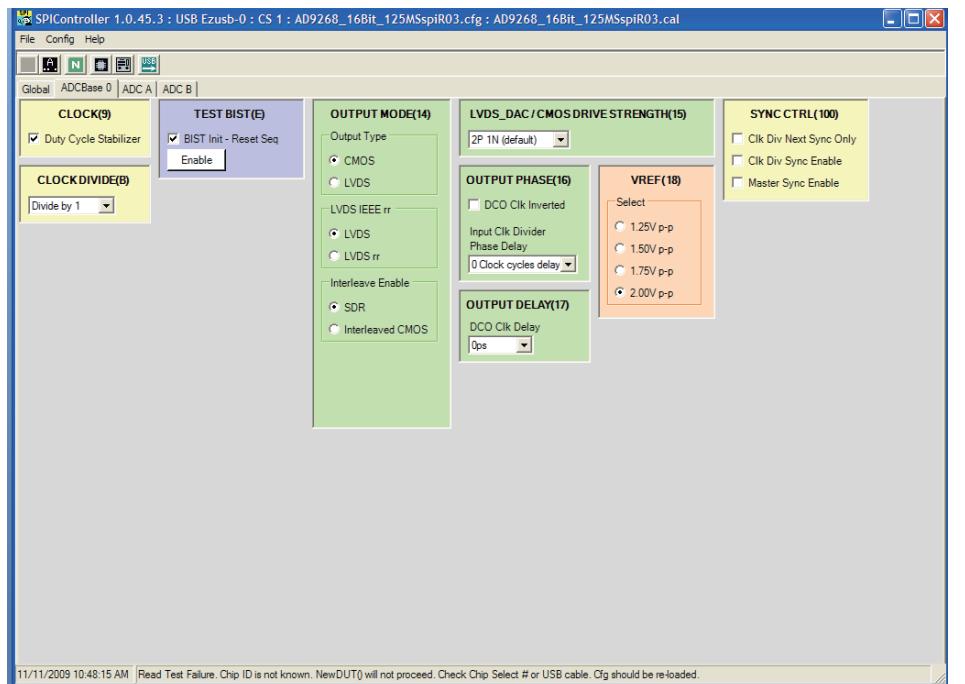


图4. 典型SPIController软件设置

图5显示基于本文所述设置的AD9268评估板提供的基线FFT性能的放大图片。

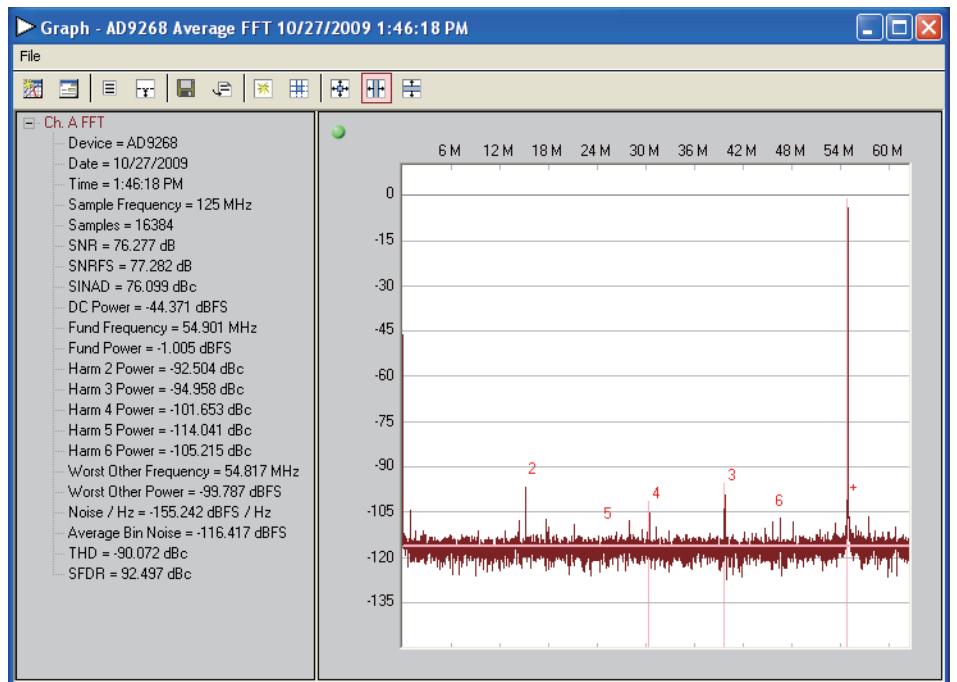


图5. 典型频域性能

图6显示基于本文所述设置的AD9268评估板提供的基线时域性能放大图片。

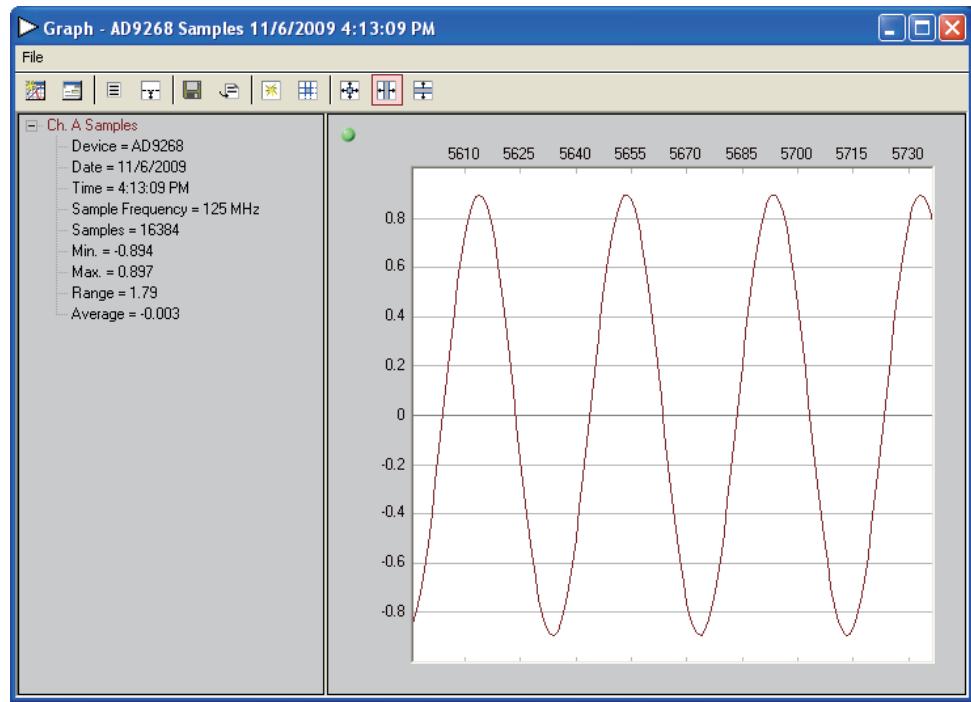


图6. 典型AD9268时域性能

图7显示使用以上设置的AD9268评估板提供的基线FFT性能放大图片，但信号发生器输出端无滤波器。请注意，无论额定抖动性能如何，所有信号发生器均存在明显的杂散成分。请使用具有出色阻带抑制性能的高质量滤波器来消除信号发生器的杂散成分。有关推荐用于ADC评估的滤波器类型，请参阅AN-835应用笔记：“了解高速ADC测试和评估”。

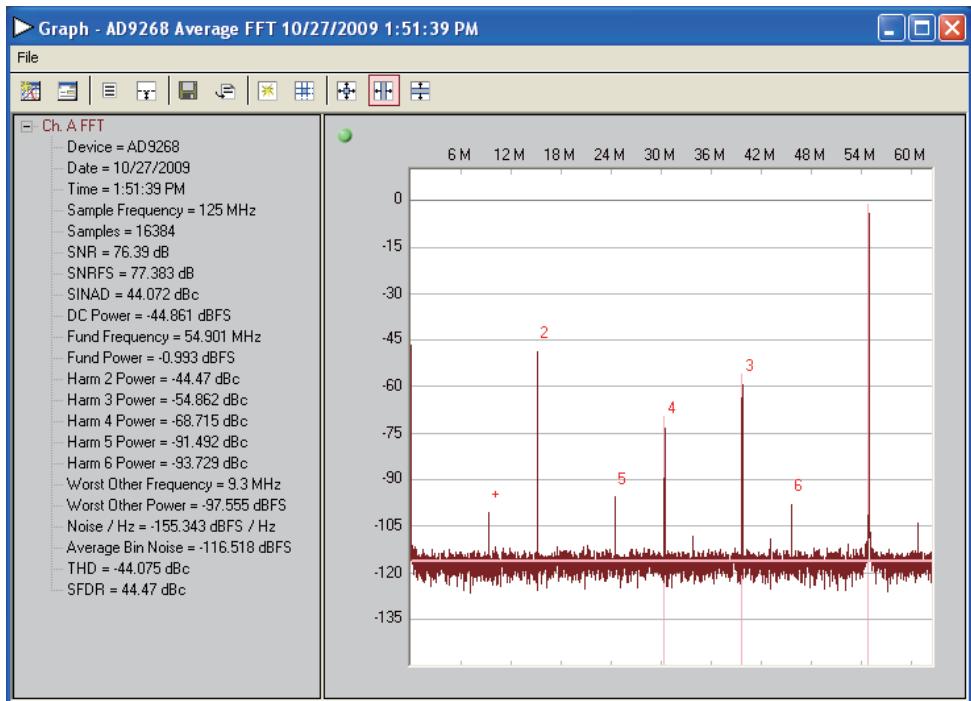


图7. AD9268 FFT曲线图，模拟输入端无输入滤波器

## 故障排除基础

如果运行高速ADC评估设置时遇到困难，请遵循以下基本故障排除程序：

- 检查IC、ADC或DUT是否上电。在正确引脚上施加正确的偏置电源，可解决许多问题。
- 检查器件是否正确焊接。制造过程中由于焊膏过多或不足可导致器件焊接不全。根据需要，检查焊块/焊盘是否正确应用。误用可导致PCB上的短路连接、电气和热连接不良。
- 查找测试设置连接是否有误。有时，电缆和连接错误可降低数据转换器性能，或导致间歇性操作。连接DUT和PC的USB电缆过长也会造成数据采集问题。

- 最新的评估软件和工具可有器件识别功能、经过预编程并已配置画布，但应确保正确配置软件。
- 有时选定测试设备丧失了所需性能的底线，无法正确测量数据手册所述的数据转换器性能。其中可包括信号发生器、时钟源、滤波器、电缆、振荡器等等。

### 更多信息

欲了解更多详情，请参阅AD9268数据手册以及analog.com上的下列应用笔记：

- [AN-835应用笔记](#)，了解高速ADC测试与评估
- [AN-877应用笔记](#)，通过SPI与高速ADC接口
- [AN-878应用笔记](#)，高速ADC SPI控制软件

## 量化噪声：公式 **$SNR = 6.02 N + 1.76 \text{ dB}$** 的扩展推导

作者：ADI公司  
Ching Man

### 引言

本指南旨在介绍信噪比公式( $SNR = 6.02 N + 1.76 \text{ dB}$ )的推导步骤，其中重点讲述了数学推导步骤。

### 简介

本指南描述了推导过程的三个不同阶段。

1. 理想的模数转换器(ADC)传递函数公式和操作。
2. 基于积分法的均方根(rms)推导。

3. SNR公式推导，以获得 $SNR = 6.02 N + 1.76 \text{ dB}$ 值。

$$SNR = 6.02 N + 1.76 \text{ dB value.}$$

本数学指南是对MT-001中所示推导的扩展和增强。

### 理想的ADC传递函数公式和操作

理想的ADC传递函数如图1(A)所示。数字(二进制)输出值表示为y轴，模拟输入则表示为x轴。对角线阶梯表示模拟输入信号的量化值。穿过阶梯的虚线表示其中点。

图1(B)表示采用斜坡输入信号时理想N位ADC的量化噪声。

1 LSB峰峰值量化误差可以通过一个最大峰峰值摆幅为 $q$ (范围为 $q/2$ 至 $-q/2$ )的非相关锯齿波形来近似计算。请注意， $t_1$ 和 $t_2$ 为时间点，将用在稍后的推导阶段。该信号为量化输出信号(实线)与模拟输入信号(虚线)之差，如图1(A)所示。

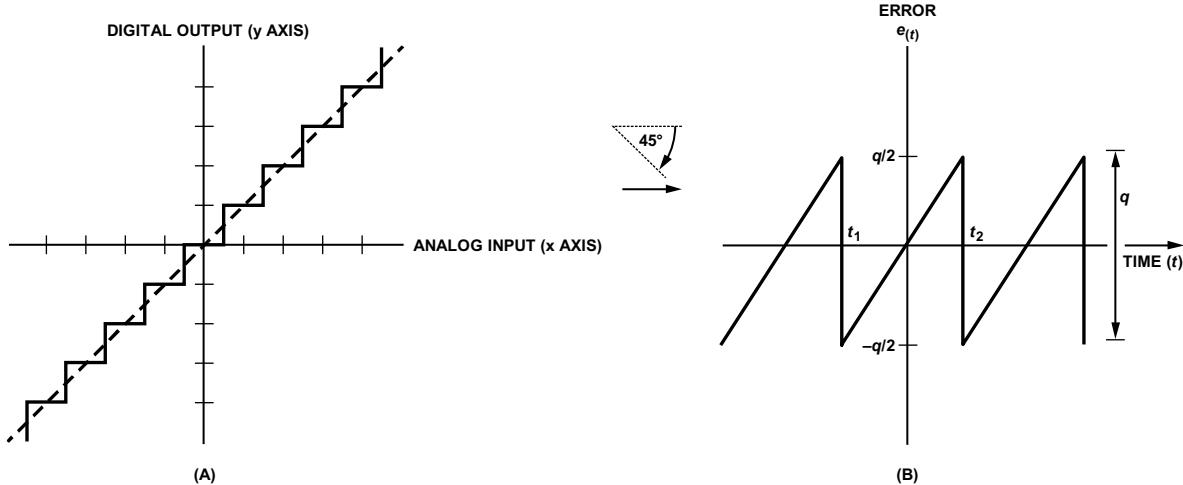


图1. 理想的ADC传递函数(A)与理想的N位ADC量化噪声(B)

10902-001

直线的公式为

$$y = mx + c$$

其中：

$y$ 表示 $y$ 轴值。

$m$ 为斜率。

$x$ 为 $x$ 轴值。

$c$ 为直线在 $x=0$ 时穿过 $y$ 轴的交点。

因此，若将直线的公式代入图2，则当 $c$ 为 $x=0$ 时， $y=0$ (即原点)。 $e(t)$ 的误差公式为

$$e_{(t)} = st + 0 \text{ 或者 } e_{(t)} = st \quad (1)$$

其中：

$e_{(t)}$ 为量化误差。

$s$ 为斜率。

$t$ 为时间。

这就是一条直线的公式

$$y = mx + c$$

其中：

$y = e(t)$ .

$m = s$ .

$x = t$ .

$c = 0$ .

对于 $t_1 < t < t_2$ ，误差 $e(t)$ 在 $-q/2$ 与 $+q/2$ 之间变化。

在图1中，在时间 $t_1$ 和 $t_2$ 时，误差 $e(t)$ 为

$$e(t_1) = \frac{-q}{2} = st_1 \quad (2)$$

$$t_1 = \frac{-q}{2s}$$

$$e(t_2) = \frac{q}{2} = st_2 \quad (3)$$

$$t_2 = \frac{q}{2s}$$

代入公式2和公式3， $e(t)$ 图形变为图2。

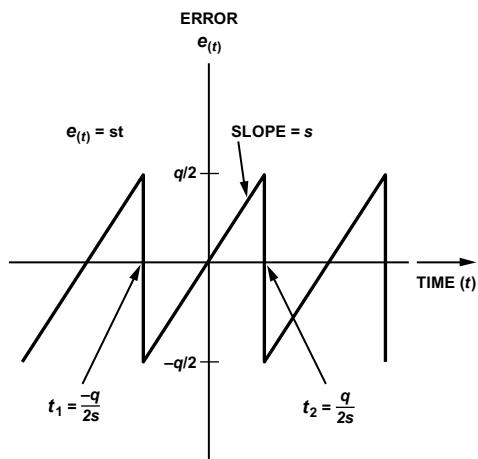
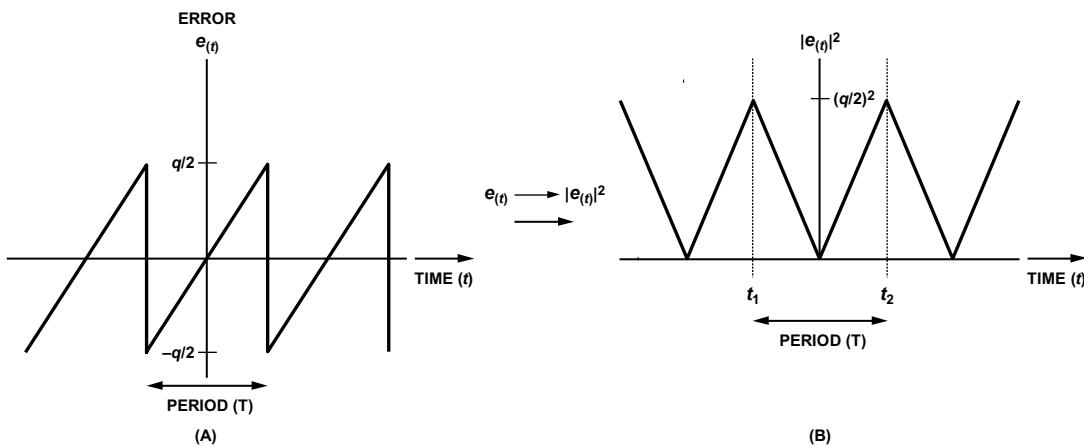


图2. 代入 $t_1$ 和 $t_2$ 值

10902-002

## RMS推导

现在，可以借助积分法和置换法进行均方根(rms)推导。图3(A)所示为进行积分的时段T。e(t)的均方值如图3(B)所示。



10902-004

图3. 定义时段T (A)和对误差 $e(t)$ 函数求平方(B)

均方误差 $e(t)$ 在时段T内进行计算，其中，时间t由公式2和

公式3定义

$$t_1 = \frac{-q}{2s}, \quad t_2 = \frac{+q}{2s},$$

图3中时段T的底数的等化和定义如下

$$\begin{aligned} T &= t_2 - t_1 \\ T &= \frac{q}{2s} + \frac{q}{2s} \\ \therefore T &= \frac{q}{s} \end{aligned} \quad (4)$$

均方误差

$$\bar{e}^2(t) = \int_{t_1}^{t_2} \frac{(st)^2}{T} dt = \frac{q^2}{12} \quad (5)$$

通过以下方式推出，即用积分法求出均方误差：

$$\begin{aligned} \bar{e}^2(t) &= \int_{t_1}^{t_2} \frac{\frac{(st)^2}{\frac{1}{q}}}{\frac{s}{s}} dt = \int_{t_1}^{t_2} \frac{(st)^2}{1} \times \frac{s}{q} dt \\ \bar{e}^2(t) &= \frac{s}{q} \int_{t_1}^{t_2} (st)^2 dt \\ &= \frac{s}{q} \int_{t_1}^{t_2} s^2 t^2 dt = \frac{s^3}{q} \int_{t_1}^{t_2} t^2 dt \\ &= \frac{s^3}{q} \left[ \frac{t^3}{3} \right]_{t_1}^{t_2} \\ &= \frac{s^3}{q} \left[ \frac{t^3}{3} \Big|_{t_1}^{t_2} - \frac{t^3}{3} \Big|_{t_1} \right] \end{aligned} \quad (6)$$

代入 $t_2$ 和 $t_1$ 的上、下限

$$\begin{aligned} &= \frac{s^3}{q} \left[ \frac{\left(\frac{q}{2s}\right)^3}{3} + \frac{\left(\frac{q}{2s}\right)^3}{3} \right] = \frac{s^3}{q} \left[ 2 \frac{\left(\frac{q}{2s}\right)^3}{3} \right] \\ &= \frac{s^3}{q} \times 2 \left[ \frac{\frac{q^3}{8s^3}}{\frac{1}{1}} \right] = \frac{s^3}{q} \times 2 \left[ \frac{q^3}{8s^3} \times \frac{1}{3} \right] \\ &= \frac{s^3}{q} \times 2 \times \frac{q^3}{8s^3} \times \frac{1}{3} \\ &= \frac{s^3}{q} \times 2 \times \frac{q^3}{8s^3} \times \frac{1}{3} \\ &= \frac{q^2}{4} \times \frac{1}{3} \end{aligned}$$

由此得到均方误差

$$\bar{e}^2(t) = \frac{q^2}{12}$$

QED

均方根误差 $e(t)$ 的值可从以下公式求出

$$\sqrt{(\bar{e}^2(t))} = \sqrt{\frac{q^2}{12}} = \frac{q}{\sqrt{12}} = \frac{q}{\sqrt{(4 \times 3)}} = \frac{q}{2\sqrt{3}}$$

因此，均方根量化误差 $e(t)$ 为

$$\sqrt{(\bar{e}^2(t))} = \frac{q}{2\sqrt{3}} \quad (7)$$

假设输入信号为平均满量程(FS)正弦波( $\overline{V(t)}$ )，则可计算出理论信噪比，其中

$$\overline{V(t)} = \frac{q2^N}{2} \sin(2\pi ft) \quad (8)$$

要将正弦波转换成均方根值，只需乘以 $\frac{1}{\sqrt{2}}$ 或0.707即可。也即， $\overline{V(t)} \times \frac{1}{\sqrt{2}}$ 。因此，输入正弦波的均方根为

$$\sqrt{\overline{V^2(t)}} = \frac{q2^N}{2\sqrt{2}} \sin(2\pi ft) \quad (9)$$

### SNR推导

在此基础上，可以推导出以dB为单位的SNR公式，其中 $6.02 N + 1.76$  dB。

根据公式9，最大幅度出现在正弦( $90^\circ$ ) = 1时。均方根(FS)正弦波输入 $V(t)$ 信号则可表示为

$$\sqrt{\overline{V^2(t)}} = \frac{q2^N}{2\sqrt{2}} \quad (10)$$

对于理想的N位转换器(如公式10)，相对于量化噪声的均方根值(如公式7)，其均方根信噪比(即公式10/公式7)可通过以下公式计算出(单位为dB)

$$SNR = 20 \log_{10} \frac{RMS \text{ value of FS input}}{RMS \text{ value of quantization noise}} \quad (11)$$

$$\begin{aligned} SNR &= 20 \log_{10} \left| \frac{\sqrt{\overline{V^2(t)}}}{\sqrt{(\bar{e}^2(t))}} \right| \\ &= 20 \log_{10} \left| \frac{\frac{q2^N}{2\sqrt{2}}}{\frac{q}{2\sqrt{3}}} \right| \\ &= 20 \log_{10} \left[ \frac{q2^N}{2\sqrt{2}} \times \frac{2\sqrt{3}}{q} \right] \\ &= 20 \log_{10} \left[ \frac{q2^N}{2\sqrt{2}} \times \frac{2\sqrt{3}}{q} \right] \\ &= 20 \log_{10} \left[ \frac{2^N}{1} \times \frac{\sqrt{3}}{\sqrt{2}} \right] \\ &= 20 \log_{10} \left[ 2^N \times \sqrt{\frac{3}{2}} \right] \end{aligned}$$

$$\begin{aligned} &= 20 \log_{10} [2]^N + 20 \log_{10} \left[ \frac{3}{2} \right]^{\frac{1}{2}} \\ &= N \times 20 \log_{10} (2) + \frac{1}{2} \times 20 \log_{10} \left( \frac{3}{2} \right) \end{aligned}$$

$$= N \times 20 \times 0.301 + 10 \times 0.176$$

$$\therefore SNR = 6.02N + 1.76 dB$$

QED

其中， $N$  为 ADC 的分辨率(单位为位)。

推导过程显示，公式中的系数 6.02 来自  $20\log_{10}(2)$ ，项 1.76 dB 来自  $10\log_{10}\left(\frac{3}{2}\right)$ 。

## 总结

该公式只是一种近似表示，其假定量化误差与输入信号无关。多数情况下，当  $N > 6$  且输入信号并非精确地为采样频率的约数时，该假设是成立的。这种情况将在 MT-001 中详细讨论。

公式中用来确定 SNR 的噪声项是在奈奎斯特带宽范围内测得的噪声，即从 DC 至采样频率的一半。如果目标带宽小于采样频率的一半，则必须应用校正系数，如 MT-001 所述。

## 参考文献

Bennett, W. R. *Noise in PCM Systems*, Bell Labs Record, Vol. 26, December 1948, pp. 495-499.

Bennett, W. R. *Spectra of Quantized Signals*, Bell System Technical Journal, Vol. 27, July 1948, pp. 446-471.

Black, H. S. and J. O. Edson, *Pulse Code Modulation*, AIEE Transactions, Vol. 66, 1947, pp. 895-899.

Black, H. S. *Pulse Code Modulation*, Bell Labs Record, Vol. 25, July 1947, pp. 265-269.

Cattermole, K. W., *Principles of Pulse Code Modulation*, American Elsevier Publishing Company, Inc., 1969, New York NY, ISBN 444-19747-8.

Kester, Walt. *Analog-Digital Conversion*, Analog Devices, Inc., 2004, ISBN 0-916550-27-3, Chapter 2. (Also Available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0).

MT-001 Mini Tutorial, *Taking the Mystery out of the Infamous Formula, "SNR=6.02N + 1.76dB," and Why You Should Care*. Analog Devices.

MT-003 Mini Tutorial, *Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR so You Don't Get Lost in the Noise Floor*. Analog Devices.

Oliver, B.M., J. R. Pierce, and C. E. Shannon, *The Philosophy of PCM*, Proceedings IRE, Vol. 36, November 1948, pp. 1324-1331.

## 修订历史

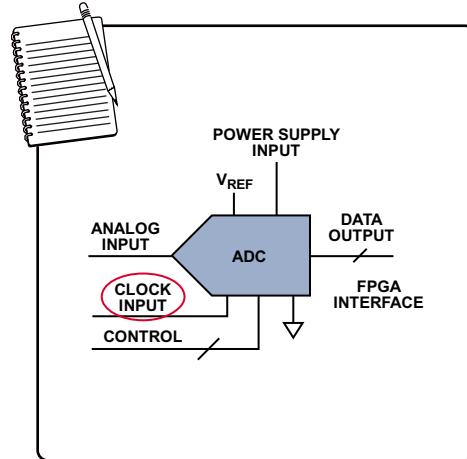
2012年8月—修订版0：初始版

## 降低ADC时钟接口抖动

ADI公司应用工程部

### 引言

时钟接口阈值区间附近的抖动会破坏模数转换器(ADC)的动态性能，本笔记简要介绍时钟考虑因素和降低抖动技术。



应用工程笔记教程系列

### 目录

时钟输入噪声 .....	2
时域图 .....	2
压摆率影响.....	3

频域图 .....	3
相位域图.....	4
时钟转换器解决方案 .....	5

### 修订历史

2012年1月—修订版0：初始版

## 时钟输入噪声

时钟接口阈值区间附近的抖动会破坏模数转换器(ADC)的时序。例如，抖动会导致ADC在错误的时间采样，造成对模拟输入的误采样，并且降低器件的信噪比(SNR)。降低抖动有很多不同的方法，包括改进时钟源、滤波、分频和时钟电路硬件。本文对如何改进时钟系统提出了一些建议，旨在实现最佳ADC性能。

时钟和ADC之间的电路噪声是时钟抖动的根本原因。随机抖动由随机噪声引起，随机噪声通过其无界字符来区分，遵循统计分布规律。主要随机噪声源包括

- 热噪声(约翰逊或奈奎斯特噪声)，由载流子的布朗运动引起。
- 散粒噪声，与流经势垒的直流电流有关，该势垒不连续平滑，由载流子的单独流动引起的电流脉冲所造成。
- 闪烁噪声，出现在直流电流流动时。该噪声由携带载流子的半导体中的陷阱引起，这些载流子在释放前通常会形成持续时间较短的直流电流。
- 爆裂噪声，也称爆米花噪声，由硅表面的污染或晶格错位造成，会随机采集或释放载流子。

确定性抖动由干扰引起，会通过某些方式使阈值发生偏移，通常受器件本身特性限制。

查看时钟信号噪声通常有三种途径：

- 时域
- 频域
- 相位域

### 时域图

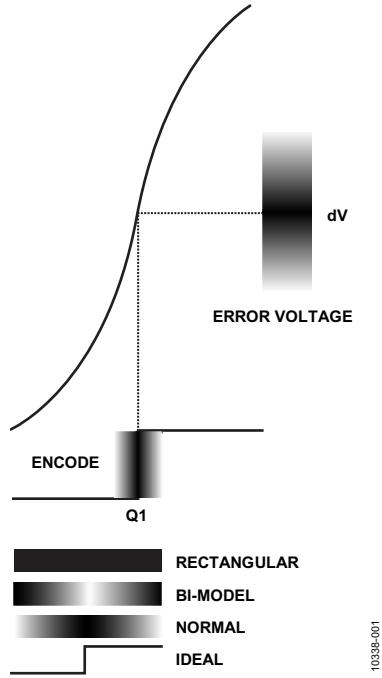


图1. 抖动的时域图

10338-001

时钟抖动是编码时钟的样本(不同周期)间的变化，包括外部和内部抖动。抖动引起的满量程信噪比由以下公式得出

$$SNR_{jitter} = 20 \log\left(\frac{S_{rms}}{N_{rms}}\right) = 20 \log\left(\frac{1}{2\pi f_{ana} \log t_{jitter}}\right)$$

例如，频率为1 Ghz，抖动为100 FS均方根值时，信噪比为64 dB。

在时域中查看时，x轴方向的编码边沿变化会导致y轴误差，幅度取决于边沿的上升时间。孔径抖动会在ADC输出产生误差，如图2所示。抖动可能产生于内部的ADC、外部的采样时钟或接口电路。

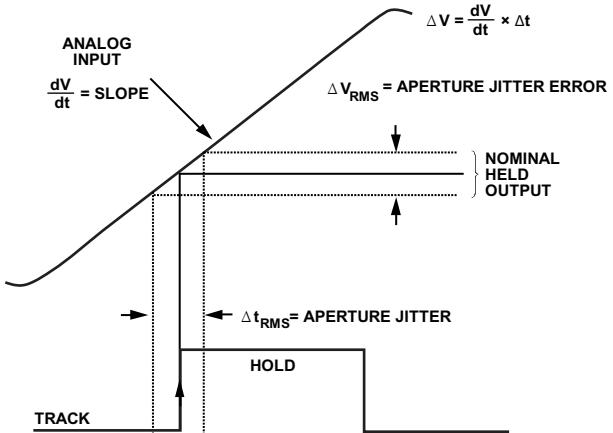


图2. 孔径抖动和采样时钟抖动的影响

10338-002

图3显示抖动对信噪比的影响。图3中显示了5条线，分别代表不同的抖动值。x轴是满量程模拟输入频率，y轴是由抖动引起的信噪比，有别于ADC总信噪比。时钟抖动基于 $f_{\text{START}}$ 和 $f_{\text{STOP}}$ 失调频率定义。例如，某个时钟可能从1 kHz到fs/2积分得到的抖动为200 fs，而从10 kHz到fs/2积分得到的抖动为170 fs。积分范围取决于终端应用。

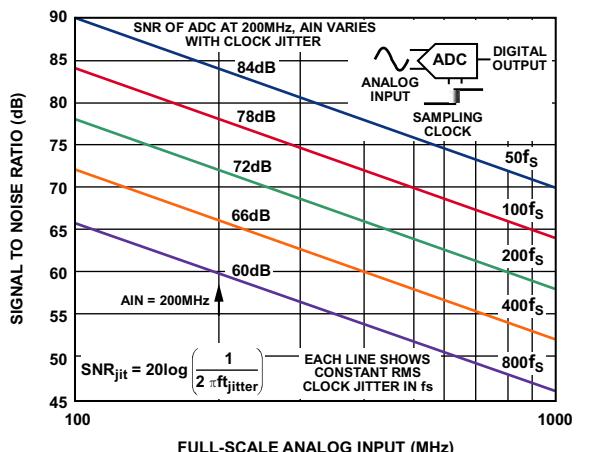


图3. 时钟抖动随模拟信号增大而提升信噪比

由抖动引起的信噪比和有效位数(ENOB)的关系由以下公式定义： $\text{SNR} = 6.02 N + 1.76 \text{ dB}$ ，其中N=有效位数。满量程100 MHz输入时，14位有效位数要求均方根抖动不超过0.125 ps或125 fs。该公式假定ADC具有无限分辨率，其中的唯一误差是由时钟抖动产生的噪声。

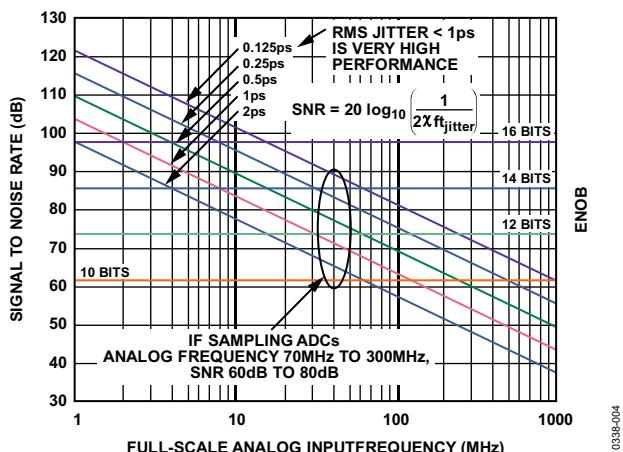


图4. 由抖动产生的理论信噪比和有效位数与满量程正弦波模拟输入频率的关系

### 压摆率影响

通过增加时钟边沿的压摆率，可以使电路减少裸露，从而降低噪声和抖动的影响。一方面，压摆率加快后，会增加电路设计的难度，可能引起电磁干扰(EMI)问题，还可能对其它电路造成干扰。注意，要精确测量压摆率，必须采

用具有极低输入电容的示波器。图5显示了增加压摆率时如何减少抖动，因为只有阈值范围内的噪声才会产生抖动。

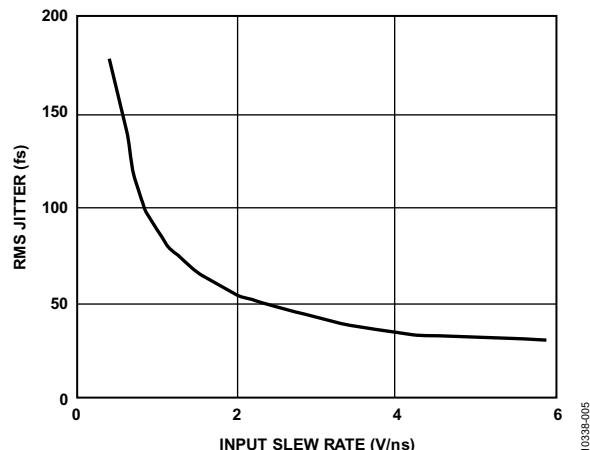


图5. 通过增加压摆率来减少抖动

### 频域图

近载波噪声出现在采样时钟中心频率和等于信号带宽一半的单边带(SSB)失调之间。宽带噪声的范围从单边带失调到½时钟接收器带宽。

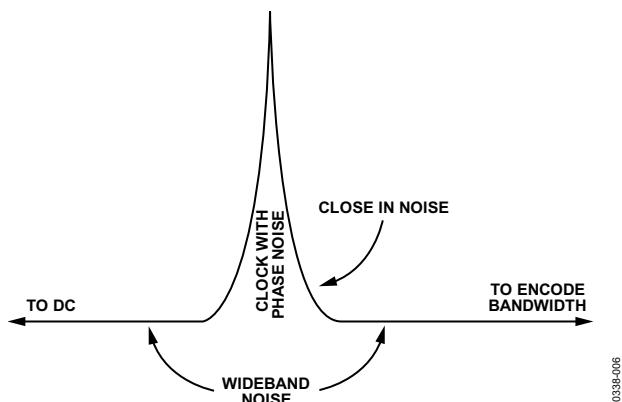


图6. 频域图

时间的乘法运算是在频域中进行卷积。因此，时钟上在频域上的任何“裙边”都会施加于数字信号。这会增加信号的EVM，降低整体性能。卷积到采样信号上的噪声量取决于模拟频率与采样频率的关系。

$$\text{SampledOutput} = \text{ClockSignal} + 20 \log\left(\frac{f_{\text{signal}}}{f_{\text{clock}}}\right)$$

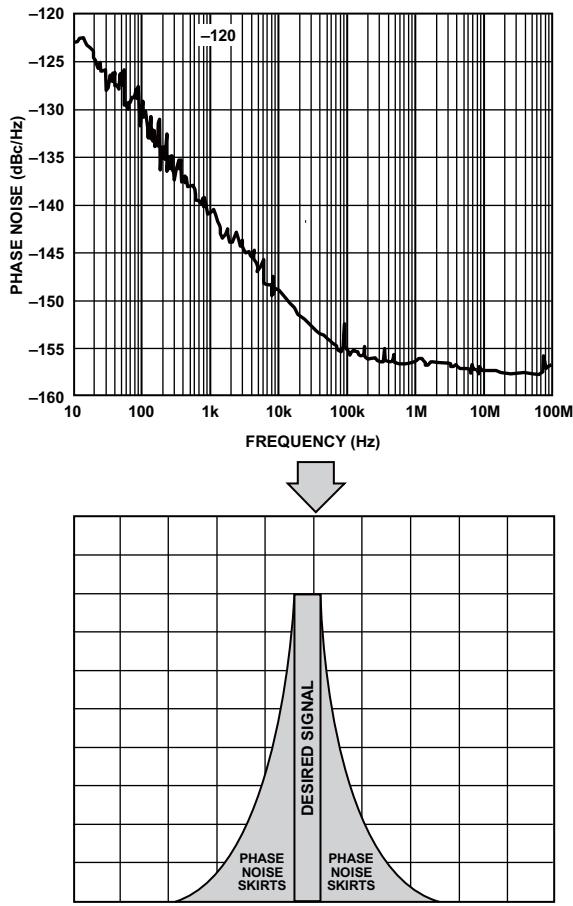


图7. 卷积到采样信号上的噪声取决于模拟频率和采样频率的关系

## 相位域图

相位噪声由每个时钟周期之间的时间变化引起。最终结果是时钟信号在基波频率周围变化。这一频率范围变化会降低ADC的信噪比。

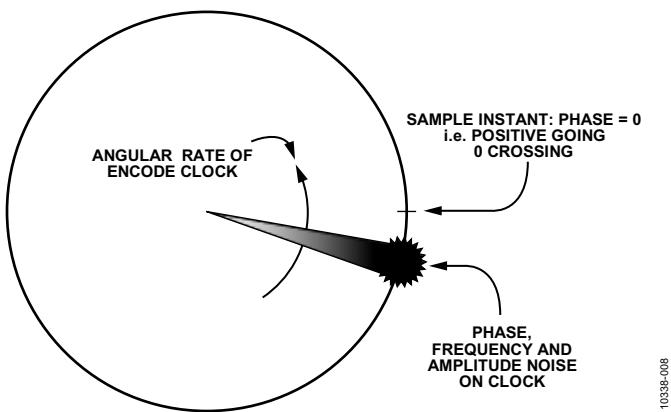
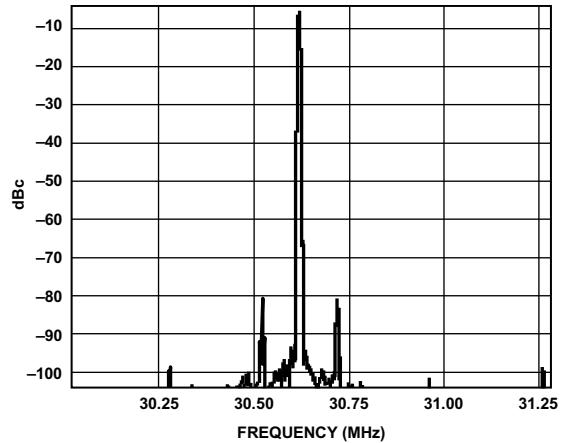


图8. 抖动的相位域图

下图所示的例子中，-66 dBc的杂散增加到78 MHz时钟上，用来将ADC采样控制在30.62 MHz模拟信号。

杂散为-74.1 dBc，按以下公式计算：

$$-66 + 20 \log\left(\frac{30.62}{78}\right) = -74.1 \text{ dBc}$$

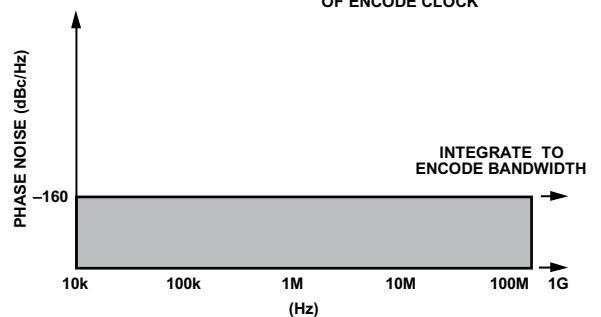
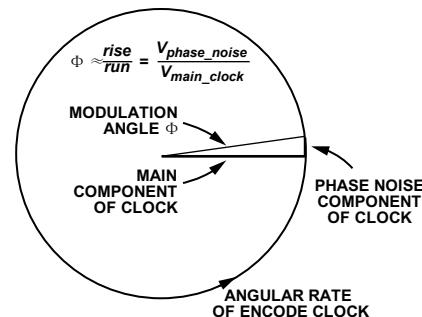


10338-009

图9. 使用噪声时钟采样时的30.62 MHz信号

时钟设计人员通常会提供一个相位噪声，但不提供抖动规格。相位噪声规格可以转换为抖动，首先确定时钟噪声，然后通过小角度计算将噪声与主时钟噪声成分进行比较。

相位噪声功率通过计算图10中的灰色区域积分得出。



10338-010

图10. 对编码带宽的近载波到时钟输出噪声进行积分计算

高度为-160 dBc，宽度为10 KHz至245.76 MHz。因此， $10 \times \log(245.76 \times 10^3) = 83.9 \text{ dB}$ ， $-160 + 83.9 \text{ dB} = 76.1 \text{ dBc}$ ，得出积分噪声。

$$P_{Noise} = -160 \text{ dBc/Hz} + 10 \log(245.76 \times 10^6 - 10.0 \times 10^3) = -76.1 \text{ dBc}$$

$$Jitter_{phase} \approx \sqrt{2 \times 10^{P_{Noise}/10}} = \sqrt{2 \times 10^{-76.1/10}} = 2.217 \times 10^{-4} \text{ radians for small angles}$$

$$Jitter = \frac{Jitter_{Phase}}{2\pi f_{Osc}} = \frac{2.217 \times 10^{-4}}{2\pi \times 245.76 \times 10^6} = .1435 \text{ pS}$$

载波的失调不同，噪声的斜率也不同。例如，A1区域通常为1/f噪声，而A4区域则视为宽带噪声。

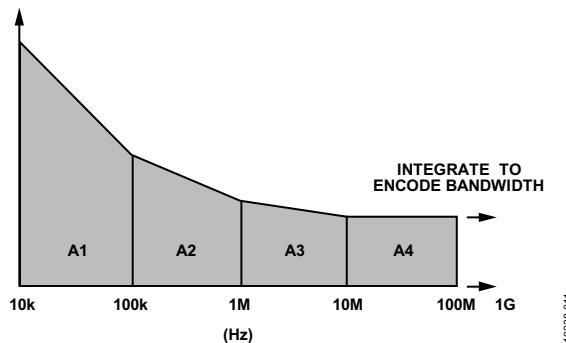


图11. 在频率范围内的噪声变化情况

A = 面积=积分相位噪声功率(dBc)。

抖动可以通过对编码带宽的近载波到时钟输出的噪声进行积分计算确定。频率范围应分为较小的频带，然后相加得到总的结果。

$$A = 10 \log_{10} (A_1 + A_2 + A_3 + A_4)$$

$$\text{均方根相位抖动(弧度)} \sqrt{2 \times 10^{\frac{A}{10}}}$$

$$\text{均方根抖动(秒)} \approx \frac{\sqrt{2 \times 10^{\frac{A}{10}}}}{2\pi f_{Osc}}$$

$f_{Osc}$  = 振荡器频率

10 k至100 k

$$(-133.5 + -141.6) = -137.5$$

$$2 + 10 \times \log(90 \text{ k}) = -87.9 \text{ dBc}$$

100 k至1 M

$$(-141.5 + -147.8) = -144.7$$

$$2 + 10 \times \log(900 \text{ k}) = -85.2 \text{ dBc}$$

10 M至40 M

$$(-161.7 + -162.5) = -162.1$$

$$2 + 10 \times \log(30 \text{ M}) = -87.3 \text{ dBc}$$

RSS

$$10^{(-87.9/10)} + 10^{(-85.2/10)} + 10^{(-87.3/10)} = -81.7 \text{ dBc}$$

$$PN_{Noise} = -81.7 \text{ dBc}$$

$$Jitter_{phase} \approx \sqrt{2 \times 10^{P_{Noise}/10}} = \sqrt{2 \times 10^{-81.7/10}} = 1.163 \times 10^{-4} \text{ radians}$$

针对小角度

$$Jitter = \frac{Jitter_{Phase}}{2\pi f_{Osc}} = \frac{1.163 \times 10^{-4}}{2\pi \times 12288 \times 10^6} = .151 \text{ fs}$$

计算值接近于158 fs的测量值。

## 时钟转换器解决方案

可以使用锁相环(PLL)将参考时钟输出锁定至所需频率。图12所示的参考时钟在带宽约100 kHz时具有高噪声。绿色和两条蓝色线是AD9516时钟发生器中的噪声源。红色线是外部基准电压馈入AD9516的噪声。棕色线是AD9516的总噪声。该图表明，参考时钟不干净是造成噪声问题的原因。

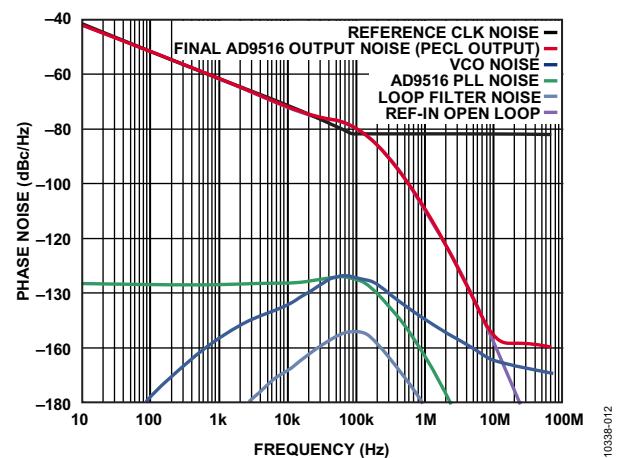


图12. 参考时钟不干净引起的抖动

本例中使用PLL对参考时钟输出进行滤波。PLL带宽设为30 Hz，还使用了高质量的VCXO。PLL可以从恢复后的系统时钟去除无用抖动，如图13所示。

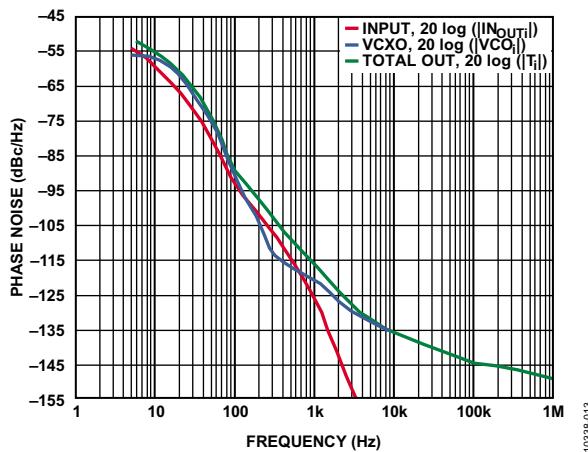


图13. 用PLL去除无用抖动

本例中采用ADF4002作为PLL来清理恢复后的输入参考时钟。然后使用AD9516时钟发生器来产生多个时钟。

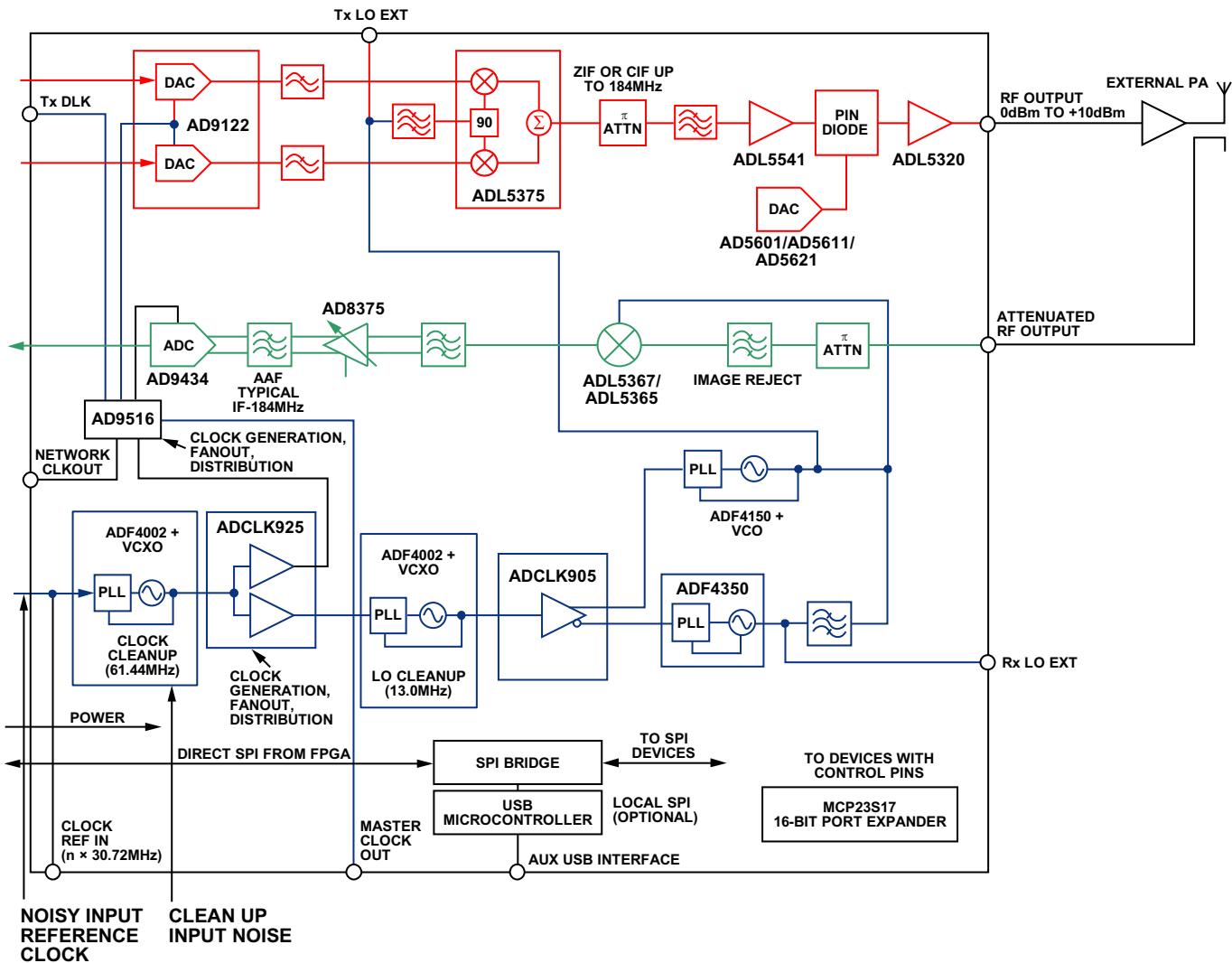
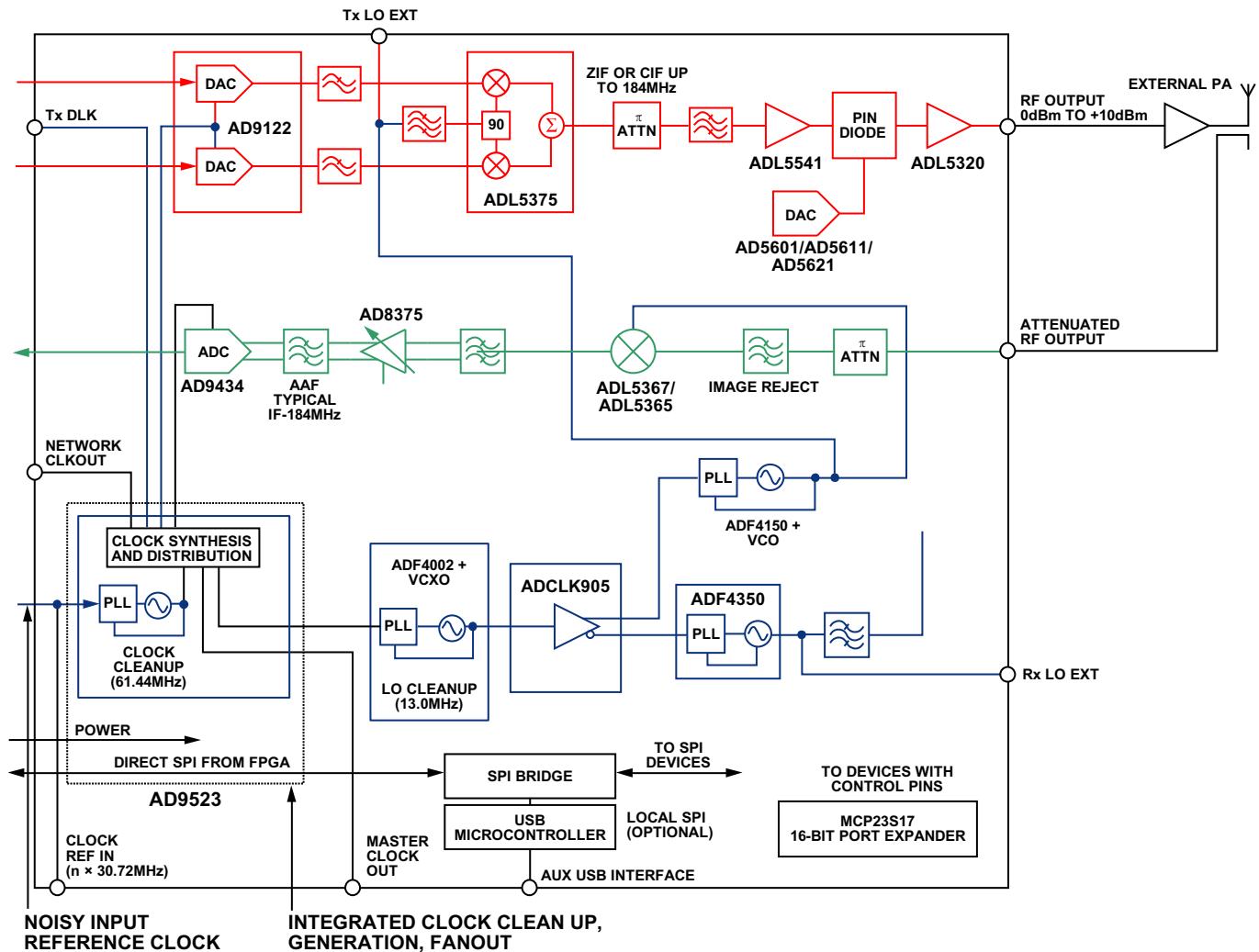


图14.

AD9523、AD9524和AD9523-1时钟发生器在单个器件内集成了抖动清除和时钟产生/分配功能。AD9524器件有7个输出，AD9523和AD9523-1则有15个输出。

10338-014



10339-015

图15.

ADI公司AD9523、AD9524和AD9523-1的驱动器设计提供多模式输出，这意味着可以使用常见的 $100\ \Omega$ 差分电阻，通过改变阻值来改变LVPECL、LVDS和HSTL信号格式。每一种信号格式都各有优缺点，如下表所示。所有的信号格式都有不同的电压摆幅。针对应用选择具有最佳摆幅的格式，但要记住，摆幅越低，功耗也越低。

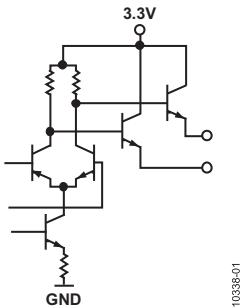


图16.

表1. LVPECL信号格式的优缺点

优点	缺点
准差分 高压摆率 可接受近/远端 扇出功能 相对安静，不会轻易破坏其它信号	功耗高 需要双极性器件，CMOS工艺无法提供

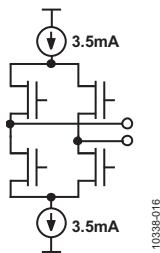


图17.

表2. LVDS信号格式的优缺点

优点	缺点
真差分 某些版本可接受近/远端 安静，不会轻易破坏其它信号 接收器具有低功耗等级，噪声大于LVPECL	信号传输电压较低( $\pm 0.4$ V)，通常不会产生最高压摆 必须注意确保侵扰源信号同样耦合至差分LVDS线

表3. CML信号格式的优缺点

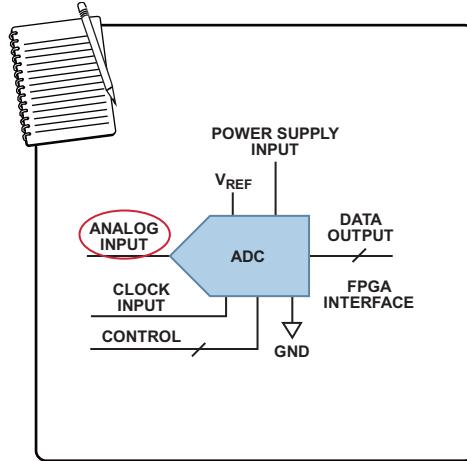
优点	缺点
真差分 高压摆率 特别适合要求 严苛的应用 安静	共模电压接近地或 $V_{CC}$

## 高速ADC模拟输入接口考虑

ADI公司应用工程部

### 引言

采用高速模数转换器(ADC)的系统设计非常困难，本笔记简要介绍基本设计考虑。



10599-101

The Applications Engineering Notebook Educational Series

### 目录

基本输入接口考虑 .....	2
输入阻抗 .....	2
输入驱动 .....	2
带宽和通带平坦度 .....	2
噪声 .....	2
失真 .....	3
输入架构类型 .....	4
缓冲和无缓冲架构的特征 .....	4
无缓冲ADC .....	4
缓冲ADC .....	6
变压器耦合前端 .....	8
变压器建模 .....	8
变压器基础 .....	8

### 修订历史

2012年4月—修订版0至修订版A

修改图26 .....

2012年2月—修订版0：初始版

了解变压器性能 .....	9
幅度与相位不平衡 .....	9
有源耦合前端网络 .....	11
差分信号示例 .....	11
频域和时域性能示例 .....	12
抗混叠滤波器考虑 .....	13
注意事项 .....	14
数据转换器的有用公式 .....	15
有效位数(ENOB) .....	15
信纳比(SINAD) .....	15
总谐波失真(THD) .....	15
理论信噪比(SNR) .....	15
定义/术语 .....	15

## 基本输入接口考虑

采用高输入频率、高速模数转换器(ADC)的系统设计是一项具挑战性的任务。ADC输入接口设计有6个主要条件：输入阻抗、输入驱动、带宽、通带平坦度、噪声和失真。

### 输入阻抗

输入阻抗是设计的特征阻抗。ADC的内部输入阻抗取决于ADC架构的类型，ADC供应商会在数据手册或产品页面上提供这一数据。电压驻波比(VWSR)与输入阻抗密切相关，衡量目标带宽内反射到负载中的功率量。该参数设置实现ADC满量程输入所需的输入驱动电平，因此很重要。当源阻抗与负载阻抗相等时，发生最大功率传输。

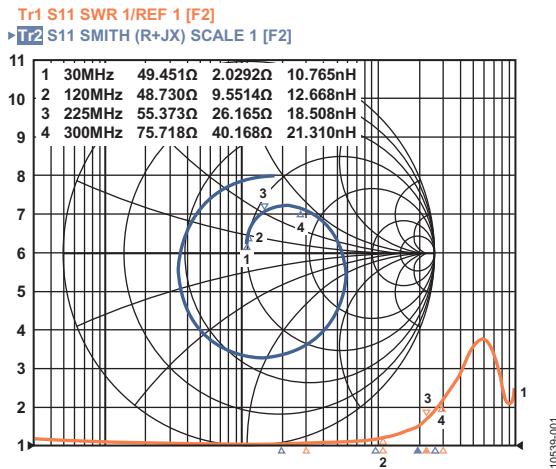


图1. 网络分析仪上的输入Z/VWSR

图1所示的例子为利用网络分析仪测得的一个前端网络的输入阻抗和VSWR曲线。输入阻抗是设计的特征阻抗。大多数情况下，它是 $50\Omega$ ，但特定设计可能需要不同的阻抗。

VSWR是一个无量纲参数，反映的是在目标带宽内，有多少功率被反射到负载中。该参数设置实现ADC满量程输入所需的输入驱动电平，因此很重要。注意，频率越高，则将ADC输入驱动至满量程所需的驱动功率或增益越大。

### 输入驱动

输入驱动与带宽特性相关，可设置特定应用所需的系统增益。输入驱动电平应在前端设计开始之前确定，取决于所选的前端器件，如滤波器、变压器和放大器等。

### 带宽和通带平坦度

带宽是系统要使用的频率范围。通带平坦度是指定带宽内的波动量；引起波动的原因可能是纹波效应，或者是巴特沃兹滤波器的慢速滚降特性。通带平坦度通常小于1 dB，对于设置整体系统增益至关重要。

### 噪声

信噪比(SNR)和失真要求对ADC的选择有帮助，因而一般在设计早期确定。转换器看到的噪声量与其自己的噪声量之比即为SNR。SNR与带宽、信号质量(抖动)和增益相关。提高增益也会提高与之相关的噪声成分。

## 失真

失真由无杂散动态范围(SFDR)来衡量，SFDR指rms满量程与峰值杂散频谱成分的rms值之比。SFDR主要受两个因素的控制。第一个因素是前端平衡质量的线性度，它主要与二次谐波失真有关。第二个因素是所需的增益和输入匹配。较高的增益要求会提高匹配难度。此外，高增益要求会压缩ADC内部器件的裕量，从而提高非线性度，而且由于有更多功率经过外部无源器件，它们的非线性度也会提高。这种效应一般被视为三次谐波。

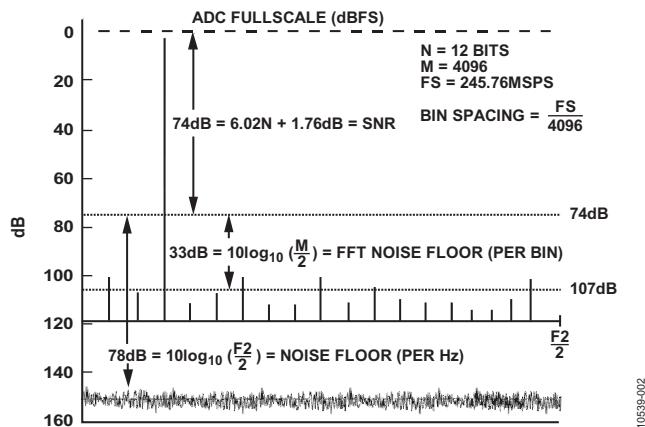


图2. 理想12位ADC的噪底，使用4096点FFT

图2显示了一个理想12位ADC的4096点FFT的输出以及一些基本运算。理论SNR为74 dB。噪声分布在整个奈奎斯特带宽。FFT会增加处理增益，因为它处理的是小“仓”，小仓的宽度等于采样频率除以FFT点数。对于4096点FFT，处理增益为33 dB。这就像使模拟频谱分析仪的带宽变窄一样。实际FFT噪底等于SNR加上处理增益，如图2所示。上述条件下的FFT噪底等于 $74 + 33 = 107$  dBFS。在某些系统中，会对多个独立FFT的结果求平均值，这不会降低FFT噪底，只是减小噪声成分的幅度变化。

## 输入架构类型

有两种ADC架构可供选择：缓冲型和无缓冲型。

### 缓冲和无缓冲架构的特征

缓冲架构的基本特征如下：

- 高线性度缓冲器，但需要更高的功率
- 更易设计输入网络与高阻抗缓冲器接口，因为它提供固定的输入端接电阻
- 缓冲器提供采样电容与输入网络之间的隔离，电荷注入瞬变更小

无缓冲架构的基本特征如下：

- 输入阻抗由开关电容设计设置
- 功耗较低
- 输入阻抗随时间变化(采样时钟 - 采样保持器)
- 来自采样电容的电荷注入反射回输入网络

### 无缓冲ADC

开关电容ADC(见图3)就是一类无缓冲ADC。无缓冲ADC的功耗通常远低于缓冲ADC，因为前者的外部前端设计直接连接到ADC的内部采样保持(SHA)网络。

这种方法有两个缺点。第一是输入阻抗随着时间模式而变化。第二是电荷注入会反射回ADC的模拟输入端，可能导致滤波器建立问题。

当模拟输入频率改变，以及SHA从采样模式变为保持模式时，无缓冲ADC的输入阻抗也会变化。必须使输入与ADC采样模式匹配，如图4所示。

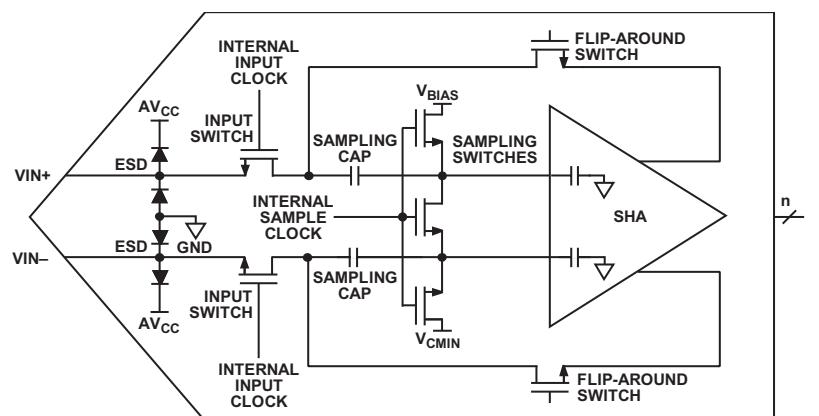


图3. 开关电容ADC

10539-003

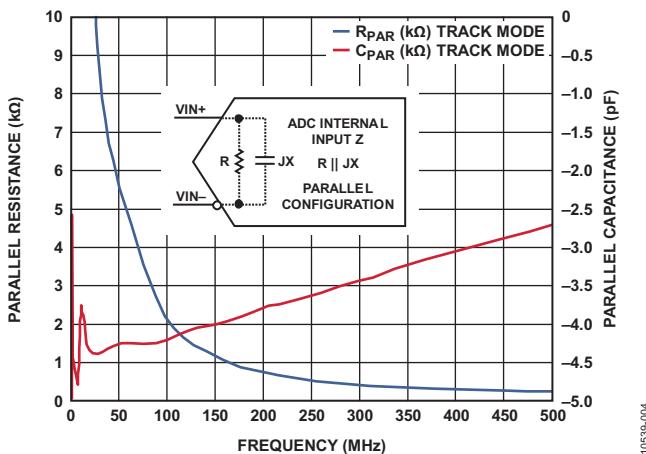


图4. 输入阻抗与模式和频率的关系

在基带范围的较低频率时，输入阻抗的实部(蓝线)在数千欧范围内，在200 MHz以上时则滚降到2 kΩ。输入阻抗的虚部或容性部分(红线)也是如此，低频时的容性负载相当高，高频时逐渐变小到2 pF。这使得输入结构的设计更加困难，特别是当频率高于100 MHz时。

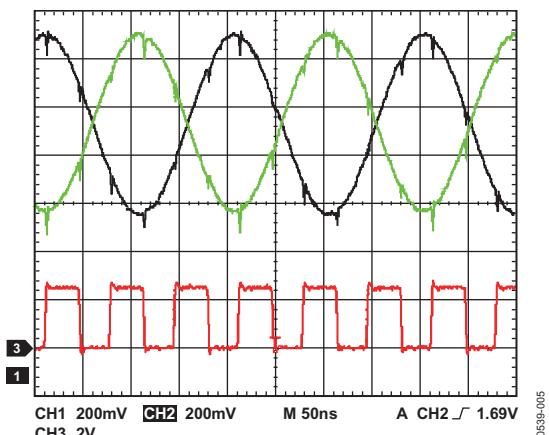


图5. 典型单端输入瞬变

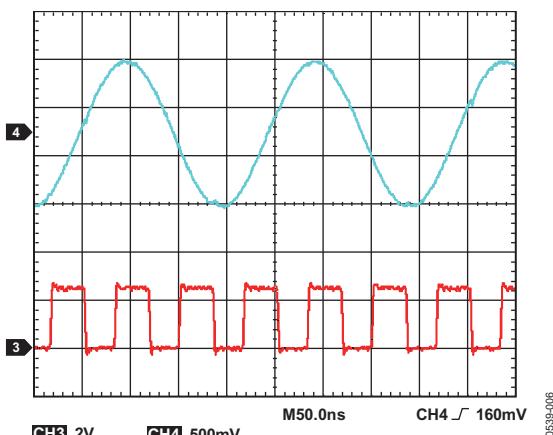


图6. 典型差分输入瞬变

ADC如何能采样一个坏信号(如图5所示)并实现良好的性能？查看图6所示的差分ADC输入，输入信号干净得多。坏信号毛刺已消失。共模抑制是差分信号的固有特性，它能消除任何噪声，无论是来自电源、数字注入还是电荷注入。

查看无缓冲ADC毛刺的另一种方法是在时域中，利用频谱分析仪测量返回模拟输入的噪声。下图显示了开关电容ADC结构对模拟输入的影响。

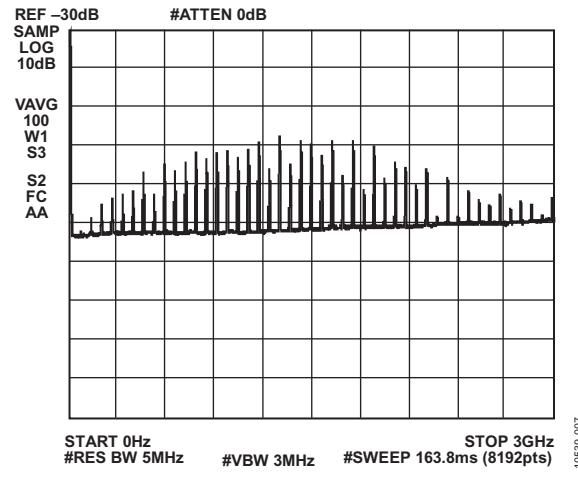


图7. 频谱分析仪在模拟输入端的测量(未应用输入匹配)

图7显示时钟的谐波、噪声和其他杂散成分在3 GHz以上的频谱中馈通。

匹配ADC输入以降低时钟馈通一般可将大部分谐波抑制10 dB以上。

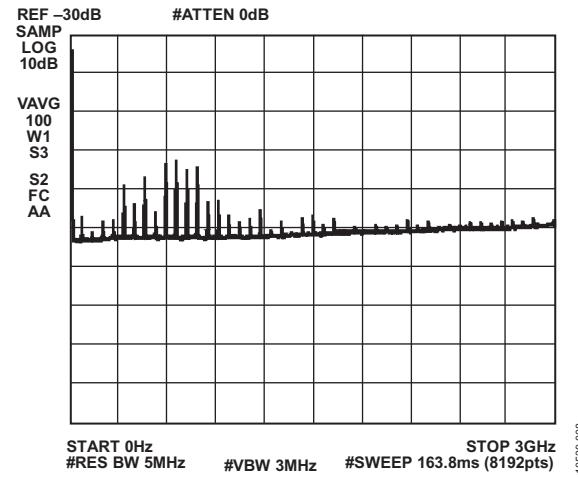


图8. 频谱分析仪在模拟输入端的测量(应用输入匹配，采用低Q电感或铁氧体磁珠)

图8中，通过在模拟输入的每一侧串联一个低Q电感或铁氧体磁珠，实现了输入匹配。这是降低进入模拟输入端的噪声量的一种方法，需要时可采用。

## 缓冲ADC

缓冲输入ADC(见图9)更易于使用，因为输入阻抗是固定值。隔离缓冲器抑制了电荷注入尖峰，因而开关瞬变显著降低。缓冲器由内部双极结晶体管级组成，具有固定的输入端接电阻。

与开关电容ADC不同，此端接电阻不随模拟输入频率而变化，因此驱动电路的选择得以简化。缓冲输入级的缺点是ADC的功耗较高。然而，由于它经过专门设计，具有非常好的线性度和低噪声特性，因此在ADC的全部额定带宽内，输入阻抗都是恒定的。

设计抗混叠滤波器(AAF)时应当注意，过多的元件可能会导致容差不匹配，进而产生偶数阶失真。电感并非特性相同，不同电感的响应可能大不相同。廉价、低质量的电感一般表现不佳。此外，有时很难在电感上实现良好的焊接连接，这就会引起失真。务必把AAF的阻带区间规定为平坦的，因为宽带噪声仍有可能折回带内(见图10)。

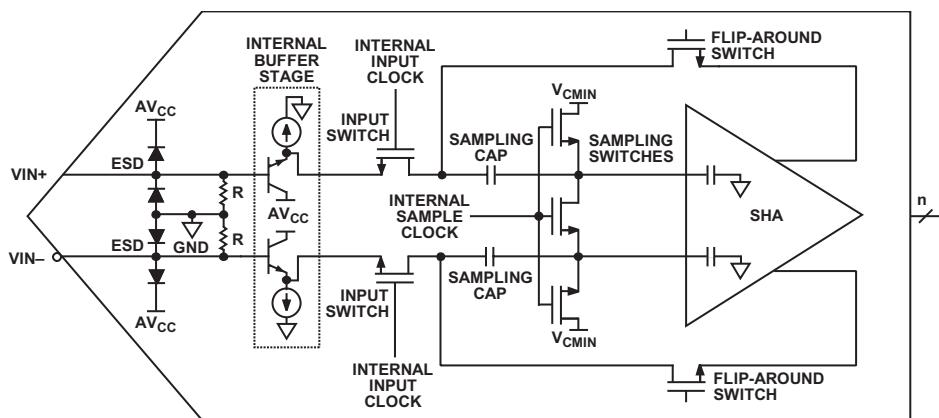


图9. 缓冲输入ADC

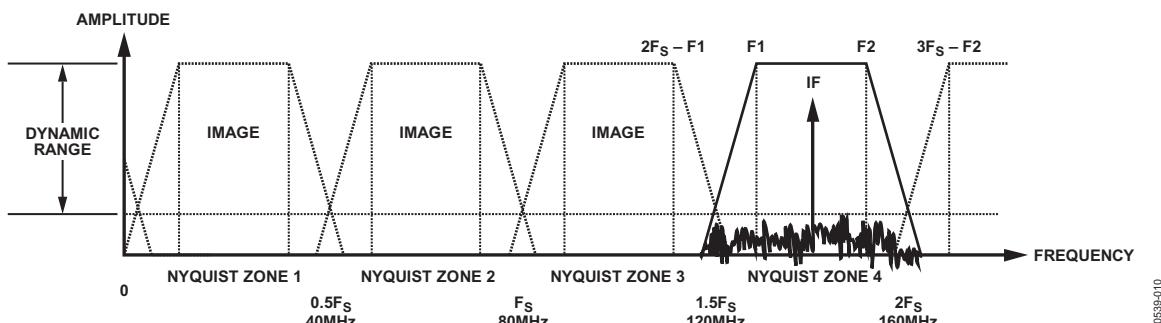


图10. 抗混叠滤波器

多数转换器具有很宽的模拟输入带宽。如果不使用AAF，混叠会降低动态范围。AAF应按照等于或略大于目标信号带宽的要求进行设计。滤波器的阶数和类型取决于所需的阻带抑制和通带纹波。AAF在ADC的整个带宽内应具有充分的阻带抑制性能。

图11说明了阻带抑制在AAF设计中的重要性。注意，转换器带宽(红色曲线所示)远大于要采样的频带。因此，噪声和杂散可能会折回要采样的带内频率中。注意淡蓝曲线和粉红曲线，其中滤波器响应出现在阻带抑制区间。还应注意深绿或橙色曲线，阻带抑制保持恒定。

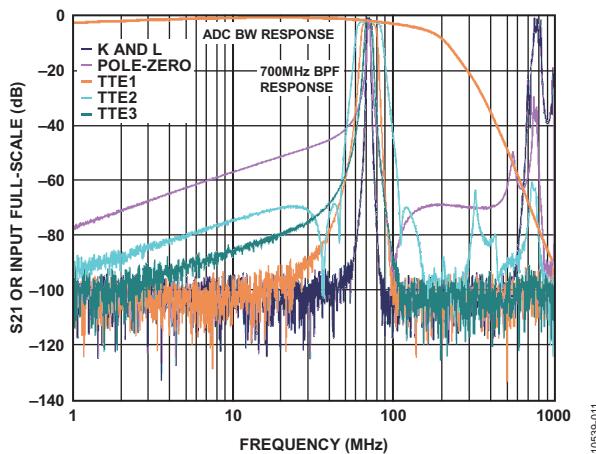


图11. AAF响应与ADC带宽响应

## 变压器耦合前端

一般说来，变压器耦合前端能够驱动较高中频而无显著损耗，具有更宽的带宽，功耗更低，并能提供固有的交流耦合。多匝比率变压器还能提供无噪声增益。另一方面，设计具有较高阻抗/匝数比的变压器耦合前端可能很困难，因为这会降低带宽、幅度，引起相位不平衡，有时还会使通带纹波性能下降。

将变压器用于ADC前端时，必须记住：任何两个变压器都不会完全相同，即使其数据手册看起来一样。例如，1:1阻抗比并不意味着次级端阻抗为 $50\ \Omega$ 。要么使用数据手册中的回波损耗数据，要么利用ENA测量。变压器数据手册上的带宽一般应减半使用，因为变压器通常是在理想条件下利用PCB提取技术测量。增益大于1:1阻抗比的变压器，其带宽更低，而且更难使用。当频率高于150 MHz时，由于变压器固有的相位不平衡，HD2开始升高。为解决这个问题，应使用两个变压器，或者使用一个更好的变压器。

### 变压器建模

变压器建模可能很难。变压器具有许多不同的特性，例如：电压增益和阻抗比、带宽和插入损耗、幅度和相位不平衡、回波损耗等。变压器特性随着频率而变化。

图13以示例形式给出了ADC应用中变压器建模的初步步骤。然而，每个参数变化均取决于所选的变压器。此外，虽然变压器模型能够让我们很好地了解带宽和阻抗与频率的关系，但除了在系统中测试变压器以外，没有什么好的办法来测量线性度。

### 变压器基础

匝数比、电流比、阻抗比和信号增益均是变压器的特性。

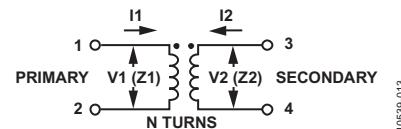


图12. 变压器基础

匝数比n定义原边电压与副边电压之比。

匝数比

$$n = N_1/N_2$$

阻抗比是匝数比的平方。阻抗比

$$n^2 = Z_1/Z_2$$

电流比是与匝数比成反比。信号增益与阻抗比相关。

$$20 \log(V_2/V_1) = 10 \log(Z_2/Z_1)$$

如果一个变压器的电压增益为3 dB，则其阻抗比为1:2。这很好，因为数据转换器是电压器件。电压增益无噪声！

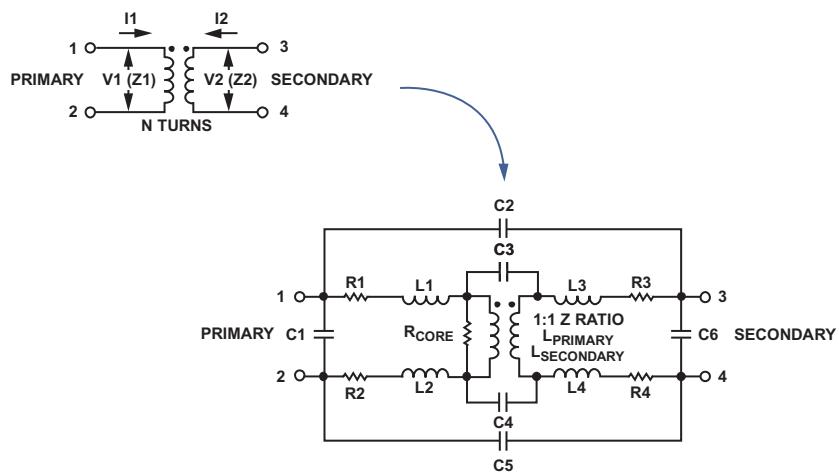


图13. 变压器建模

## 了解变压器性能

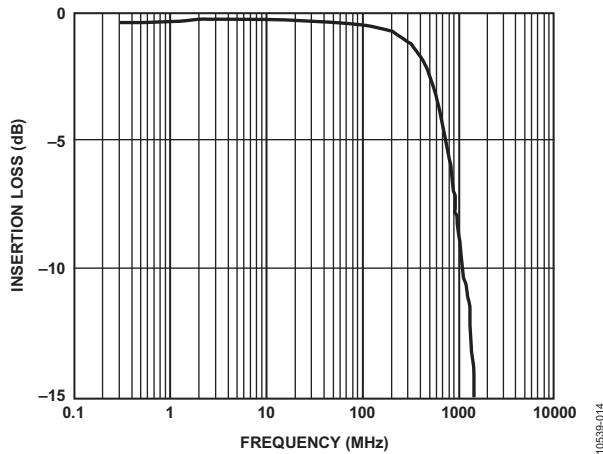


图14. 插入损耗与频率的关系

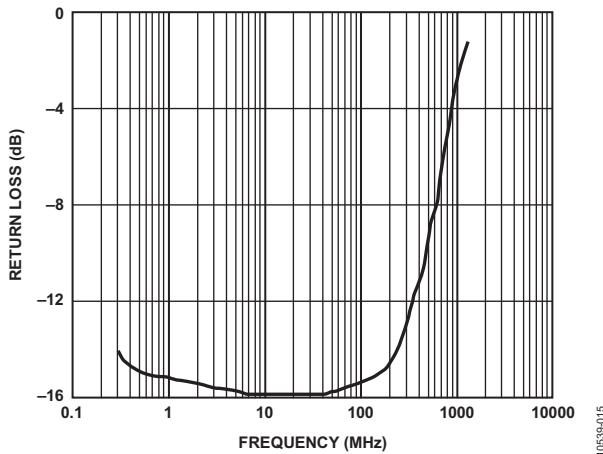


图15. 回波损耗与频率的关系

可以将变压器简单地视作通带滤波器，这种特征可以帮助您确定变压器在一定频率内的损耗。

插入损耗是数据手册中最常见的测量指标，但它不是唯一的考虑因素。

回波损耗是当副边端接时原边看到的有效阻抗。例如，假设您有一个理想的1:2阻抗变压器，当副边端接 $100\ \Omega$ 时，您会期望 $50\ \Omega$ 阻抗反射到原边。但是，事实可能并非如此。原边上的反射阻抗取决于频率。一般来说，随着阻抗比的上升，回波损耗的变化也随之提高。

## 幅度与相位不平衡

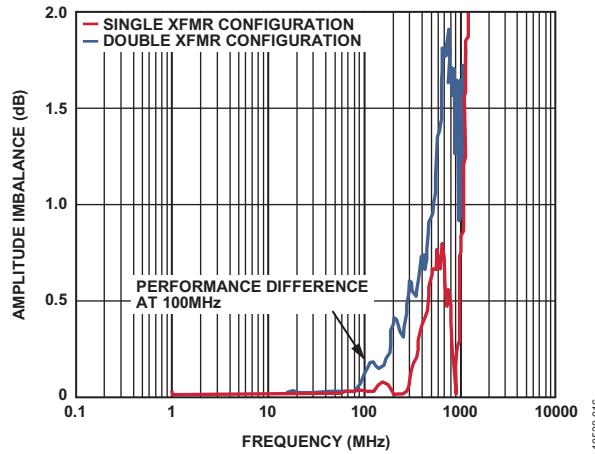


图16. 幅度不平衡与频率的关系

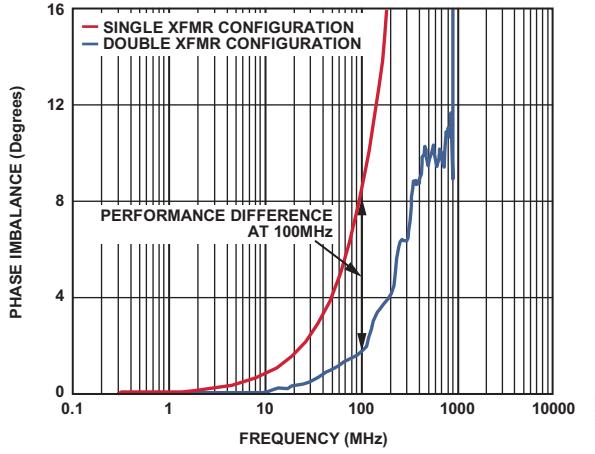


图17. 相位不平衡与频率的关系

使用变压器时，幅度和相位不平衡是关键的性能指标。当电路设计要求非常高的中频频率(100MHz以上)时，设计人员可根据这两项特性，估计非线性度可能有多大。频率提高时，变压器的非线性度也会提高。相位不平衡通常占主要地位，它相当于偶数阶失真，或更高的二次谐波。红色曲线所示为单变压器配置，蓝色曲线所示为双变压器配置。

针对设计选择变压器的最佳办法是收集本笔记所述的所有特性。多数制造商都会提供这些数据，不过有时候可能未在数据手册上明确说明。另外，用户也可以利用网络分析仪测量变压器的性能。

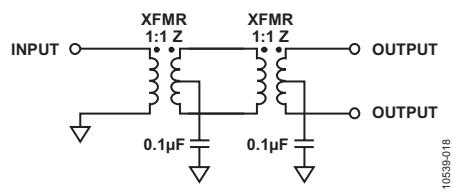


图18. 双变压器配置

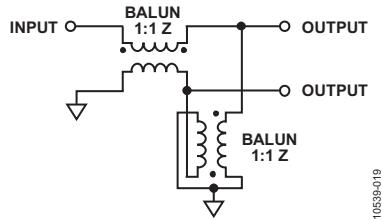


图19. 双巴伦配置

增加第二变压器后，第一变压器的内核电流重新分配，以便重新平衡跨越原边和副边耦合的寄生电容。这将能最大程度地降低ADC看到的相位不平衡(相当于二次谐波失真)。

双变压器配置一般用在输入频率高于100 MHz的高频应用中。根据输入频率，有人可能会考虑使用双巴伦配置，因为巴伦变压器一般适用于更高的带宽。如果不使用双变压器配置，也可以选择性能更好的变压器。

## 有源耦合前端网络

大多数有源耦合前端网络使用放大器。

针对交流和直流耦合应用选择放大器时，应考虑以下几点：

- 共模问题，工作电压低至1 VCM
- 电源问题(输入范围是多少？输出范围是多少？)
- 某些放大器只能用于交流耦合
- 输出端串联电阻使放大器保持稳定(5 Ω至10 Ω)
- 遵守数据手册中的布局布线指南：消除第二层上的地以保持低输出电流，并且避免振荡。

- 使用数据手册推荐的输出负载。有时候该负载值是一个固定电阻，而不是网络阻抗的乘积。
- 对于电流反馈放大器，务必阅读数据手册。数据手册给出了推荐的反馈电阻，该值决定放大器的稳定性。

### 差分信号示例

图20中的示例概要说明了差分信号。一个常见问题是：1.8 V ADC如何采样一个2 V p-p正弦波信号？本例说明了如何通过差分信号来实现这一点。注意转换器模拟输入的共模电压(CMV)的重要性。为了正确、精准地进行信号采样，CMV必须存在并且鲁棒。

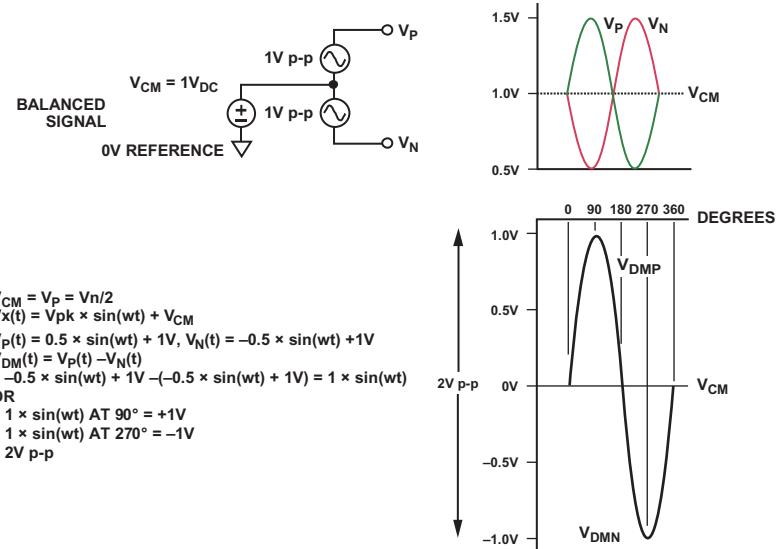


图20. 差模与共模信号示例

## 频域和时域性能示例

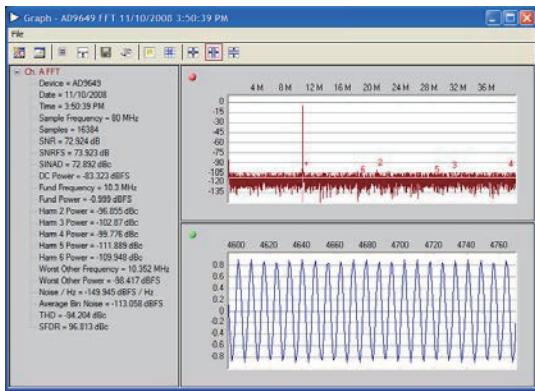
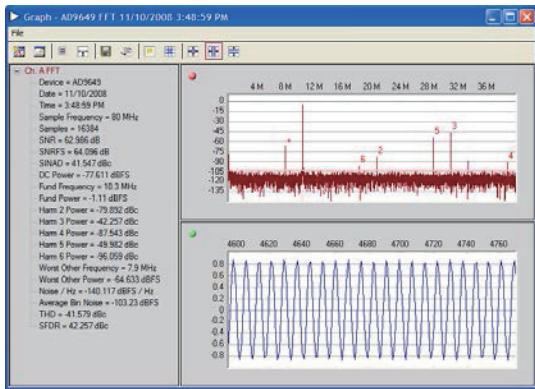
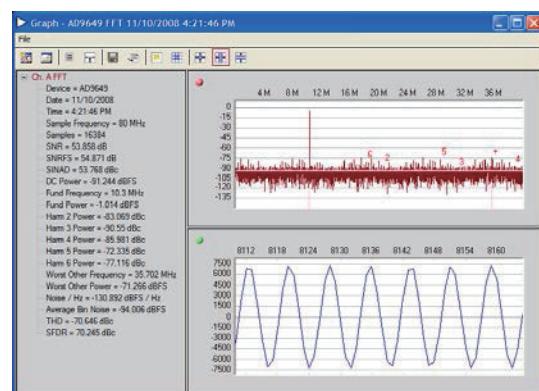


图21. AD9649 FFT/TD典型性能

图21显示了施加正确的输入信号时，频域和时域性能的典型示例。注意噪底平坦并且SNR和SFDR性能良好。



施加正确的信号幅度时，如果ADC模拟输入引脚上的共模电压悬空，就可能发生失真。注意图21和图22中SNR和SFDR性能的差异。输入信号在1V信号摆幅附近浮动，以正或负方式削波。



施加正确的信号幅度时，如果ADC模拟输入引脚上的共模电压太高(本例中>0.9 V)，就可能发生失真。注意与图21中的基线性能相比，图23中SNR和SFDR性能的差异。虽然输入信号正确，但如果CMV高于适当的值，信号就会被迫以正或负方式削波。

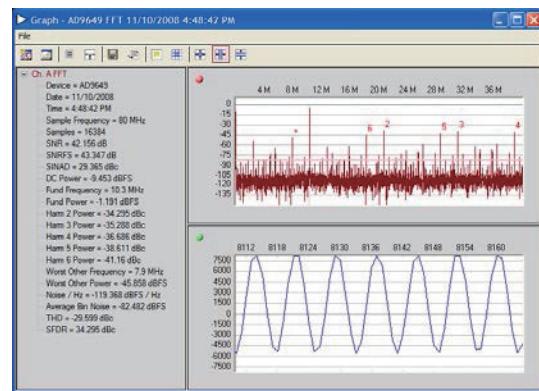


图24中，施加正确的信号幅度时，如果ADC模拟输入引脚上的共模电压不匹配(本例中，二者均不是0.9 V)，就可能发生失真和偏移。注意与图21中的基线性能相比，SNR和SFDR性能的差异。本例中，CMV高于或低于标称值，信号被迫以正或负方式削波。另外应注意信号如何偏移，而不是处于时域图的中央。

## 抗混叠滤波器考虑

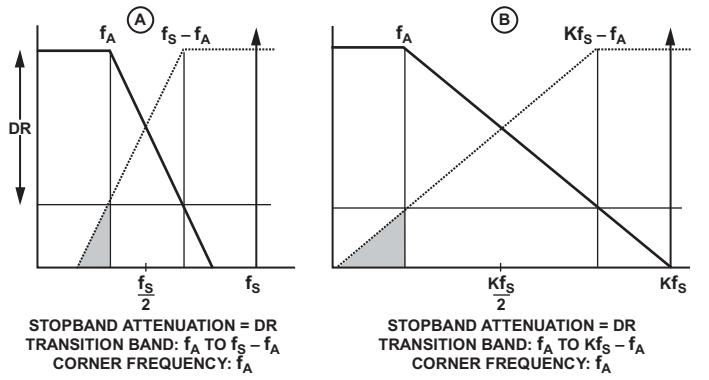


图25. 过采样降低对基带抗混叠滤波器的要求

图25说明一个基带信号的抗混叠滤波器要求，信号最高频率为 $f_a$ ，所需动态范围为DR。这是最差情况条件，因为它假设满量程信号可能出现在目标带宽以外，但这样的情况非常少。不过，这是一个很好的起点。

虚线区域表示目标带宽以外的信号可能会限制动态范围。对滤波器的要求可能相当高，特别是如果 $f_s$ 不是远大于 $2f_a$ ，如图25(A)所示。

举例来说，CD音频的采样速率为44.1 kSPS，音频的最大带宽为20 kHz。这种情况下， $f_s - f_a = 24.1$  kHz。要在20 kHz到24.1 kHz的过渡带内实现60 dB的阻带衰减，几乎是不可能的，尤其是在音频应用要求线性相位的情况下。

因此，许多系统依赖图25(B)所示的过采样方法来降低对模拟抗混叠滤波器的要求。 $\Sigma-\Delta$ 型转换器就是一个很好的过采样例子。DAC的输出通过所谓“抗镜像”滤波器滤波，它所起的作用在本质上与ADC前端中的抗混叠滤波器相同。

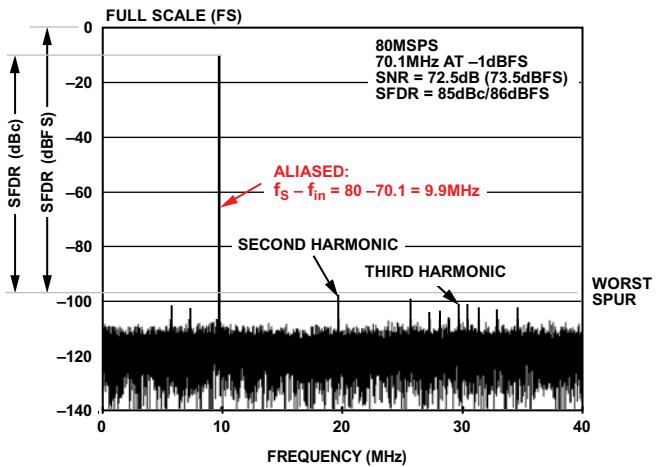
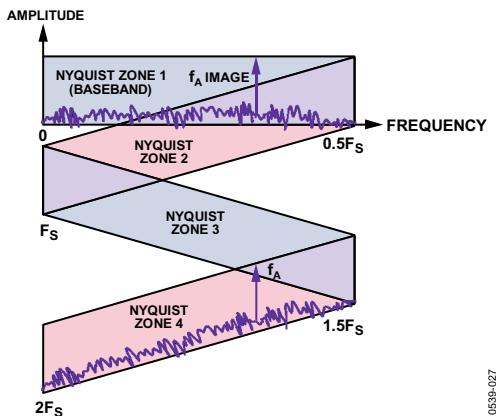


图26. AD9644 14位、80 MSPS ADC SFDR(70.1 MHz输入)

图26显示一个70.1 MHz信号由AD9644以80 MSPS的速率采样。注意在FFT频谱中，由于混叠，70.1 MHz信号实际上出现在 $80 - 70.1 = 9.9$  MHz。本例中，SFDR约为85 dBc或86 dBFS。dBc表示相对于载波信号的测量结果，dBFS则表示相对于满量程载波信号或0 dBFS的测量结果。

图27. 在 $F_s$ 采样的欠采样模拟信号 $f_a$ 的镜像

(混叠)位于 $|±KF_s ± f_a|$ ,  $K = 1, 2, 3 \dots$

图27中绘出了奈奎斯特区，说明了IF信号如何折回到基带。一般认为IF信号位于第一奈奎斯特区以上的任何奈奎斯特区，第一奈奎斯特区或 $F_s/2$ 是基带。

## 注意事项

放大器驱动前端的主要特性如下：

- 可以保留信号的直流成分
- 在前一级与ADC之间提供约40 dB到60 dB的隔离
- 需要增益时更容易处理，而且与增益带宽积的关系不大
- 固有噪声与信号一起被放大
- 通带纹波较少
- 可将单端信号转换为差分
- 带宽通常低于变压器，但会随着时间而提高

决定使用无源(变压器或巴伦)还是有源(放大器)ADC前端模拟输入时，重要考虑事项如下：

对于放大器驱动的输入

- 交流或直流耦合
- 提高良好的隔离
- 增益设置可远程控制
- 限制ADC性能，也就是说SNR会降低

对于变压器驱动的输入

- 仅限交流耦合
- 提高的隔离很糟糕
- 固定增益
- 不限制ADC性能，也就是说SNR不会降低

## 数据转换器的有用公式

$$\text{噪底}(-dB) = 6.02 \times n + 1.76 + 10 \times \log(N/2)$$

假设相干采样且无窗口(见表1)。

$$\text{噪底}(-dB) = 6.02 \times n + 10 \times \log(3 \times N/(p \times ENBW))$$

假设无相干采样且无窗口。

**表1**

FFT点数	12位	14位	16位
1024	101	113	125
2048	104	116	128
4096	107	119	131
8192	110	122	134
16384	113	125	137
32768	116	128	140
SNR (dB)	74.0	86.0	98.1

### 有效位数(ENOB)

$$ENOB (\text{BITS}) = (SINAD - 1.76 + 20 \times (FSR/ActualFSR))/6.02$$

### 信纳比(SINAD)

$$SINAD (dB) = -20 \times \log(\sqrt{10(-\text{SNR W/O DIST}/10) + 10(THD/10)})$$

### 总谐波失真(THD)

$$THD (-dB) = 20 \times \log(\sqrt{(10(-2\text{ND HAR}/20))^2 + (10(-3\text{RD HAR}/20))^2 + \dots + (10(-6\text{TH HAR}/20))^2})$$

### 理论信噪比(SNR)

$$RMS\text{信号} = (FSR/2)/\sqrt{2}$$

$$RMS\text{噪声} = Qn = q/\sqrt{12}$$

$$SNR (dB) = rms\text{信号}/rms\text{噪声} = 20 \times \log(2(n-1) \times \sqrt{6}) = 6.02 \times n + 1.76$$

### 定义/术语

Fs = 采样速率(Hz)

Fin = 输入信号频率(Hz)

FSR = 满量程(V)

n = 位数 q = LSB大小

Qn = 量化噪声

LSB = 最低有效位 = FSR/2^n

N = FFT点数

ENBW = 窗口函数的等效噪声带宽(例如，四项Blackman-Harris窗口的ENBW = 2)

