

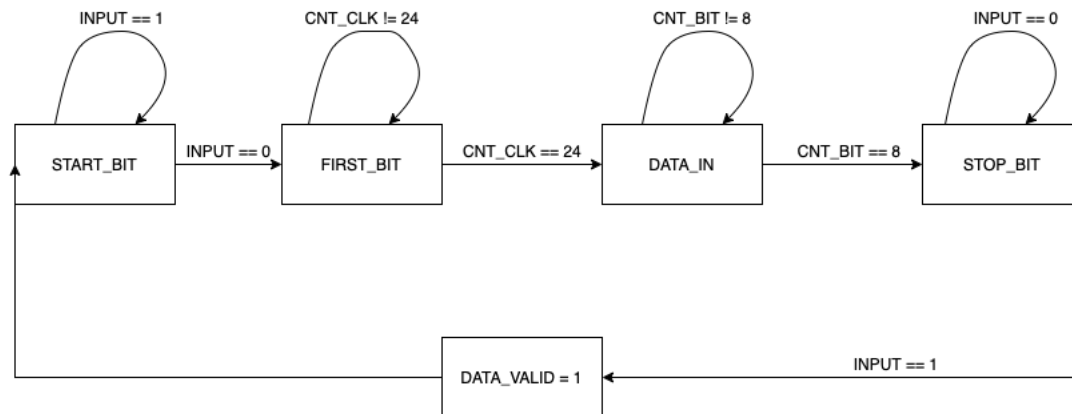
Výstupní zpráva

Jméno: Adam Nieslanik

Login: xniesl00

Návrh automatu FSM

Schéma obvodu



Popis funkce:

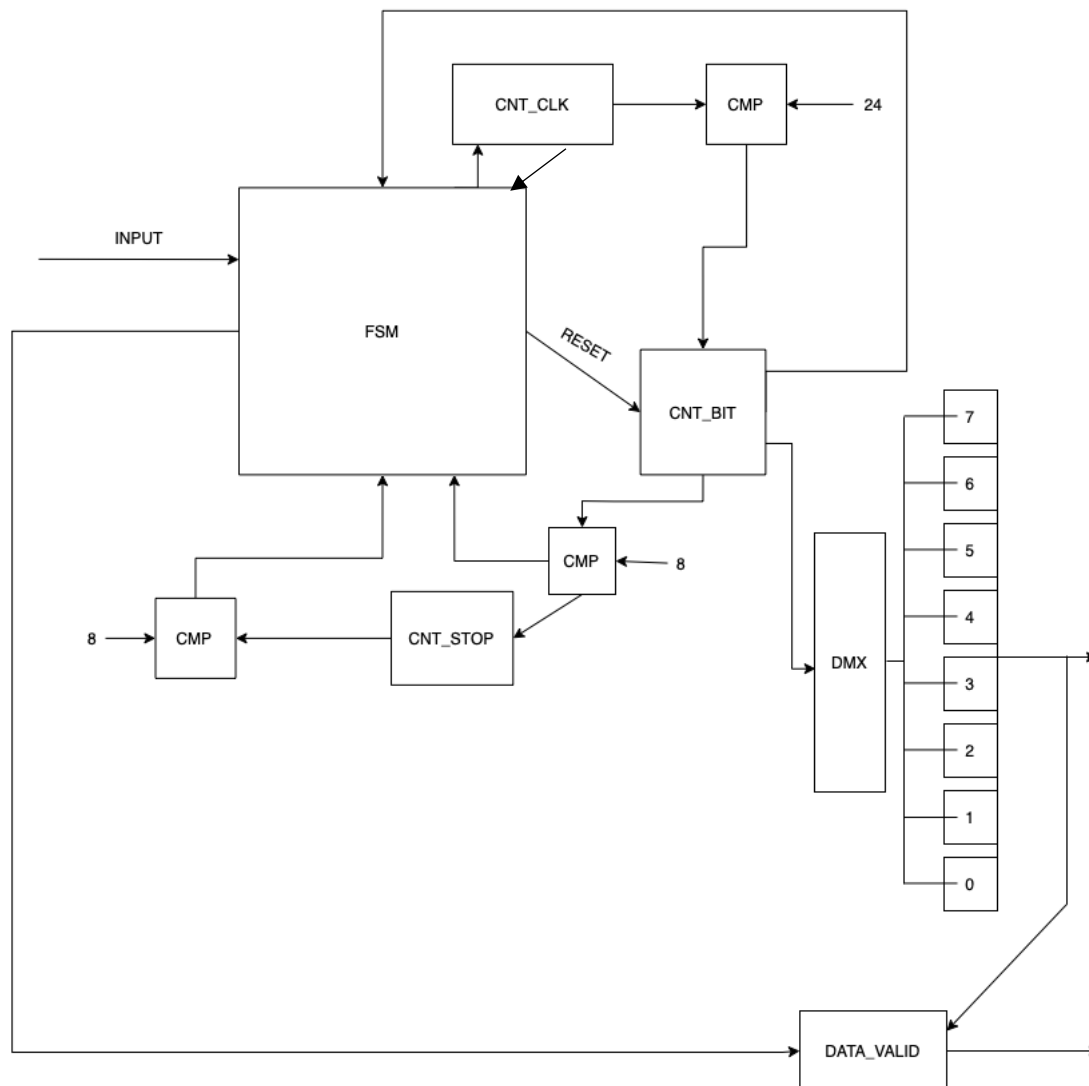
Na začátku, ve stavu START_BIT čeká na první bit a přepne se do stavu FIRST_BIT poté, co se INPUT změní na 0.

Začne načítat první bit od midbitu, což trvá 24 CLK, pokud dosáhne této hodnoty, přepne se do stavu DATA_INPUT, kde začne načítat jednotlivé bity slova. Pokud načte všechny potřebné bity, čeká na poslední bit, tzv. stopbit a změní svůj stav na STOP_BIT.

Když přestane přijímat další data (INPUT s hodnotou 1), přes validaci, ve které zkontroluje správnost výstupních dat, se vrátí do stavu START_BIT.

Architektura navrženého obvodu (na úrovni RTL)

Schéma automatu



Popis funkce:

Obvod se skládá z FSM, který na začátku zresetuje počítadlo **CNT_BIT**, počítadel **CNT_STOP** a **CNT_CLK** a Demultiplexoru pro zápis dat na výstup. Přenos dat je reprezentován **INPUT**-em.

Při načteném Startbitu, čeká 24 hodinových cyklů přes **CNT_CLK**, dokud nenarazí na midbit prvního bitu. Dále začne načítat 8 jednotlivých bitů slova z **INPUT**, které počítá **CNT_BIT**. Po načtení příslušných bitů čeká na stopbit, který kontroluje **CNT_STOP**.

Jednotlivé bity slova jsou zapisovány přes Demultiplexor na výstup poté, co jsou zvalidovány na **DATA_VALID**.