



EES-331 用户手册

2017.12 ver1.0



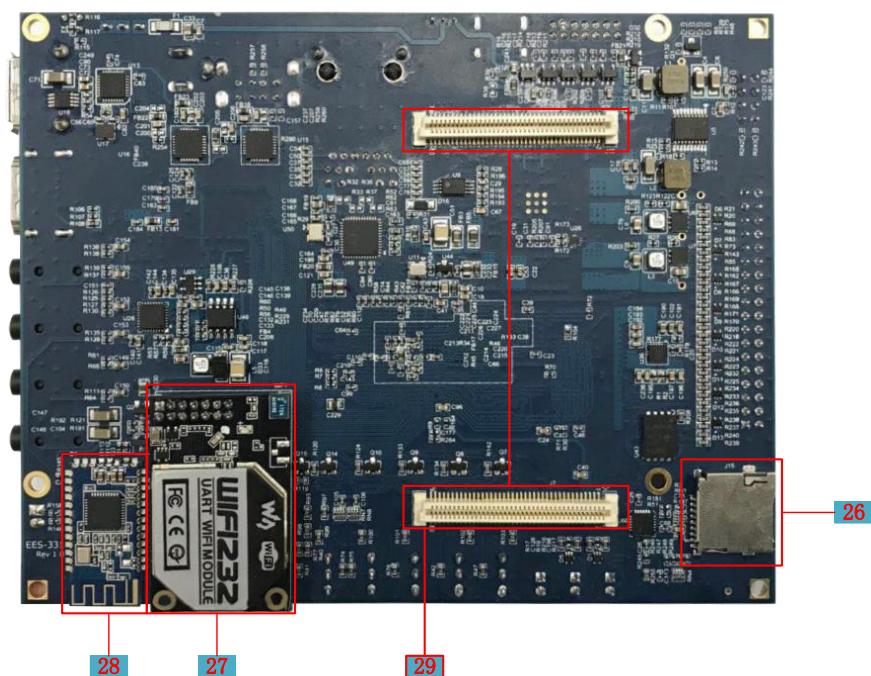
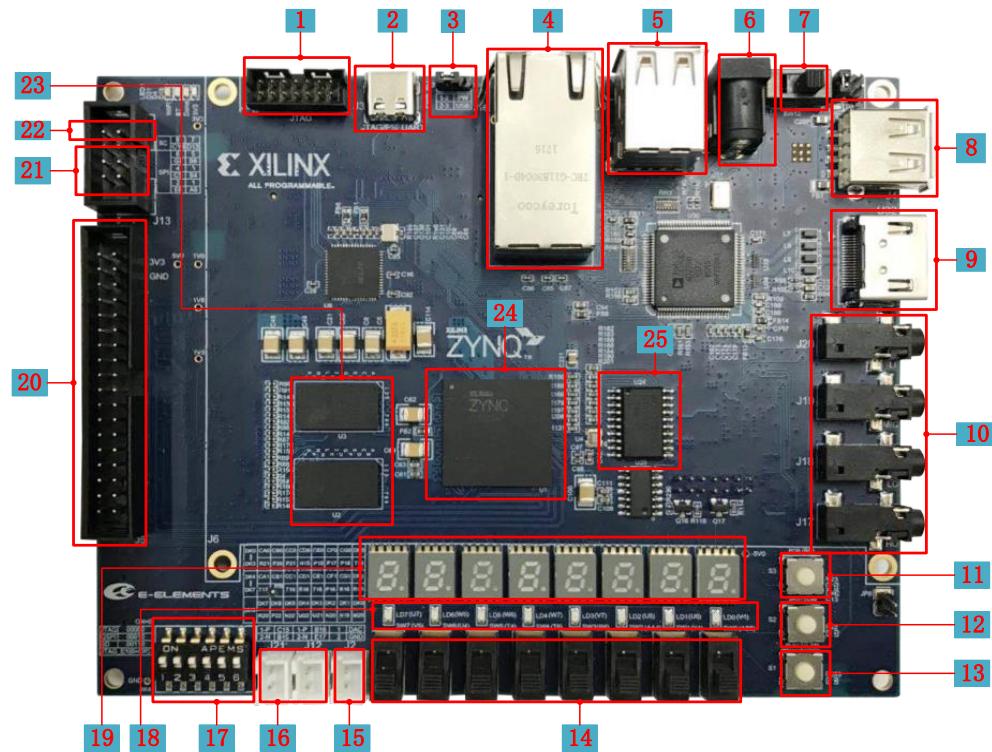
依元素科技有限公司

目录

1. 概述	1
2. 注意事项	2
3. FPGA 资源概览	3
4. 板卡供电	4
5. 系统时钟	5
6. 启动配置方式	6
7. 复位电路	7
8. PS——DDR3	8
9. PS——SD 卡接口	9
10. PS——QSPI 接口	10
11. PS——USB	11
12. PS——UART0/UART1	13
13. PS——以太网	15
14. PL——UART	17
15. PL——IIC	17
16. PL——扩展 IO-J5	18
17. PL——DAC0832	21
18. PL——八段数码管	22
19. PL——拨码开关	26
20. PL——LED 灯	27
21. PL——按键电路	28
22. PL——音频电路	28
23. PL——HDMI 视频接口	29
24. PL——蓝牙模块电路	32
25. PL——WIFI 模块电路	33
26. PL——底部扩展 IO-fx8	34
27. XADC 模块	37
联系我们	39

1. 概述

EES-331 是依元素科技基于 Xilinx ZYNQ-7000 FPGA 研发的基础教学平台。EES-331 配备的 FPGA (xc7z020clg484-1) 具有 ARM-A9 双核处理器+丰富 PL 逻辑资源等特点，结合 SoC 设计的概念能实现较复杂的数字逻辑设计和复杂的控制逻辑设计。该平台拥有丰富的外设，以及灵活的通用扩展接口。



开发平台主要功能外设概览：

编号	功能描述
1	外部 JTAG 调试下载器接口
2	PS 端的 UART1 转 USB3.0 (支持 USB 供电) *1
3	供电方式选择
4	PS 端的以太网接口*1
5	PL 端的 UART 转 USB(J8 上)/PS 端的 UART0 转 USB(J8 下)
6	外部 5V 电源适配器供电端子
7	电源开关
8	USB 通信母口(J4)*1
9	HDMI 母座*1
10	音频: line_in *1/line_out *1/mac_in*1/hpd_out*1
11	POR 上电复位按键
12	PS 软件复位按键
13	PL 全局时钟引脚 (可做 PL 逻辑复位按键使用)
14	SW 拨码开关*8
15	DAC0832 数模转换输入引脚*1
16	XADC 独立接口*2
17	启动配置方式配置开关
18	LED 灯*8
19	8段数码管*8
20	双排 36PIN2.54 间距排针接插件*1
21	PS 端的 SPI1 接口信号*1
22	PL 引脚 (带上拉电阻) 可做为 IIC 接口信号引脚*1
23	PS 上挂有的 1GB 容量的 DDR3 内存组
24	主控芯片-FPGA (xc7z020clg484-1)
25	DAC0832 数模转换芯片*1
26	PS 上挂有的 SD 卡插槽*1
27	WIFI 模块*1
28	蓝牙模块*1
29	双排 FX8 底板扩展口

2. 注意事项

- EES-331 支持多种方式下载和启动配置，具体配置方式参见第 6 节启动配置方式。
- 在使用 USB 接口时要注意开关 JP6 和 JP7，详细配置请见第 11 节 USB。
- 供电方式有两种选择，外部的 5V 电源或者 USB Type-C，详细的设置方法参见第 4 节板卡供电。
- XADC 只能对 0-1V 电压进行采样。
- 各个 BANK 的电压如下：

Zynq-7000 AP SoC Bank Voltages

PS-Side	
Bank	Voltage(default)
MIO Bank0/500	3.3V
MIO Bank1/501	1.8V
DDR	1.5V
PL-Side	
Bank0	3.3V
Bank13	3.3V
Bank33	3.3V
Bank34	3.3V
Bank35	3.3V

3. FPGA 资源概览

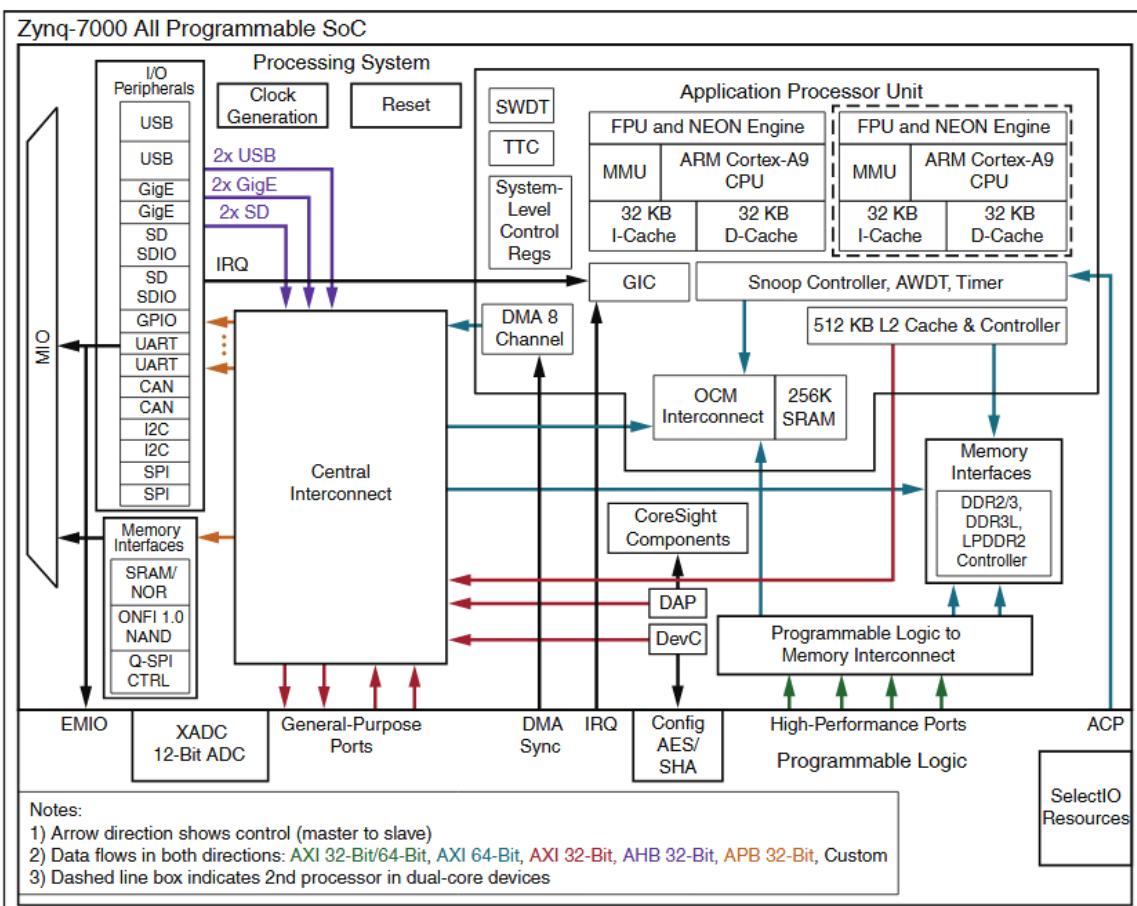
EES-331 采用 Xilinx ZYNQ-7000 系列 xc7z020clg484-1 FPGA，其资源如下：

Table 1: Zynq-7000 and Zynq-7000S All Programmable SoCs

	Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100						
Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100							
Processor System	Processor Core	Single-core ARM Cortex-A9 MPCore™ with CoreSight™															
	Processor Extensions	NEON™ & Single / Double Precision Floating Point for each processor															
	Maximum Frequency	667 MHz (-1); 766 MHz (-2)			667 MHz (-1); 766 MHz (-2); 866 MHz (-3)			667 MHz (-1); 800 MHz (-2); 1 GHz (-3)			667 MHz (-1) 800 MHz (-2)						
	L1 Cache	32 KB Instruction, 32 KB data per processor															
	L2 Cache	512 KB															
	On-Chip Memory	256 KB															
	External Memory Support ⁽¹⁾	DDR3, DDR3L, DDR2, LPDDR2															
	External Static Memory Support ⁽¹⁾	2x Quad-SPI, NAND, NOR															
	DMA Channels	8 (4 dedicated to Programmable Logic)															
	Peripherals ⁽¹⁾	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO															
	Peripherals w/ built-in DMA ⁽¹⁾	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO															
	Security ⁽²⁾	RSA Authentication, and AES and SHA 256-bit Decryption and Authentication for Secure Boot															
	Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)	2x AXI 32b Master 2x AXI 32-bit Slave 4x AXI 64-bit/32-bit Memory AXI 64-bit ACP 16 Interrupts															

Table 1: Zynq-7000 and Zynq-7000S All Programmable SoCs (Cont'd)

	Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
	Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Programmable Logic	Xilinx 7 Series Programmable Logic Equivalent	Artix®-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex®-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA
	Programmable Logic Cells	23K	55K	65K	28K	74K	85K	125K	275K	350K	444K
	Look-Up Tables (LUTs)	14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400
	Flip-Flops	28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800
	Block RAM (# 36 Kb Blocks)	1.8 Mb (50)	2.5 Mb (72)	3.8 Mb (107)	2.1 Mb (60)	3.3 Mb (95)	4.9 Mb (140)	9.3 Mb (265)	17.6 Mb (500)	19.2 Mb (545)	26.5 Mb (755)
	DSP Slices (18x25 MACCs)	66	120	170	80	160	220	400	900	900	2,020
	Peak DSP Performance (Symmetric FIR)	73 GMACs	131 GMACs	187 GMACs	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs
	PCI Express (Root Complex or Endpoint) ⁽³⁾		Gen2 x4			Gen2 x4		Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8
	Analog Mixed Signal (AMS) / XADC				2x 12 bit, MSPS ADCs with up to 17 Differential Inputs						
	Security ⁽²⁾										AES and SHA 256b for Boot Code and Programmable Logic Configuration, Decryption, and Authentication



4. 板卡供电

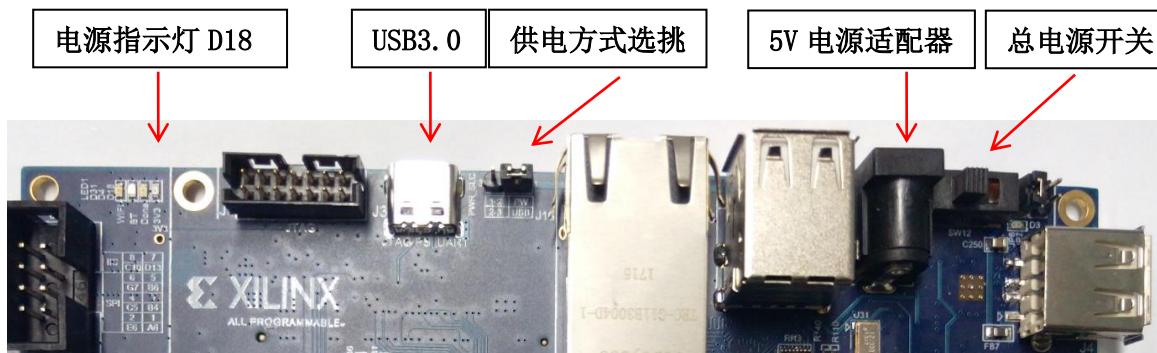
EES-331 供电方式有两种方案：

1、USB3.0 供电：可以通过 J3 的 USB3.0 供电。同时 J3 也是板载调试接口和 PS 的 UART1 的通信口，此种方式接线简单，调试方便。但是供电功率不够大，如果带有大负荷外设或者使用板上的 DAC 模块 DAC0832 会出现失真现象，故在此

类应用场景下不建议使用该方法供电。

2、外部 5V 电源供电：此种供电方式能满足板卡的充分供电。

上述两种供电方式需要通过选挑插针进行切换。详情见下图，并且板卡上有明确丝印指示。无论上述哪种方式，上电成功后指示灯 D18 会长亮。



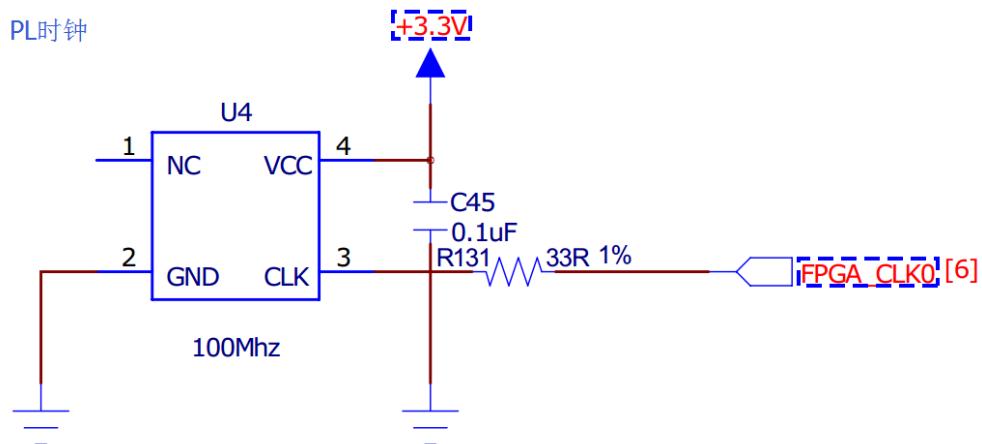
5. 系统时钟

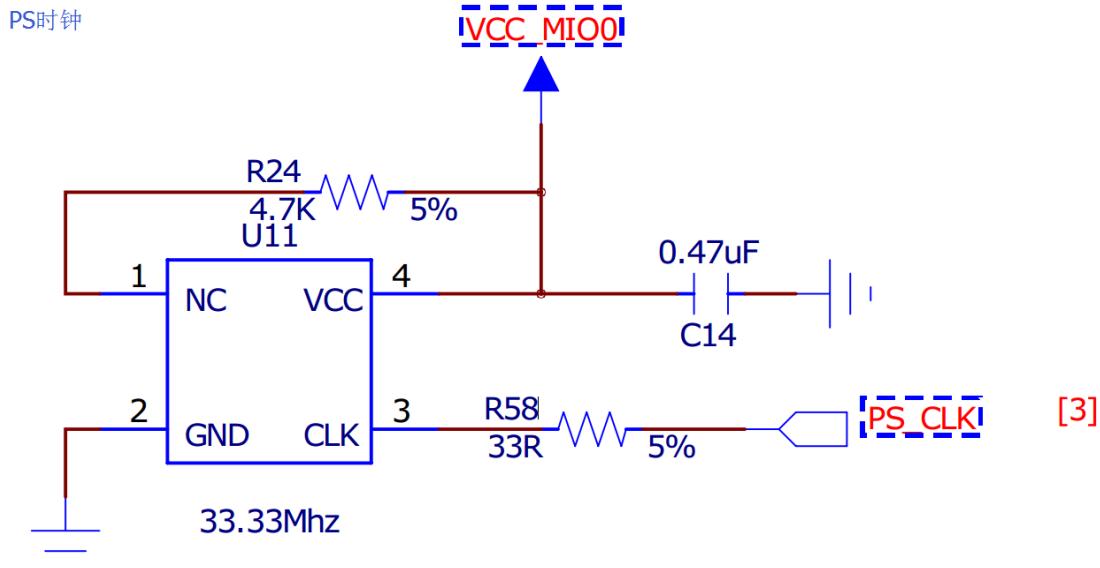
EES-331 搭载的是 ZYNQ 系列芯片除了 PL 逻辑资源外还有 PS 硬核 CORTEX-A9 双核处理器。PL 和 PS 分别有一个外部时钟。

PS：采用的是 33.33333MHZ 外部有源晶振

PL：采用的是 100MHZ 的外部有源晶振，时钟输入引脚为 M19

名称	原理图标号	FPGA IO PIN
PL 时钟引脚	FPGA_CLK0	M19
PS 时钟引脚	PS_CLK	F7





6. 启动配置方式

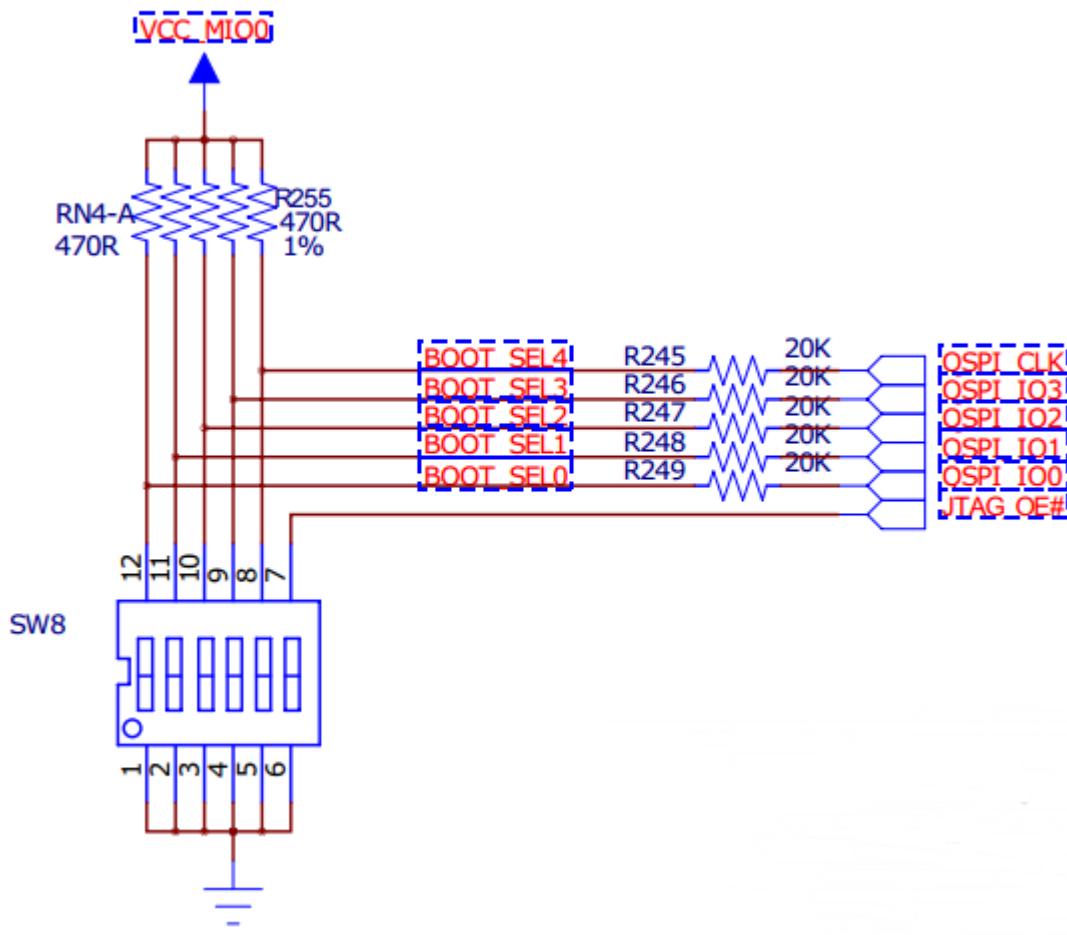
EES331 支持多种调试和启动方式:

- 1、外部 JTAG 下载调试器;
- 2、USB3.0 接口的板载下载调试器;
- 3、SD 卡启动;
- 4、SPI_FLASH 启动;

以上启动方式可以通过 SW8 的配置拨码开关进行选择。板卡上有明确的配置丝印。

下面表格也列出各种配置方式:

拨码开关往上拨表示该位数值为 0，既 ON=0，往下表示 1。 x 表示不影响						
序号	配置方式	SW8 配置拨码开关				
		1	2	3	4	5
1	外部 JTAG 下载调试器	0	0	0	0	0
2	板载下载调试器	0	0	0	0	0
3	SD 卡启动	0	0	1	1	x
4	SPI_FLASH 启动	0	0	0	1	0

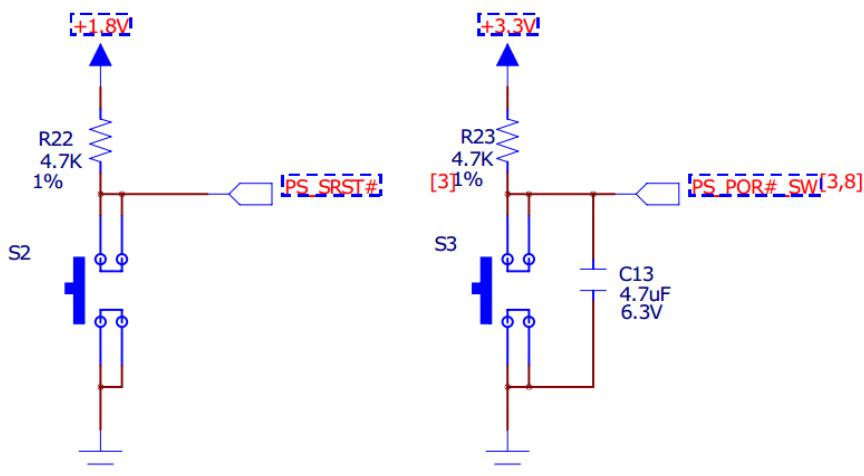


启动方式配置拨码开关

7. 复位电路

PS_SRST# : 系统复位

PS_POR#_SW : 上电复位

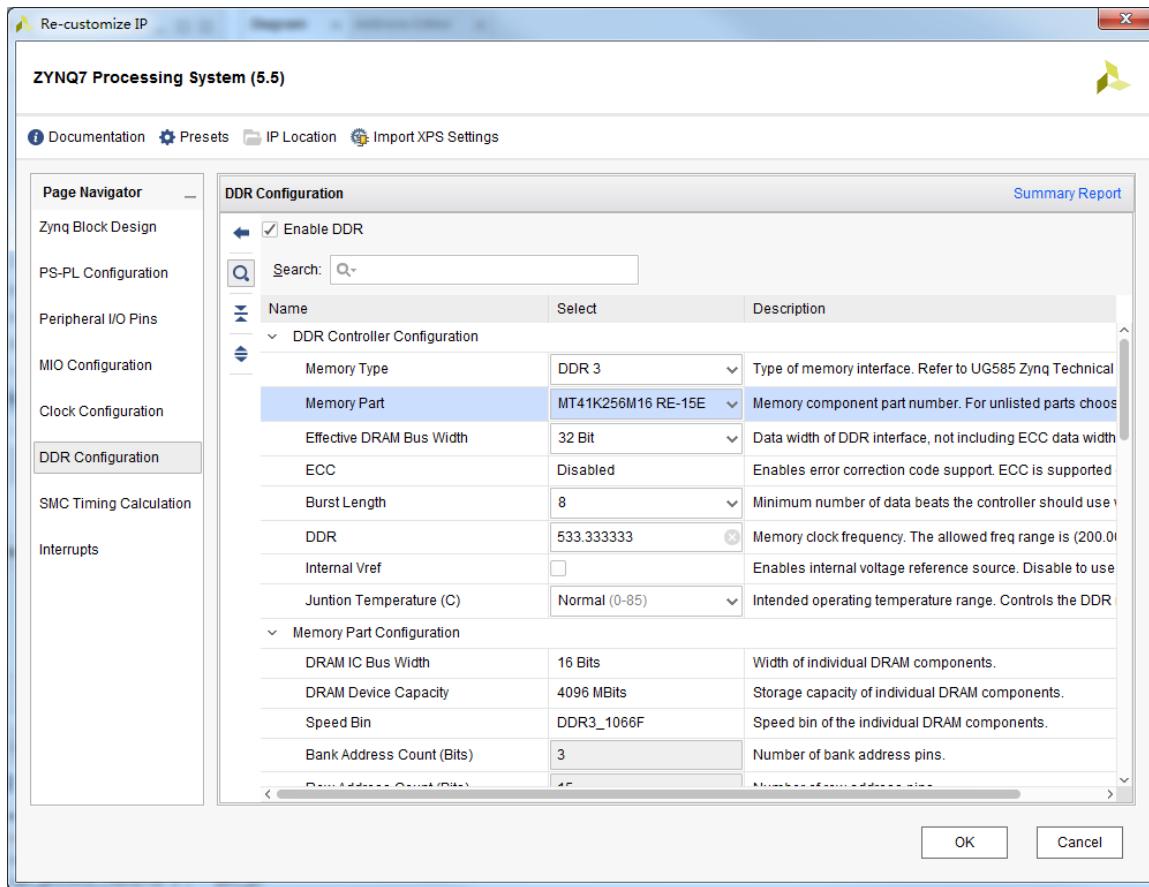


管脚约束表				
器件型号/类别: 复位按键				
序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	S2	PS_SRST#	C9	IN
2	S3	PS_POR#_SW	B5	IN

8. PS——DDR3

EES331 的 DDR 容量为 1GB，型号为 MT41K256M16 RE-15E。挂在 PS 端的存储器控制器上。

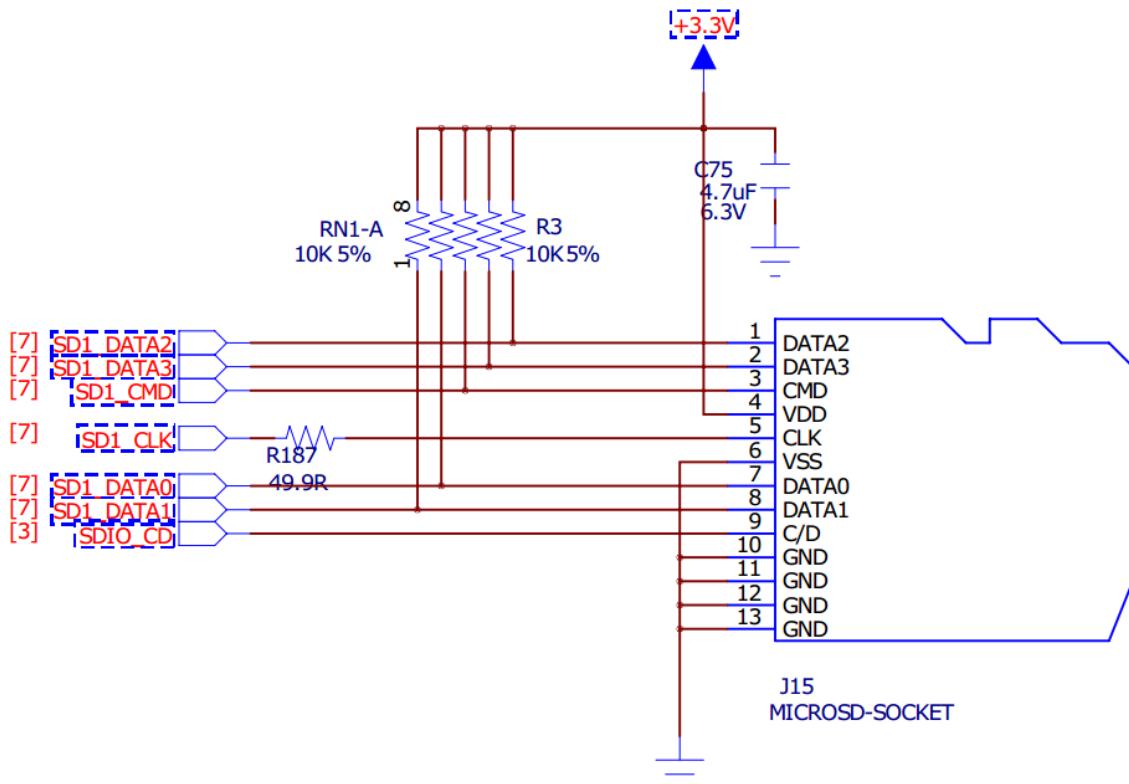
图形化配置界面如下：



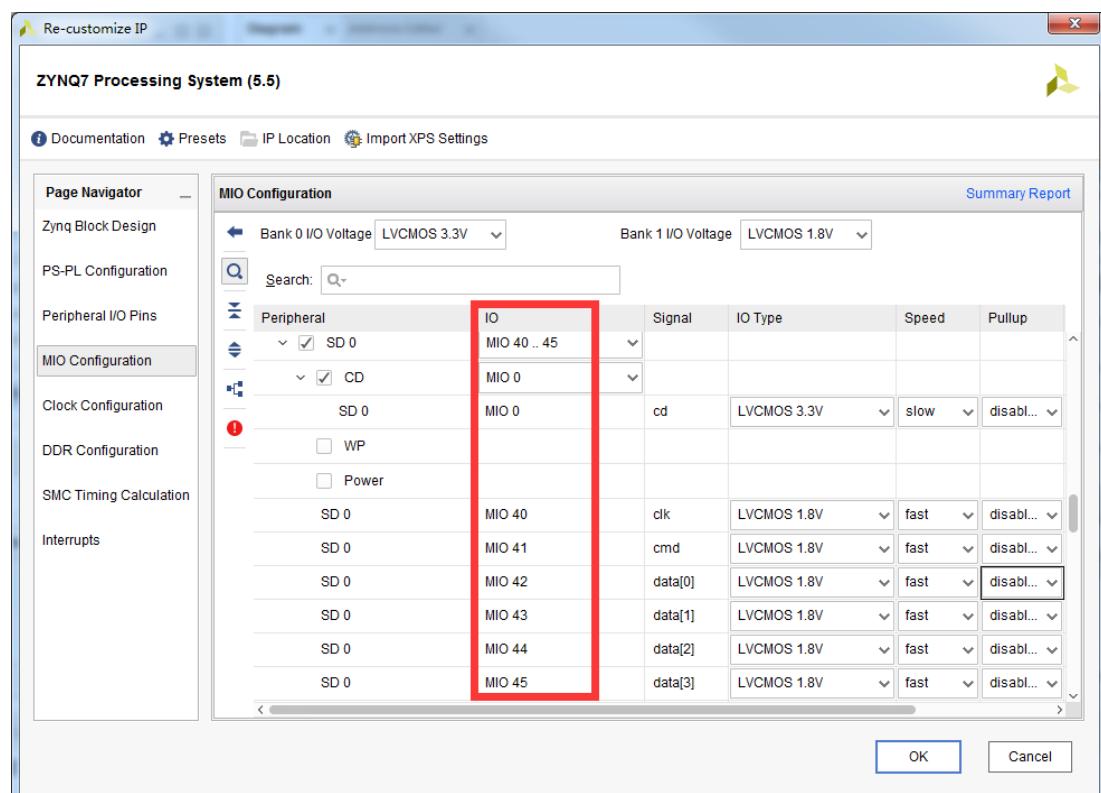
9. PS—SD 卡接口

ES331 配备了 micro SD 卡插槽。支持 SD 卡的启动。在配置上选择了 PS 的 SD0 外设。

原理图如下：



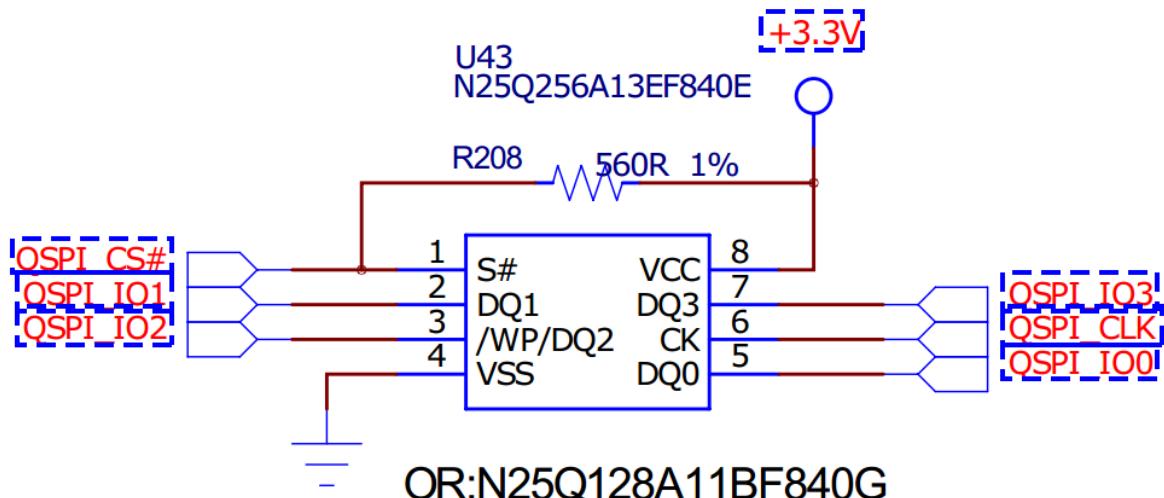
图形化配置如下：



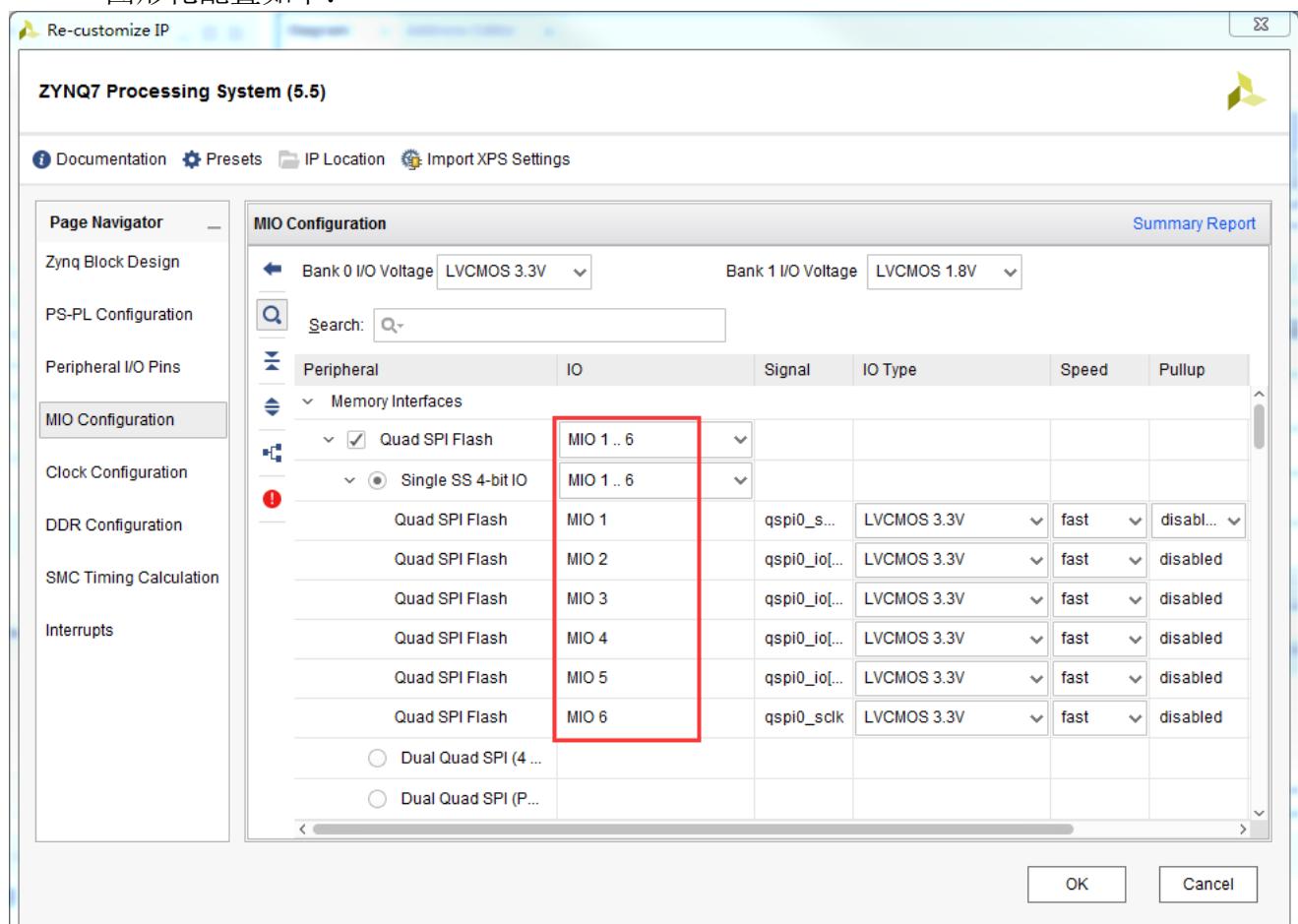
10. PS——QSPI 接口

EES331 在 PS 端外挂了一片 SPI FLASH，型号是 N25Q256A13EF840E。支持从 SPI FLASH 启动。

原理图如下：



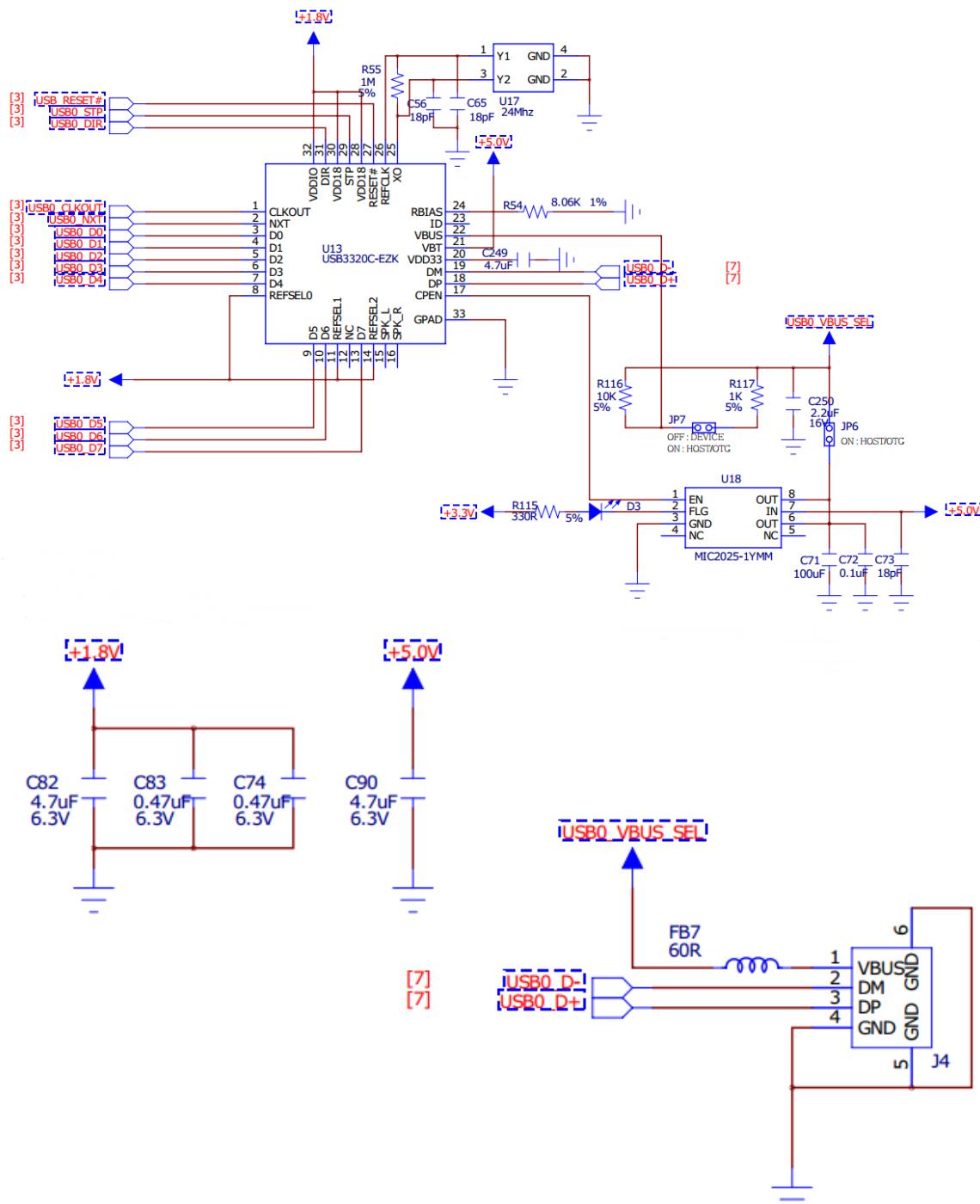
图形化配置如下：



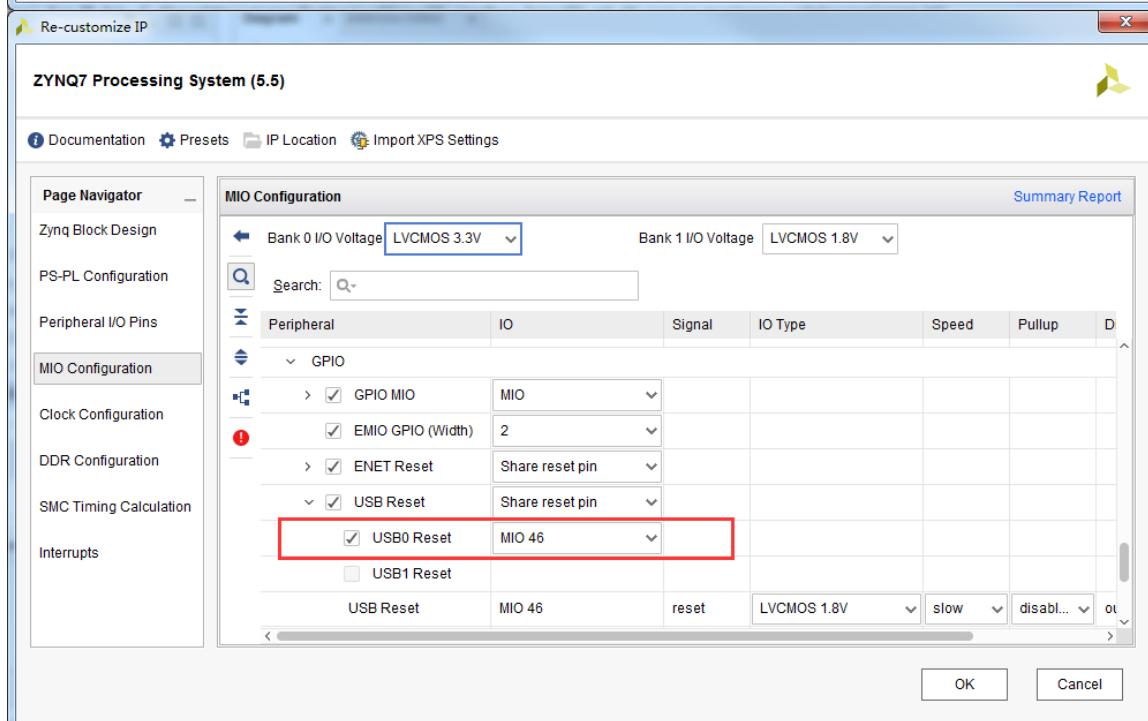
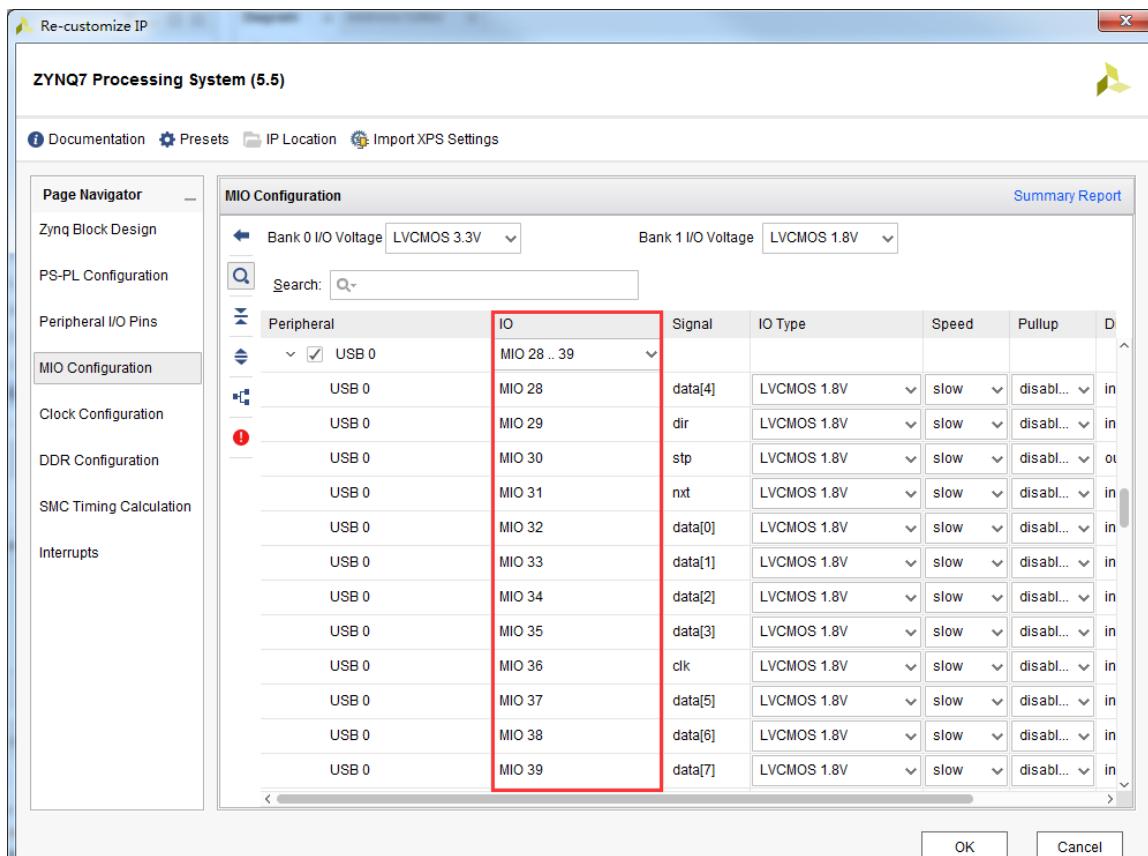
11. PS—USB

EES331 支持 USB2.0 OTG PHY。通过设置跳帽 JP6, JP7, 可以配置为 Host, Device 和 OTG 模式。

原理图如下：



图形化配置如下：



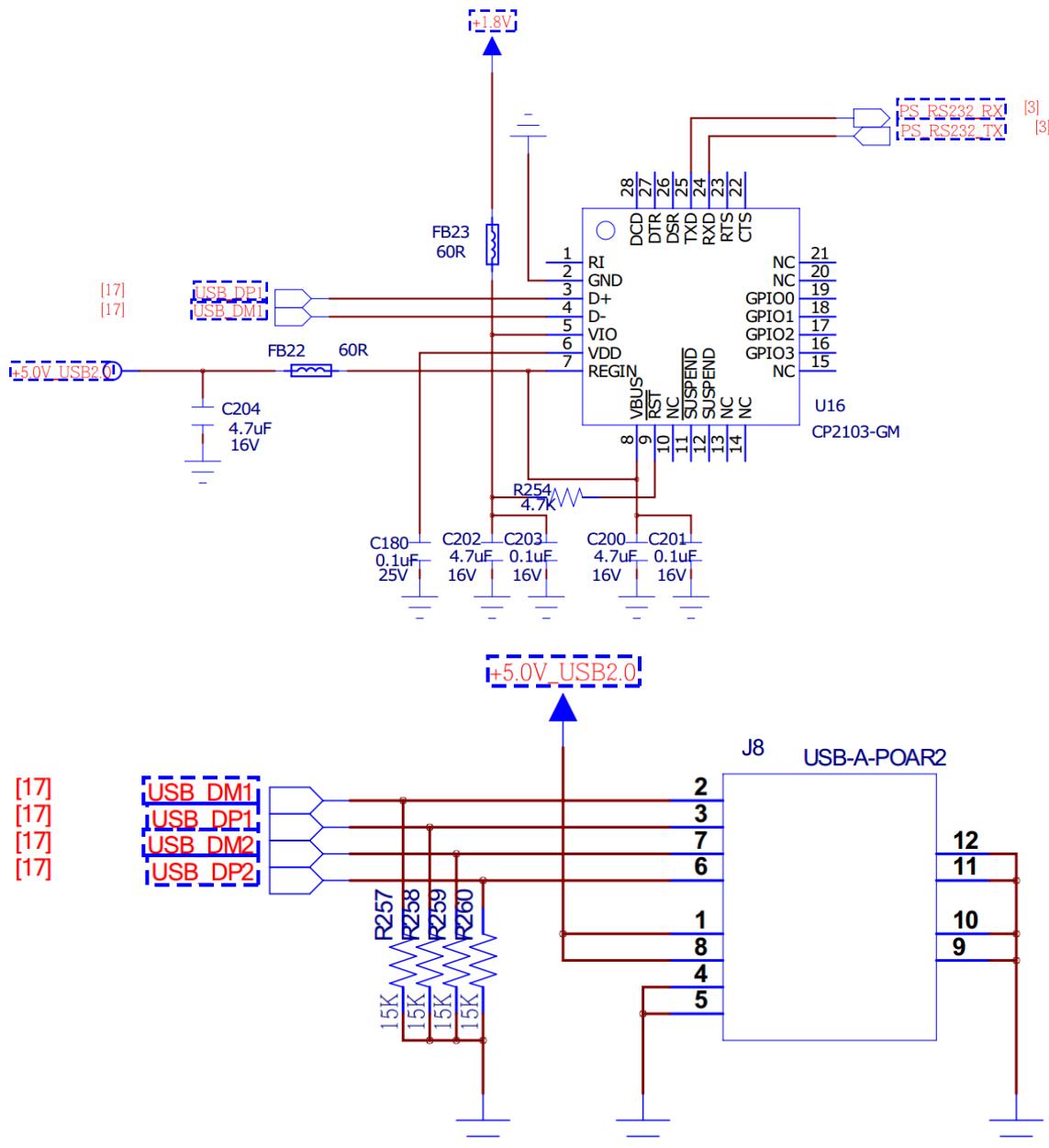
12. PS—UART0/UART1

PS 端有两个 UART 模块，本开发板将两个 UART 都引出，方便用户选择开发使用。

UART0: 通过 MIO 50,MIO 51 分别引出 RX/TX 信号，并转为 USB 通信方式通过 J8 端子的一个 USB2.0 母口与外部通信。

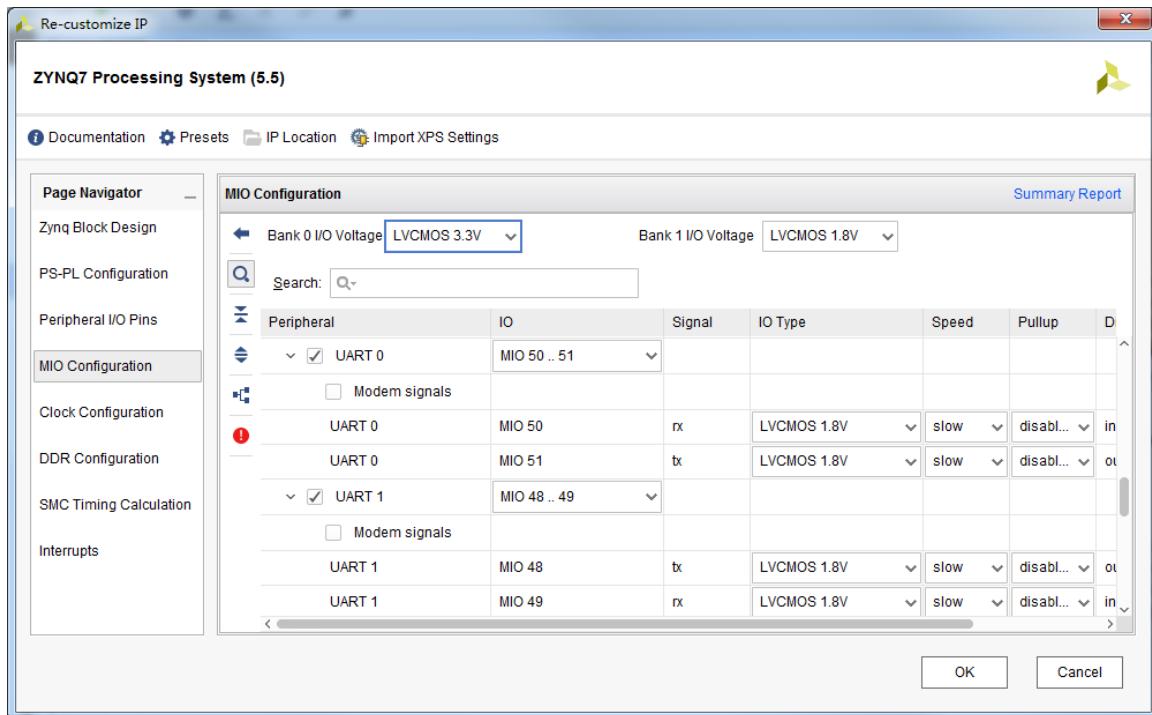
UART1：通过 MIO 48,MIO 49 分别引出 TX/RX 信号，并转为 USB 通信方式通过 J3 端子经 USB3.0 母口与外部通信。

UART0 原理图如下：



使用 UART1 通信需要通过 USB3.0 接口与外部连接，同时 USB3.0 还支持板载下载调试器。所以这里就不给出原理图。只要 PS 端在图形化配置端配置 UART1 到指定的 MIO48/MIO49 上即可使用。

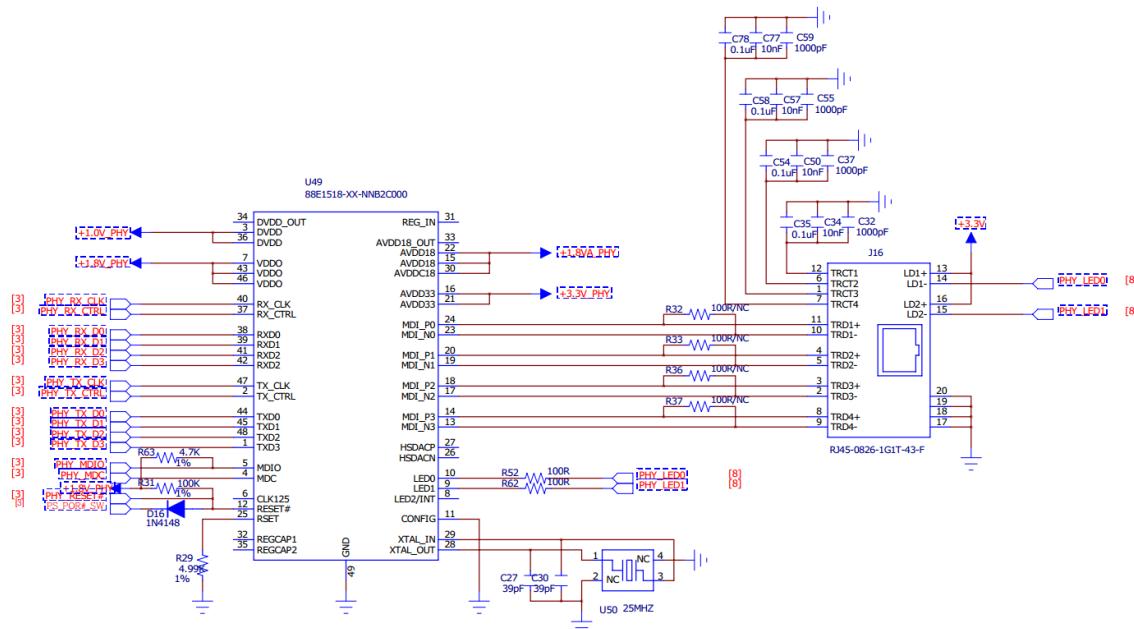
图形化配置如下：

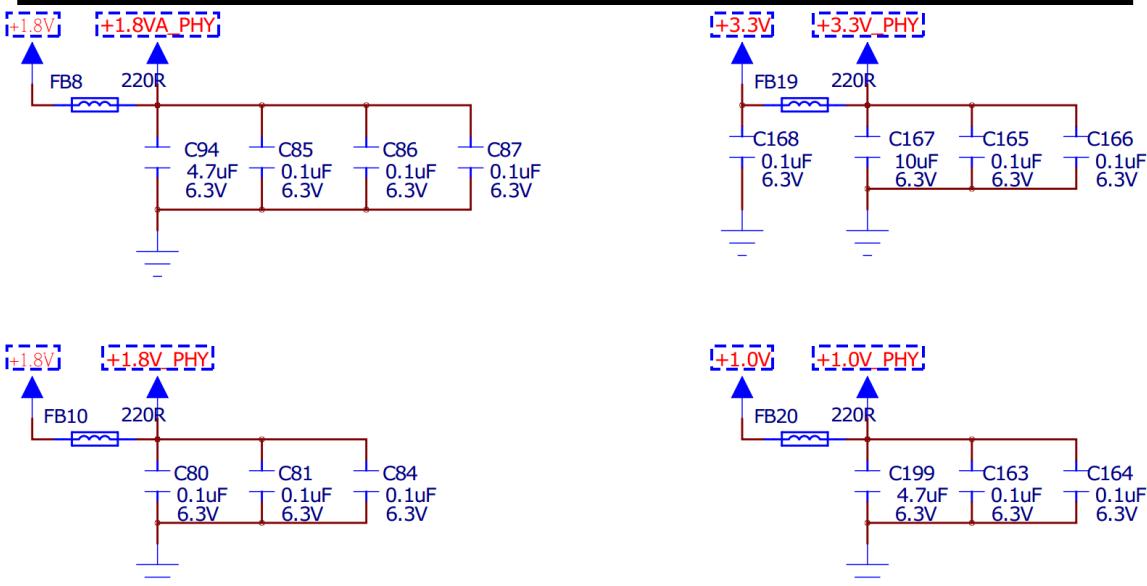


13. PS——以太网

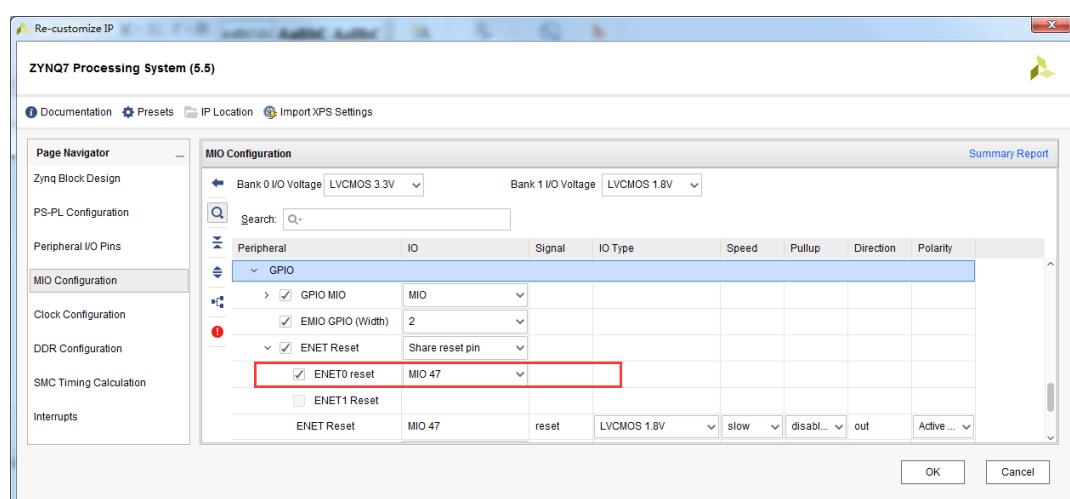
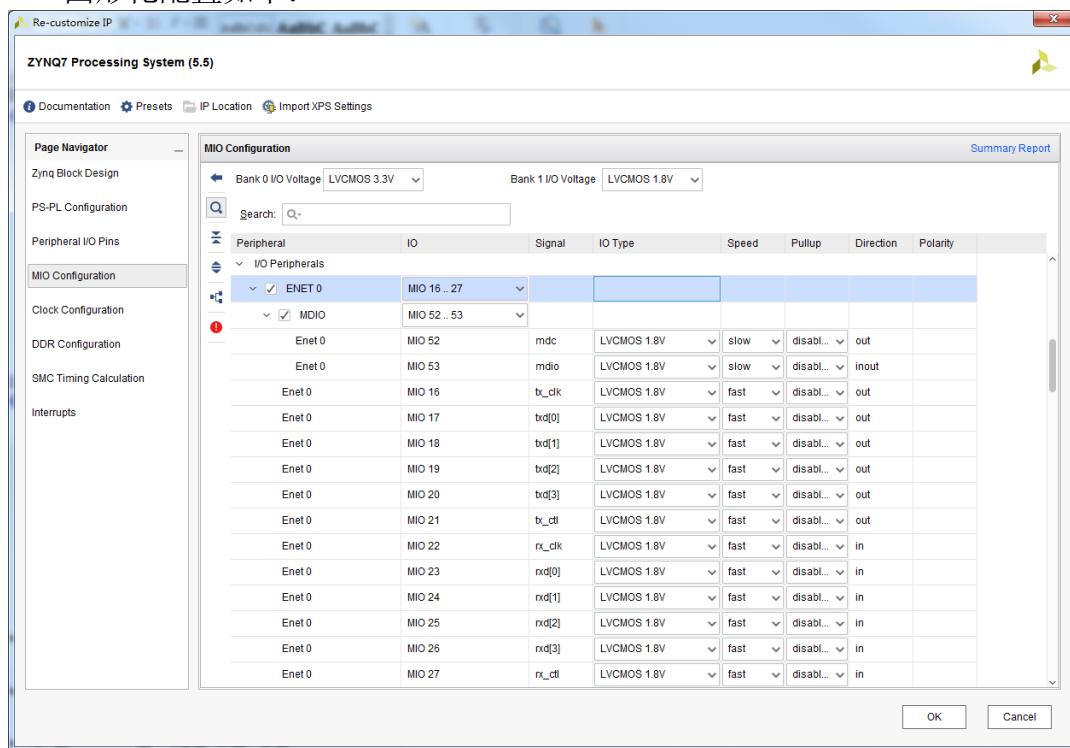
EES331 在 PS 端引出了以太网 ENET0，以太网 PHY 芯片型号为 88E1518，可以支持网络通信，通信管脚分配在 MIO16~MIO27, 配置引脚 MDIO 分配在 MIO52 MIO53 上。具体配置引脚参考图形化配置方案。

原理图如下：





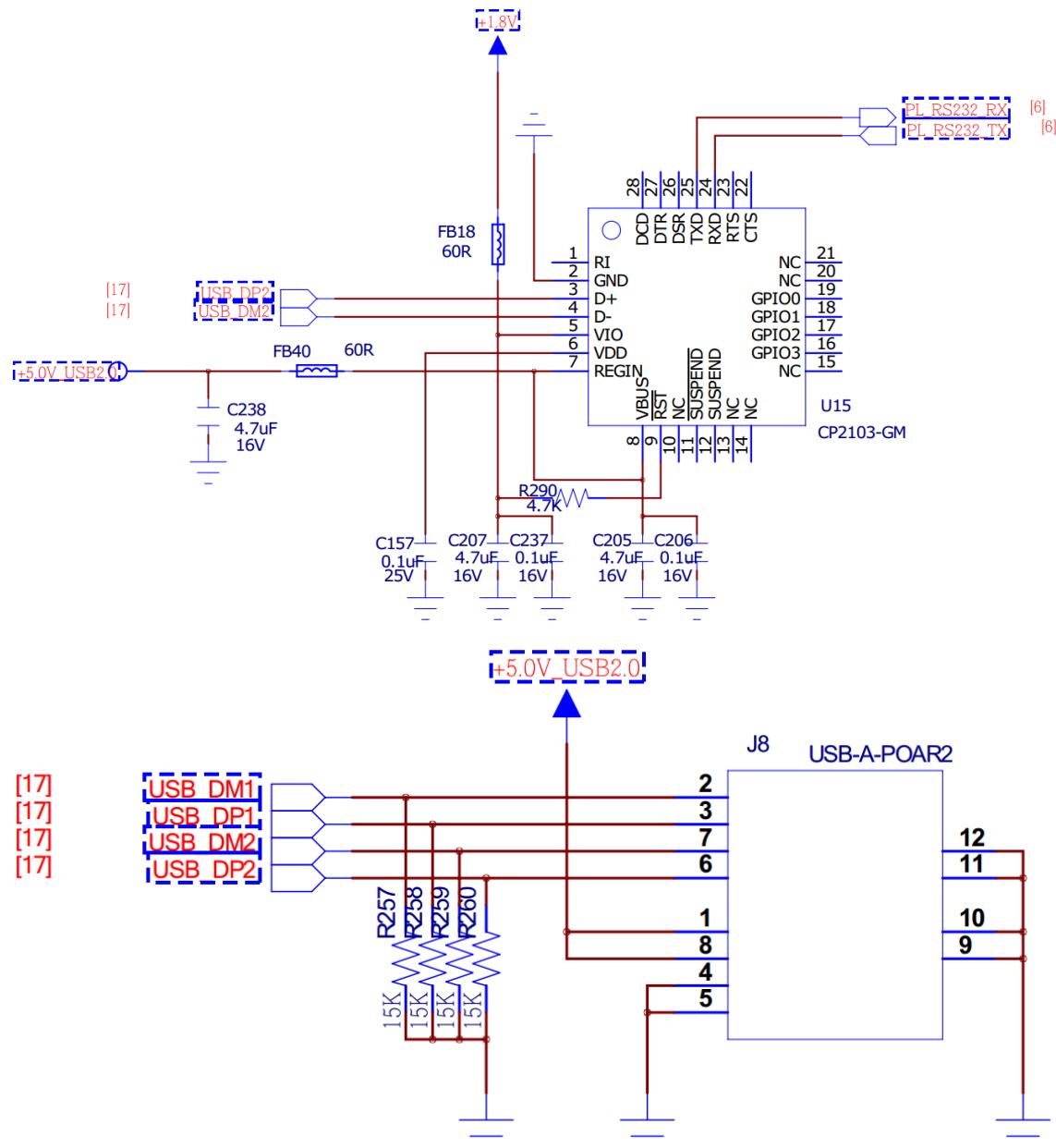
图形化配置如下：



14. PL——UART

EES331 在 PL 端设计了一路 UART 模块电路，方便学习使用串口功能。该 UART 经 CP2103 芯片转换成 USB 通信方式经过 J8 的 USB2.0 母口与外部通信。

原理图如下：



管脚约束表

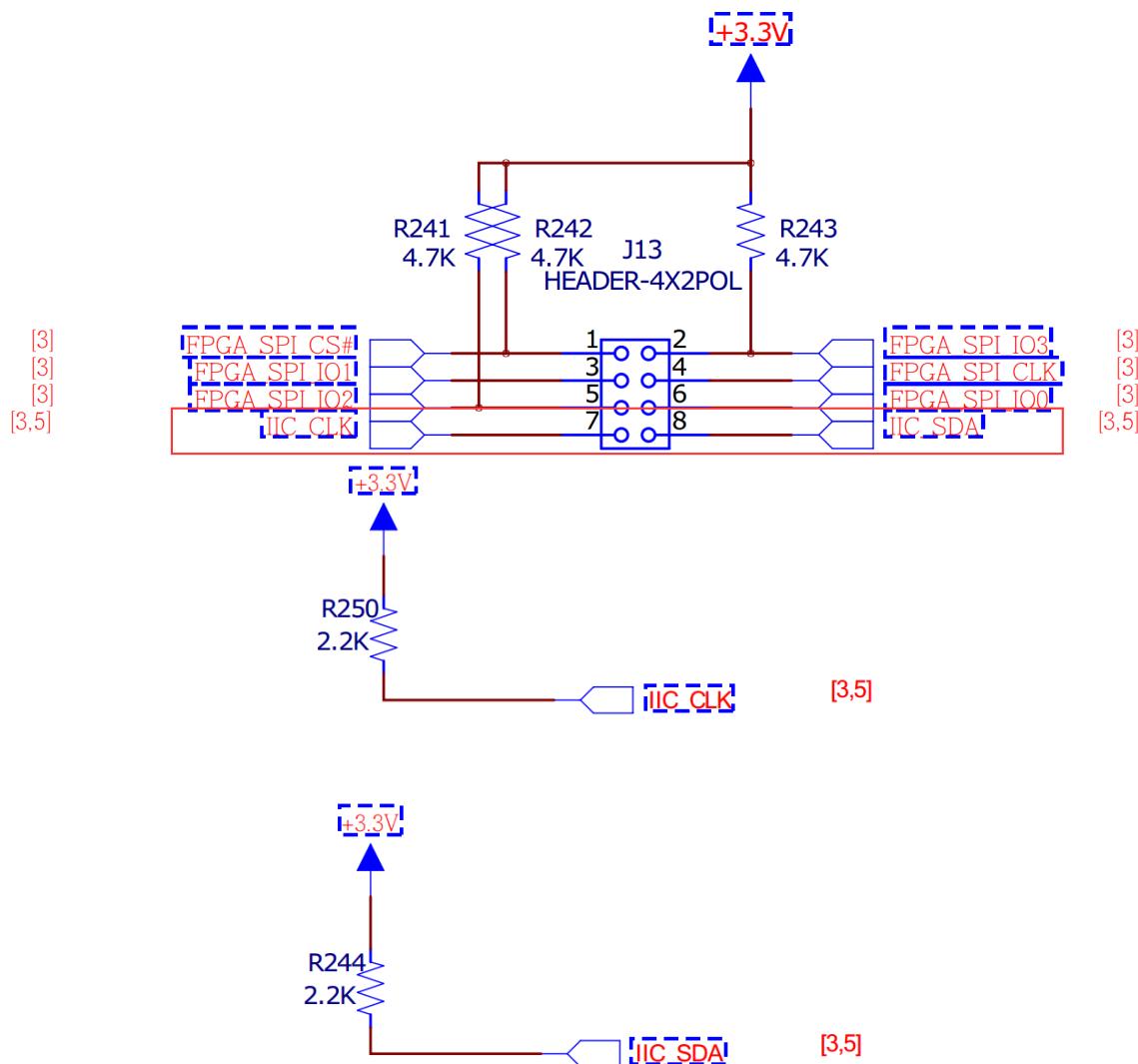
器件型号/类别：PL 端 UART 模块

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	25	PL_RS232_RX	A16	IN
2	24	PL_RS232_TX	A17	OUT

15. PL——IIC

EES331 在 PL 端设计了一路 IIC 模块电路，方便学习使用 IIC 功能。其电路本质上是从 PL 端引出了两根 IO 引脚，并默认给他们加了上拉电阻。用户可以通过 PL 写 IIC 控制协议进行通信，也可以通过 PS+EMIO 的方式利用这对 IO 进行开发。其两根信号 IIC_CLK 和 IIC_SDA 放置在 J13 端子的 7, 8 引脚上。

原理图如下：

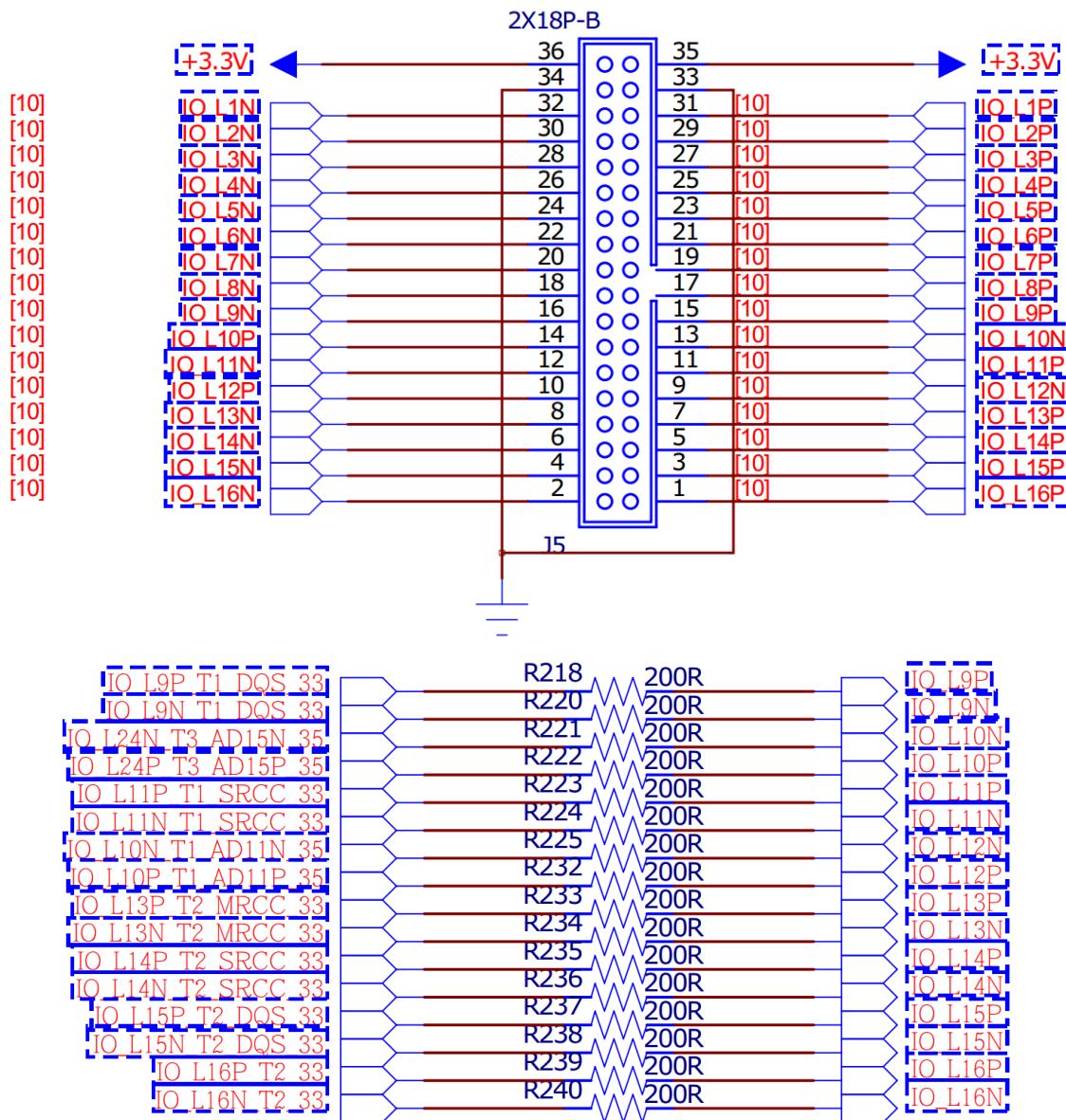


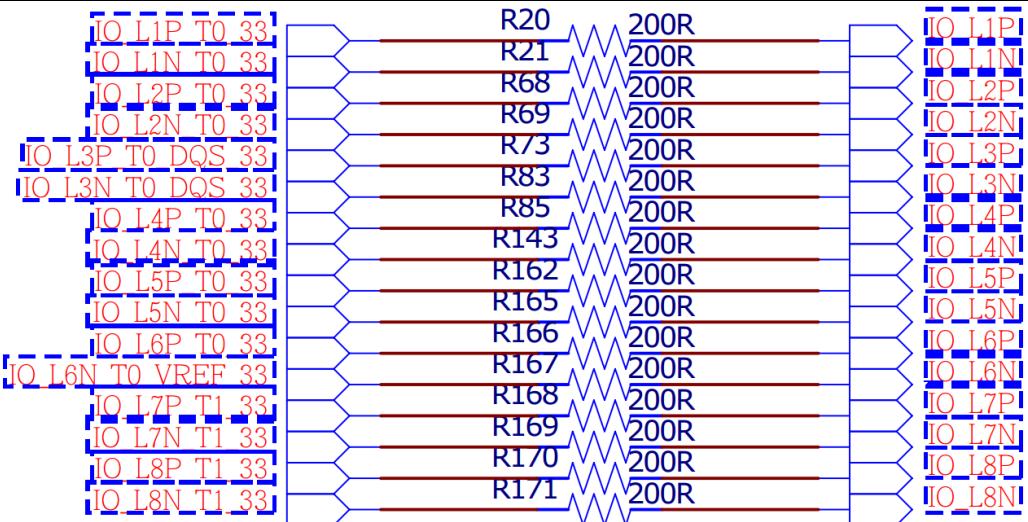
管脚约束表				
器件型号/类别：PL 端 IIC 模块				
序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	J13-7	IIC_CLK	V14	INOUT
2	J13-8	IIC_SDA	V15	INOUT

16. PL——扩展 IO-J5

EES331 的 J5 接插座是可以作为扩展 IO 使用。并且还有 XADC 模块，也可当扩展 XADC 引脚使用。除了电源和 GND 外，每个 IO 还都串了一个 200R 的电阻起到保护作用。

原理图如下：





管脚约束表

器件型号/类别: J5 端 IO 约束

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	J5-1	IO_L16P	U17	自定义
2	J5-2	IO_L16N	V17	自定义
3	J5-3	IO_L15P	U15	自定义
4	J5-4	IO_L15N	U16	自定义
5	J5-5	IO_L14P	W16	自定义
6	J5-6	IO_L14N	Y16	自定义
7	J5-7	IO_L13P	W17	自定义
8	J5-8	IO_L13N	W18	自定义
9	J5-9	IO_L12P (xadcl1P)	A18	
10	J5-10	IO_L12N (xadcl1N)	A19	
11	J5-11	IO_L11P	Y19	自定义
12	J5-12	IO_L11N	AA19	自定义
13	J5-13	IO_L10P (xadcl6P)	V13	
14	J5-14	IO_L10N (xadcl6N)	W13	
15	J5-15	IO_L9P	Y20	自定义
16	J5-16	IO_L9N	Y21	自定义
17	J5-17	IO_L8P	AA21	自定义
18	J5-18	IO_L8N	AB21	自定义
19	J5-19	IO_L7P	AA22	自定义
20	J5-20	IO_L7N	AB22	自定义
21	J5-21	IO_L6P	V18	自定义
22	J5-22	IO_L6N	V19	自定义
23	J5-23	IO_L5P	U20	自定义
24	J5-24	IO_L5N	V20	自定义

25	J5-25	I0_L4P	W20	自定义
26	J5-26	I0_L4N	W21	自定义
27	J5-27	I0_L3P	V22	自定义
28	J5-28	I0_L3N	W22	自定义
29	J5-29	I0_L2P	T22	自定义
30	J5-30	I0_L2N	U22	自定义
31	J5-31	I0_L1P	T21	自定义
32	J5-32	I0_L1N	U21	自定义
33	J5-33	GND		
34	J5-34	GND		
35	J5-35	+3.3V		
36	J5-36	+3.3V		

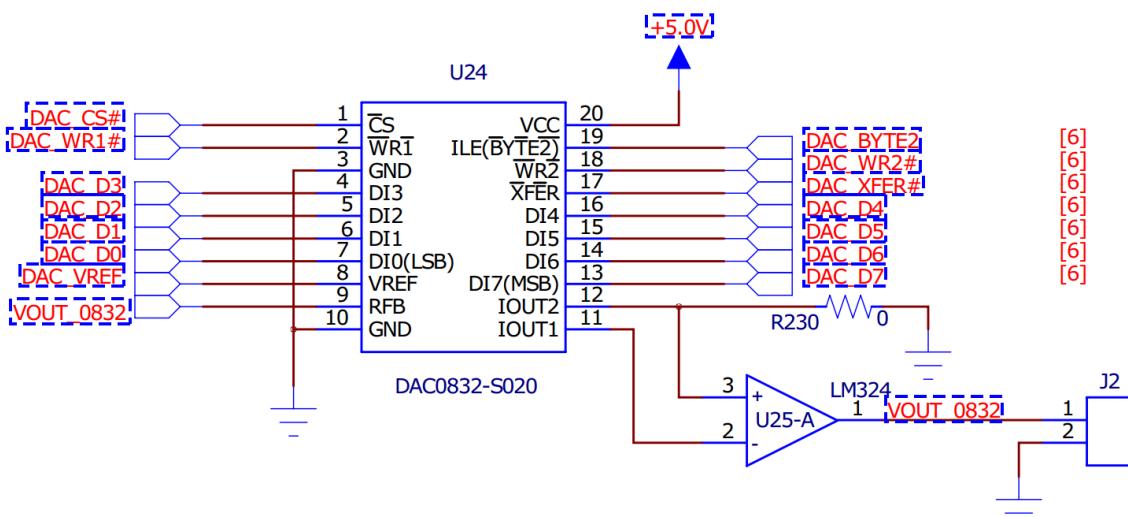
17. PL——DAC0832

EES331 上板载了一个外部 DAC 模块，主芯片为 DAC0832，输出为运放 LM324 反向输出。DAC0832 的输出位宽为 8bits。其中，LM324 运放的工作电压为 -5V~+5V。

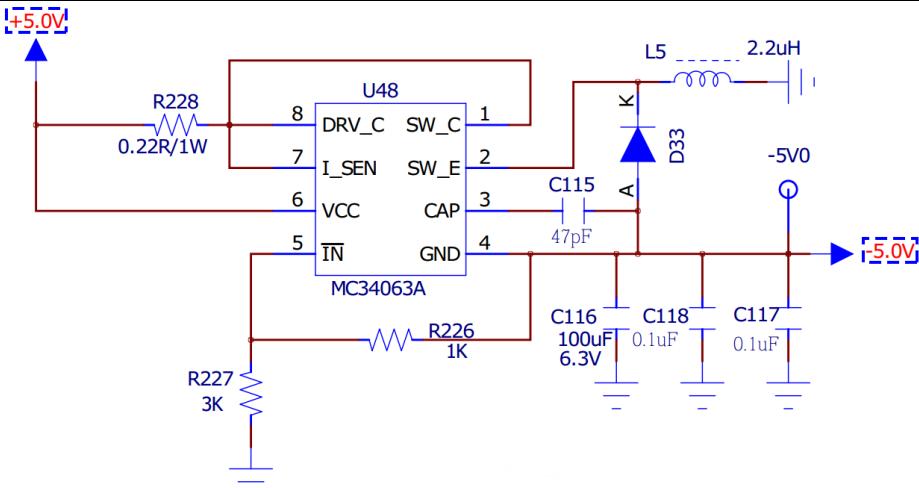
参考电压由电阻串联分压电路生成。其最大值为：

$$DAC_VREF = -5V * 4.7K / (4.7K + 1.2k) = 3.98V$$

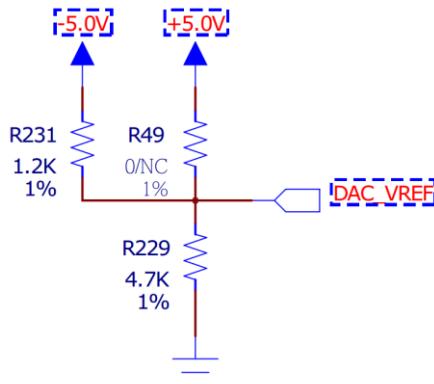
原理图如下：



上图：DAC0832 及 LM324 运放工作原理图



上图: -5V 电压生成电路



上图: 参考电压生成图

管脚约束表

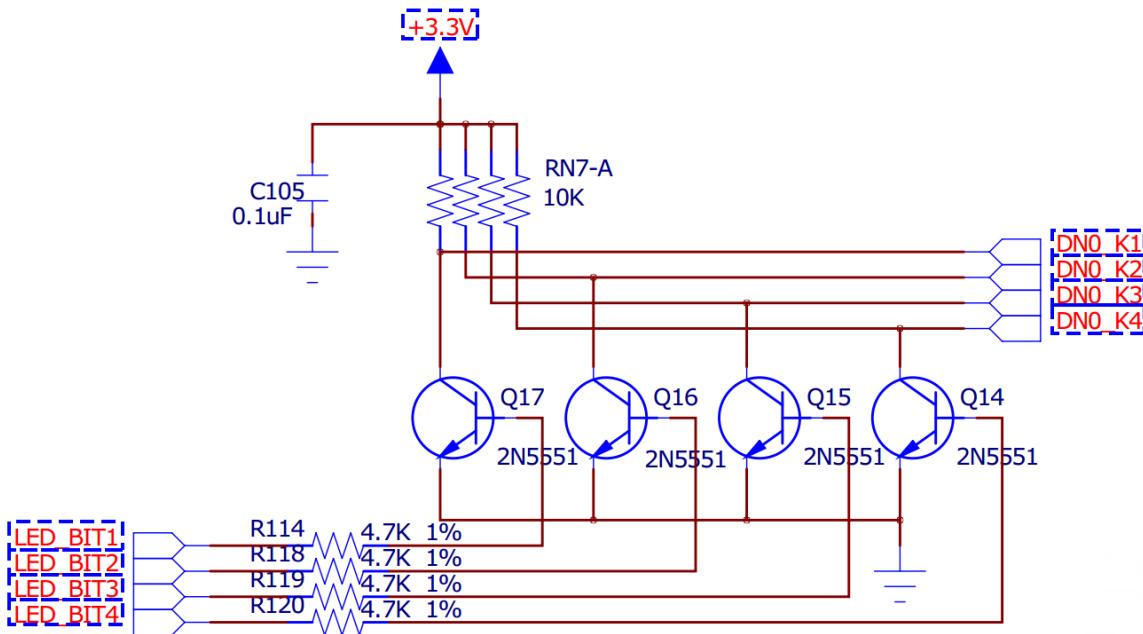
器件型号/类别: DAC0832 管脚 IO 分配

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	U24-1	DAC_CS#	H17	OUTPUT
2	U24-2	DAC_WR1#	D17	OUTPUT
3	U24-18	DAC_WR2#	F16	OUTPUT
4	U24-17	DAC_XFER#	D16	OUTPUT
5	U24-19	DAC_BYTET2	E16	OUTPUT
6	U24-13	DAC_D7	E15	OUTPUT
7	U24-14	DAC_D6	D15	OUTPUT
8	U24-15	DAC_D5	G15	OUTPUT
9	U24-16	DAC_D4	G16	OUTPUT
10	U24-4	DAC_D3	F18	OUTPUT
11	U24-5	DAC_D2	E18	OUTPUT
12	U24-6	DAC_D1	G17	OUTPUT
13	U24-7	DAC_D0	F17	OUTPUT

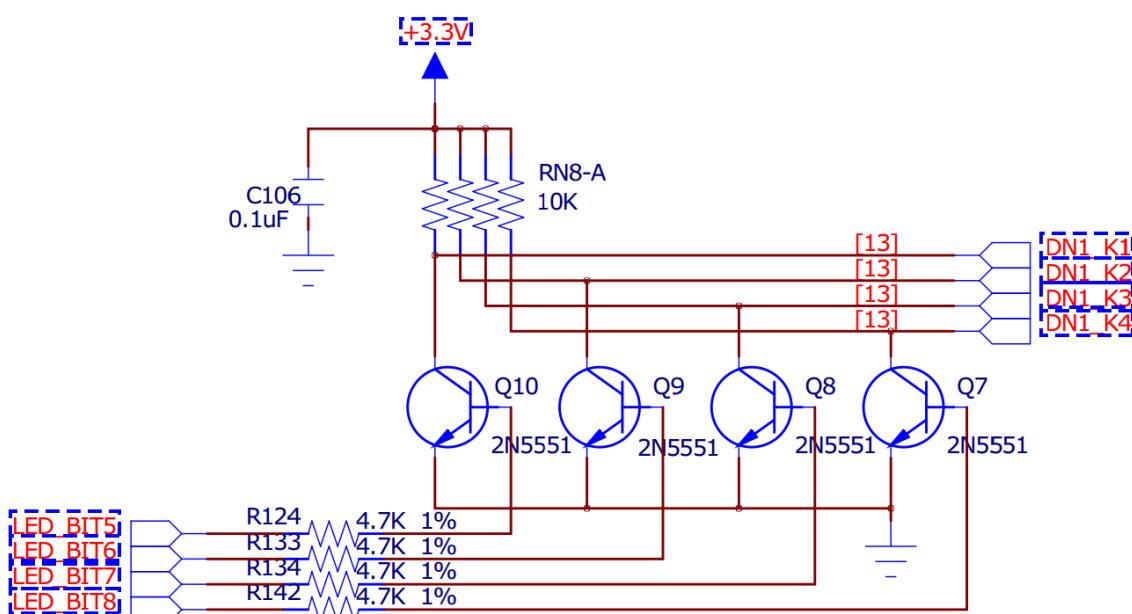
18. PL——八段数码管

EES331 上有 8 个八段数码管，可以方便设计各种数值显示电路。八段数码管本身采用的是共阴极驱动的主要由“位选”和“段选”两块电路驱动。但具体的驱动电平需要根据如下原理图来确定。因为位选电路采用了三极管 2N5551 进行了反向驱动，所以这里需要特别提醒一下。

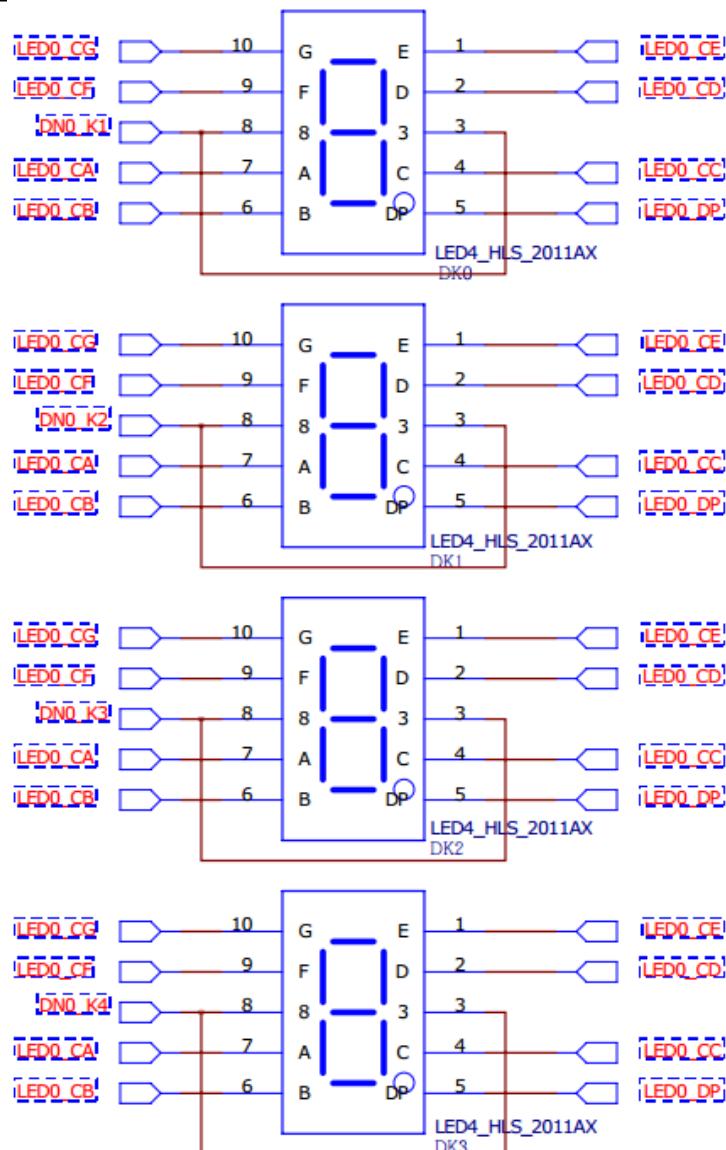
原理图如下：



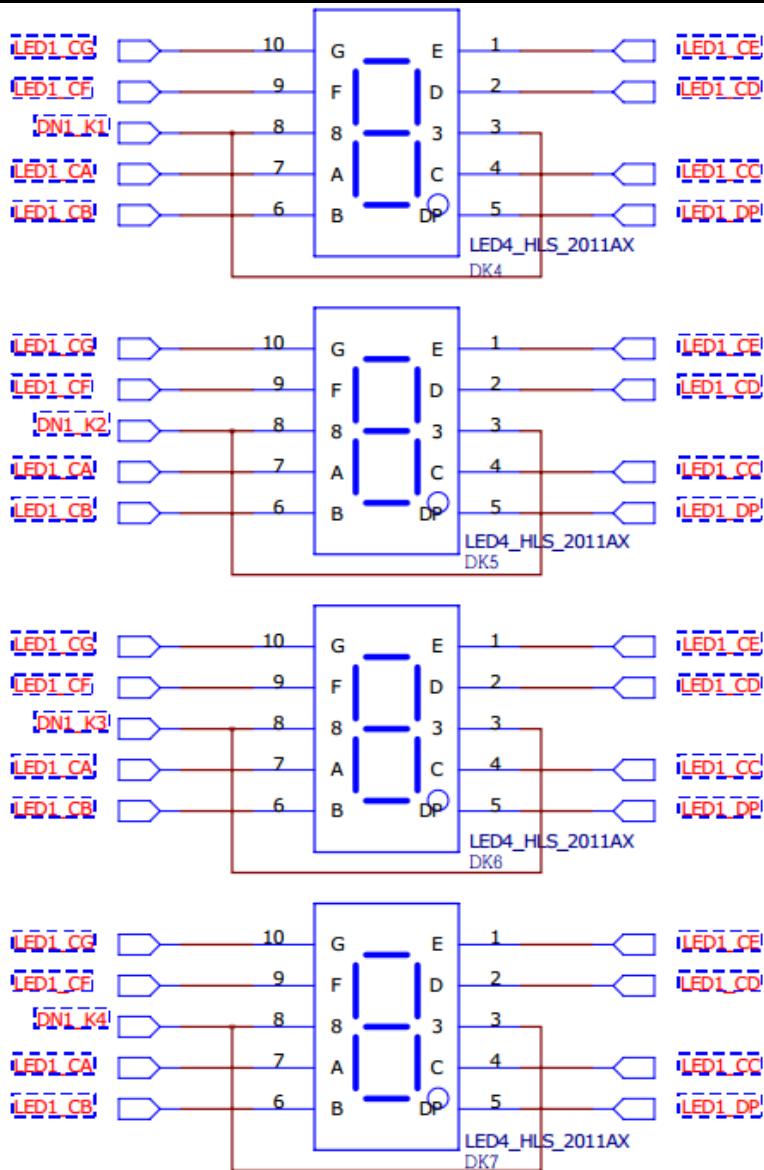
上图：低 4 位数码管位选原理图



上图：高 4 位数码管位选原理图



上图：低 4 位数码管原理图



上图：高 4 位数码管原理图

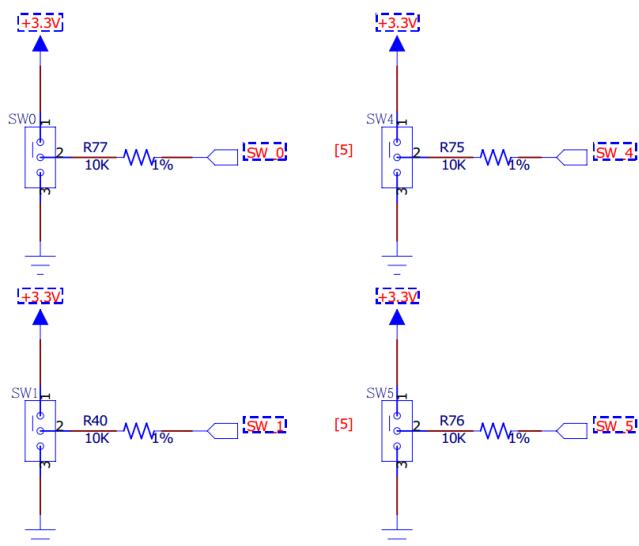
管脚约束表				
器件型号/类别：	八段数码管模块			
序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	段选: DK(0/1/2/3)_7	LEDO_CA	R21	OUTPUT
2	段选: DK(0/1/2/3)_6	LEDO_CB	P20	OUTPUT
3	段选: DK(0/1/2/3)_4	LEDO_CC	P21	OUTPUT
4	段选: DK(0/1/2/3)_2	LEDO_CD	N15	OUTPUT
5	段选: DK(0/1/2/3)_1	LEDO_CE	P15	OUTPUT
6	段选: DK(0/1/2/3)_9	LEDO_CF	P17	OUTPUT
7	段选: DK(0/1/2/3)_10	LEDO(CG)	P18	OUTPUT
8	段选: DK(0/1/2/3)_5	LEDO_DP	T16	OUTPUT
9	位选: DK0_3/8	LED_BIT1	M20	OUTPUT
10	位选: DK1_3/8	LED_BIT2	N19	OUTPUT
11	位选: DK2_3/8	LED_BIT3	N20	OUTPUT
12	位选: DK3_3/8	LED_BIT4	M21	OUTPUT
13	段选: DK(4/5/6/7)_7	LED1_CA	T17	OUTPUT

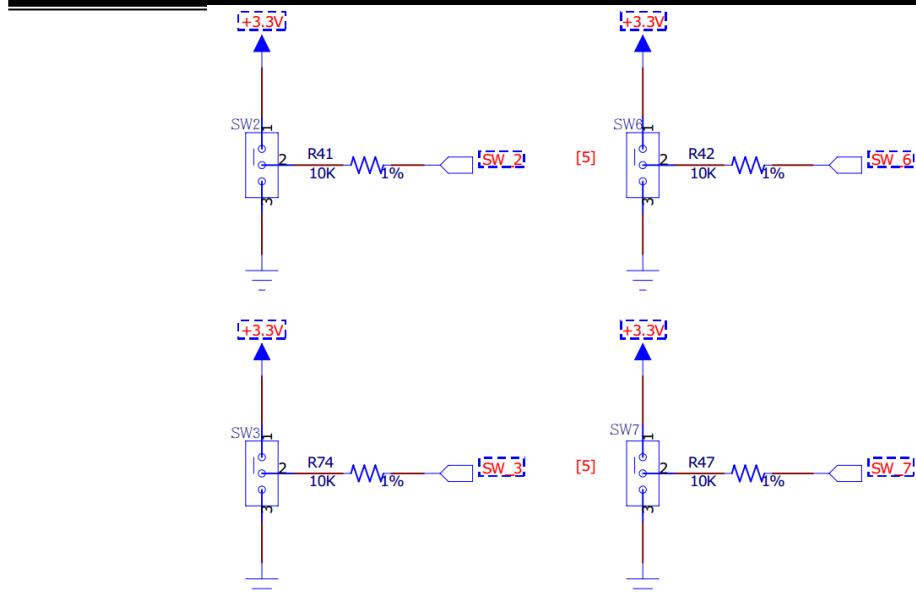
14	段选: DK(4/5/6/7)_6	LED1_CB	R19	OUTPUT
15	段选: DK(4/5/6/7)_4	LED1_CC	T19	OUTPUT
16	段选: DK(4/5/6/7)_2	LED1_CD	R18	OUTPUT
17	段选: DK(4/5/6/7)_1	LED1_CE	T18	OUTPUT
18	段选: DK(4/5/6/7)_9	LED1_CF	P16	OUTPUT
19	段选: DK(4/5/6/7)_10	LED1_CG	R16	OUTPUT
20	段选: DK(4/5/6/7)_5	LED1_DP	R15	OUTPUT
21	位选: DK4_3/8	LED_BIT5	M22	OUTPUT
22	位选: DK5_3/8	LED_BIT6	N22	OUTPUT
23	位选: DK6_3/8	LED_BIT7	P22	OUTPUT
24	位选: DK7_3/8	LED_BIT8	R20	OUTPUT

19. PL——拨码开关

EES331 上的 SW0~SW7 为 8 个拨码开关，可以设置为高低电平给到 PL 端的 GPIO 上。

原理图如下：





管脚约束表

器件型号/类别: SW0~SW7 拨码开关

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	SW0_2	SW0	AB6	INPUT
2	SW1_2	SW1	Y4	INPUT
3	SW2_2	SW2	AA4	INPUT
4	SW3_2	SW3	R6	INPUT
5	SW4_2	SW4	T6	INPUT
6	SW5_2	SW5	T4	INPUT
7	SW6_2	SW6	U4	INPUT
8	SW7_2	SW7	V5	INPUT

20. PL——LED 灯

EES331 上有 8 个 LED 灯可作为指示灯使用

原理图如下:



管脚约束表

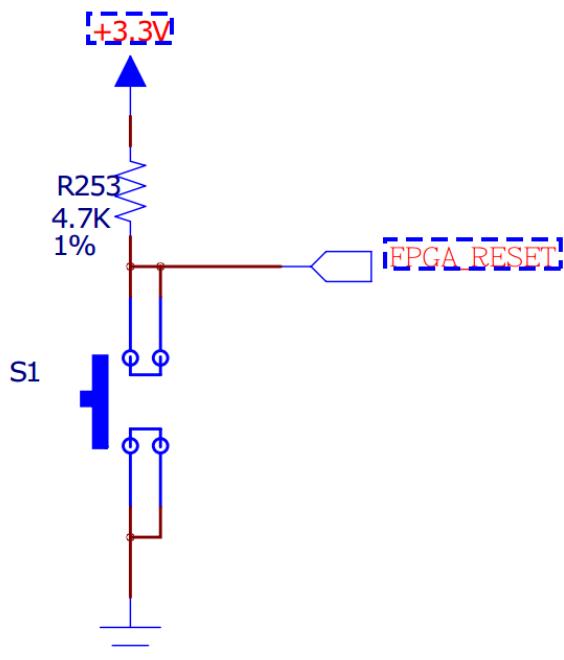
器件型号/类别：LED0~LED7 灯

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	R93	LED0	V4	OUTPUT
2	R97	LED1	U6	OUTPUT
3	R98	LED2	U5	OUTPUT
4	R99	LED3	V7	OUTPUT
5	R100	LED4	W7	OUTPUT
6	R101	LED5	W6	OUTPUT
7	R102	LED6	W5	OUTPUT
8	R103	LED7	U7	OUTPUT

21. PL——按键电路

EES331 的 PL 端留有一个按键电路 S1，该引脚连接在 PL 的一个全局时钟引脚上。可以作为复位引脚，也可以用户自定义功能。

原理图如下：



管脚约束表

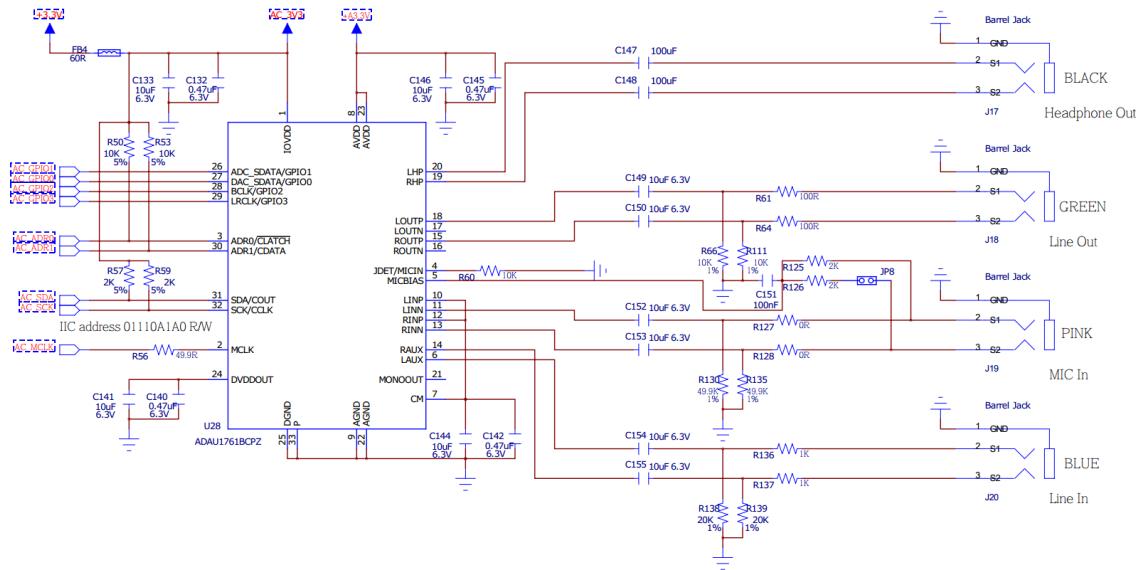
器件型号/类别：PL 按键 S1

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	S1	FPGA_RESET	L18	INPUT

22. PL——音频电路

EES331 上集成了音频模块，主控芯片型号为 ADAU1761BCPZ，可以实现 HDP OUT、Line OUT、MIC IN、Line IN 功能。ADAU1761 是低功耗集成了数字音频处理的立体声编解码器，支持立体声 48kHz 录音，1.8V 播放时的功耗为 14mW。立体声 ADC 和 DAC 支持取样速率从 8kHz 到 96kHz 以及数字音量控制。音频处理 SigmaDSP 核具有 28 位处理能力。

原理图如下：



管脚约束表

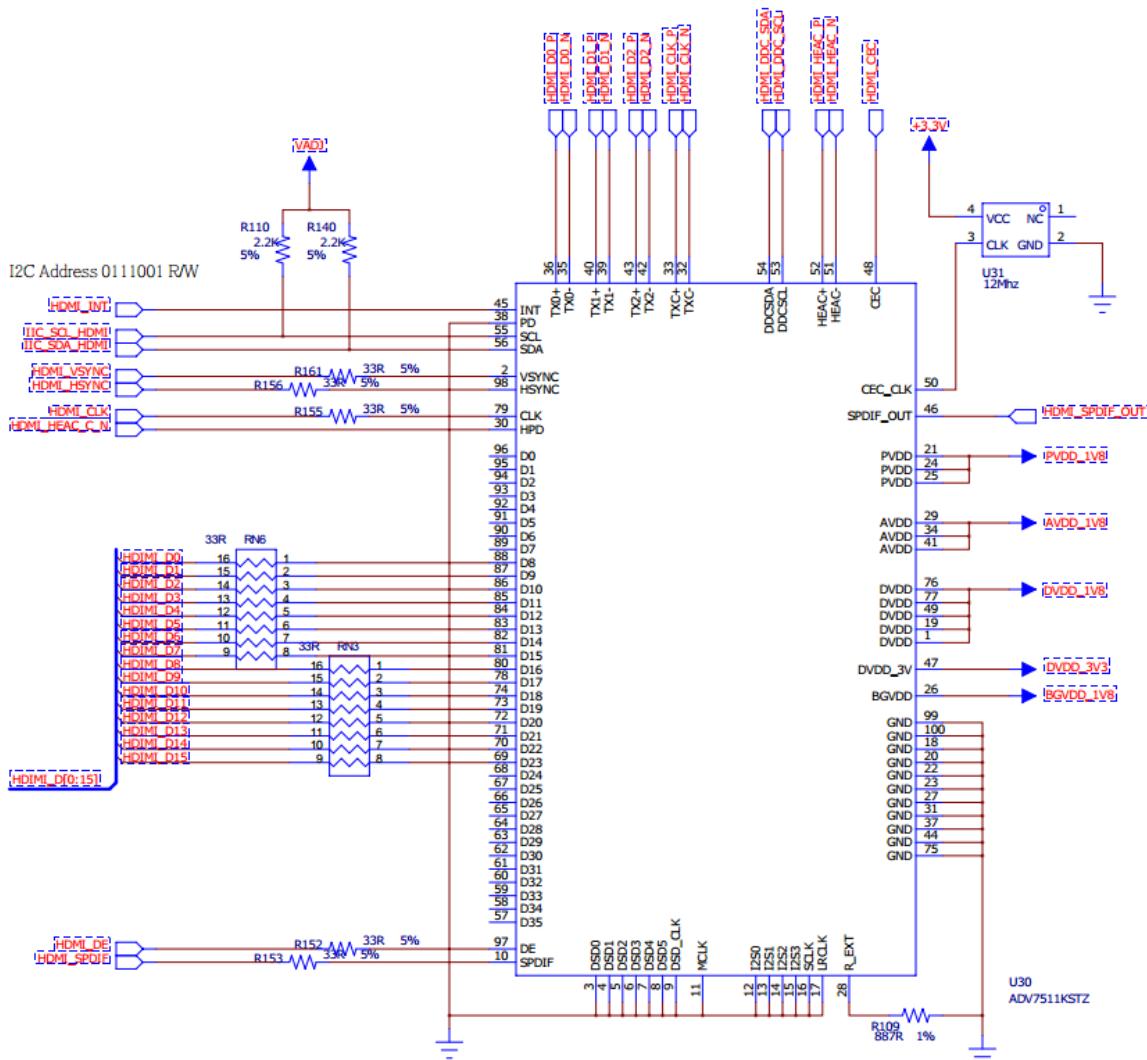
器件型号/类别：ADAU1761BCPZ 配置引脚

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	U28-26	AC_GPIO1	AB1	INPUT
2	U28-27	AC_GPIO0	AB5	OUTPUT
3	U28-28	AC_GPIO2	AB4	OUTPUT
4	U28-29	AC_GPIO3	AB7	OUTPUT
5	U28-30	AC_ADR1	AB2	OUTPUT
6	U28-31	AC_SDA	Y5	INOUT
7	U28-32	AC_SCK	AA7	INOUT
8	U28-3	AC_ADR0	AA6	OUTPUT
9	U28-2	AC_MCLK	Y6	OUTPUT

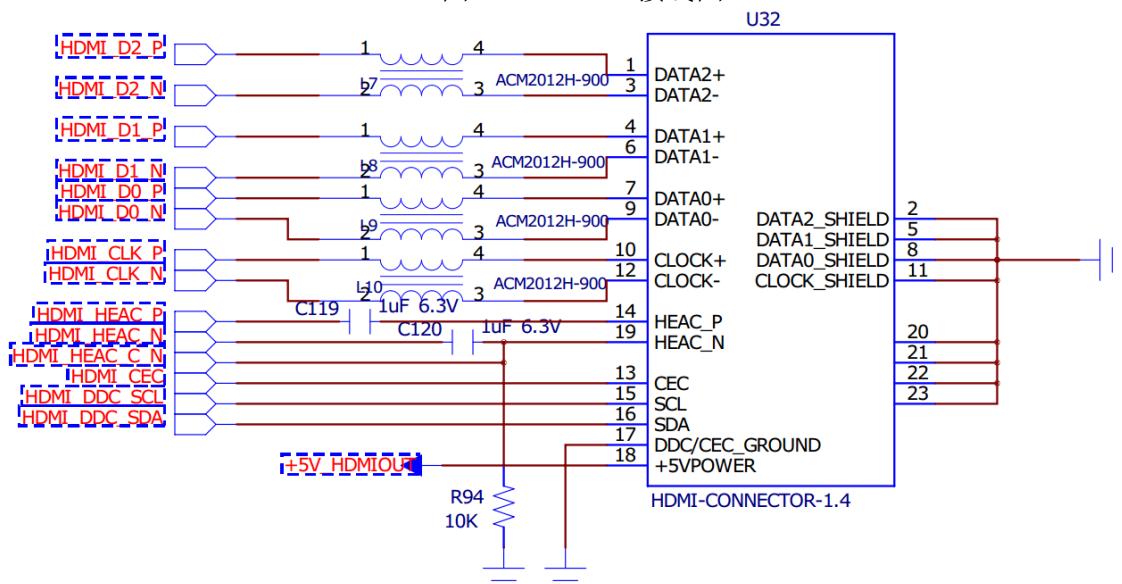
23. PL——HDMI 视频接口

EES331 带有一个 HDMI 高清晰度多媒体接口，这是一种数字视频/音频接口，相比较 VGA 接口，它具有传输的信息量大，色彩度高，传输速度快等显著优点。EES331 上面采用了一颗专用的 HDMI 芯片 ——ADV7511 做 HDMI 输出使用。我们的板卡上，ADV7511 和 FPGA 之间的视频图像接口仅支持 16 位 YcbCr 422 数据输入。

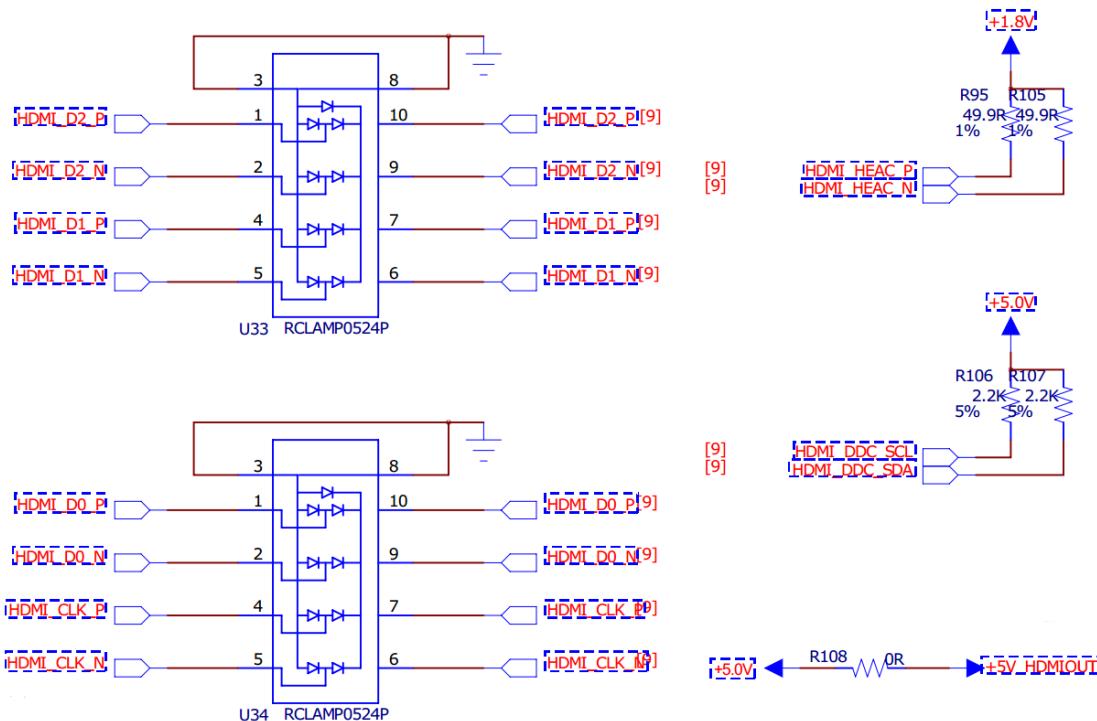
原理图如下：



上图：ADV7511 接线图



上图：HDMI 接口电路图



上图：HDMI 接口和 ADV7511 直接的隔离电路及配置电路

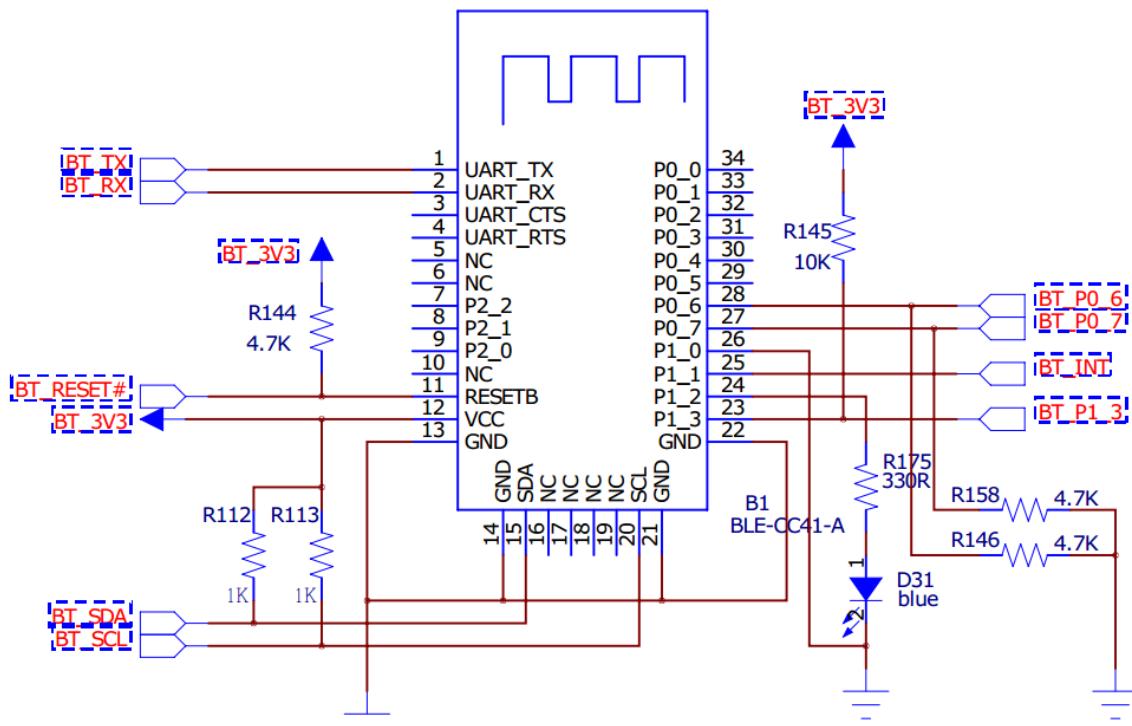
管脚约束表				
器件型号/类别：PL 端 HDMI 模块				
序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	HDIMI_D0	U30-88	R7	
2	HDIMI_D1	U30-87	V10	
3	HDIMI_D2	U30-86	V9	
4	HDIMI_D3	U30-85	V8	
5	HDIMI_D4	U30-84	W8	
6	HDIMI_D5	U30-83	W11	
7	HDIMI_D6	U30-82	W10	
8	HDIMI_D7	U30-81	V12	
9	HDIMI_D8	U30-80	W12	
10	HDIMI_D9	U30-78	U12	
11	HDIMI_D10	U30-74	U11	
12	HDIMI_D11	U30-73	U10	
13	HDIMI_D12	U30-72	U9	
14	HDIMI_D13	U30-71	AA12	
15	HDIMI_D14	U30-70	AB12	
16	HDIMI_D15	U30-69	AA11	
17	HDMI_INT	U30-45	AB11	
18	IIC_SCL_HDMI	U30-55	AB10	
19	IIC_SDA_HDMI	U30-56	AB9	
20	HDMI_VSYNC	U30-2	Y11	
21	HDMI_HSYNC	U30-98	Y10	
22	HDMI_DE	U30-97	AA9	

23	HDMI_SPDIF	U30-10	AA8	
24	HDMI_SPDIF_OUT	U30-46	Y9	
25	HDMI_CLK	U30-79	Y8	

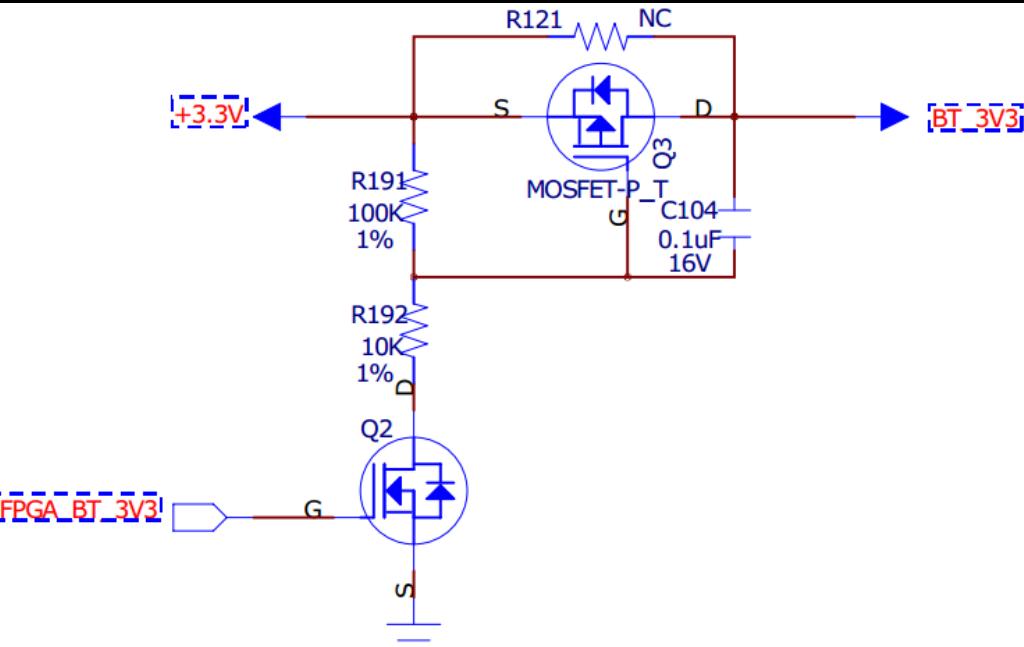
24. PL——蓝牙模块电路

EES331 上集成了一个蓝牙 4.0 模块，通过配置后，FPGA 可以通过 uart 通信方式和其进行数据交互。通讯波特率支持 1200、2400、4800、9600、14400、19200、38400、57600、115200 和 230400bps。串口缺省波特率为 9600bps。该蓝牙模块型号为 MLT-BT05。

原理图如下：



上图：蓝牙 4.0 模块电路图



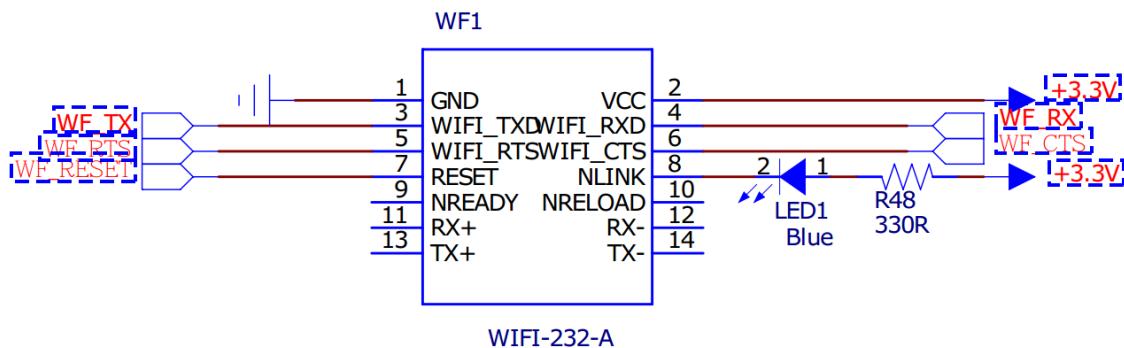
上图：蓝牙 4.0 供电使能驱动电路

管脚约束表				
器件型号/类别: PL 端蓝牙模块				
序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	Q2-G	FPGA_BT_3V3	U14	OUTPUT
2	B1-15	BT_SDA	AB15	INOUT
3	B1-20	BT_SCL	AB14	INOUT
4	B1-2	BT_RX	AA13	OUTPUT
5	B1-1	BT_TX	Y13	INPUT
6	B1-23	BT_P1_3	AA14	OUTPUT
7	B1-25	BT_INT	Y14	INPUT
8	B1-28	BT_P0_6	Y15	OUTPUT
9	B1-27	BT_P0_7	W15	OUTPUT
10	B1-11	BT_RESET#	H15	OUTPUT

25. PL——WIFI 模块电路

EES331 上集成了一块 UART 转 WIFI 模块。可以实现一个 WIFI 网络，PC 或者手机可以连接到该网络与 EES331 进行通信。该模块和 FPGA 之间的通信是通过 UART 接口。该模块型号为 WIFI232-A，更多功能详见该模块的用户手册。

原理图如下：

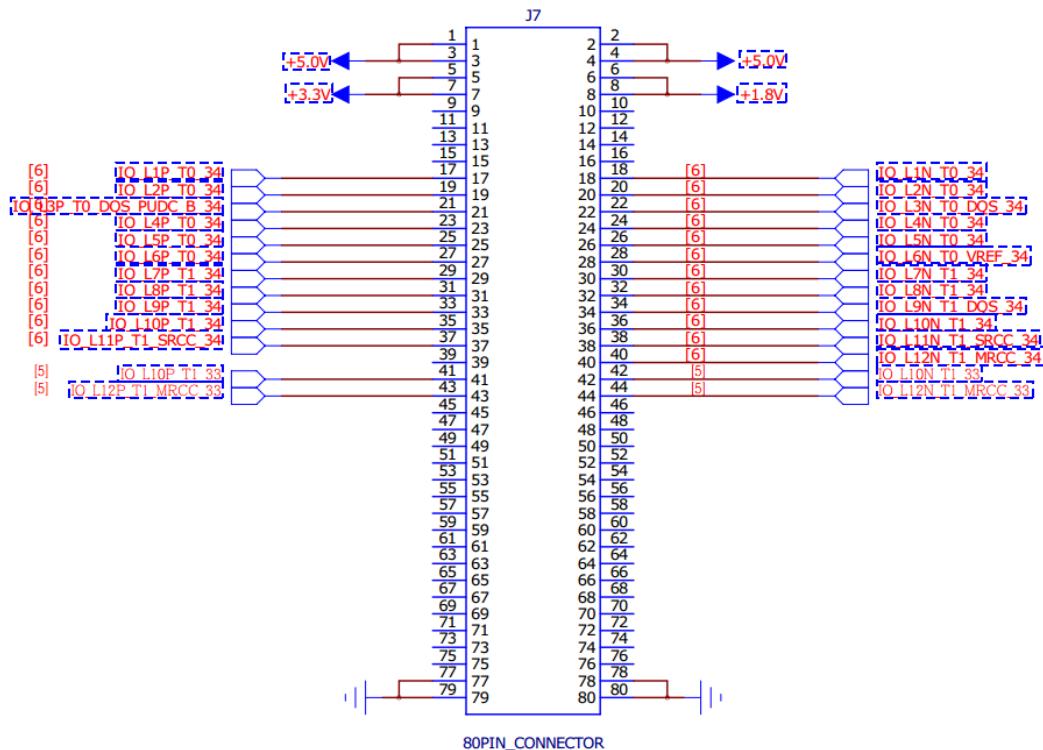


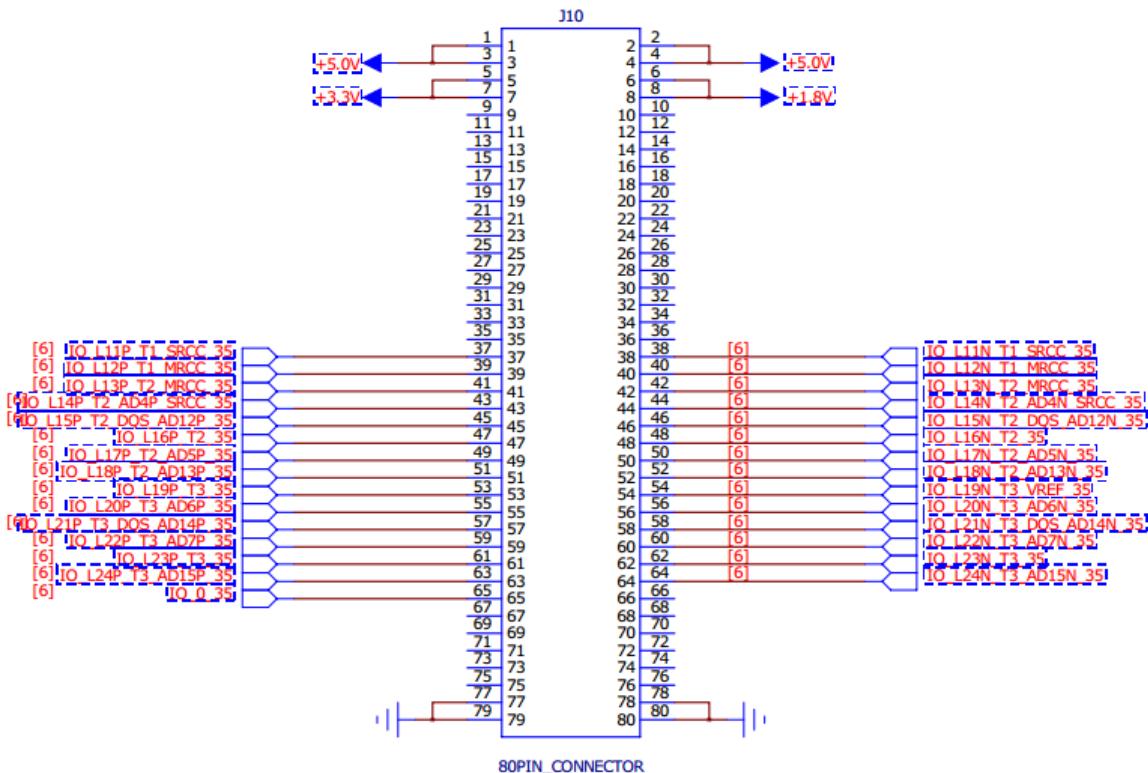
管脚约束表				
器件型号/类别：PL 端 WiFi 模块				
序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	WF1-7	WF_RESET	U19	OUTPUT
2	WF1-3	WF_TX	AA17	OUTPUT
3	WF1-4	WF_RX	AB17	OUTPUT
4	WF1-5	WF_RTS	AA16	OUTPUT
5	WF1-7	WF_CTS	AB16	OUTPUT

26. PL——底部扩展 IO-fx8

EES331 底部有两组高速连接口，通过 FX8 连接器引出。可以通过拓展底板扩展出来使用。

原理图如下：





管脚约束表				
器件型号/类别: PL 端 FX8 模块				
序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	J7-1	+5V		
2	J7-2	+5V		
3	J7-3	+5V		
4	J7-4	+5V		
5	J7-5	+3.3V		
6	J7-6	+1.8V		
7	J7-7	+3.3V		
8	J7-8	+1.8V		
9	J7-17	IO_L1P_T0_34	J15	INOUT
10	J7-18	IO_L1N_T0_34	K15	INOUT
11	J7-19	IO_L2P_T0_34	J16	INOUT
12	J7-20	IO_L2N_T0_34	J17	INOUT
13	J7-21	IO_L3P_T0_DQS_PUDC_B_34	K16	INOUT
14	J7-22	IO_L3N_T0_DQS_34	L16	INOUT
15	J7-23	IO_L4P_T0_34	L17	INOUT
16	J7-24	IO_L4N_T0_34	M17	INOUT
17	J7-25	IO_L5P_T0_34	N17	INOUT
18	J7-26	IO_L5N_T0_34	N18	INOUT
19	J7-27	IO_L6P_T0_34	M15	INOUT
20	J7-28	IO_L6N_T0_VREF_34	M16	INOUT
21	J7-29	IO_L7P_T1_34	J18	INOUT
22	J7-30	IO_L7N_T1_34	K18	INOUT

23	J7-31	IO_L8P_T1_34	J21	INOUT
24	J7-32	IO_L8N_T1_34	J22	INOUT
25	J7-33	IO_L9P_T1_34	J20	INOUT
26	J7-34	IO_L9N_T1_DQS_34	K21	INOUT
27	J7-35	IO_L10P_T1_34	L21	INOUT
28	J7-36	IO_L10N_T1_34	L22	INOUT
29	J7-37	IO_L11P_T1_SRCC_34	K19	INOUT
30	J7-38	IO_L11N_T1_SRCC_34	K20	INOUT
31	J7-40	IO_L12N_T1_MRCC_34	L19	INOUT
32	J7-41	IO_L10P_T1_33	AB19	INOUT
33	J7-42	IO_L10N_T1_33	AB20	INOUT
34	J7-43	IO_L12P_T1_MRCC_33	Y18	INOUT
35	J7-44	IO_L12N_T1_MRCC_33	AA18	INOUT
36	J7-77	GND		
37	J7-78	GND		
38	J7-79	GND		
39	J7-80	GND		
40	J10-1	+5V		
41	J10-2	+5V		
42	J10-3	+5V		
43	J10-4	+5V		
44	J10-5	+3.3V		
45	J10-6	+1.8V		
46	J10-7	+3.3V		
47	J10-8	+1.8V		
48	J10-37	IO_L11P_T1_SRCC_35	C17	INOUT
49	J10-38	IO_L11N_T1_SRCC_35	C18	INOUT
50	J10-39	IO_L12P_T1_MRCC_35	D18	INOUT
51	J10-40	IO_L12N_T1_MRCC_35	C19	INOUT
52	J10-41	IO_L13P_T2_MRCC_35	B19	INOUT
53	J10-42	IO_L13N_T2_MRCC_35	B20	INOUT
54	J10-43	IO_L14P_T2_AD4P_SRCC_35	D20	
55	J10-44	IO_L14N_T2_AD4N_SRCC_35	C20	
56	J10-45	IO_L15P_T2_DQS_35	AA21	INOUT
57	J10-46	IO_L15N_T2_DQS_35	AA22	INOUT
58	J10-47	IO_L16P_T2_35	D22	INOUT
59	J10-48	IO_L16N_T2_35	C22	INOUT
60	J10-49	IO_L17P_T2_AD5P_35	E21	
61	J10-50	IO_L17N_T2_AD5N_35	D21	
62	J10-51	IO_L18P_T2_AD13P_35	B21	
63	J10-52	IO_L18N_T2_AD13N_35	B22	
64	J10-53	IO_L19P_T3_35	H19	INOUT
65	J10-54	IO_L19N_T3_VREF_35	H20	INOUT
66	J10-55	IO_L20P_T3_AD6P_35	G19	INOUT

67	J10-56	IO_L20N_T3_AD6N_35	F19	INOUT
68	J10-57	IO_L21P_T3_DQS_AD14P_35	E19	
69	J10-58	IO_L21N_T3_DQS_AD14N_35	E20	
70	J10-59	IO_L22P_T3_AD7P_35	G20	
71	J10-60	IO_L22N_T3_AD7N_35	G21	
72	J10-61	IO_L23P_T3_35	F21	INOUT
73	J10-62	IO_L23N_T3_35	F22	INOUT
74	J10-63	IO_L24P_T3_DQS_AD15P_35	H22	
75	J10-64	IO_L24N_T3_DQS_AD15N_35	G22	
76	J10-65	IO_0_35	H18	INOUT
77	J10-77	GND		
78	J10-78	GND		
79	J10-79	GND		
80	J10-80	GND		

27. XADC 模块

ZYNQ 系列器件自带 ADC 模块（XADC），支持模拟电压输入测量。Xilinx 7 系列的 FPGA 芯片内部集成了两个 12bit 位宽、采样率为 1MSPS 的 ADC，拥有多达 17 个外部模拟信号输入通道，为用户的设计提供了通用的、高精度的模拟输入接口。EES331 上留有两路辅助模拟通道引脚 AD2/AD10，方便用户外接模拟输入信号。

XADC 模块有一专用的支持差分输入的模拟通道输入引脚(VP/VN)，另外最多还有 16 个辅助的模拟通道输入引脚（ADxP 和 ADxN，x 为 0 到 15）。XADC 模块也包括一定数量的片上传感器用来测量片上的供电电压和芯片温度，这些测量转换数据存储在一个名为状态寄存器（status registers）的专用寄存器内，可由 FPGA 内部的动态配置端口（Dynamic Reconfiguration Port (DRP)）的 16 位同步读写端口访问。ADC 转换数据也可以由 JTAG TAP 访问，这种情况下并不需要去直接例化 XADC 模块，因为这是一个已经存在于 FPGA JTAG 结构的专用接口。此时因为没有在设计中直接例化 XADC 模块，XADC 模块就工作在一种预先定义好的模式——缺省模式，缺省模式下 XADC 模块专用于监视芯片上的供电电压和芯片温度。XADC 模块的操作模式是由用户通过 DRP 或 JTAG 接口写控制寄存器来选择的，控制寄存器的初始值有可能在设计中例化 XADC 模块时的块属性（block attributes）指定。模式选择是由控制寄存器 41H 的 SEQ3 到 SEQ0 比特决定，具体如下图示：

Table 3-9: Sequencer Operation Settings

SEQ3	SEQ2	SEQ1	SEQ0	Function
0	0	0	0	Default mode
0	0	0	1	Single pass sequence
0	0	1	0	Continuous sequence mode
0	0	1	1	Single channel mode (sequencer off)
0	1	X	X	Simultaneous sampling mode
1	0	X	X	Independent ADC mode
1	1	X	X	Default mode

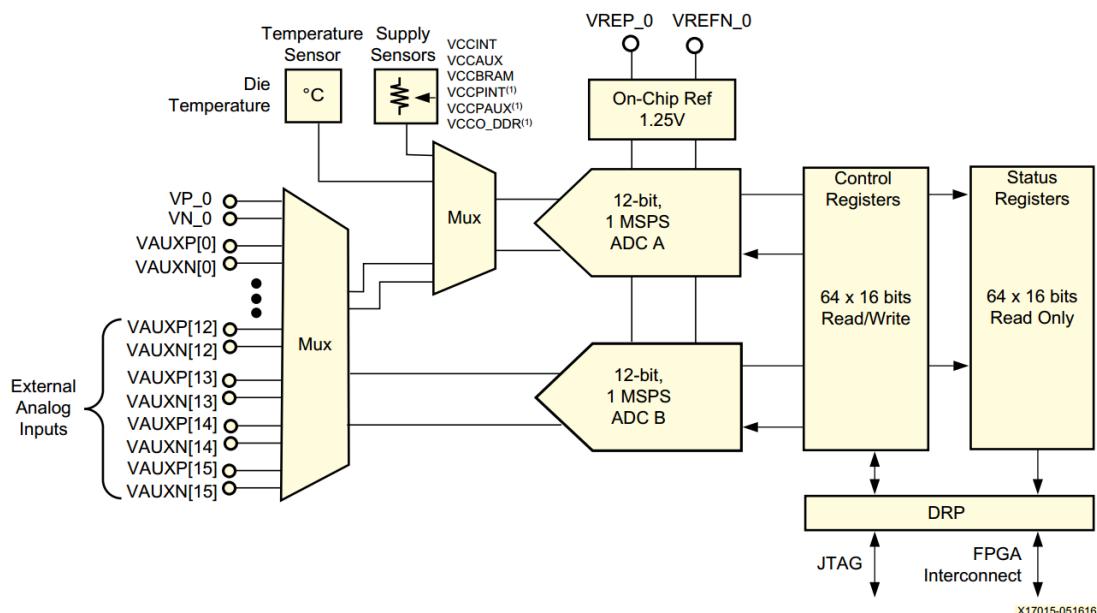
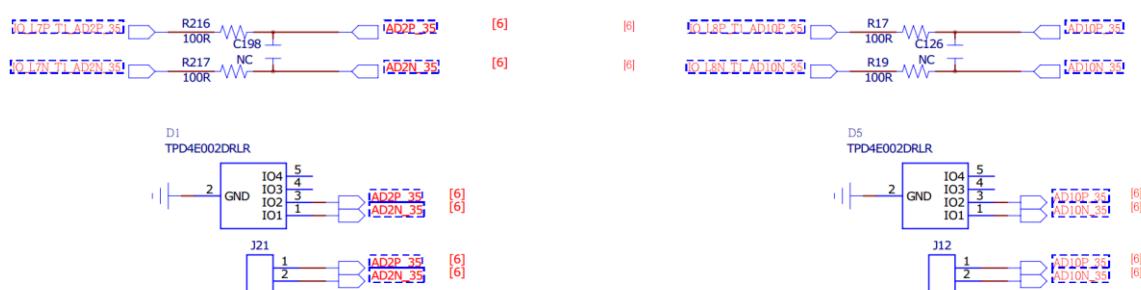


Figure 1-1: XADC Block Diagram

原理图如下：



管脚约束表

器件型号/类别：PL 端 XADC 模块

序号	器件引脚	引脚标号	FPGA IO 约束	FPGA IO 方向
1	J21-1	AD2P_35	C15	
2	J21-2	AD2N_35	B15	
3	J12-1	AD10P_35	B16	
4	J12-2	AD10N_35	B17	

注意：XADC 接口在拓展 IO-J5 和底部拓展 IO-FX8 里也有引出，可供使用。

联系我们

如果您需要了解更多信息或对我们的产品有任何疑问，请随时联系我们，我们将竭诚为您服务。

依元素科技有限公司

北京

电话 : 010-82757632
传真 : 010-62166151
地址 : 北京市海淀区海淀中街 16 号中关村公馆 E-1503
邮编 : 100086
邮箱 : sales@e-elements.com
网址 : www.e-elements.com

深圳

电话 : 0755-86186715
传真 : 0755-86186700
地址 : 深圳市南山区南山大道西侧新海大厦 16E
邮编 : 518052

南京

电话 : 025-66022032
地址 : 南京市建邺区嘉业国际城 3 号楼 2703
邮箱 : sales@e-elements.com
邮编 : 210019

培训联系方式 :

0755-86186715
sales@e-elements.com

