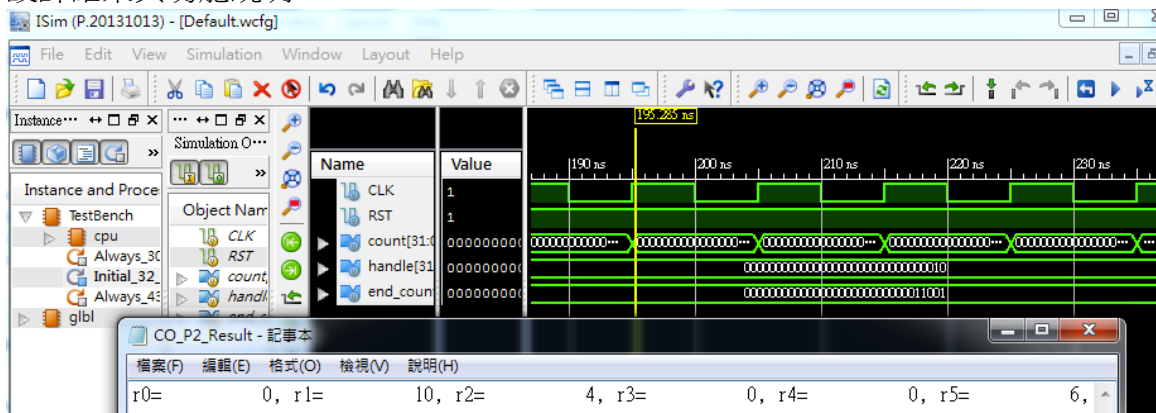


Lab2:simple_cycle_cpu

系統架構：這個cpu.v包含了pc，adder1，instr_memory，reg_file，decoder，ALU_ctrl，sign_extend，mux_ALUSrc，ALU，adder2，shift_left_two，mux_pc_source這幾個子module，而cpu.v裡面接的線是依照作業投影編碼給的方式來接的。

設計模組分析：pc是依照每一個clk去讀取pc_in，而sign_extend則是把16bits擴大成32bits以防signed值從負號變正號之類的，而decoder比較複雜，則是依照instruct跟functionfield給予的訊號去decode，而ALU_ctrl則是依照decoder所給予的ALUop與instruct的functionfield去判斷要給ALU什麼值，而我是用if的條件判斷式來做的。

設計結果與功能說明：



作業心得討論：此次的作業雖然花了我不少時間，但是讓我對於cpu的了解又更深了一步，而助教用分module的方式也讓我在debug的時候，不會很難找。