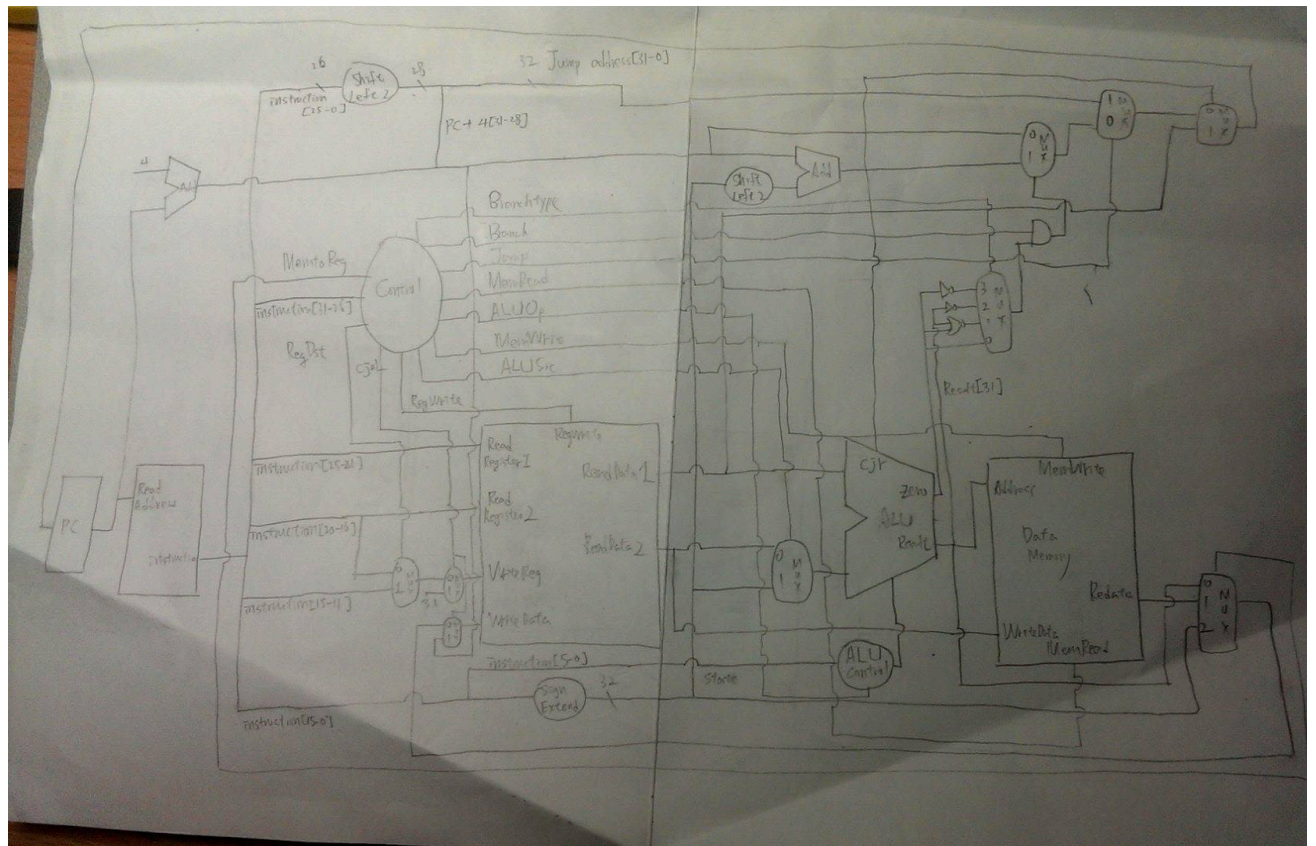


作業名稱：Lab3 Simple cycle cpu

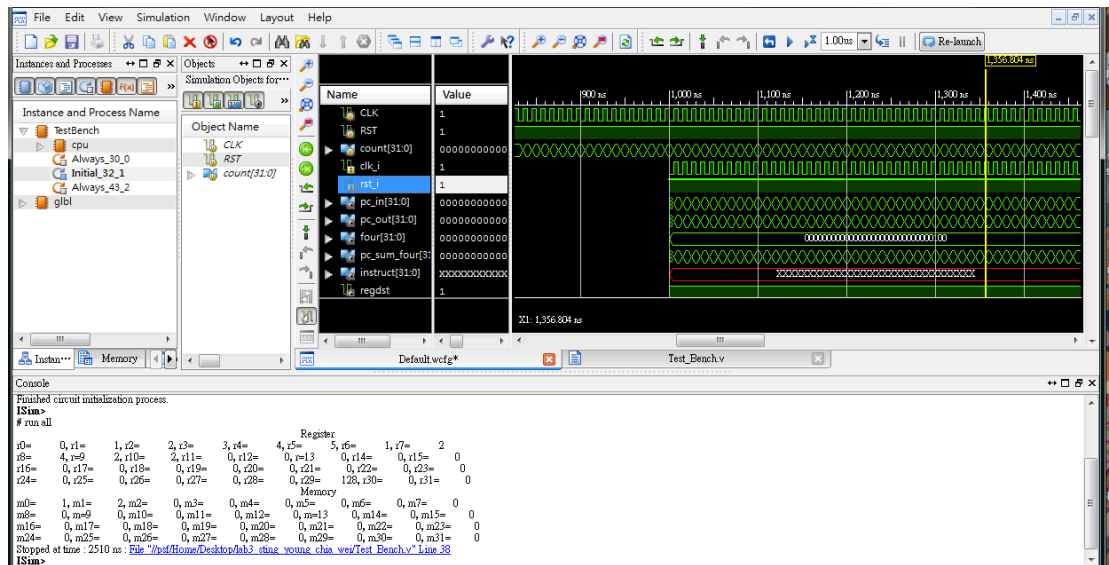
系統架構：



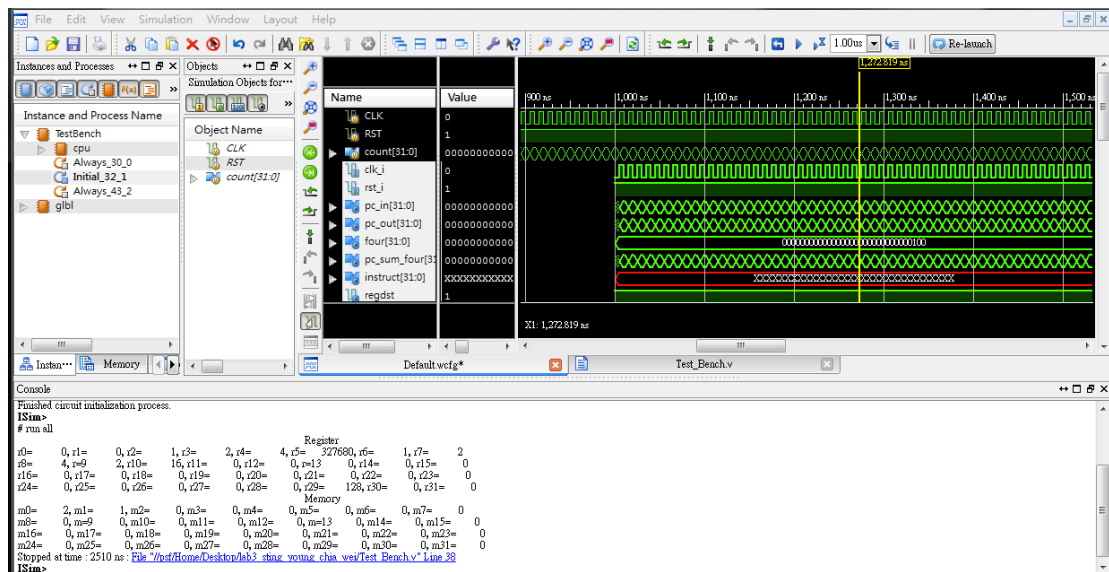
設計模組分析：這次的cpu比上次多增加了一個data memory的module，因此我們已上次的作業為原型做了一些小修改，並且多增加了4個2 to 1的mux選擇器，以及一個3 to 1還有一個4 to 1的mux選擇器，decoder 以及alu control這邊也增加了一些像branch type,jump,memread.....之類的選擇線。

設計結果與功能說明：該 cpu 的 PC 會一直不斷的加四,或者會直接 接收其他的 PC 值,而其 PC 值會輸入 instr_memory 且傳出一個 instruction,而 instruction的op field會傳入Decoder以產生各種控制線，藉此可以利用此各種控制線來使ALU做各種運算。

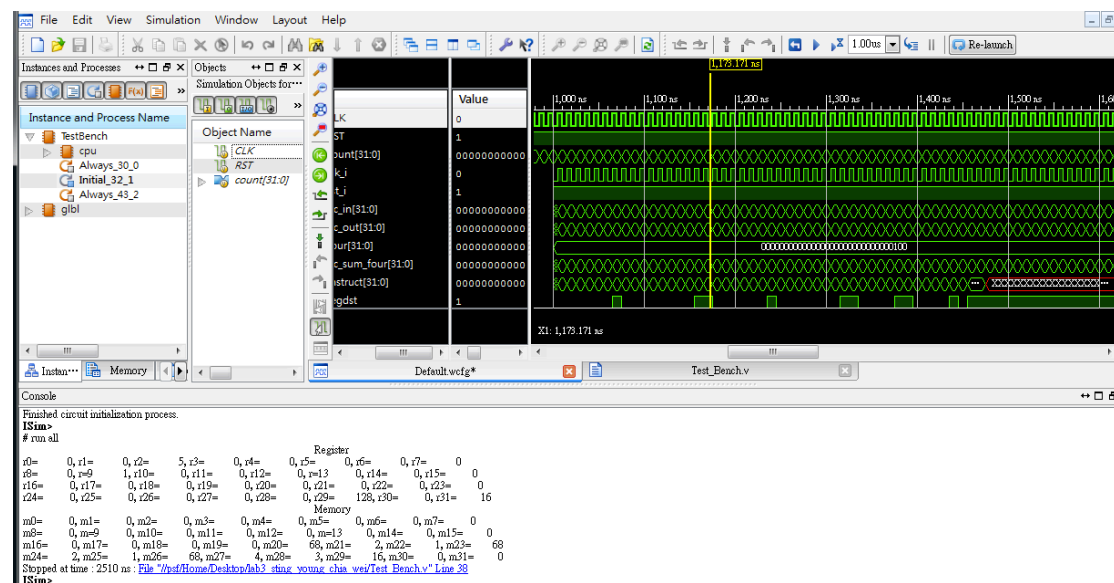
result1:



result2:



result3:



遭遇困難與解決方法：當設計完後再debug時，第一次我們的pc_in,pc_out都沒有值，到最後才發現是接線的地方大小寫搞錯了，於是我們把接線的地方都統一改成小寫，以及有一次在debug的時候發現我們的instruction都是xx，還有pc_in和pc_out爆掉了，仔細檢查時發現是我們有一個地方的instruction給的bit是錯的，還有一次是mux的size是錯的以至於讀不到值，還有一次發現我們的aluop給的bits數太小了以至於到超過16的aluop都沒有值，最後一個bug就是我們忘了在initial的時候給r29=128，我們推論過可能result裡的sp就是代表r29，以至於我們的result出現負號，改完後三筆測資都對了。

作業心得與討論：縱是此作業花費不少時間,可是此次設計卻讓我對 cpu 的整體概念有進一步的了解,並且讓我學會利用 module 以減少 debug 的時間，以及對於哪條訊號線要接去哪裡才是對的，有更深一步的瞭解。