

# INF3400 – Del 5

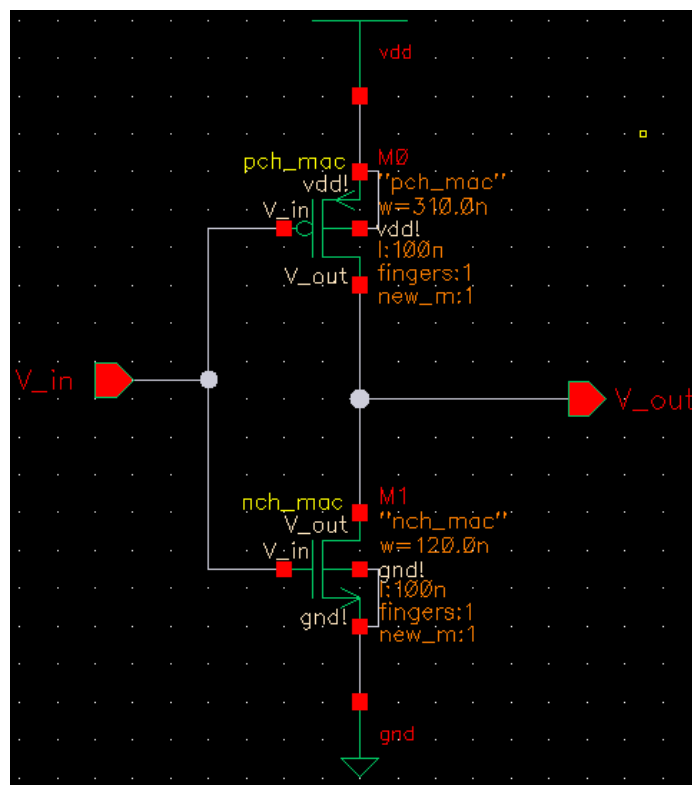
AV MAGNUS ANDERSEN (MAGNUAND@STUDENT.MATNAT.UIO.NO)

## Oppgave 1

I denne oppgaven skal vi utføre transientanalyse av en NOR- og en NAND-port, og se på "worst case"-tilfellene for stigetid i opptrekk, falltid i nedtrekk og tidsforsinkelse i både opp- og nedtrekk for nevnte logiske porter.

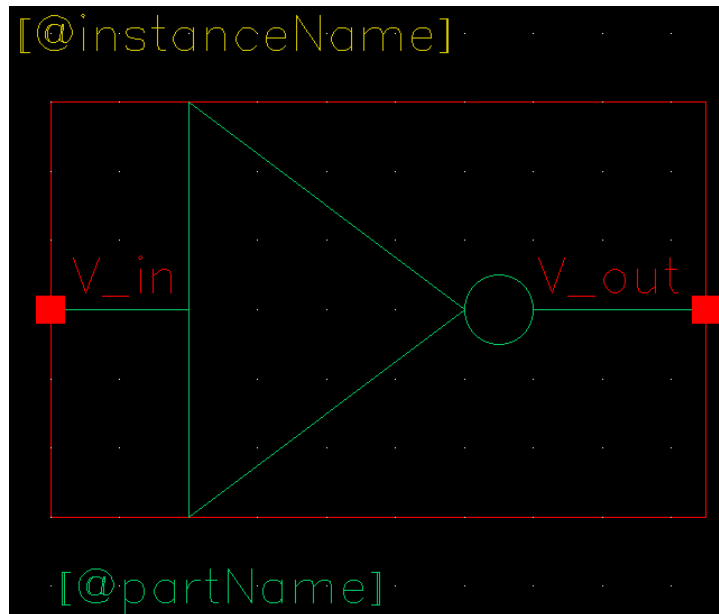
### Enhetsinverter

Figur 1 viser skjematikken av enhetsinverteren som ble brukt som ekstern last under simuleringene. Denne ble dimensjonert slik at  $L_n = L_p = 100\text{ nm}$ , samt at forholdet  $W_p/W_n \approx 2.6$  (antar  $\mu_n \approx 2.6\mu_p$ ).



Figur 1: Skjematikk for enhetsinverter

For enkelhets skyld (mindre "clutter") laget jeg også symbol for enhetsinverteren, se Figur 2.



Figur 2: Symbol for enhetsinverteren

## NOR-port

For en 2-inputs NOR-port består opptrekket av 2 stk pMOS-er i serie, og nedtrekket av 2 stk nMOS-er i parallell. Se Figur 3 og Figur 4 hhv. for skjematikk og symbol.

Siden  $\mu_n \approx 2.6\mu_p$ , dvs. at mobiliteten i nMOS er 2.6 ganger så stor som mobiliteten i pMOS, må motstanden i pMOS være 2.6 ganger så stor som motstanden i nMOS, dvs.  $R_p = 2.6R_n$ .

Effektiv motstand ved seriekobling av transistorer er gitt som

$$R_{serie} = \sum_{i=1}^n \frac{R}{k_i} \quad (1)$$

og tilsvarende for parallellkobling

$$R_{parallell} = \left( \sum_{i=1}^n \frac{1}{R} \right)^{-1} \quad (2)$$

der  $k_i$  er bredden av  $i$ -te transistor og  $n$  er antall transistorer det måtte gjelde.<sup>1</sup>

<sup>1</sup> [http://www.uio.no/studier/emner/matnat/ifi/INF3400/v13/undervisningsmateriale/teori\\_del4\\_2013.pdf](http://www.uio.no/studier/emner/matnat/ifi/INF3400/v13/undervisningsmateriale/teori_del4_2013.pdf)

Har 2 stk pMOS i serie i opptrekket, og vi får

$$R_{opptrekk} = \sum_{i=1}^2 \frac{R_p}{k} = \frac{2.6R_n}{k} + \frac{2.6R_n}{k} = \frac{5.2R_n}{k}$$

$$R_{nedtrekk} = R_n$$

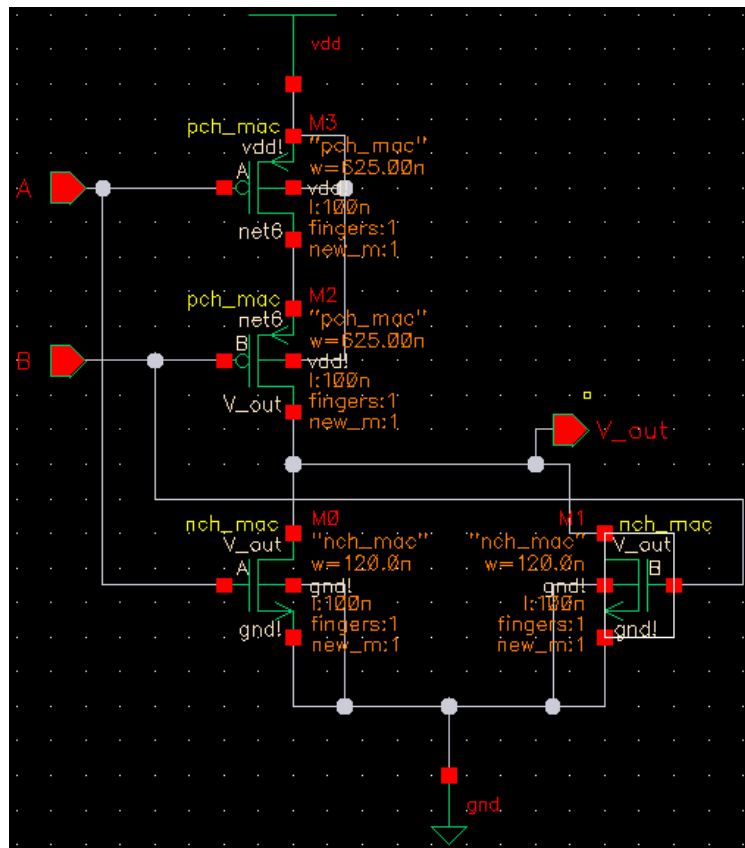
Kombinerer så ovenstående og finner  $k$ :

$$R_{opptrekk} = R_{nedtrekk}$$

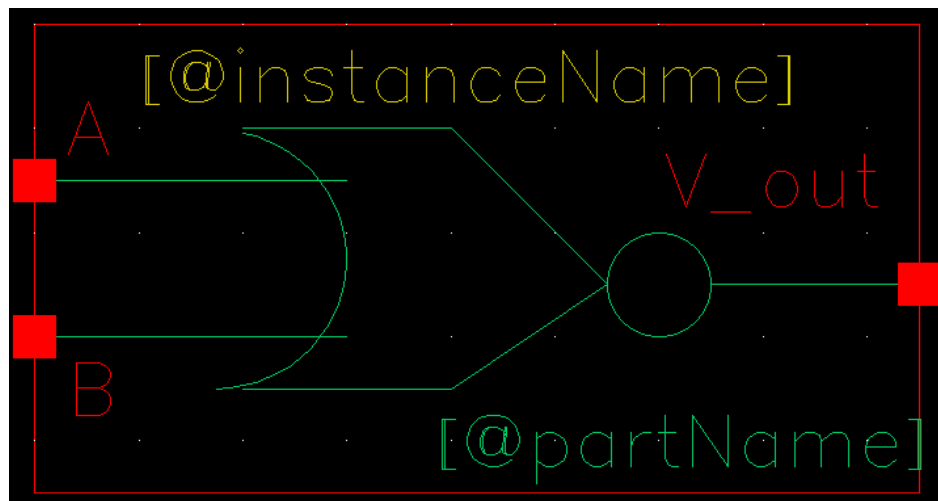
$$\frac{5.2R_n}{k} = R_n$$

$$k = 5.2$$

Dette betyr at  $W_p = 5.2 \cdot 120nm = 624nm$  og  $W_n$  som før.

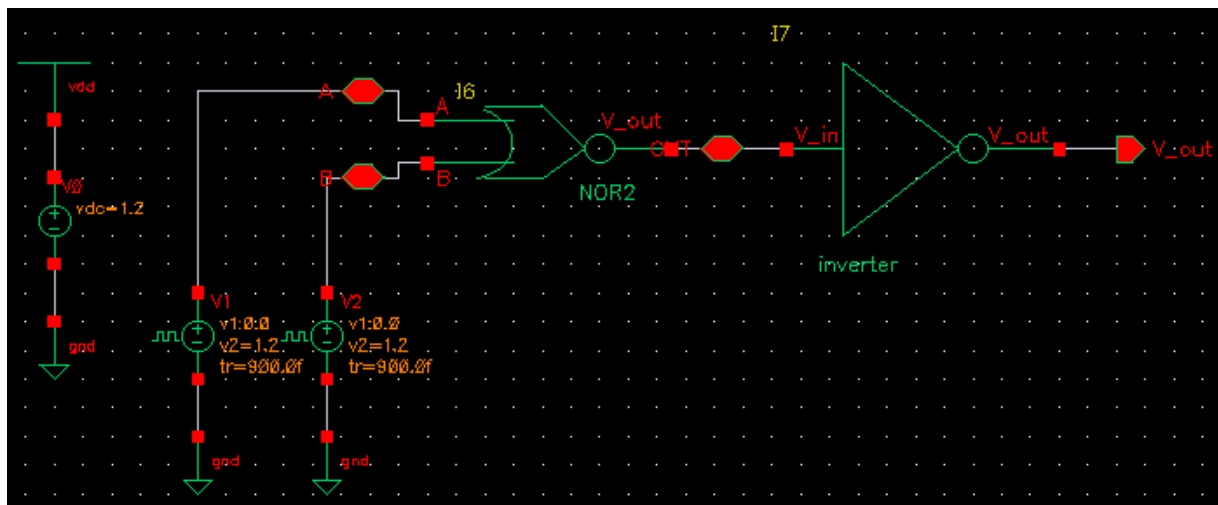


Figur 3: Skjematikk av NOR-port



Figur 4: Symbol for NOR-porten

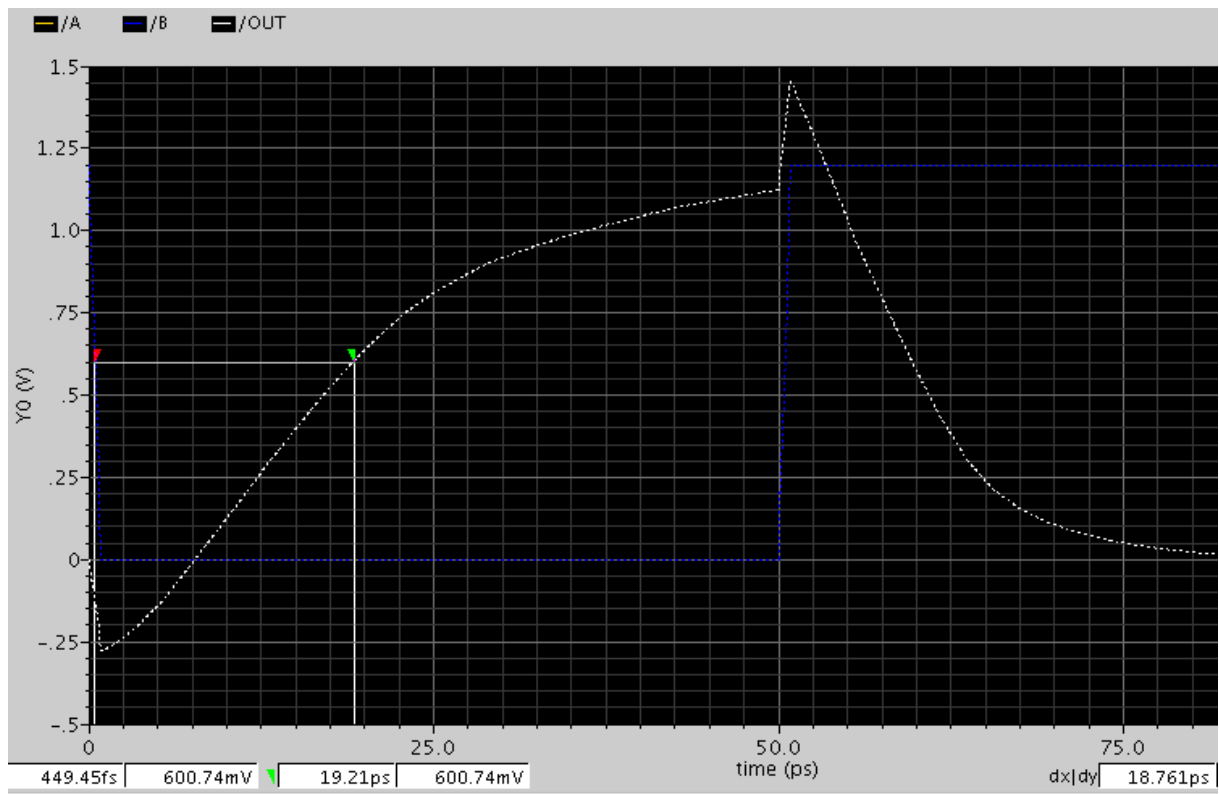
Under, i Figur 5, vises generelt oppsett for testbenken til NOR-porten (dvs., inngangssopsettene vil variere/være forskjellig fra figuren for de ulike tilfellene).



Figur 5: Testbenk for NOR-porten

Se under NAND-seksjonen hvordan jeg satte opp inngangene sånn generelt (skrev denne først). Worst case for opptrekket blir her når begge pMOS-ene i opptrekket er 0, dvs. når inngangene A og B transisjonerer fra 1 til 0 samtidig. Tidsforsinkelsen (se Figur 6) ble ca.  $t_{cd} = 18.8ps$ , og stigetiden ble målt til ca.  $t_r = 20.6ps$ .

Worst case for nedtrekk får vi når  $A = 0$  og  $B = 0 \rightarrow 1$ . Dvs. at én av nMOS-ene i parallell er på, mens nederste pMOS skrus av. Tidsforsinkelsen ble i dette tilfellet ca.  $t_{cd} = 18.5ps$  og falletiden ble ca.  $t_f = 18ps$ .



Figur 6: Transientanalyse av NOR-porten (finner tidsforsinkelsen)

## NAND-port

For en 2-inputs NAND-port består opptrekket av 2 stk pMOS-er i parallell, og nedtrekket av 2 stk nMOS-er i serie. Se Figur 7 og Figur 8 for hhv. skjematikk og symbol.

Siden vi har 2 stk pMOS i parallell i opptrekket, og 2 stk nMOS i serie i nedtrekket, får vi i hht. (1) og (2) at

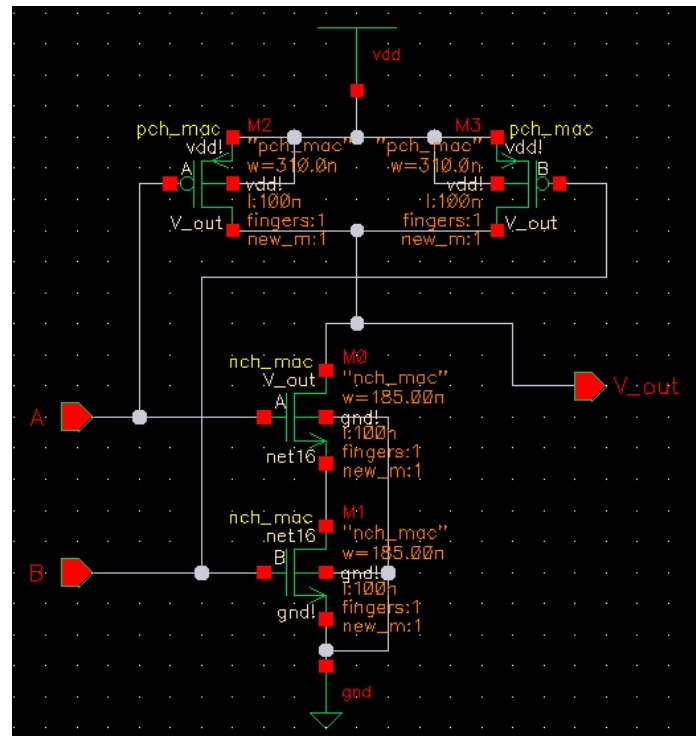
$$R_{\text{opptrekk}} = \left( \sum_{i=1}^2 \frac{1}{R_p} \right)^{-1} = \left( \frac{2}{2.6R_n} \right)^{-1} = 1.3R_n$$

$$R_{\text{nedtrekk}} = \sum_{i=1}^2 \frac{R_n}{k} = \frac{R_n}{k} + \frac{R_n}{k} = \frac{2R_n}{k}$$

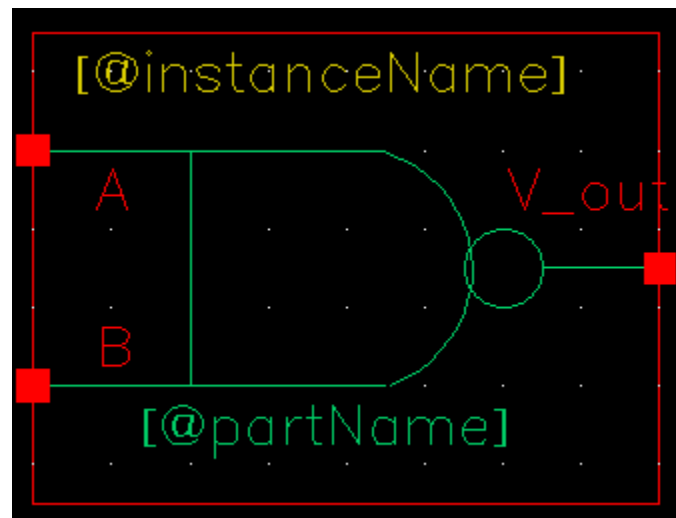
Setter så disse lik hverandre og finner  $k$ :

$$\begin{aligned} R_{\text{opptrekk}} &= R_{\text{nedtrekk}} \\ 1.3R_n &= \frac{2R_n}{k} \\ k &= \frac{2}{1.3} \approx 1.54 \end{aligned}$$

Dette betyr at  $W_n = 1.54 \cdot 120\text{nm} \approx 185\text{nm}$  og  $W_p$  som før.

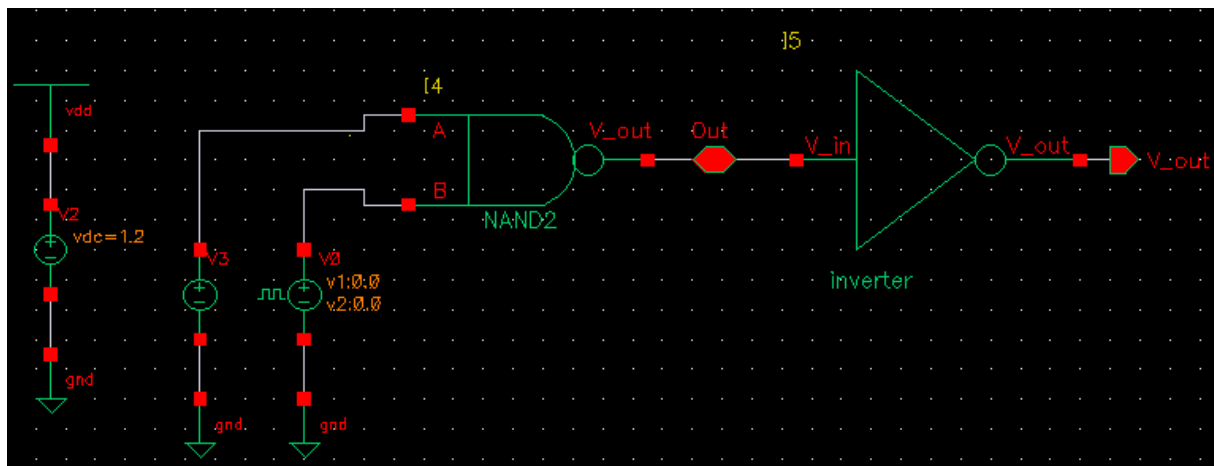


Figur 7: Skjematikk av NAND-porten



Figur 8: Symbol for NAND-porten

I Figur 9 vises et generelt oppsett for testbenken til NAND-porten. Inngangssopsettet varierer dog fra transientanalyse til transientanalyse.

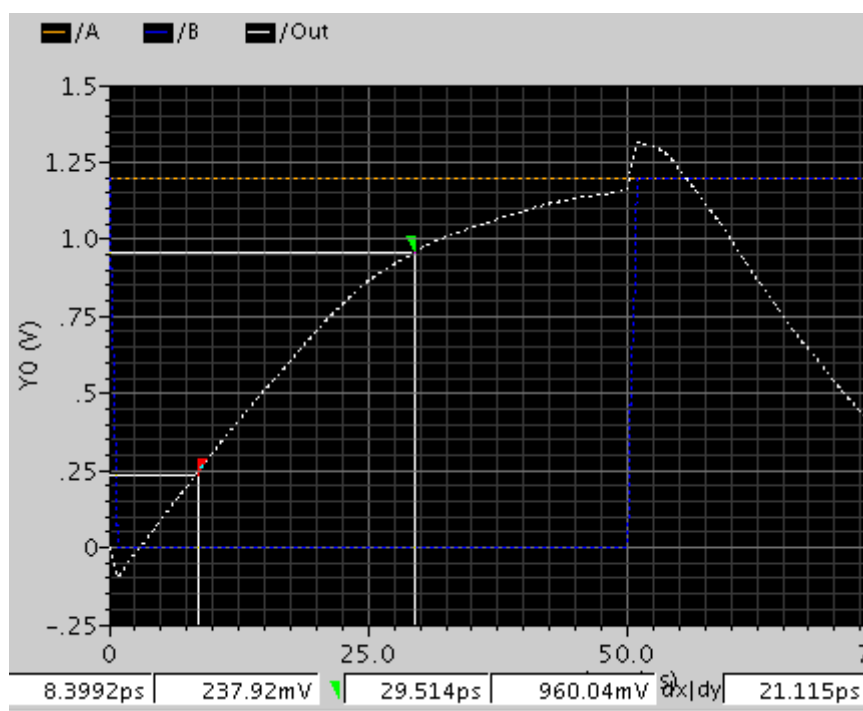


Figur 9: Testbenk for NAND-porten

For opptrekket har vi worst case når to pMOS-ene i opptrekket *ikke* jobber i parallell, dvs. når bare én av de er 1. Må også ta hensyn til nedtrekket; dersom A er konstant 1 vil opptrekket kun "jobbe" dersom B går fra 1->0 (dersom B går fra 0->1 er det nedtrekket sin tur). Worst case for opptrekk blir altså A=1, B=1->0.

Nedtrekket aktiviseres kun dersom begge inngangssignalene er 1. De tilfellene dette skjer er dersom A=1 og B=0->1, A=0->1 og B=1, eller A=0->1 og B=0->1. Worst case blir åpenbart når begge inngangssignalene kommer samtidig, dvs. når både A og B transisjonerer fra 0 til 1 samtidig (altså logisk 0 og 1).

Når jeg forsøkte å simulere worst case for opptrekket over en periode på 100ps, dvs. med A konstant lik  $V_{DD}$  (vdc) og B med vpulse fra 1.2V til 0.0V ( $t_r = t_f = 0.9ps$ ,  $T = 100ps$ ), fikk jeg en tidsforsinkelse på ca.  $t_{cd} = 17ps$ . Stigetiden målte jeg til  $t_r = 21ps$ . Se Figur 10 for eksempelmåling.



Figur 10: Transientanalyse av NAND (finner stigetid)

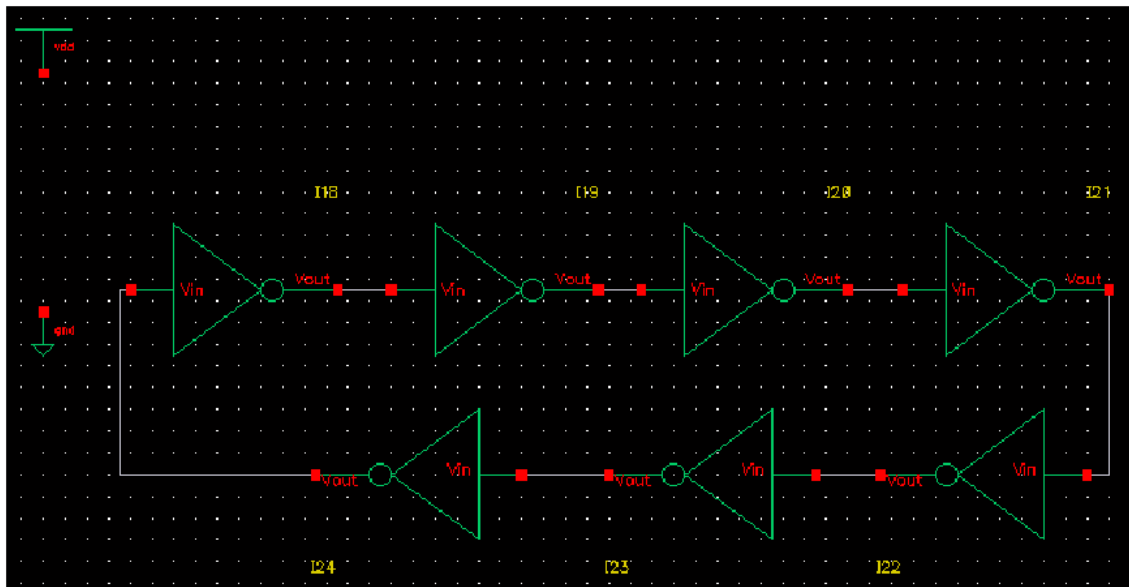
Gjorde tilsvarende for worst case i nedtrekk, bortsett fra at jeg erstattet vdc-en på inngang A med en vpulse og lot begge gå fra 0->1 samtidig. Tidsforsinkelsen ble  $t_{cd} = 21.5ps$ , og falltiden ble  $t_f = 20.5ps$ .



## Oppgave 2

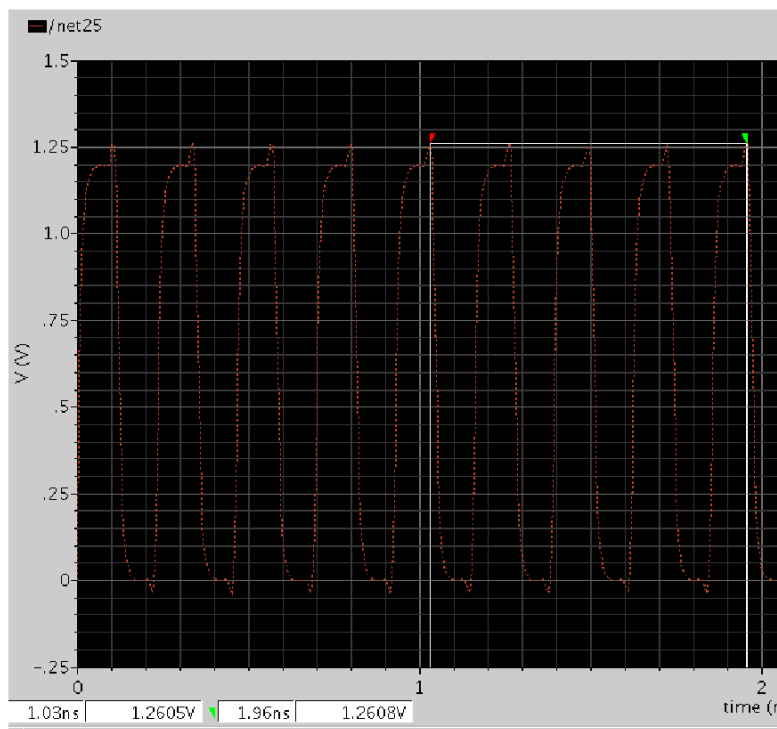
Her skal vi lage en ringoscillator bestående av 7 stk invertere og finne frekvensen for denne.

Skjematikken for ringoscillatoren vises i Figur 11 under:



Figur 11: Skjematikk av ringoscillatoren

Inverterne ble bygd på samme måte som i Figur 1, men dimensjoner som spesifisert i oppgaveteksten.  $V_{DD}$  ble "hard enable" til 1.2V (går fint at den står fritt når man gjør det slik), og ledningsstykket helt til venstre ble initialisert til 0 V. Transientanalysen ses i Figur 12.



Figur 12: Transientanalyse av ringoscillatoren

Fra transientanalysen deduserte jeg en omtrentlig frekvens på  $4\,301\,075\,269\text{ Hz}$  ("omtrentlig 😊"), altså ca.  $4\text{ GHz}$ . Om jeg endret  $V_{DD}$ -en fra  $1.2\text{V}$  til  $0.8\text{V}$  ble frekvensen  $2\,099\,737\,533\text{ Hz}$ , altså ca.  $2\text{ GHz}$ , som er en halvering av den forrige frekvensen. Andre metoder å få ned frekvensen på kan være å legge til flere invertere i kjeden (lengre vei = lengre tid), eller alternativt øke dimensjonene på transistorene i inverterne.