INF3400

Obligatoriske oppgaver, del 11 (forsøk nr. 2)

Magnus Andersen

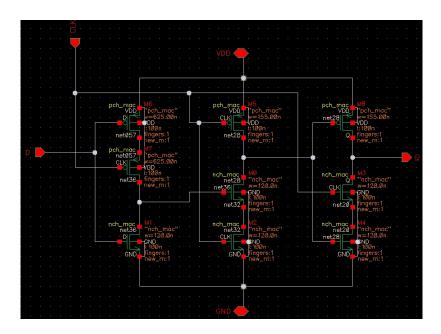
15. mai 2013

Sammendrag

Forstod det slik at oppgave 1 var noenlunde grei basert på tilbakemeldingen jeg fikk etter opprinnelig deadline. Noterte meg strip chartfunksjonen. Takker for belysende tips ift. utlegget; lagde dette på nytt og både DRC og LVS returnerer nå uten feilmeldinger.

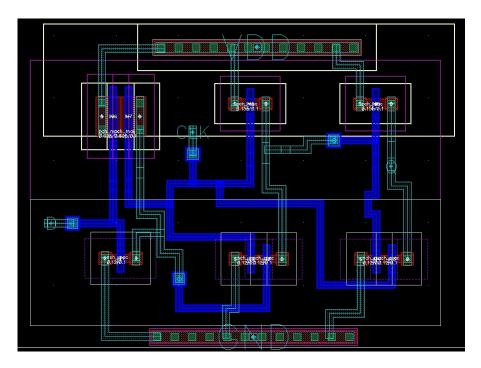
2 Utlegg av vippen

Skjematikk (med korrekte bulk-tilkoblinger) av vippen er vist i Figur 1.

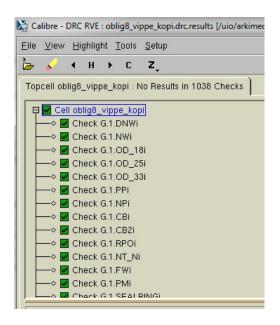


Figur 1: Skjematikk av vippen (forskjell fra forrige innlevering: nå med korrekte bulk-tikoblinger)

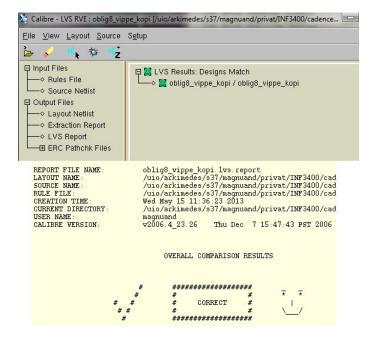
Utlegget er vist i Figur 2. Feilene jeg gjorde forrige gang er utbedret; ikke lenger kryssende polyer, samt som nevnt tidligere at bulk-tilkoblingen i skjematikken (som tidligere var feil og ga feilmeldinger i net13) er fikset. Slo sammen serielle transistorer ved å la terminalene overlappe der det var mulig, og firedoblet også antall kolonner i kontaktene for både V_{DD} og GND. DRC- og LVS-resultat er vist i hhv. Figur 3 og Figur 4.



Figur 2: Utlegg av vippen (oppdatering fra forrige gang: se forklaring over)



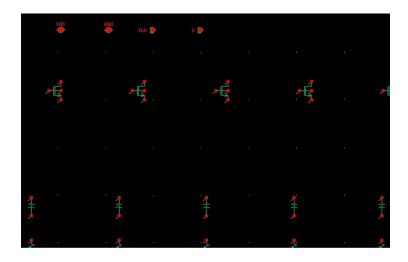
Figur 3: DRC-resultat



Figur 4: LVS-resultat

3 Simulering på utlegg

Her skulle vi utføre Post Layout-simulering av vippekonfigurasjonen. Dvs. samme testbenk som før (se forrige innleveringsforsøk), men hvor vi i stedet baserer oss på utlegget av vippen i stedet for skjematikken (mer realistisk). Fulgte "oppskriften" det ble lenket til i oppgaveteksten slavisk, og deler av ekstrahert netlist er vist i Figur 5.



Figur 5: Deler av ekstrahert netlist

Utførte så transientanalyse på samme måte som med normal skjematikk (forklart i forrige innleveringsforsøk). Konfigurasjonen så ut til å fungere greit på 1GHz. Fant at laveste fungerende klokkefrekvens lå på rundt 150MHz-200MHz. En vesentlig forskjell fra pre-layout med andre ord. Kan dette stemme?