

INF3400

Obligatorisk oppgave 6, del 7

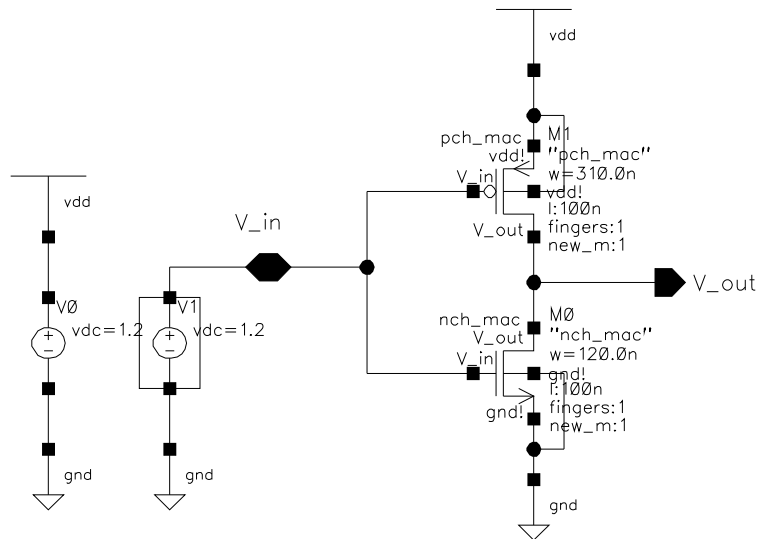
Magnus Andersen

Sammendrag

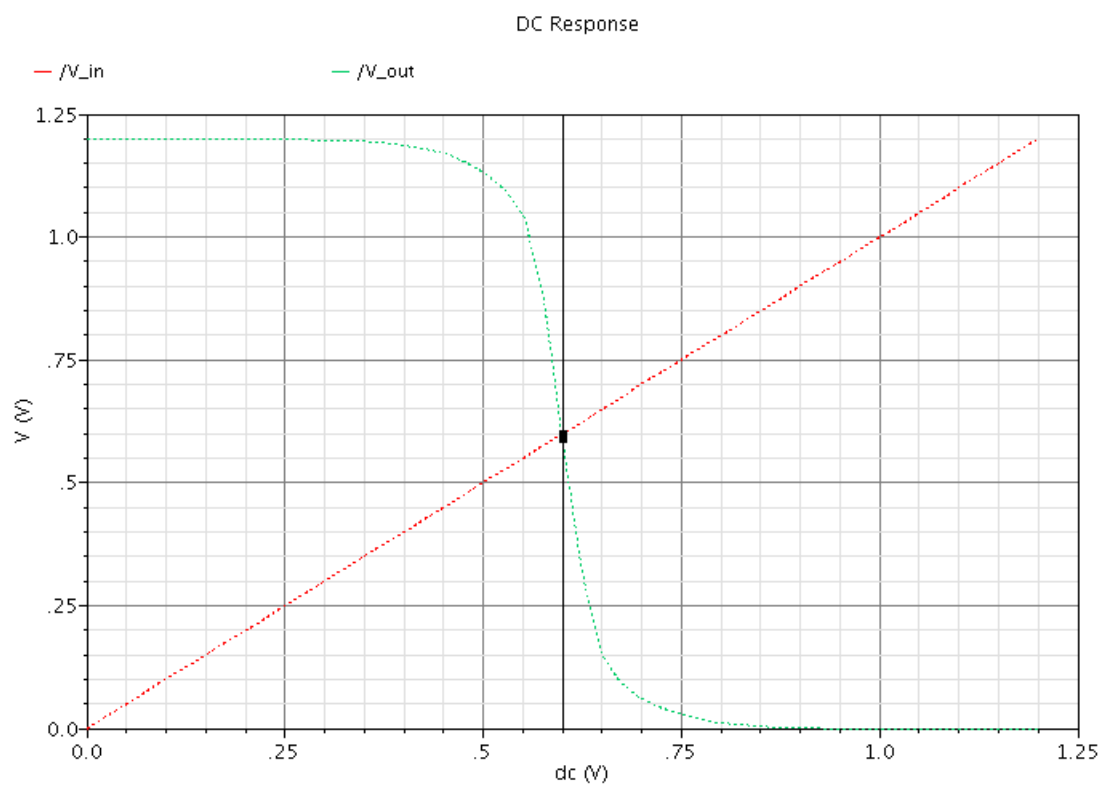
I oppgave 1 kjørte vi en DC-simulering av en inverter. I oppgave 2 laget vi utlegg for nevnte inverter, og verifiserte dette vha. DRC og LVS.

1 DC-simulering av inverter

Vi skulle foreta en DC-simulering av en inverter med inngangsterskel tilnærmet lik $V_{DD}/2$, der $V_{DD} = 1.2V$. Inngangsterskelen til inverteren vil si når inngangsspenningen er lik utgangsspenningen. Dette skjer når forholdet på transistorbreddene er ca. $W_p/W_n = 2.6$; for eksempel $W_p = 312nm$ og $W_n = 120nm$. Skjematikk (inkl. testbenk) og resultatet av DC-simuleringen er vist i hhv. Figur 1 og Figur 2.



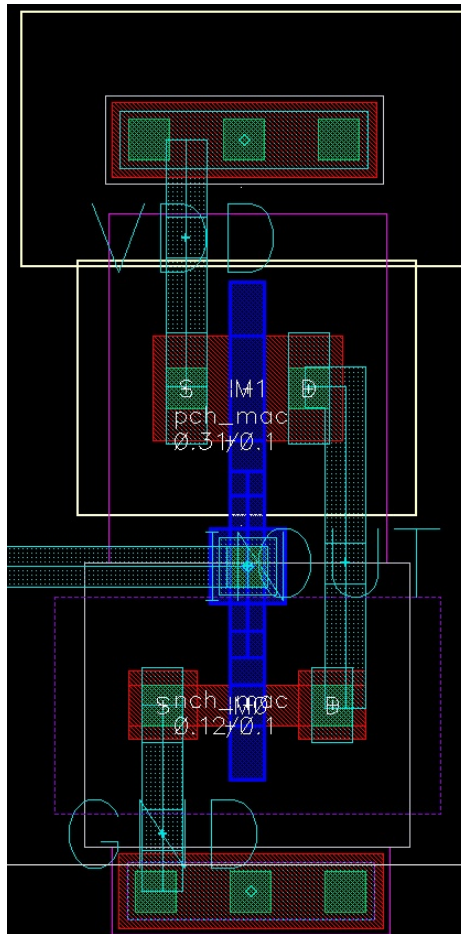
Figur 1: Testbenk for DC-simuleringen



Figur 2: Resultat av DC-simuleringen

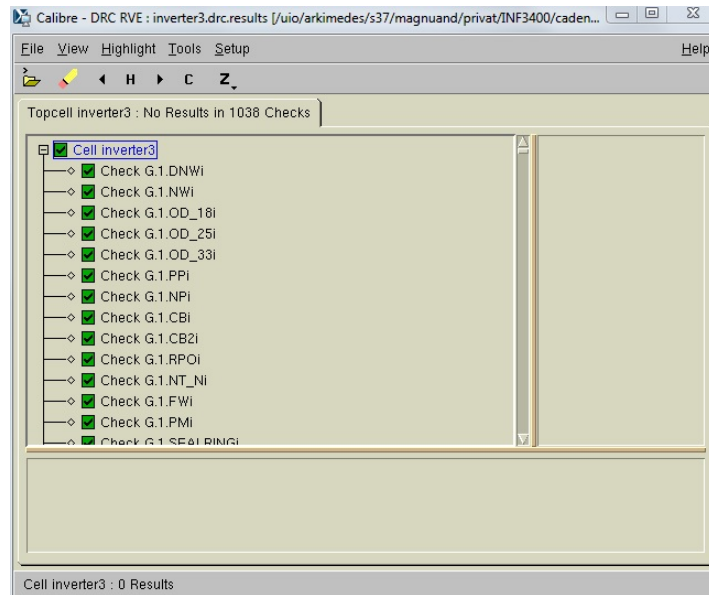
2 Utlegg av inverter

Jeg fulgte tipsene som spesifisert i lenken i oppgaveteksten¹. Jeg genererte fra kilden (dvs. inverterskjematikken uten testbenken), men i forhold til Figur 1 ble pinnenavnene ble endret til store bokstaver, og gnd/vdd ble endret til inputOutput-pinner. Oppdatering fra forrige, ikke godkjente forsøk: Jeg gjorde som du sa og ved å klikke på feilen fikk jeg en pekepinn på området den lå i. Feilen lå spesifikt i området du nevnte, og etter at dette ble utbedret, passerte layouten DRC uten en eneste feil. Jeg la til matchende pinner i layouten (må ha gjort noen merkelige feil forrige gang), og det ble knirkefri passering også i LVS (layout og skjematikk matchet). Se Figur 3, 4 og 5 for hhv. layout og post-DRC/LVS-meldinger.

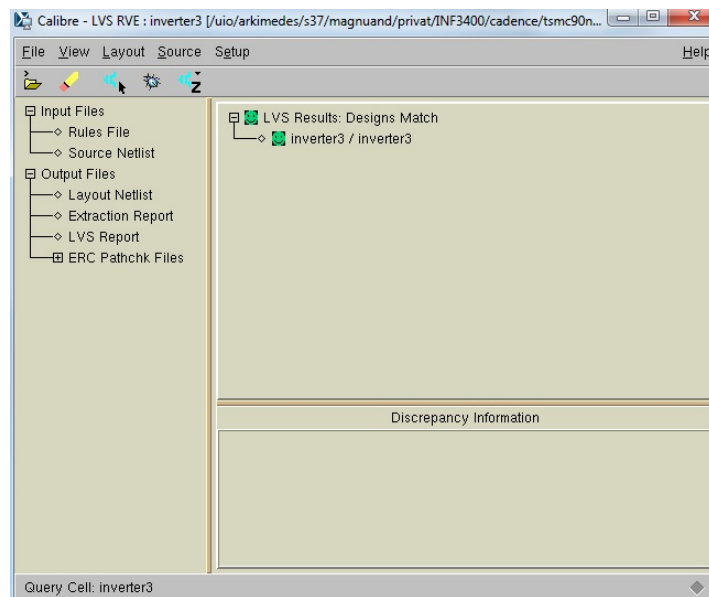


Figur 3: Utlegg for inverteren

¹ <http://www.uio.no/studier/emner/matnat/ifi/INF3400/v10/obliger/Cadence-tips.xml>



Figur 4: DRC-resultat



Figur 5: LVS-resultat