

Bitacora de investigación Proyecto Grupal Fundamentos de arquitectura de computadores

Estudiante:

Luis Alfredo González Sánchez

2021024482

N.B.: La siguiente es una entrada de muestra del diario de desarrollo del proyecto grupal de fundamentos de arquitectura de computadores, en donde se encuentra el progreso de cada integrante. Su objetivo es documentar los avances significativos del proyecto.

14 de abril del 2024

Se procedió en una sesión virtual del grupo de trabajo el reparto de las labores , para lo cual me corresponde la elaboración de registros y la máquina de estados del sistema , se procedió a realizar un diagrama de flujo , con el fin de guiar las ideas sobre el funcionamiento de la máquina de estados, observe la figura 1:

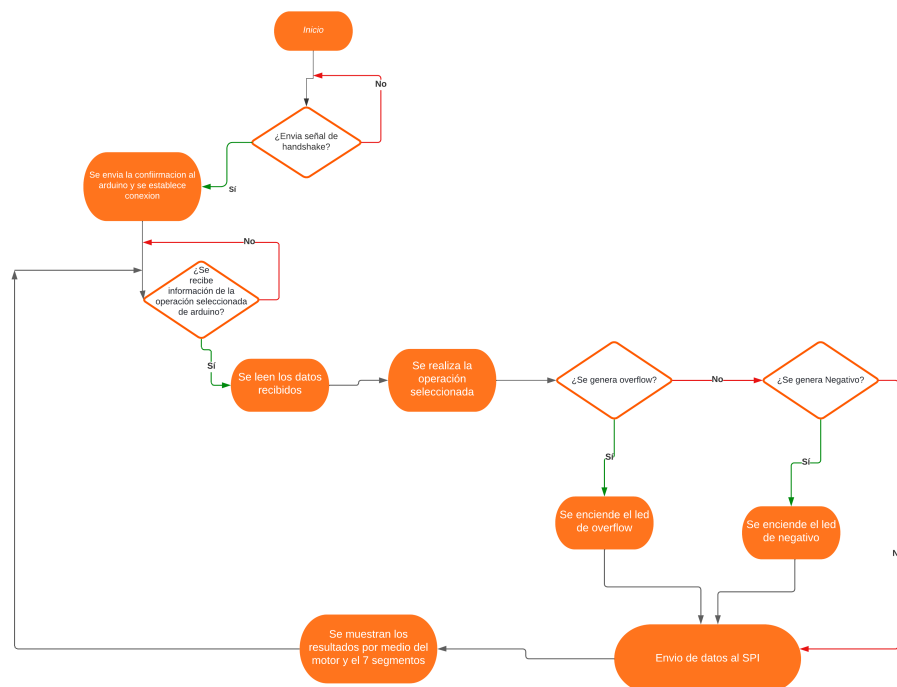


Figura 1: Diagrama de flujo para el funcionamiento de la FSM

18 de abril del 2024

Se realizó un diagrama básico o inicial de los estados de la FSM, de momento, se identifican 4 estados , un estado inicial, para realizar el handshake, un estado de recibimiento de informacion , que funjirá como el estado "default" después del handshake, a este estado se regresará al completar las modificaciones a las velocidades del motor, existe despues del estado de recibimiento de informacion, un estado de operación , el cual se mantendrá hasta que las operaciones se completen en la ALU , por último, un estado para configurar la velocidad del motor, en este estado, se comunica el resultado de la ALU con el pmw y el led del 7 segmentos.

21 de abril del 2024

Se realiza la tabla de transiciones y la tabla de codificación de los estados , inicialmente se contaban con 6 entradas, los estados iniciales y las entradas A,B,C,D, sin embargo , una de las entradas realmente nunca hace nada,siempre es X, por lo que se va a descartar del diseño final de la fsm. Se tiene planeada una reunión con uno de los miembros, para confirmar el diseño de la FSM y verificar que tenga sentido, considerar que , la máquina de estados me producirá salidas binarias, Alu enable, Pwm enable, la máquina de estados es un gran activador de módulos, lo que hará realmente es activar ciertos modulos cuando se encuentren en determinado estado.

22 de abril del 2024

Luego de la reunion se aprueba el diseño de la fsm, se solicita a la compañera que pase el diseño y las tablas de estados a limpio y bonito, ya que el diseño que se posee está en papel.

30 de abril del 2024

Se empieza a trabajar con los registros necesarios de la fsm , se estiman 2 registros, un registro para almacenar lo que recibe el modulo spi de la fpga, considerando claro que del arduino se va a recibir una cadena completa de bits, como tal si envio 5 se produce 0101 como son 2 numeros , la operacion , y un enable para cambiar de estado, será una cadena de 11 bits, en la cual en el primer registro se fragmentara en sus partes, numero 1 , numero 2, operacion, y el enable para cambiar del estado del handshake, al estado de recibimiento de informacion , y el estado de recibimiento de información al estado de operación de la ALU.

4 de abril del 2024

El proyecto de bases de datos me ha impedido tener avance significativo en el proyecto, se procede a subir la fsm , queda pendiente averiguar como cambiar los ifs a logica estructural o de no alto nivel.

5 de abril del 2024

Se sube el módulo spi de la fpga , se estan produciendo errores, en ocasiones a la hora de recibir la información, a veces uno de los números se pierde, a veces no, a veces no llega nada, se desconoce las razones, queda pendiente arreglar eso.

7 de abril del 2024

Se realizan varias conexiones de los modulos de la fpga, se estima que los datos no estan llegando como se debe, es decir que si envio una cadena desde el arduino como 1101 , no llega el 1101, si no que le llega el 1 como 0001, luego el otro 1 , luego un 0, es decir , que desde arduino se envia el numero entero pero en la fpga existe una conversión automática a binario

9 de abril del 2024

Se diseña un módulo flip flop, con el cambio realizado en el módulo spi , donde en vez de enviar 11 bits, envia 4 números enteros como tal, si la teoría es correcta, con 11 flip flops en cascada deberia de capturar los valores enviados.

10 de abril del 2024

El número ahora se recibe correctamente, al conectar 11 flip flops en cascada, el Mosi, puede asignar valores a cada flip flop por el tamaño del stream de bites que se le envian, esto representa un problema , ya que los demás módulos funcionan pensando que llega el número completo, no bit a bit, de ser posible, se va a intentar arreglar las conexiones, por que si se recibe 1 a 1 la máquina de estados estará en un estado incerto (ya que el enable enviado desde el arduino estará cambiando de valor entre 1 y 0 hasta recibir toda la cadena de bits), este descubrimiento tardio de como llega a la fpga, afectará la presentación final del proyecto, de ser posible se arreglará, ese enable de la maquina de estados en base al valor que recibe de arduino .

Estudiante:

Gustavo Andrés Zamora Espinoza

2017137089

14 de abril del 2024

Se realizó una reunión con el objetivo de identificar y dividir las tareas necesarias para la realización del proyecto. La tarea que me corresponde es la construcción del PWM.

16 de abril del 2024

Antes de iniciar a elaborar el PWM, se procedió a investigar sobre el funcionamiento del mismo, con el objetivo de comprender su funcionalidad y métodos de implementación.

1 de mayo del 2024

Se utiliza el software Quartus para diseñar el módulo inicial de PWM que será utilizado en el proyecto. Se espera que este diseño sirva como punto de partida para la implementación en hardware. Además, se utiliza la herramienta de modelSim y un testbench para simular y verificar que funcione correctamente.

6 de mayo del 2024

Tras realizar el diseño inicial del módulo PWM utilizando estructuras de alto nivel, se identificó que estas no cumplían con las restricciones específicas del proyecto. Por lo tanto, se hizo necesario realizar correcciones en el diseño del módulo PWM para cumplir con lo establecido.

8 de mayo del 2024

Se inició a trabajar en el documento de propuesta de investigación solicitado.

Estudiante:
Saray Mariana Rojas Rojas
2020076936

14 de abril del 2024

Se realizó una reunión con el objetivo de identificar y dividir las tareas necesarias para la realización del proyecto entre todos los compañeros. La tarea que me corresponde es la construcción de la conexión del Arduino.

20 de abril del 2024

Leyendo y analizando ampliamente definí las acciones del Arduino en el proyecto. Se pueden resumir en que: el Arduino y la FPGA trabajan juntos para controlar la velocidad de un motor DC mediante PWM (Modulación por Ancho de Pulso) y realizar operaciones lógicas utilizando un protocolo de comunicación SPI (Serial Peripheral Interface). Y por lo tanto mi trabajo debe estar completamente ligado al trabajo del compañero Luis.

22 de abril del 2024

Me reuní con Luis y a partir de su implementación de estados, desarrolle las siguientes tablas que modelan la maquina de estados que define el comportamiento del sistema.

Estados	Entradas			Estado Siguiete
	A	B	C	
S0	1	X	X	S1
S1	1	X	X	S2
S2	X	1	X	S3
S3	X	X	1	S0

Figura 2: Tabla de Transiciones

Estado	Nombre	Codigo
S0	Recibir handshake	00
S1	Esperar info	01
S2	Operacion ALU	10
S3	Configuracion PWM	11

Figura 3: Tabla de codificación binaria de estados

24 de abril del 2024

A partir de las tablas anteriores, se genera la tabla de transiciones con codificaciones binarias del sistema. Esta maquina de estados es la cual usaremos para modelar el sistema con el cual la FPGA decide qué operación hacer según los valores ingresados.

Estado		Entradas			Estado Siguiente	
X	Y	A	B	C	X'	Y'
0	0	0	X	X	0	0
0	1	1	X	X	0	1
0	0	0	X	X	0	1
0	1	1	X	X	1	0
1	0	X	0	X	1	0
1	1	X	1	X	1	1
1	0	X	X	0	1	1
1	1	X	X	1	0	0

Figura 4: Tabla de transiciones con codificaciones binarias del sistema

30 de abril del 2024

Establecí un protocolo de comunicación SPI para enviar un array de 11 caracteres a la FPGA. Aseguré que los caracteres se enviaran correctamente (que en arduino no se genere errores).

1 de mayo del 2024

Se diseñó el envío de un arreglo de 11 bits, utilicé los últimos tres caracteres del array a enviar para determinar la operación a realizar y un enable de la FSM. Generé los patrones de señal PWM correspondientes para controlar la velocidad del motor, utilizando los datos recibidos de la FPGA.

4 de mayo del 2024

Implementé la función `handshake()` para realizar el handshake inicial con la FPGA antes de iniciar la comunicación. Este handshake aseguró que la comunicación entre el Arduino y la FPGA fuera confiable y que ambos dispositivos estuvieran sincronizados correctamente.

Mostré mensajes en la consola para indicar el estado de la comunicación, los datos enviados a la FPGA y las respuestas recibidas. Utilicé la función `Serial.println()` para imprimir estos mensajes en la consola con el fin de depurar.

7 de mayo del 2024

Mostré mensajes en la consola para indicar el estado de la comunicación, la comunicación esta dando problemillas, a veces llega bien a la fpga y a veces no, se necesita determinar donde esta el error a la hora de enviar los datos enviados a la FPGA y las respuestas recibidas. Utilicé la función `Serial.println()` para imprimir estos mensajes en la consola con el fin de depurar..

8 de mayo del 2024

Me reuní con mis compañeros a juntar nuestras partes del proyecto, para verificar que todas funcionan juntas como sistema. Cabe destacar que definimos los pines de la siguiente forma:

- MOSI (Master Out Slave In): Pin digital 11 (D11) en el Arduino Uno.
- MISO (Master In Slave Out): Pin digital 12 (D12) en el Arduino Uno.
- SCK (Serial Clock): Pin digital 13 (D13) en el Arduino Uno.
- SS (Slave Select): Puede ser cualquier pin digital, aunque usamos el pin digital 10 (D10).

Estos pines fueron conectados directamente a la FPGA en los pines GPIO, específicamente al AC19, Y17, AD17 y Y18.

9 de mayo del 2024

Nuevamente, mis compañeros y yo nos reunimos a finalizar la conexión e integración de las partes del proyecto, el problema de comunicación entre arduino y la FPGA, persiste, se estima que el error existe en como se reciben los datos en la fpga, mi compañero tratará de arreglar sus módulos para que se pueda recibir la información apropiadamente.

Estudiante:
Gabriela Quesada Sancho
2022049180

14 de abril del 2024

Se realizó una reunión con el objetivo de identificar y dividir las tareas necesarias para la realización del proyecto. La tarea que me corresponde es la construcción de la ALU.

28 de abril del 2024

Se completó la creación de los módulos esenciales en system verilog para la suma de 4 bits, se empleó una estructura de cascada de cuatro sumadores de un bit. Se configura correctamente la señal de acarreo.

5 de mayo del 2024

Se completó la implementación de un módulo para realizar la operación de resta, para esto se utiliza el método del complemento a uno, luego sumarlo al primer número utilizando un sumador de 4 bits. Además se utilizó el inversor que generó el complemento a uno del número. Además se crearon los módulos que realizar las operaciones de AND y OR.

12 de mayo del 2024

Se terminó la creación de un módulo para la ALU, este módulo permite recibir dos números junto con un identificador de operación. Además se configuraron las banderas zero, negative, overflow y carry para garantizar que las operaciones se realicen de manera precisa y que las banderas reflejen el estado correcto después de cada operación. Se realizaron todas las pruebas necesarias que abarcaron todos los casos posibles verificando el correcto funcionamiento de la unidad aritmetico logica. Además se trabajó en conectar dicha unidad.