

Санкт-Петербургский политехнический университет Петра Великого
Институт компьютерных наук и технологий

ВЫСШАЯ ШКОЛА ИНТЕЛЛЕКТУАЛЬНЫХ СИСТЕМ И СУПЕРКОМПЬЮТЕРНЫХ
ТЕХНОЛОГИЙ

ПРАКТИЧЕСКАЯ РАБОТА № 5
«КОДИРУЮЩИЕ И ДЕКОДИРУЮЩИЕ ПРЕОБРАЗОВАТЕЛИ»
по дисциплине «Архитектура вычислительных систем»

Выполнил
студент гр.3530903/80302

<подпись>

А.П. Большакова

Руководитель
доцент, к.т.н.

<подпись>

Н.М. Вербова

« » 2020 г.

Санкт-Петербург
2020

Цель работы.

Целью данной работы является изучение принципов действия цифро-аналоговых и аналого-цифровых преобразователей.

Ход работы.

1. Синтез схемы АЦП параллельного преобразования.

По заданию работы требовалось синтезировать и построить схему АЦП параллельного преобразования на 2 разряда. Аналого-цифровое преобразование является операцией, устанавливающей отношение двух величин – входной аналоговой V_i и эталонной V_r . Цифровой сигнал преобразователя есть кодовое представление этого отношения. Если выходной код преобразователя является n -разрядным, то число дискретных выходных уровней равно 2^n . В данном случае $n = 2$, а значит число выходных уровней равно 4.

В методе параллельного преобразования входной сигнал сравнивается одновременно со всеми пороговыми уровнями с помощью компараторов, смещённых по уровню опорного сигнала на один младший значащий разряд относительно друг друга. Смещение обеспечивается за счёт использования прецизионного резистивного делителя. При подаче аналогового сигнала на вход АЦП компараторы (сравнивающие устройства), смещённые выше уровня входного сигнала, имеют на выходе логический ноль, а смещённые ниже этого уровня – логическую единицу.

Сигналы с выходов компараторов через D триггеры подаются на комбинационную схему (приоритетный шифратор), на выходе которой получается цифровой код входного напряжения. Для четырёх выходных уровней справедлива следующая таблица состояния приоритетного шифратора (Таблица 1):

U _{вх}	Десятичный эквивалент	Двоичное число	Состояние компараторов
0	0	00	000
1	1	01	001
2	2	10	011
3	3	11	111

Таблица 1 – Таблица состояния приоритетного шифратора.

Триггеры необходимы для исключения влияния на результат, разброса временной задержки компараторов. Всё вышесказанное отображено на схеме АЦП параллельного преобразования (Рисунок 1):

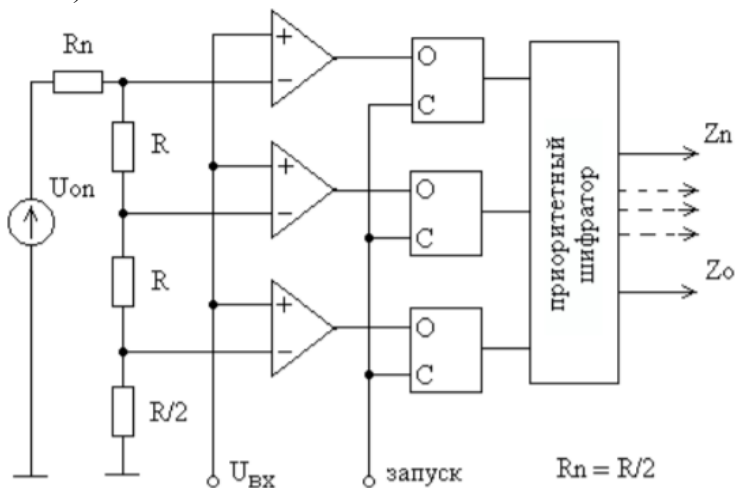


Рисунок 1 – Схема АЦП параллельного преобразования.

Для синтеза всей схемы оставалось синтезировать приоритетный шифратор. Для этого была построена более подробная таблица с переключательными функциями (Таблица 2):

№	X_2	X_1	X_0	Z_1	Z_0
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	1	1	0
3	1	1	1	1	1

Таблица 2 – Переключательные функции приоритетного шифратора.

Чтобы синтезировать приоритетный шифратор требовалось построить по данной таблице аналитические функции для переключательных функций Z_0 и Z_1 , а затем полученные функции минимизировать. Изначально были получены следующие переключательные функции:

$$Z_0 = X_0 \bar{X}_1 \bar{X}_2 + X_0 X_1 X_2$$

$$Z_1 = X_0 X_1 \bar{X}_2 + X_0 X_1 X_2 = X_0 X_1$$

Таким образом, схема АЦП параллельного преобразования была перенесена и проверена в Multisim (Рисунок 2):

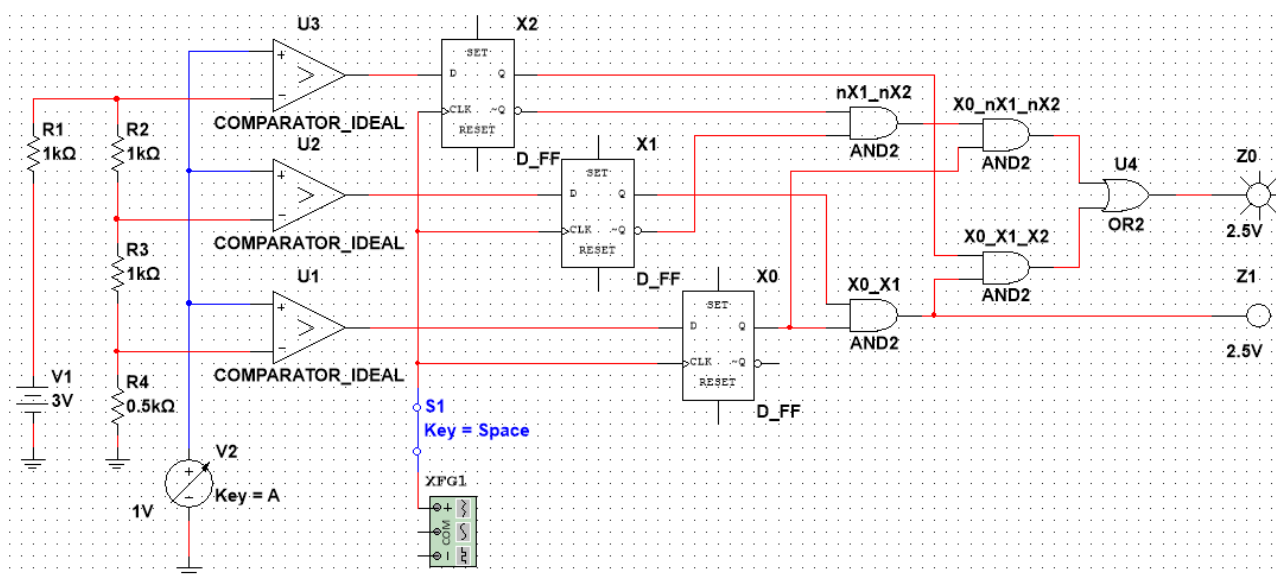


Рисунок 2 – АЦП параллельного преобразования в Multisim.

2. Синтез схемы АЦП последовательного приближения.

По заданию работы требовалось синтезировать и построить схему АЦП последовательного приближения на два разряда. Данный метод основан на аппроксимации входного сигнала двоичным кодом и последующей проверке правильности этой аппроксимации для каждого разряда кода, пока не достигается наилучшее приближение к величине входного сигнала. На каждом этапе этого процесса двоичное представление текущего приближения хранится в так называемом регистре последовательного приближения.

Преобразование всегда начинается с установки единичного значения старшего значащего разряда в регистре последовательного приближения. Это соответствует первоначальной оценке величины входного сигнала половинной величины полного диапазона (полной шкалы). Компаратор сравнивает выходной сигнал ЦАП с входным напряжением и выдаёт

контроллеру команду на сброс старшего значащего разряда (СЗР), если это первоначальная оценка превышает величину входного сигнала; в противном случае остаётся установленное значение СЗР.

В следующем такте контроллер устанавливает в единичное значение следующий (по старшинству) разряд, и снова, исходя из уровня входного сигнала, компаратор «решает», сбрасывать или оставлять установленным этот разряд. Преобразование продолжается аналогичным образом, пока не будет проверен последний младший значащий разряд. В этот момент содержимое регистра последовательных приближений является наилучшим приближением входного сигнала – это и есть выходной цифровой сигнал (слово) АЦП. Таким образом, в АЦП последовательного приближения выходной сигнал получается точно за n тактов для n -разрядного преобразователя.

Вышесказанному соответствует следующая схема АЦП последовательного приближения (Рисунок 3):



Рисунок 3 – Схема АЦП последовательного приближения.

Как уже было отмечено, в структуру АЦП последовательного приближения входит ЦАП. Наиболее широко распространённым способом цифро-аналогового преобразования является использование аттенюатора сопротивлений лестничного типа $R - 2R$. Аттенюатор — это электронное устройство, которое уменьшает амплитуду или мощность сигнала без существенного искажения его формы. Структура резисторной матрицы такова, что ток, втекающий в неё через какую-либо ветвь, на своём пути к концу «лестницы» в каждом узле делится на два равных тока, уходящих от узла по двум ветвям. Этому соответствует следующая принципиальная схема (Рисунок 4):

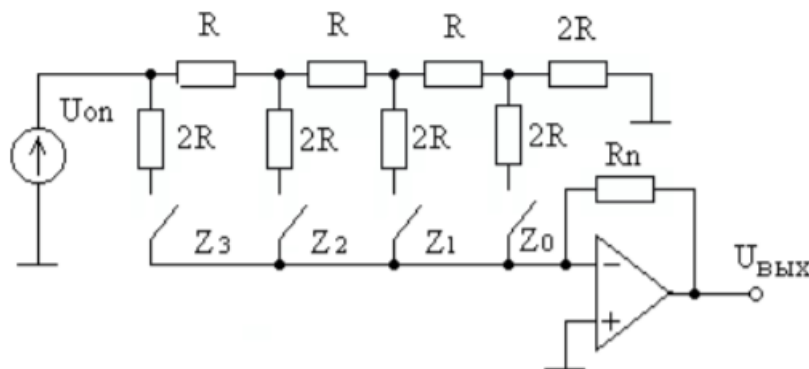


Рисунок 4 – ЦАП с матрицей $R-2R$.

С учётом всего вышесказанного в Multisim была введена и проверена схема АЦП последовательного приближения (Рисунок 5):

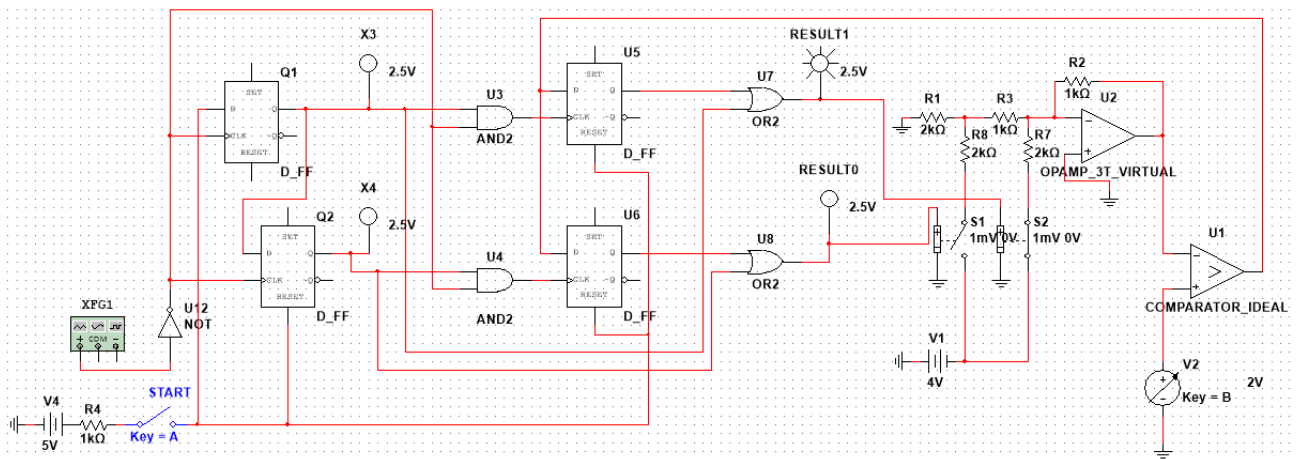


Рисунок 5 – АЦП последовательного приближения в Multisim.

Вывод.

В ходе работы были синтезированы АЦП параллельного и последовательного преобразования и изучен их принцип и особенности работы, а также был освоен новый элемент – компаратор.