

Санкт-Петербургский политехнический университет Петра Великого  
Институт компьютерных наук и технологий  
**Высшая школа интеллектуальных систем и суперкомпьютерных технологий**

**Лабораторная работа № 1**

**Анализ и синтез комбинационных узлов ЭВМ. Дешифратор.**  
по дисциплине «Архитектура вычислительных систем»

Выполнила  
студентка гр. 33530903/00301

С.П. Крутецкий

Руководитель  
доцент, к.т.н.

Н. М. Вербова

« \_\_ » \_\_\_\_\_ 2022 г.

# Часть I. Синтез дешифратора 3-х разрядного числа с переключательной функцией

## Построение аналитической формы дешифратора

На основании приведенной ниже таблицы составим СДНФ для каждого управляющего сигнала.

$X_2$	$X_1$	$X_0$	$Y_0$	$Y_1$	$Y_2$	$Y_3$	$Y_4$	$Y_5$	$Y_6$	$Y_7$
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

$$Y_0 = \overline{X_2} \overline{X_1} \overline{X_0}; Y_1 = \overline{X_2} \overline{X_1} X_0; Y_2 = \overline{X_2} X_1 \overline{X_0}; Y_3 = \overline{X_2} X_1 X_0;$$

$$Y_4 = X_2 \overline{X_1} \overline{X_0}; Y_5 = X_2 \overline{X_1} X_0; Y_6 = X_2 X_1 \overline{X_0}; Y_7 = X_2 X_1 X_0$$

Опираясь на имеющиеся СДНФ можно приступить к описанию схемы дешифратора.

## Построение модели дешифратора в Multisim

На основании полученных СДНФ была составлена модель дешифратора (рис. 1). Модель состоит из следующих элементов:

- Земля,
- DC\_POWER (источник на 5V) ,
- Резистор на 1kΩ,
- Ключ поступающего сигнала,
- 7404N (логическое отрицание поступающего сигнала),
- 7408N (логическое умножение поступающего сигнала),
- Лампа индикатор управляющего сигнала;

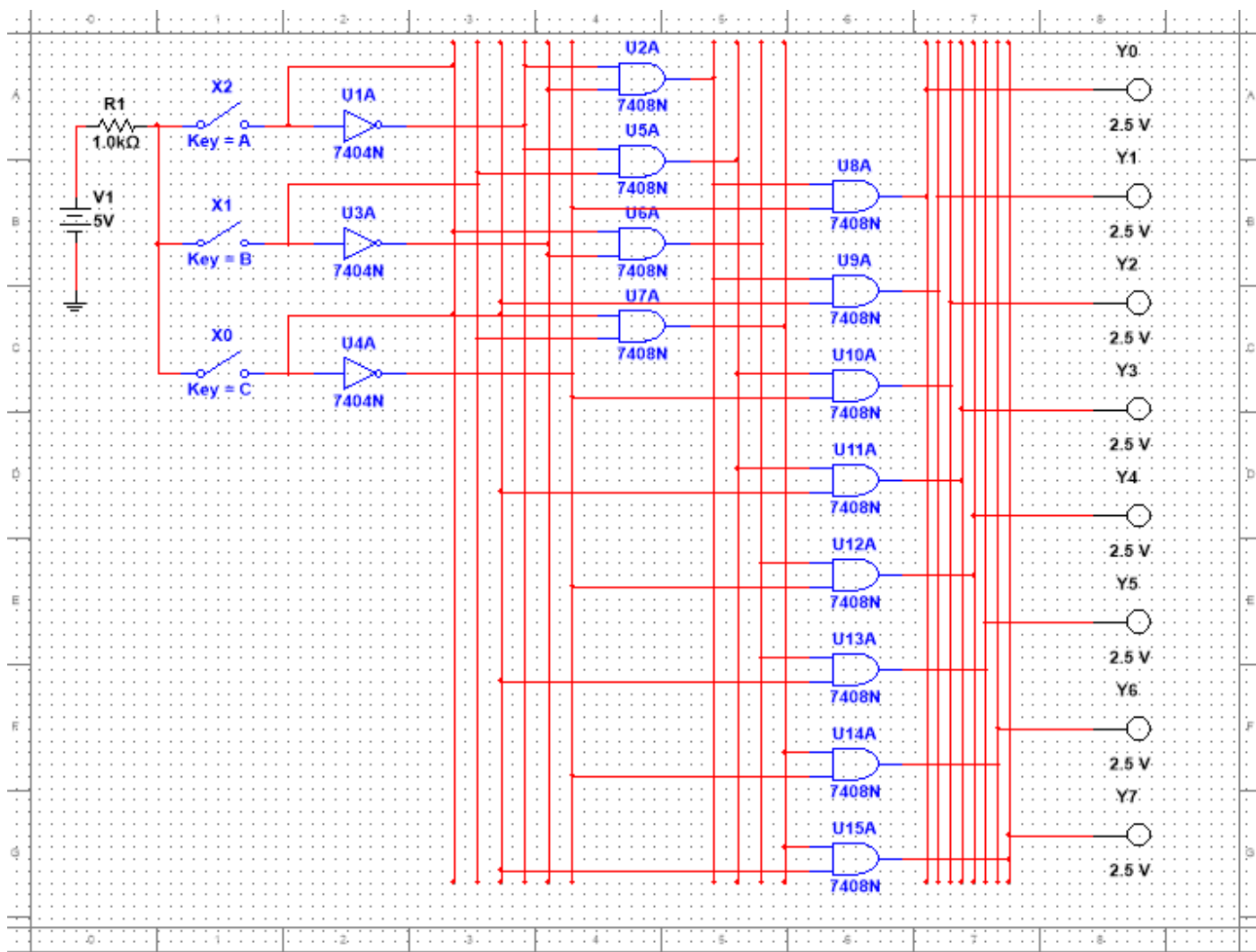


Рисунок 1 Модель дешифратора

Рассмотрим модель дешифратора ближе. На рисунке (рис. 2) представлена шина поступающих сигналов, каждой магистрали соответствует один поступающий сигнал  $X_2, X_1, X_0, \text{not } X_2, \text{not } X_1, \text{not } X_0$  соответственно. Шина необходима для большей наглядности и ясности при проектировании и демонстрации модели. Включенное положение ключа обозначает наличие сигнала, отрицание сигнала реализовано через логический блок 7404N.

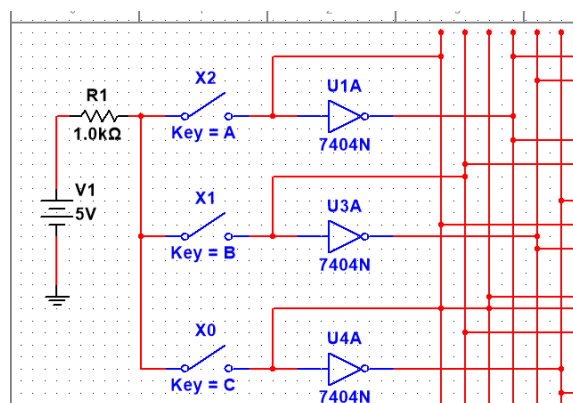


Рисунок 2 Шина поступающих сигналов дешифратора

Далее расположен блок формирования управляющего сигнала дешифратора, иными словами реализации описанных в первой части СДНФ. Каждый логический блок оперирует необходимым поступающим сигналам с вышеописанной шины. Результат преобразований поступающего сигнала отправляется на результирующую шину сигналов.

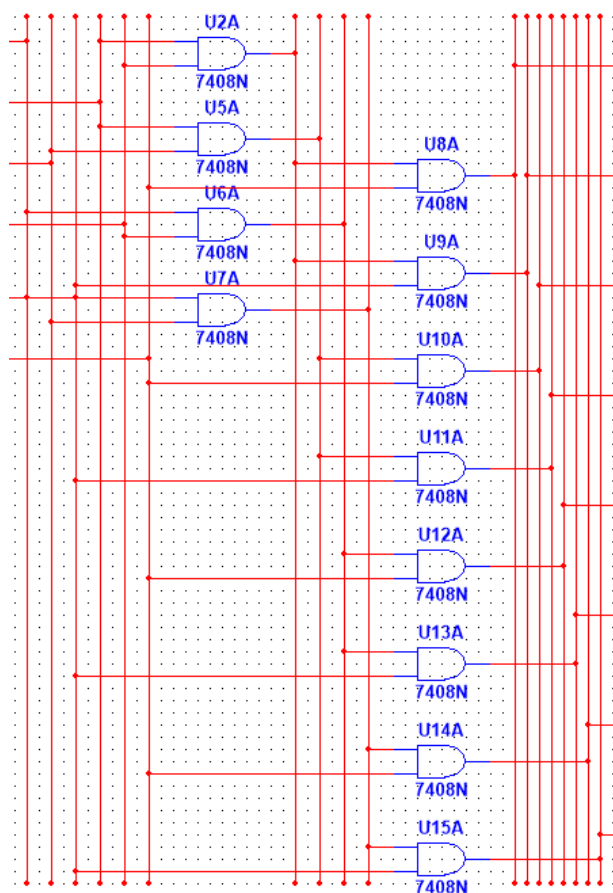


Рисунок 3 Блок формирования управляющего сигнала дешифратора

Заключительный этап схемы дешифратора — это индикация результирующего сигнала. Индикация основана на зеленых лампочках, наличие сигнала определяется наличием зеленого света на лампочке. Каждая лампочка подключена к соответствующему результирующему сигналу на шине. Лампочки подписаны наименованиями управляющих сигналов из аналитической таблицы.

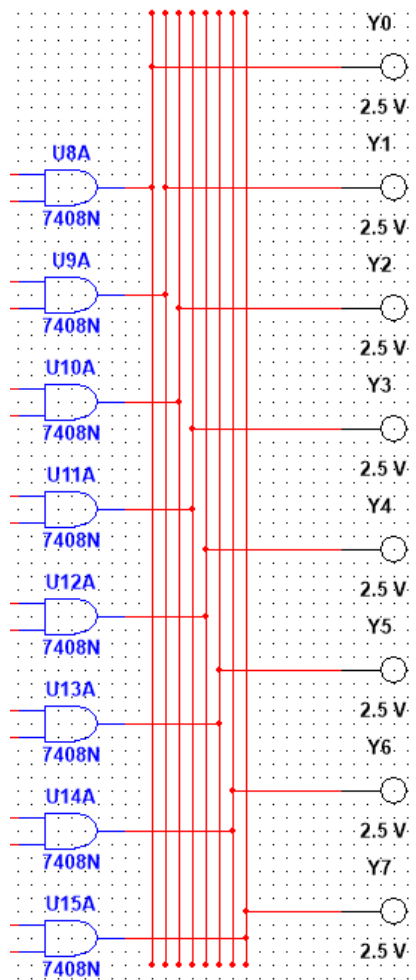


Рисунок 4 Индикация дешифратора

## Проверка работы модели дешифратора

Рассмотрим набор сигналов  $X_2 = 1, X_1 = 0, X_0 = 1$ . При данном наборе ожидаем получить индикацию результирующего сигнала  $Y_5$ .

Запустив режим симуляции проверим схему дешифратора выставив ключи  $X_2$  и  $X_0$  во включенное состояние.

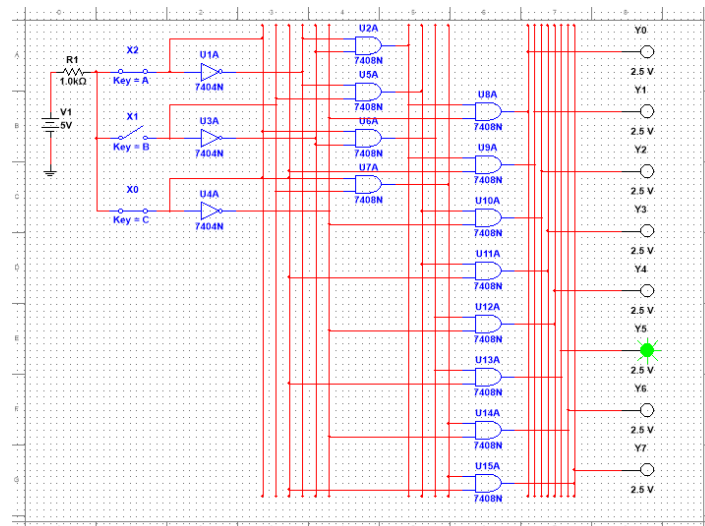


Рисунок 5 Проверка работы дешифратора

Наблюдаем индикацию сигнала  $Y_5$ , результат соответствует ожиданиям. Аналогично были проверены и остальные наборы поступающих сигналов.

## Часть II. Построение демонстрационной схемы с дешифратором К155ИД4. Основные принципы

### Демонстрационной модели с дешифратором К155ИД4

На рисунке ниже изображена модель с дешифратором К155ИД4. Она содержит 6 поступающих сигналов и 6 результирующих сигналов на каждый выход дешифратора. Инвертированные входы и выходы дешифратора содержат в своей цепи отрицание.

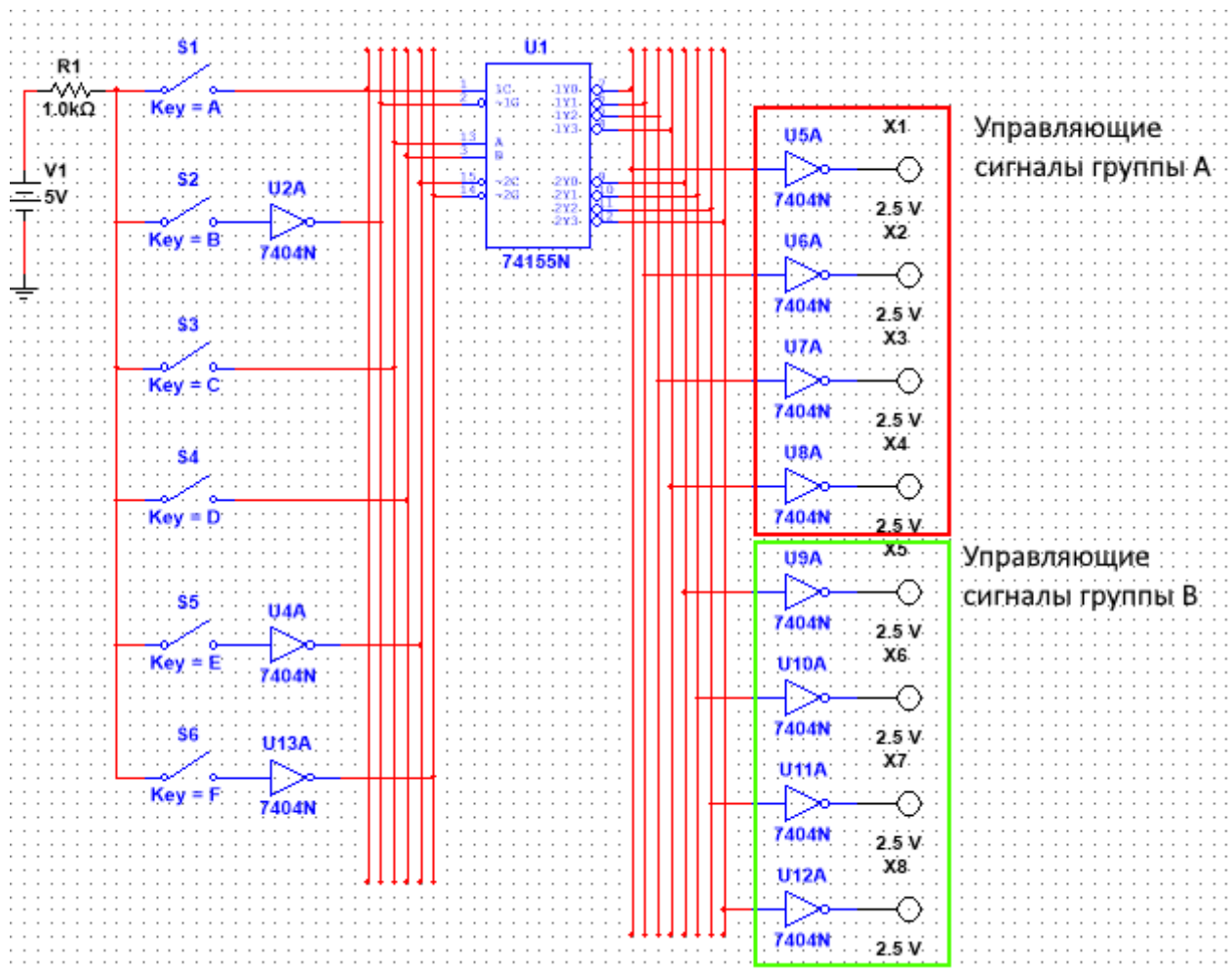


Рисунок 6 Демонстрационная модель с дешифратором К155ИД4

### Демонстрация работы дешифратора К155ИД4

Для работы в режиме двойного дешифратора 2 на 4 необходимо замкнуть ключи с управляющими сигналами на входы EA, EB и информационные входы DA, DB соответственно. В таком случае ожидаем, что будут подсвечены индикаторы с весом 0.

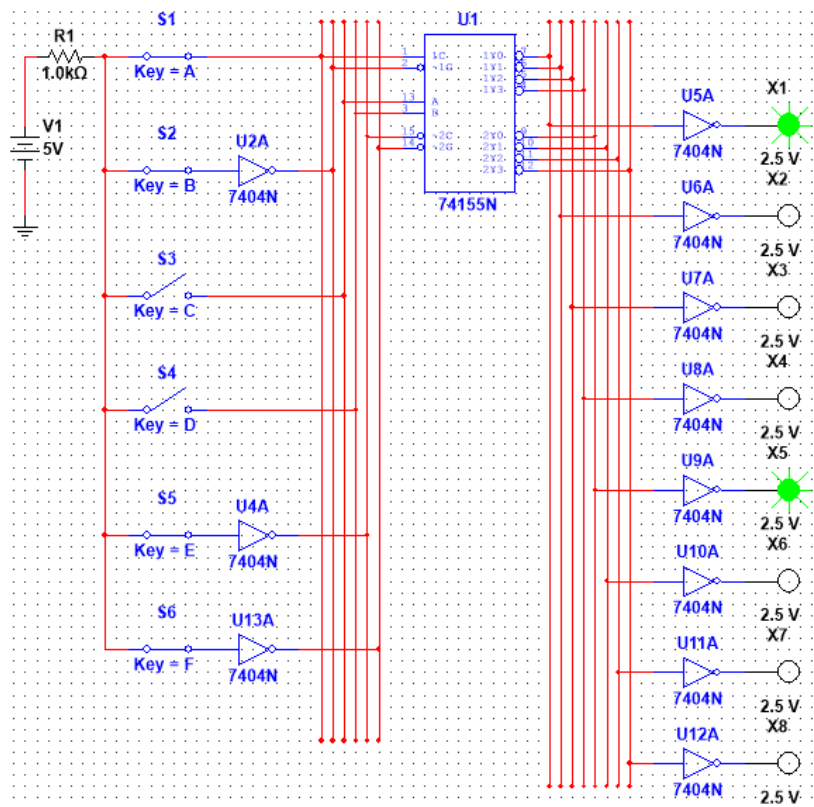


Рисунок 7 Пример работы дешифратора в режиме 2 на 4

При замыкании ключей, ведущих на адресные входы с весом  $2^0$  или  $2^1$  управляющий сигналы изменятся на соответствующие значения поступающего веса на адресные входы. Например, если замкнуть адресный вход с весом  $2^1$  ожидаем индикацию управляющего сигнала с весом 2.

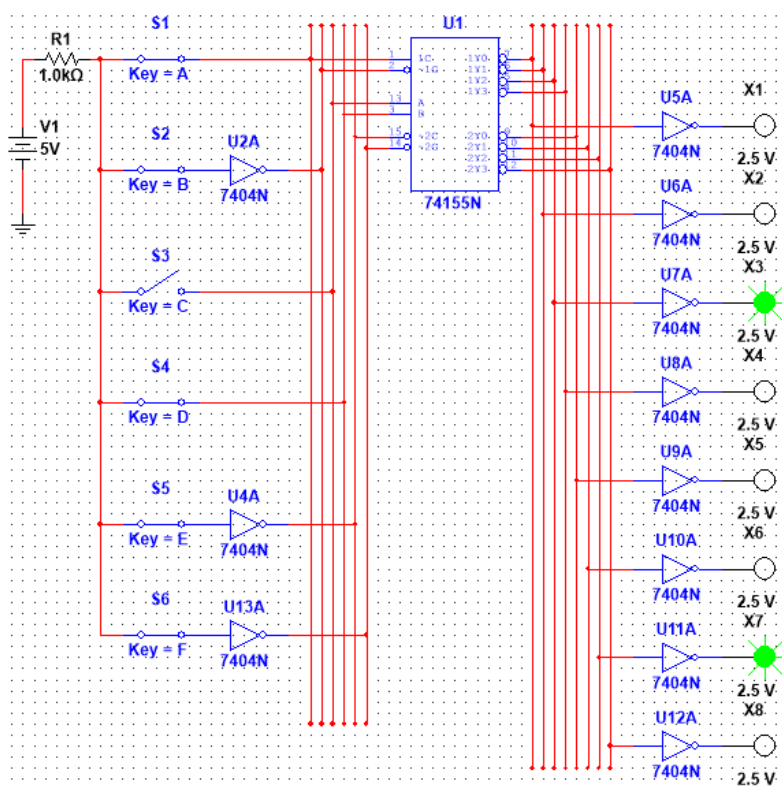


Рисунок 8 Пример работы дешифратора в режиме 2 на 4

## Преобразование дешифратора в режим работы 3 на 8

Для перехода режима работы в 3 на 8 необходимо объединить входы DA и DB.

Пример представлен на рисунке ниже.

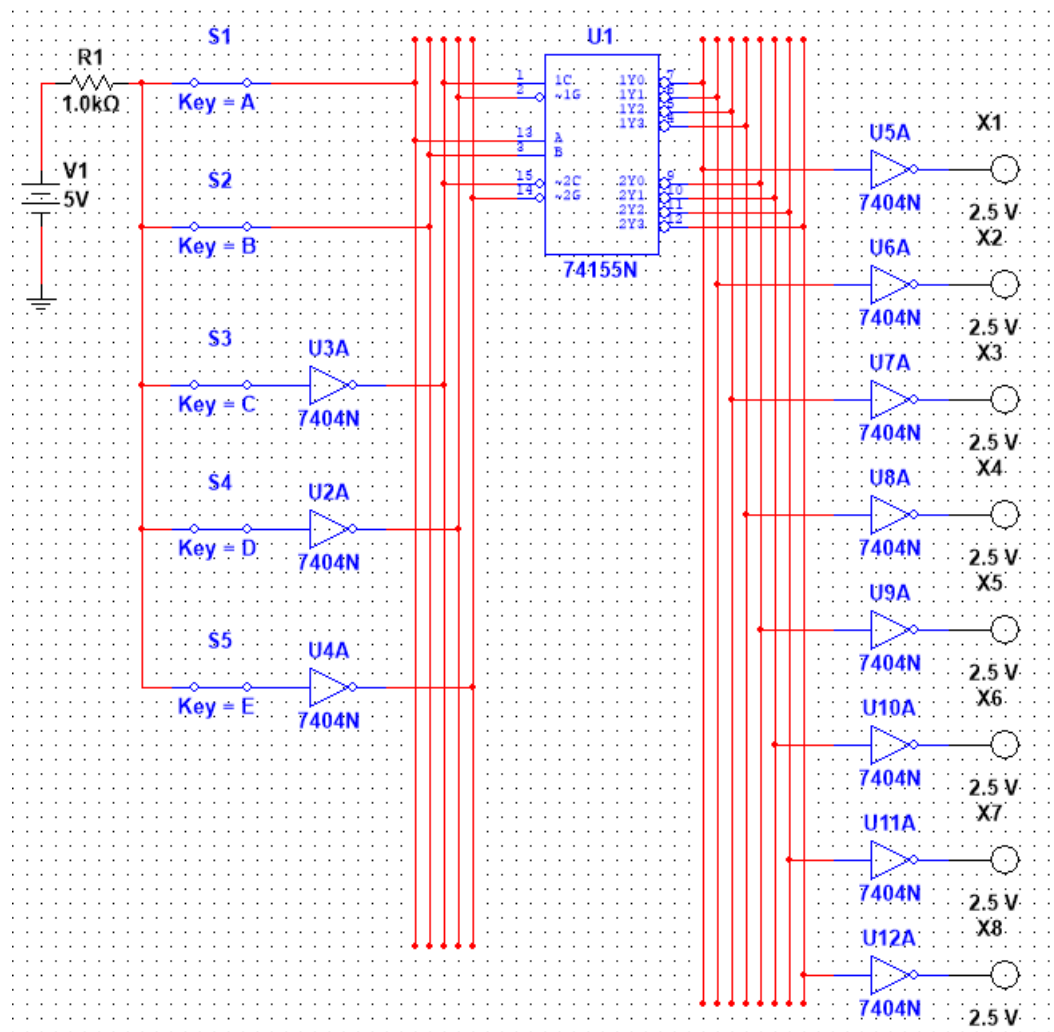


Рисунок 9 Модель дешифратора в режиме работы 3 на 8

## Демонстрация работы дешифратора в режиме работы 3 на 8

Для включения дешифратора в режим работы 3 на 8 замкнем управляющие сигналы EA, EB. На адресный вход с весом  $2^2$  подадим сигнал. Ожидаем увидеть индикацию управляющего сигнала с весом 4.



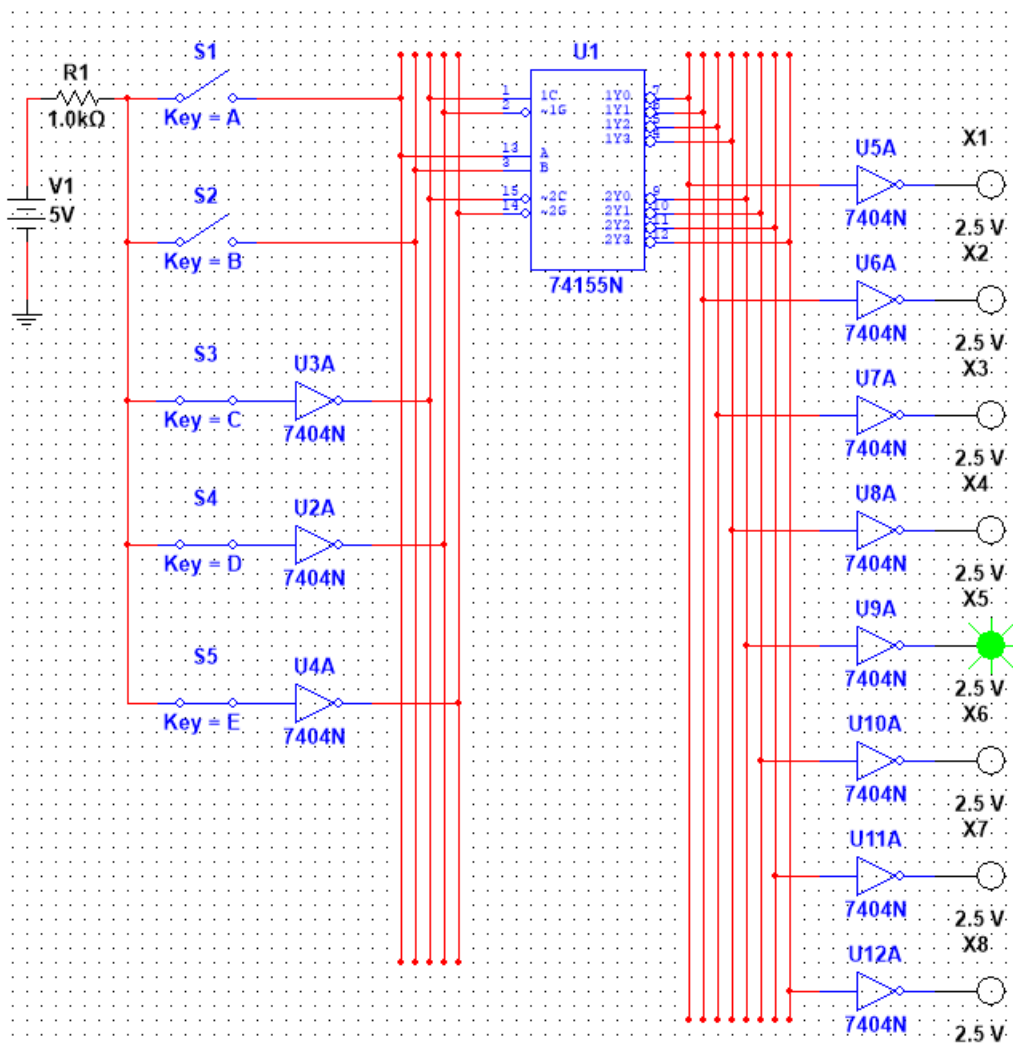


Рисунок 10 Пример работы дешифратора в режиме работы 3 на 8

## Вывод

В результате выполнения лабораторной работы был разобран процесс построение дешифратора 3 на 8 на основе аналитической модели и разобран принцип его работы.

Также был исследован принцип работы дешифратора К155ИД4 на примере построенной демонстрационной модели. Затем модель была преобразована для тестирования работы дешифратора в режиме 3 на 8.