

NYCU-ECE DCS-2022

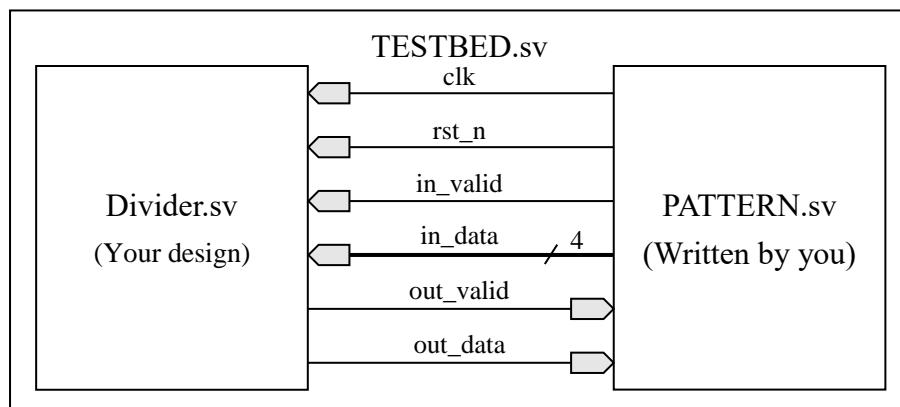
Online Test

Design: Divider

資料準備

- 從 TA 目錄資料夾解壓縮:
`% tar -xvf ~dcsta01/OT.tar`
- 解壓縮資料夾 OT 包含以下:
 - 00_TESTBED/
 - 01_RTL/
 - 02_SYN/
 - 03_GATE/
 - 09_UPLOAD/

Block Diagram



設計描述

OT主要分成 Decoding、Sorting、Division、P2S 四個部分，最後要輸出一個除法的商數。

1. Decoding:

一開始 in_data (4 bits) 會連續給 4 個個位數字 (0~9)，數字會以**Excess-3**編碼表示，對應的數字如下表。

Example: 1001、1011、0101、1000 → 6、8、2、5

Decimal	0	1	2	3	4	5	6	7	8	9
Excess-3	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100

index	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Divisor							0	1	1	0										
Initial											1	1	0	1	0	1	0	1	0	0
Shift										1	1	0	1	0	1	0	1	0	0	0
Shift								1	1		0	1	0	1	0	1	0	0	0	0
Shift								1	1	0	1	0	1	0	1	0	0	0	0	0
Subtract								0	0	0	1	0	1	0	1	0	0	0	0	1
Shift							0	0	0	1	0	1	0	1	0	0	0	0	1	0
Shift						0	0	0	1	0	1	0	1	0	0	0	0	1	0	0
Shift				0	0	0	1	0	1		0	1	0	0	0	0	1	0	0	0
Shift				0	0	0	1	0	1	0	1	0	0	0	0	1	0	0	0	0
Subtract				0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	0	1
Shift			0	0	0	0	1	0	0	1	0	0	0	0	0	1	0	0	1	0
Subtract			0	0	0	0	0	0	1	1	0	0	0	0	1	0	0	0	1	1
Shift		0	0	0	0	0	0	1	1	0	0	0	0	1	0	0	0	1	1	0
Subtract		0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1
Shift	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	1	0

← Remainder →
← Quotient →

4. P2S (Parallel-to-Serial)

最後一個步驟要將從第三步驟得到的除法結果輸出，輸出答案由 1 bit out_data 輸出，輸出方式是以 Serial 的傳輸方式，由商數(Q)的 MSB 輸出到 LSB 連續輸出 10 cycles。

Example: $Q = 00_1000_1110_{(2)} \rightarrow out_data = 0, 0, 1, 0, 0, 0, 1, 1, 1, 0$ 。(請參考範例波型)

Inputs

Signal name	Number of bit	Description
clk	1	Clock
rst_n	1	Asynchronous active-low reset
in_valid	1	當 in_valid 為 1，in_data 給值
in_data	4	XS-3 編碼的數字，連續輸入 4 cycles

Outputs

Signal name	Number of bit	Description
out_valid	1	當 out_valid 為 1，out_data 給值
out_data	1	從商數的 MSB 到 LSB 連續輸出 10 cycles

Specifications

1. Top module name: **Divider** (File name : **Divider.sv**)
2. 只會在模擬一開始 reset 一次，
在非同步負準位 reset 後，所有的 output 訊號必須歸零。
3. Output 訊號要在 Input 結束後的 100 cycles 內輸出。
4. Output 要輸出 10 cycles，out_data 的答案必須完全正確。
5. 所有 Output 訊號要在輸出結束後全部歸零。
6. Clock period 5 ns.
7. Input delay = $0.5 * \text{clock period}$; Output delay = $0.5 * \text{clock period}$.
8. 02_SYN result 不行有 error、不能有任何 latch、不可以 timing violation。
9. 03_GATE 不能有 timing violation。
10. 03_GATE 的 Latency 要與 01_RTL 一致。
11. **Separate your combination and sequential logic.**
12. 不能使用 / 與 %

※ 第三步驟的除法可以不用參照助教的作法，可以使用自己想到的演算法。

※ Code 有用到 / 跟 % 會 Demo fail。

※ 嚴禁作弊，禁止使用任何通訊軟體與網路瀏覽器。

	input.txt						output.txt		
	Binary & Excess-3				Decimal		Binary		Decimal
1	1001	1011	0101	1000	(6 8 2 5)	1	00_1000_1110	(142)	
2	0111	0101	1010	1010	(4 2 7 7)	2	00_0110_1010	(106)	
3	0101	1100	0101	1100	(2 9 2 9)	3	00_0110_0110	(102)	
4	0111	1100	1100	0100	(4 9 9 1)	4	00_0110_1000	(104)	
5	1000	1100	0101	0011	(5 9 2 0)	5	00_1011_1000	(184)	
6	1010	0110	0110	0100	(7 3 3 1)	6	00_1111_0011	(243)	
7	0100	1000	0101	0100	(1 5 2 1)	7	00_1111_1111	(255)	
8	1011	0111	0100	0101	(8 4 1 2)	8	00_1100_1101	(205)	
9	0011	1011	0100	0011	(0 8 1 0)	9	11_0010_0000	(800)	
10	1000	1001	1010	1001	(5 6 7 6)	10	00_0111_1111	(127)	

上傳檔案

1. Code使用09_UPLOAD裡的01_upload上傳。
2. Deadline:
Demo1: 6/10 15:30 pm (**Will not be postponed.**)
Demo2: 6/10 23:59 pm.

Grading policy

1. Pass the RTL simulation & Synthesis & Gate simulation. (100%)
2. If not separate your combination and sequential logic. (-10%).

Note

Template folders and reference commands:

- | | |
|-------------------------------|----------------------|
| 1. 01_RTL/ (RTL simulation) | → ./01_run |
| 2. 02_SYN/ (synthesis) | → ./01_run_dc |
| 3. 03_GATE/ (GATE simulation) | → ./01_run |
| 4. 09_UPLOAD/ (upload) | → ./01_upload |

```
Trying to check out license...
  Incisive HDL Simulator 15.20 - Failed
  Xcelium_Limited_Single_Core 16.00 - Failed
  Incisive_Enterprise_Simulator 15.20 - Failed
  Incisive_Enterprise_Verifier 15.20 - Failed
  Xcelium_Single_Core 16.00 - Failed
  Xcelium_Safety 16.00 - Failed
ncsim: *F,NOLICN: Unable to checkout license for the simulation. (flag - 2) 'lic error -5'.
```

If the license failure occurs while running 01_RTL or 03_GATE,
try one of these two commands:

- **source ~dcsta01/license_1.cshrc**
- **source ~dcsta01/license_2.cshrc**