

Tytuł: Ardudido

**Autorzy: Maciej Warcholak (MW),
Benedykt Bekasiak (BB)**

Ostatnia modyfikacja: 15.09.2022

Spis treści

1. Repozytorium git.....	1
2. Wstęp	1
3. Specyfikacja	2
3.1. Opis ogólny algorytmu.....	2
3.2. Tabela zdarzeń	2
4. Architektura.....	2
4.1. Moduł: top	2
4.1.1. Schemat blokowy	3
4.1.2. Porty.....	3
4.1.3. Interfejsy	4
4.2. Rozprowadzenie sygnału zegara	8
5. Implementacja	9
5.1. Lista zignorowanych ostrzeżeń Vivado.....	9
5.2. Wykorzystanie zasobów	9
5.3. Marginesy czasowe	16
6. Film.....	16

1. Repozytorium git

Adres repozytorium GITa (jeżeli używane):

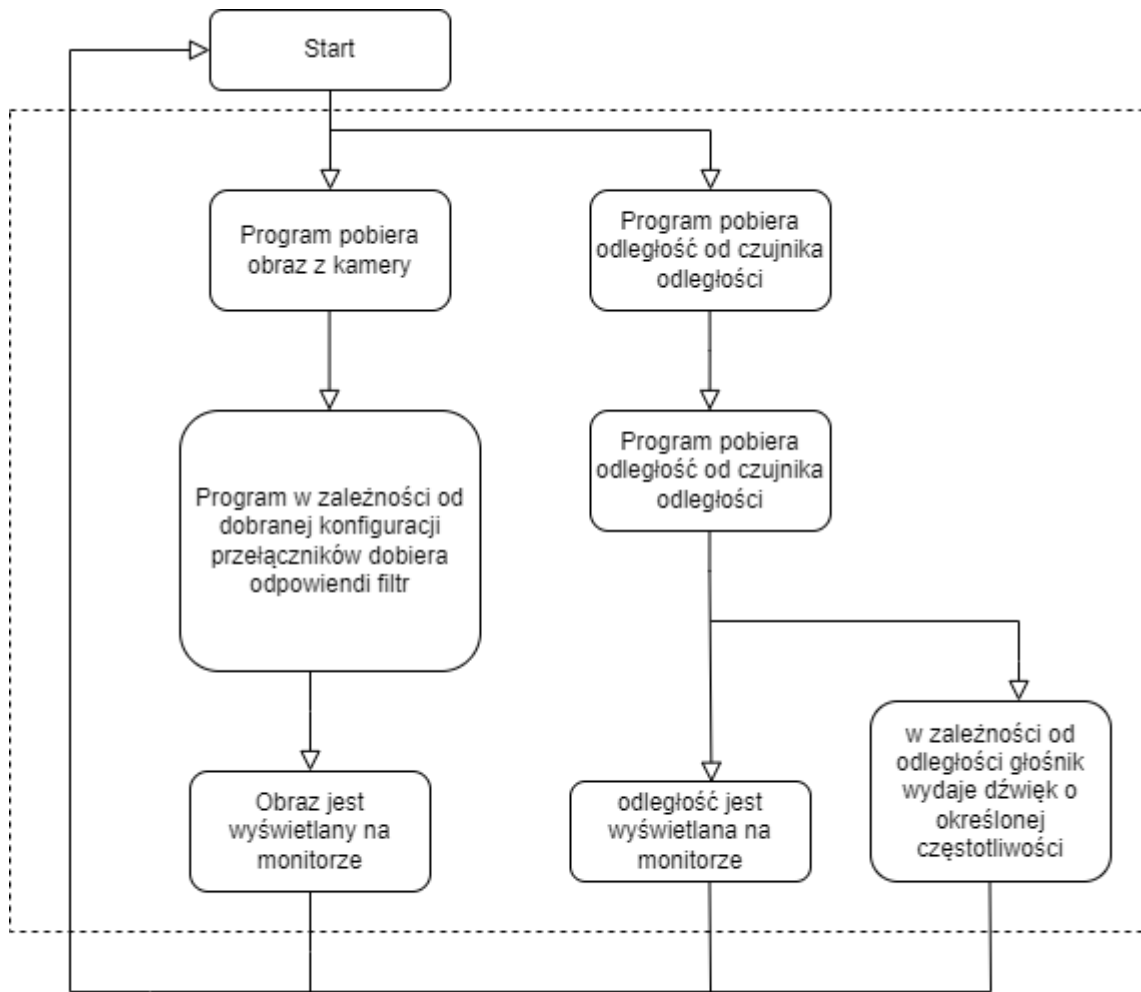
https://github.com/krzyslov/projekt_uec2

2. Wstęp

Zapoznaliśmy się z pewnym artykułem naukowym nt. zastosowania układów FPGA w złożonych systemach wbudowanych ukierunkowanych na aplikacje Internetu rzeczy (IoT) - "Grout, Ian & Mullin, Lenore. (2018). Hardware Considerations for Tensor Implementation and Analysis Using the Field Programmable Gate Array. Electronics. 7. 320. 10.3390/electronics7110320. ". I stąd zrodził się pomysł, żeby wykorzystać płytkę Basys3 do przetwarzania obrazu w czasie rzeczywistym i nakładania pewnych filtrów na ten obraz. Dodatkowo do projektu dołączyliśmy ultradźwiękowy czujnik odległości oraz głośnik, który wydaje dźwięki o różnej częstotliwości w zależności od zmierzonej odległości.

3. Specyfikacja

3.1. Opis ogólny algorytmu



Reset cofa do punktu "start" w dowolnym momencie działania programu

3.2. Tabela zdarzeń

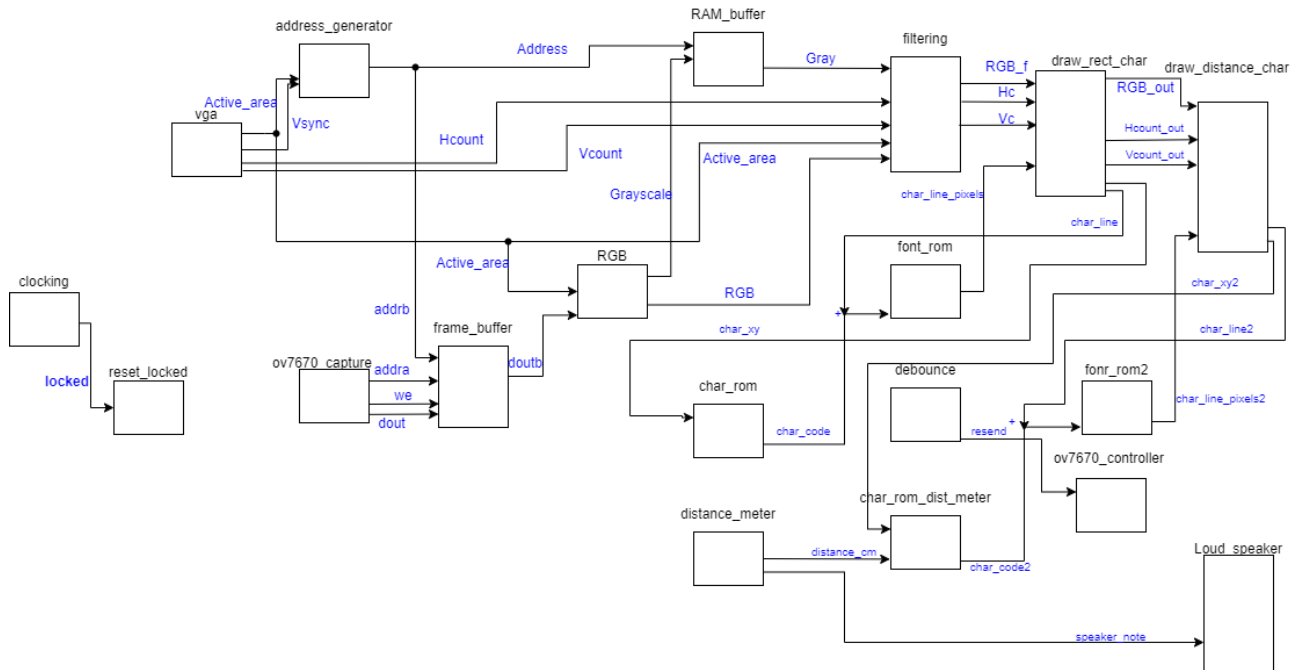
Zdarzenie	Kategoria	Reakcja systemu
Zmiana przełącznika	Program ma jeden stan(oprócz resetu)	Zmiana używanego filtra oraz zmiana napisu na ekranie informującego o aktualnie używanym stanie
Zmiana odległości obiektu od czujnika odległości	Program ma jeden stan(oprócz resetu)	Zmiana wyświetlanego dystansu na monitorze oraz zmiana częstotliwości wydawanego przez głośnik głosu
reset	reset	Program się resetuje, głośnik się wyłącza, czujnik nie działa, ekran jest czarny. Po chwili wszystko wraca do normalnego działania

4. Architektura

4.1. Moduł: top

Osoba odpowiedzialna: Maciej Warcholak

4.1.1. Schemat blokowy



4.1.2. Porty

a) mou – mouse_ctl, input

nazwa portu	opis
Clk100	Zegar 100Mhz z płytki Basys3
btnc	Przycisk obsługujący reset
Ov7670_data[7:0]	Dane rgb przychodzące z kamery
Ov7670_href	href rozpoczyna transfer pikselu
Ov7670_pclk	Zegar przychodzący z kamery
Ov7670_vsync	Synchronizacja obrazu z kamery
Sw[3:0]	Przełączniki odpowiadające za zmianę filtru
EchoPin	Sygnał o odpowiedniej długości, dzięki któremu odczytuje się odległość od czujnika

b) vga – vga_ctl, output

nazwa portu	opis
vga_hsync	sygnał synchronizacji poziomej VGA
vga_vsync	sygnał synchronizacji pionowej VGA
Vga_r[3:0]	Wyjście do piksela na monitorze VGA odpowiadające za kolor czerwony
Vga_g[3:0]	Wyjście do piksela na monitorze VGA odpowiadające za kolor zielony
Vga_b[3:0]	Wyjście do piksela na monitorze VGA odpowiadające za kolor niebieski
TrigPin	Wyjście do czujnika odległości odpowiadające za wysyłanie sygnału uruchamiającego pomiar odległości od czujnika
Speaker_out	Sygnał idący do głośnika
Config_finished	Informuje o wykonaniu ostatniej komendy o kodzie 4'FFFF i rozpoczyna cykl od nowa
Ov7670_pwdn	Wybór trybu wyłączania(Power Down Mode Selection) 0: tryb normalny 1: tryb wyłączania
Ov7670_reset	Czyści wszystkie rejestry i resetuje je do wartości domyślnych. 0: Tryb resetowania 1: tryb normalny
Ov7670_sioc	Wejście zegara interfejsu szeregowego SCCB
Ov7670_xclk	Sygnał zegara wchodzący do kamery
Ov7670_siod	Dane interfejsu szeregowego SCCB we/wy

4.1.3 Interfejsy

a)locked

nazwa sygnału	opis
locked	Wyzwolenie reset_locked, używanego jako rzeczywisty reset synchroniczny

b)Hcount

nazwa sygnału	opis
Hcount[10:0]	Licznik, pokazujący bieżący piksel w poziomie

c)Vcount

nazwa sygnału	opis
Vcount[10:0]	Licznik, pokazujący bieżący piksel w pionie

d)Active_area

nazwa sygnału	opis
Active_area	Informacja, czy obie wartości Hcount i Vcount, są w przedziale wartości pikseli wyświetlanych na ekranie

e)Vsync

nazwa sygnału	opis
Vsync	Sygnał, synchronizacji pionowej wyświetlacza

f)we

nazwa sygnału	opis
we	Informacja o gotowości do zapisu danych do frame_buffera

g)dout

nazwa sygnału	opis
Dout[11:0]	Dane wejściowe zapisywane wewnątrz frame_buffera

h)addra

nazwa sygnału	opis
addra[16:0]	Pierwszy z pary adresów podawanych na wejście frame_buffera

i)addrb

nazwa sygnału	opis
addrb[16:0]	Drugi z pary adresów podawanych na wejście frame_buffera

j)address

nazwa sygnału	opis
Address_C[18:0]	Adres piksela centralnego
Address_NE[18:0]	Adres piksela prawo-górnego w odniesieniu do piksela centralnego
Address_N[18:0]	Adres piksela górnego w odniesieniu do piksela centralnego
Address_NW[18:0]	Adres piksela lewo-górnego w odniesieniu do piksela centralnego
Address_W[18:0]	Adres piksela lewego w odniesieniu do piksela centralnego
Address_SW[18:0]	Adres piksela lewo-dolnego w odniesieniu do piksela centralnego
Address_S[18:0]	Adres piksela dolnego w odniesieniu do piksela centralnego
Address_SE[18:0]	Adres piksela prawo-dolnego w odniesieniu do piksela centralnego
Address_E[18:0]	Adres piksela prawego w odniesieniu do piksela centralnego

k)doutb

nazwa sygnału	opis
doutb[11:0]	Dane RGB z frame_buffera dla piksela bieżącego

l)Grayscale

nazwa sygnału	opis
Grayscale[7:0]	Dane grayscale dla piksela bieżącego, przekazane do RAMu

m)RGB

nazwa sygnału	opis
R[7:0]	Wartość R poddawana filtrowaniu, dla piksela bieżącego
G[7:0]	Wartość G poddawana filtrowaniu, dla piksela bieżącego
B[7:0]	Wartość B poddawana filtrowaniu, dla piksela bieżącego

n)Gray

nazwa sygnału	opis
gray_center[7:0]	Dane grayscale piksela centralnego, poddawane filtrowaniu
gray_right_up[7:0]	Dane grayscale piksela prawo-górnego w odniesieniu do piksela centralnego, poddawane filtrowaniu
gray_up[7:0]	Dane grayscale piksela górnego w odniesieniu do piksela centralnego, poddawane filtrowaniu
gray_left_up[7:0]	Dane grayscale piksela lewo-górnego w odniesieniu do piksela centralnego, poddawane filtrowaniu
gray_left[7:0]	Dane grayscale piksela lewego w odniesieniu do piksela centralnego, poddawane filtrowaniu
gray_left_down[7:0]	Dane grayscale piksela lewo-dolnego w odniesieniu do piksela centralnego, poddawane filtrowaniu
gray_down[7:0]	Dane grayscale piksela dolnego w odniesieniu do piksela centralnego, poddawane filtrowaniu
gray_right_down[7:0]	Dane grayscale piksela prawo-dolnego w odniesieniu do piksela centralnego, poddawane filtrowaniu
gray_right[7:0]	Dane grayscale piksela prawego w odniesieniu do piksela centralnego, poddawane filtrowaniu

o)RGB_f

nazwa sygnału	opis
red[3:0]	Wartość R po poddaniu filtrowaniu, dla piksela bieżącego
blue[3:0]	Wartość G po poddaniu filtrowaniu, dla piksela bieżącego
green[3:0]	Wartość B po poddaniu filtrowaniu, dla piksela bieżącego

p)Hc

nazwa sygnału	opis
hc[10:0]	Wartość licznika pokazującego bieżący piksel w poziomie, przekazana z filteringu do draw_rect_char

q)Vc

nazwa sygnału	opis
vc[10:0]	Wartość licznika pokazującego bieżący piksel w pionie, przekazana z filteringu do draw_rect_char

r)RGB_out

nazwa sygnału	opis
rgb_out[11:0]	Wartość RGB przekazana z draw_rect_char do draw_distance_char, dla piksela bieżącego

s)Hcount_out

nazwa sygnału	Opis
Hcount_out[10:0]	Wartość licznika pokazującego bieżący piksel w poziomie, przekazana z draw_rect_char do draw_distance_char

t)char_xy

nazwa sygnału	Opis
Char_xy[4:0]	Informacja, który znak ma z łańcucha znaków ma być bieżąco wyświetlany wewnątrz draw_rect_char

u)char_line

nazwa sygnału	Opis
Char_line[3:0]	Informacja która linijka pikseli bieżącego znaku ma być wyświetlana wewnątrz draw_rect_char

v)char_code

nazwa sygnału	opis
Char_code[6:0]	Kod ASCII bieżąco wyświetlanego znaku, wewnątrz draw_rect_char

w)char_line_pixels

nazwa sygnału	opis
Char_line_pixels[7:0]	Ciąg ośmiu pikseli bieżącego znaku, które chcemy wyświetlić w draw_rect_char

x)char_xy2

nazwa sygnału	Opis
Char_xy2[4:0]	Informacja, który znak ma z łańcucha znaków ma być bieżąco wyświetlany wewnątrz draw_distance_char

y)char_line2

nazwa sygnału	Opis
Char_line2[3:0]	Informacja która linijka pikseli bieżącego znaku ma być wyświetlana wewnątrz draw_distance_char

z)char_code2

nazwa sygnału	opis
Char_code2[6:0]	Kod ASCII bieżąco wyświetlanego znaku, wewnątrz draw_distance_char

aa)char_line_pixels2

nazwa sygnału	Opis
Char_line_pixels2[7:0]	Ciąg ośmiu pikseli bieżącego znaku, które chcemy wyświetlić w draw_distance_char

ab)distance_cm

nazwa sygnału	Opis
Disrance_cm[8:0]	Wartość odległości, zmierzona dalmierzem ultradźwiękowym

ac)speakernote

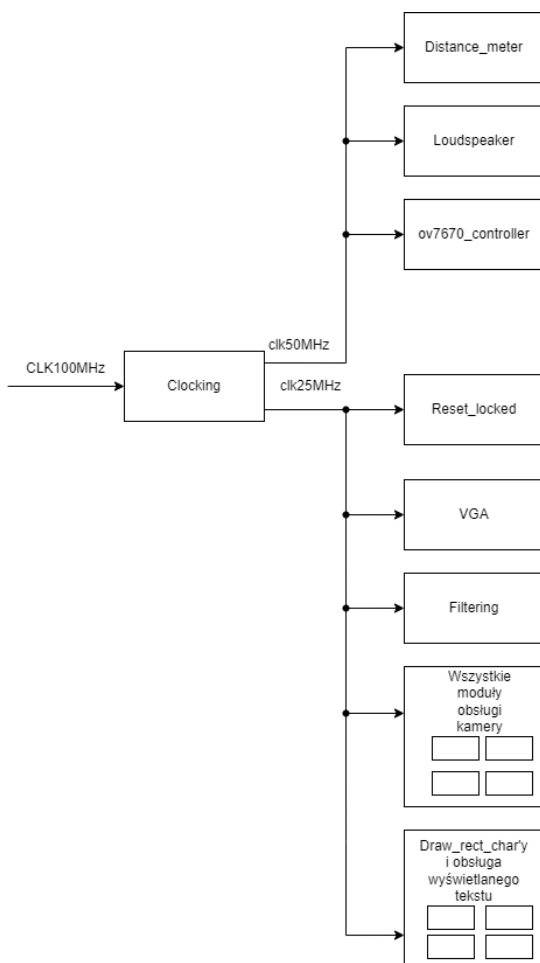
nazwa sygnału	Opis
Speaker_note[4:0]	Informacja, opisująca który ton chcemy wydobywać z głośnika uzależniona od zmierzonej wartości odległości

ad)resend

nazwa sygnału	opis
resend	Informacja o resecie przekazywana do kontroli kamery – ov7670_controller

4.2. Rozprowadzenie sygnału zegara

Osoba odpowiedzialna: Maciej Warcholak



5. Implementacja

5.1. Lista zignorowanych ostrzeżeń Vivado.

Identyfikator ostrzeżenia	Liczba wystąpień	Uzasadnienie
[Synth 8-3332]	10	Spowodowane stosowaniem trybu bezpiecznego
[Synth 8-6014]	19	Spowodowane stosowaniem trybu bezpiecznego
[Synth 8-3848]	2	Dotyczy modułów dedykowanych kamerze, usunięcie sygnału mogłoby zakłócić jej działanie, a sam problem nie wpływa na działanie układu
[Synth 8-6040]	2	Spowodowany wartościami początkowymi, które są potrzebne
[Vivado 12-507]	1	Zapewnia działanie implementacji, choć vivado określa to jako „niepoprawne” zaprojektowanie, to spełnia swoją funkcję
[Project 1-498]	1	Nie znaleziono źródła problemu – podobno plik .xdc zawiera „unresolved black boxes” jednakże wszystkie piny potrzebne do działania są poprawnie podpięte oraz używane
[DRC RPB-3]	2	Port ov7670_siod jest portem inout, bez zapewnionego buforowania, bufor niepotrzebny
[DRC PLCK-12]	1	CLOCK_DEDICATED_ROUTE ustawione na FALSE, wedle zaleceń do podpięcia kamery, stąd jest to tylko warning
[Place 30-574]	1	CLOCK_DEDICATED_ROUTE ustawione na FALSE, wedle zaleceń do podpięcia kamery, stąd jest to tylko warning
[DRC REQP-1840]	4	Moduł font_rom posiada reset synchroniczny: reset_locked. Jednakże sam reset_locked posiada reset asynchroniczny, skąd źródło tego warningu. Pojmamy bo w rzeczywistości reset jest synchroniczny.

5.2. Wykorzystanie zasobów

Tabela z wykorzystaniem zasobów z Vivado

Copyright 1986-2017 Xilinx, Inc. All Rights Reserved.

```
-----
| Tool Version : Vivado v.2017.3 (win64) Build 2018833 Wed Oct 4 19:58:22 MDT 2017
| Date       : Thu Sep 15 13:18:46 2022
| Host       : Tiger running 64-bit major release (build 9200)
| Command    : report_utilization -file top_level_utilization_synth.rpt -pb top_level_utilization_synth.pb
| Design     : top_level
| Device     : 7a35tcp236-1
| Design State : Synthesized
-----
```

Utilization Design Information

Table of Contents

- ```

1. Slice Logic
1.1 Summary of Registers by Type
2. Memory
3. DSP
4. IO and GT Specific
```

- 5. Clocking
- 6. Specific Feature
- 7. Primitives
- 8. Black Boxes
- 9. Instantiated Netlists

## 1. Slice Logic

-----

| Site Type             | Used | Fixed | Available | Util% |
|-----------------------|------|-------|-----------|-------|
| Slice LUTs*           | 1872 | 0     | 20800     | 9.00  |
| LUT as Logic          | 1872 | 0     | 20800     | 9.00  |
| LUT as Memory         | 0    | 0     | 9600      | 0.00  |
| Slice Registers       | 833  | 0     | 41600     | 2.00  |
| Register as Flip Flop | 833  | 0     | 41600     | 2.00  |
| Register as Latch     | 0    | 0     | 41600     | 0.00  |
| F7 Muxes              | 38   | 0     | 16300     | 0.23  |
| F8 Muxes              | 5    | 0     | 8150      | 0.06  |

\* Warning! The Final LUT count, after physical optimizations and full implementation, is typically lower. Run opt\_design after synthesis, if not already completed, for a more realistic count.

### 1.1 Summary of Registers by Type

-----

| Total | Clock Enable | Synchronous | Asynchronous |
|-------|--------------|-------------|--------------|
| 0     | _            | -           | -            |
| 0     | _            | -           | Set          |
| 0     | _            | -           | Reset        |
| 0     | _            | Set         | -            |
| 0     | _            | Reset       | -            |
| 0     | Yes          | -           | -            |
| 4     | Yes          | -           | Set          |
| 128   | Yes          | -           | Reset        |
| 42    | Yes          | Set         | -            |
| 659   | Yes          | Reset       | -            |

## 2. Memory

-----

| Site Type      | Used | Fixed | Available | Util% |
|----------------|------|-------|-----------|-------|
| Block RAM Tile | 5.5  | 0     | 50        | 11.00 |
| RAMB36/FIFO*   | 0    | 0     | 50        | 0.00  |
| RAMB18         | 11   | 0     | 100       | 11.00 |
| RAMB18E1 only  | 11   |       |           |       |

+-----+-----+-----+-----+

\* Note: Each Block RAM Tile only has one FIFO logic available and therefore can accommodate only one FIFO36E1 or one FIFO18E1. However, if a FIFO18E1 occupies a Block RAM Tile, that tile can still accommodate a RAMB18E1

### 3. DSP

-----

| Site Type | Used | Fixed | Available | Util% |
|-----------|------|-------|-----------|-------|
| DSPs      | 0    | 0     | 90        | 0.00  |

### 4. IO and GT Specific

-----

| Site Type                   | Used | Fixed | Available | Util% |
|-----------------------------|------|-------|-----------|-------|
| Bonded IOB                  | 40   | 0     | 106       | 37.74 |
| Bonded IPADs                | 0    | 0     | 10        | 0.00  |
| Bonded OPADs                | 0    | 0     | 4         | 0.00  |
| PHY_CONTROL                 | 0    | 0     | 5         | 0.00  |
| PHASER_REF                  | 0    | 0     | 5         | 0.00  |
| OUT_FIFO                    | 0    | 0     | 20        | 0.00  |
| IN_FIFO                     | 0    | 0     | 20        | 0.00  |
| IDELAYCTRL                  | 0    | 0     | 5         | 0.00  |
| IBUFDS                      | 0    | 0     | 104       | 0.00  |
| GTPE2_CHANNEL               | 0    | 0     | 2         | 0.00  |
| PHASER_OUT/PHASER_OUT_PHY   | 0    | 0     | 20        | 0.00  |
| PHASER_IN/PHASER_IN_PHY     | 0    | 0     | 20        | 0.00  |
| IDELAYE2/IDELAYE2_FINEDELAY | 0    | 0     | 250       | 0.00  |
| IBUFDS_GTE2                 | 0    | 0     | 2         | 0.00  |
| ILOGIC                      | 0    | 0     | 106       | 0.00  |
| OLOGIC                      | 0    | 0     | 106       | 0.00  |

### 5. Clocking

-----

| Site Type  | Used | Fixed | Available | Util% |
|------------|------|-------|-----------|-------|
| BUFGCTRL   | 4    | 0     | 32        | 12.50 |
| BUFIO      | 0    | 0     | 20        | 0.00  |
| MMCME2_ADV | 1    | 0     | 5         | 20.00 |
| PLLE2_ADV  | 0    | 0     | 5         | 0.00  |
| BUFMRCE    | 0    | 0     | 10        | 0.00  |
| BUFHCE     | 0    | 0     | 72        | 0.00  |
| BUFR       | 0    | 0     | 20        | 0.00  |

## 6. Specific Feature

-----

| Site Type   | Used | Fixed | Available | Util% |
|-------------|------|-------|-----------|-------|
| BSCANE2     | 0    | 0     | 4         | 0.00  |
| CAPTUREE2   | 0    | 0     | 1         | 0.00  |
| DNA_PORT    | 0    | 0     | 1         | 0.00  |
| EFUSE_USR   | 0    | 0     | 1         | 0.00  |
| FRAME_ECCE2 | 0    | 0     | 1         | 0.00  |
| ICAPE2      | 0    | 0     | 2         | 0.00  |
| PCIE_2_1    | 0    | 0     | 1         | 0.00  |
| STARTUPE2   | 0    | 0     | 1         | 0.00  |
| XADC        | 0    | 0     | 1         | 0.00  |

## 7. Primitives

-----

| Ref Name   | Used | Functional Category |
|------------|------|---------------------|
| FDRE       | 659  | Flop & Latch        |
| LUT2       | 548  | LUT                 |
| LUT3       | 484  | LUT                 |
| LUT6       | 478  | LUT                 |
| LUT4       | 399  | LUT                 |
| CARRY4     | 358  | CarryLogic          |
| LUT5       | 303  | LUT                 |
| LUT1       | 160  | LUT                 |
| FDCE       | 128  | Flop & Latch        |
| FDSE       | 42   | Flop & Latch        |
| MUXF7      | 38   | MuxFx               |
| OBUF       | 21   | IO                  |
| IBUF       | 18   | IO                  |
| RAMB18E1   | 11   | Block Memory        |
| MUXF8      | 5    | MuxFx               |
| FDPE       | 4    | Flop & Latch        |
| BUFG       | 4    | Clock               |
| OBUFT      | 1    | IO                  |
| MMCME2_ADV | 1    | Clock               |

## 8. Black Boxes

-----

| Ref Name | Used |
|----------|------|
|----------|------|

```
| frame_buffer | 1 |
+-----+-----+
```

## 9. Instantiated Netlists

```

```

```
+-----+-----+
| Ref Name | Used |
+-----+-----+
```

Copyright 1986-2017 Xilinx, Inc. All Rights Reserved.

```

| Tool Version : Vivado v.2017.3 (win64) Build 2018833 Wed Oct 4 19:58:22 MDT 2017
| Date : Thu Sep 15 13:15:26 2022
| Host : Tiger running 64-bit major release (build 9200)
| Command : report_utilization -file frame_buffer_utilization_synth.rpt -pb frame_buffer_utilization_synth.pb
| Design : frame_buffer
| Device : 7a35tcpg236-1
Design State : Synthesized
```

## Utilization Design Information

### Table of Contents

```

```

1. Slice Logic
  - 1.1 Summary of Registers by Type
2. Memory
3. DSP
4. IO and GT Specific
5. Clocking
6. Specific Feature
7. Primitives
8. Black Boxes
9. Instantiated Netlists

### 1. Slice Logic

```

```

```
+-----+-----+-----+-----+
| Site Type | Used | Fixed | Available | Util% |
+-----+-----+-----+-----+
Slice LUTs*	150	0	20800	0.72
LUT as Logic	150	0	20800	0.72
LUT as Memory	0	0	9600	0.00
Slice Registers	10	0	41600	0.02
Register as Flip Flop	10	0	41600	0.02
Register as Latch	0	0	41600	0.00
```

|          |    |   |       |      |
|----------|----|---|-------|------|
| F7 Muxes | 36 | 0 | 16300 | 0.22 |
| F8 Muxes | 0  | 0 | 8150  | 0.00 |

```

+-----+-----+-----+-----+-----+

```

\* Warning! The Final LUT count, after physical optimizations and full implementation, is typically lower. Run opt\_design after synthesis, if not already completed, for a more realistic count.

### 1.1 Summary of Registers by Type

```

```

|    | Total | Clock Enable | Synchronous | Asynchronous |
|----|-------|--------------|-------------|--------------|
| 0  | _     | -            | -           |              |
| 0  | _     | -            | Set         |              |
| 0  | _     | -            | Reset       |              |
| 0  | _     | Set          | -           |              |
| 0  | _     | Reset        | -           |              |
| 0  | Yes   | -            | -           |              |
| 0  | Yes   | -            | Set         |              |
| 0  | Yes   | -            | Reset       |              |
| 0  | Yes   | Set          | -           |              |
| 10 | Yes   | Reset        | -           |              |

### 2. Memory

```

```

| Site Type      | Used | Fixed | Available | Util% |
|----------------|------|-------|-----------|-------|
| Block RAM Tile | 44   | 0     | 50        | 88.00 |
| RAMB36/FIFO*   | 44   | 0     | 50        | 88.00 |
| RAMB36E1 only  | 44   |       |           |       |
| RAMB18         | 0    | 0     | 100       | 0.00  |

\* Note: Each Block RAM Tile only has one FIFO logic available and therefore can accommodate only one FIFO36E1 or one FIFO18E1. However, if a FIFO18E1 occupies a Block RAM Tile, that tile can still accommodate a RAMB18E1

### 3. DSP

```

```

| Site Type | Used | Fixed | Available | Util% |
|-----------|------|-------|-----------|-------|
| DSPs      | 0    | 0     | 90        | 0.00  |

### 4. IO and GT Specific

```

```

| Site Type                   | Used | Fixed | Available | Util% |
|-----------------------------|------|-------|-----------|-------|
| Bonded IOB                  | 0    | 0     | 106       | 0.00  |
| Bonded IPADs                | 0    | 0     | 10        | 0.00  |
| Bonded OPADs                | 0    | 0     | 4         | 0.00  |
| PHY_CONTROL                 | 0    | 0     | 5         | 0.00  |
| PHASER_REF                  | 0    | 0     | 5         | 0.00  |
| OUT_FIFO                    | 0    | 0     | 20        | 0.00  |
| IN_FIFO                     | 0    | 0     | 20        | 0.00  |
| IDELAYCTRL                  | 0    | 0     | 5         | 0.00  |
| IBUFDS                      | 0    | 0     | 104       | 0.00  |
| GTPE2_CHANNEL               | 0    | 0     | 2         | 0.00  |
| PHASER_OUT/PHASER_OUT_PHY   | 0    | 0     | 20        | 0.00  |
| PHASER_IN/PHASER_IN_PHY     | 0    | 0     | 20        | 0.00  |
| IDELAYE2/IDELAYE2_FINEDELAY | 0    | 0     | 250       | 0.00  |
| IBUFDS_GTE2                 | 0    | 0     | 2         | 0.00  |
| ILOGIC                      | 0    | 0     | 106       | 0.00  |
| OLOGIC                      | 0    | 0     | 106       | 0.00  |

## 5. Clocking

-----

| Site Type  | Used | Fixed | Available | Util% |
|------------|------|-------|-----------|-------|
| BUFGCTRL   | 0    | 0     | 32        | 0.00  |
| BUFIO      | 0    | 0     | 20        | 0.00  |
| MMCME2_ADV | 0    | 0     | 5         | 0.00  |
| PLLE2_ADV  | 0    | 0     | 5         | 0.00  |
| BUFMRCE    | 0    | 0     | 10        | 0.00  |
| BUFHCE     | 0    | 0     | 72        | 0.00  |
| BUFR       | 0    | 0     | 20        | 0.00  |

## 6. Specific Feature

-----

| Site Type   | Used | Fixed | Available | Util% |
|-------------|------|-------|-----------|-------|
| BSCANE2     | 0    | 0     | 4         | 0.00  |
| CAPTUREE2   | 0    | 0     | 1         | 0.00  |
| DNA_PORT    | 0    | 0     | 1         | 0.00  |
| EFUSE_USR   | 0    | 0     | 1         | 0.00  |
| FRAME_ECCE2 | 0    | 0     | 1         | 0.00  |
| ICAPE2      | 0    | 0     | 2         | 0.00  |
| PCIE_2_1    | 0    | 0     | 1         | 0.00  |
| STARTUPE2   | 0    | 0     | 1         | 0.00  |
| XADC        | 0    | 0     | 1         | 0.00  |

## 7. Primitives

-----

| +-----+-----+-----+ |      |                     |
|---------------------|------|---------------------|
| Ref Name            | Used | Functional Category |
| +-----+-----+-----+ |      |                     |
| LUT6                | 113  | LUT                 |
| RAMB36E1            | 44   | Block Memory        |
| MUXF7               | 36   | MuxFx               |
| LUT5                | 32   | LUT                 |
| FDRE                | 10   | Flop & Latch        |
| LUT3                | 3    | LUT                 |
| LUT2                | 2    | LUT                 |
| LUT1                | 1    | LUT                 |
| +-----+-----+-----+ |      |                     |

## 8. Black Boxes

-----

| +-----+-----+ |      |
|---------------|------|
| Ref Name      | Used |
| +-----+-----+ |      |

## 9. Instantiated Netlists

-----

| +-----+-----+ |      |
|---------------|------|
| Ref Name      | Used |
| +-----+-----+ |      |

### 5.3. Marginesy czasowe

Marginesy czasowe (WNS) dla setup i hold.

| Setup                        |          | Hold                         |          |
|------------------------------|----------|------------------------------|----------|
| Worst Negative Slack (WNS):  | 4,146 ns | Worst Hold Slack (WHS):      | 0,089 ns |
| Total Negative Slack (TNS):  | 0,000 ns | Total Hold Slack (THS):      | 0,000 ns |
| Number of Failing Endpoints: | 0        | Number of Failing Endpoints: | 0        |
| Total Number of Endpoints:   | 2472     | Total Number of Endpoints:   | 2472     |

## 6. Film.

Link do ściągnięcia filmu:

[https://drive.google.com/file/d/1dhg8Hl\\_bgKeVRv45NX\\_JlMgCKCYqhId6/view?usp=sharing](https://drive.google.com/file/d/1dhg8Hl_bgKeVRv45NX_JlMgCKCYqhId6/view?usp=sharing)