

# Implementacja interfejsu 1wire w VHDL przy użyciu Spartan-3E oraz DS18S20

Krzysztof Cabała 210047

Kinga Wilczek 210063

27 kwietnia 2016

# Spis treści

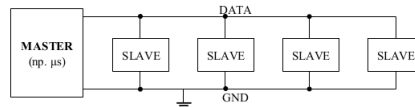
<b>1</b>	<b>Wstęp</b>	<b>4</b>
<b>2</b>	<b>Komunikacja</b>	<b>4</b>
2.1	Inicjalizacja i reset . . . . .	4
2.1.1	Zapis bitu . . . . .	4
2.1.2	Odczyt bitu . . . . .	5

## Spis rysunków

1	Przykładowe połączenie urządzeń . . . . .	4
2	Diagram czasowy dla procedury inicjalizacji . . . . .	4
3	Diagramy czasowy dla procedury zapisu i odczytu . . . . .	5

# 1 Wstęp

Interfejs 1wire jest interfejsem opracowanym przez firmę Dallas Semiconductor do komunikacji między dwoma lub większą liczbą urządzeń przy wykorzystaniu zaledwie jednej linii danych, linii GND (konieczne odniesienie dla poprawnego rozpoznawania stanów logicznych) oraz zasilania  $gV_{cc}$ . W ramach oszczędności przewodów ogranicza się połączenia do dwóch linii, wtedy układ zasilany jest pasywnie z linii danych. Przykładowe połączenie przedstawia schemat:



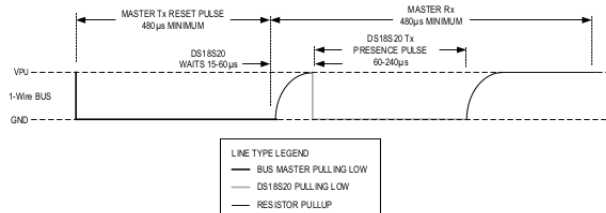
Rysunek 1: Przykładowe połączenie urządzeń

Wyróżnia się urządzenia typu Master (najczęściej mikrokontroler) oraz Slave (peryferia).

## 2 Komunikacja

### 2.1 Inicjalizacja i reset

Każda próba komunikacji urządzeń master i slave musi zacząć się od sekwencji składającej się z sygnału reset, wysyłanego przez master, po którym następuje sygnał obecności układu slave. Sygnał reset to wymuszony stan 0 trwający przynajmniej  $480\mu s$ . Następnie master oczekuje na sygnał obecności innego urządzenia na linii. Następuje wówczas zwolnienie magistrali, co powoduje podciągnięcie jej do stanu wysokiego przez rezystor pull-up. Urządzenie slave wykrywa wówczas narastające zbocze linii i po upływie  $15\mu s$ - $60\mu s$  sygnalizuje swoją obecność poprzez wymuszenie stanu niskiego na okres  $60\mu s$ - $240\mu s$ .



Rysunek 2: Diagram czasowy dla procedury inicjalizacji

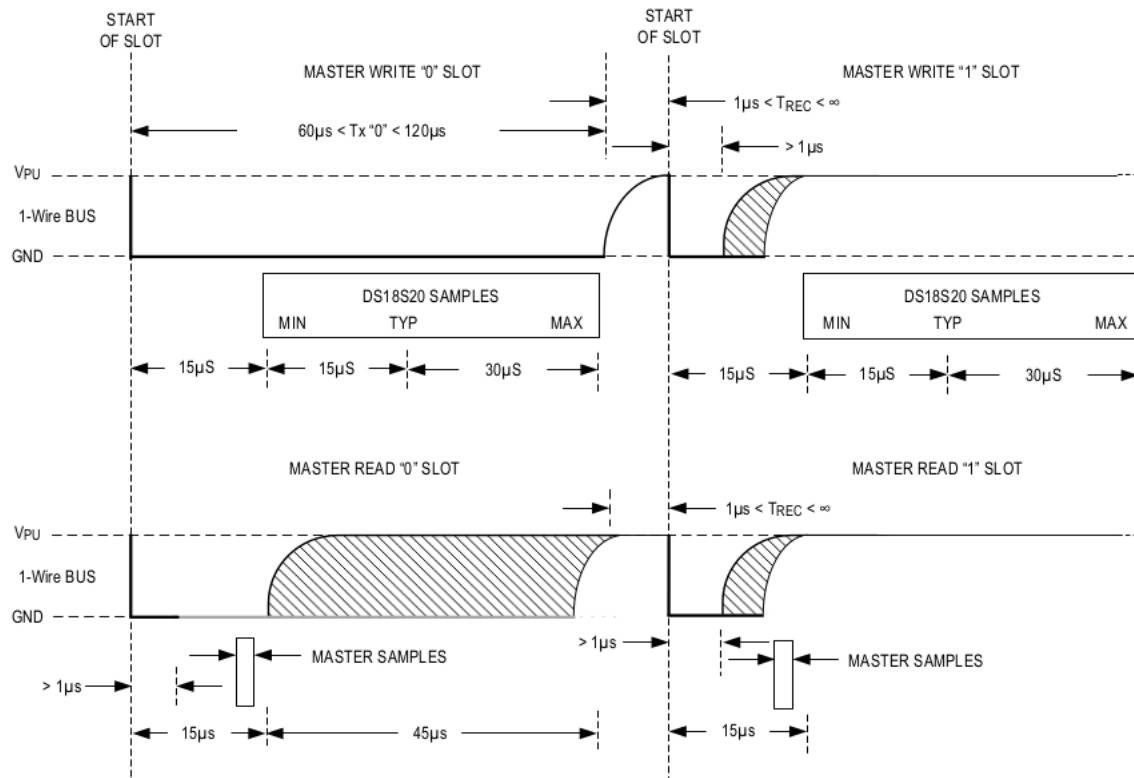
#### 2.1.1 Zapis bitu

Operacje zapisu bitu realizowane są w ściśle określonych slotach czasowych. Długość jednego slotu wynosić zwykle  $60\mu s$ . Próbkowanie dokonywane jest mniej więcej w środku slotu celem uodpornienia na błędy. Pomiedzy kolejnymi operacjami wymagana jest przynajmniej  $1\mu s$  odstęp.

Zapis rozpoczyna się wysterowaniem linii danych przez master na poziom niski. Zapis 0 wymaga utrzymania jej w tym stanie przez cały slot. Zapis 1 jest nieco bardziej skomplikowany. Master musi w czasie nie dłuższym niż  $15\mu s$ , ale nie krótszym niż  $1\mu s$  zwolnić magistralę tak aby w momencie próbkowania (po  $30\mu s$  od zbocza opadającego) była w stanie wysokim.

### 2.1.2 Odczyt bitu

Odczyt bitu również wymaga  $60\mu\text{s}$  slotu oraz  $1\mu\text{s}$  przerwy. Odczyt rozpoczyna się wymuszeniem przez master stanu niskiego na linii danych na czas nie krótszy niż  $1\mu\text{s}$  i zwolnienie jej (powrót do stanu wysokiego). Po tym sygnale sterowanie linią przejmuje urządzenie slave, wysyłające bit 0 lub 1. Slave po wykryciu zbocza opadającego wymusza stan niski (dla 0) lub utrzymuje wysoki (dla 1) linii danych. Sygnał musi być wtedy spróbkowany przez master. Przed upłynięciem czasu końca slotu maigstrala zostaje zwolniona przez slave, co powoduje jej powrót do stanu wysokiego.



Rysunek 3: Diagramy czasowy dla procedury zapisu i odczytu