

Тестовое задание

Требуется реализовать систему обработки данных в соответствии с функциональной схемой, представленной на рис. 1.

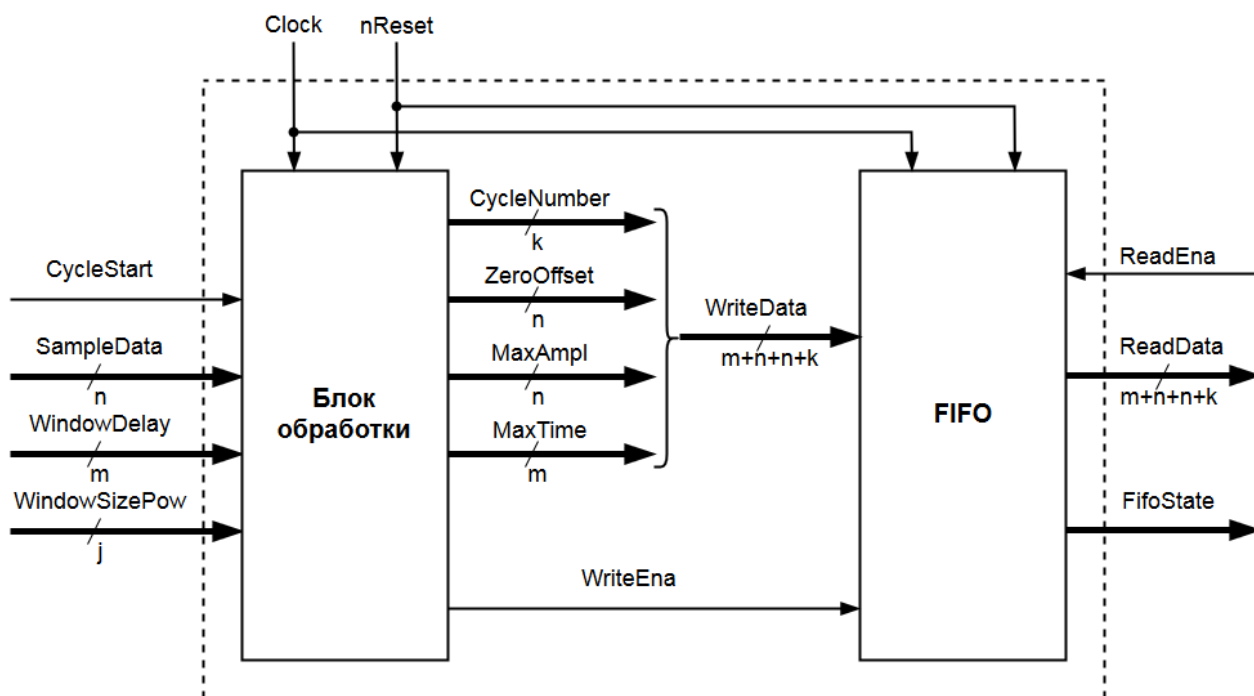


Рис. 1. Функциональная схема системы обработки данных

Система функционирует в соответствии со следующим алгоритмом. На вход системы с некоторой частотой (например, 1 КГц) поступает сигнал начала цикла сканирования. В каждом цикле сканирования осуществляется обработка данных с АЦП в заданном временном промежутке (окне). Данные, поступающие на АЦП представляют собой некий знакопеременный полигармонический сигнал. Результатами обработки являются следующие параметры сигнала:

- значение постоянной составляющей сигнала;
- максимальная амплитуда сигнала;
- номер отсчета, соответствующий максимальной амплитуде сигнала.

Перечисленные выше параметры входят в состав пакета результатов обработки, для идентификации которого используется текущий номер цикла сканирования. Для промежуточного хранения пакетов используется буфер типа FIFO, который предоставляет интерфейс чтения данных для других модулей, находящихся за пределами реализуемой системы. В случае, если буфер полностью заполнен, дальнейшая запись в него блокируется до тех пор, пока место в нем не освободится.

Описание сигналов, входящих в состав системы, представлено в таблице 1.

Таблица 1. Сигналы, входящие в состав системы

Имя	Разрядность	Назначение
Сигналы синхронизации		
Clock	1	Тактовый сигнал системы (100 МГц, синхронизация по переднему фронту).
nReset	1	Асинхронный сигнал сброса системы с низким активным уровнем. Необходимо сбрасывать состояние блока обработки и переводить FIFO в «пустое» состояние.
Интерфейс блока обработки данных		
CycleStart	1	Импульс запуска цикла измерений. Поступает с частотой $F_{cycle} = 1$ КГц и имеет длительность, равную одному периоду тактовой частоты.
SampleData	n	Шина данных от АЦП в двоичном смещенном формате (https://en.wikipedia.org/wiki/Offset_binary). Смещение = 2^{n-1} . Данные с АЦП поступают непрерывно, синхронно с тактовой частотой системы.
WindowDelay	m	Задержка от запуска цикла измерений до начала окна обработки данных. Задается в отсчетах АЦП.
WindowSizePow	j	Задаёт размер окна обработки данных (в отсчетах АЦП) в соответствии со следующей формулой: $WindowSize = 2^{WindowSizePow}$.
CycleNumber	k	Номер текущего цикла измерений.
ZeroOffset	n	Вычисленное значение постоянной составляющей сигнала. Рассчитывается как среднее значение сигнала в окне обработки.
MaxAmpl	n	Вычисленное значение максимальной амплитуды сигнала в заданном окне обработки.
MaxTime	m	Номер отсчета, соответствующий максимальной амплитуде MaxAmpl. Считается в отсчетах АЦП.
Интерфейс FIFO		
FifoState	*	Флаги состояния FIFO, необходимых для корректной работы.
WriteEna	1	Разрешение записи.
WriteData	m+n+n+k	Шина данных для записи.
ReadEna	1	Разрешение чтения.
ReadData	m+n+n+k	Шина данных для чтения.

Примечания:

- разрядность шин m, n, k, j должна задаваться с помощью параметров;
- количество ячеек FIFO должно задаваться с помощью параметра;
- FifoState может быть реализован в любом удобном разработчику виде, позволяющем организовать работу с FIFO, например как набор отдельных сигналов о состоянии (очередь пуста, очередь заполнена и т. д.).

Временная диаграмма цикла измерений представлена на рис. 2.

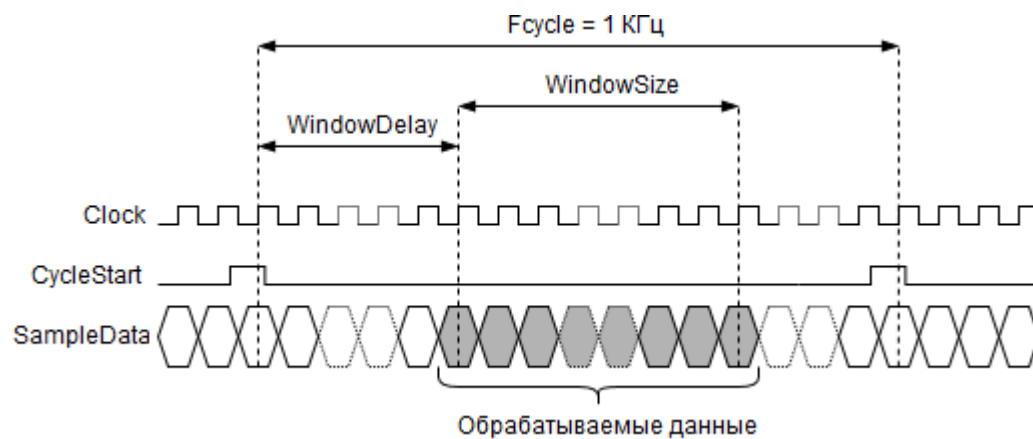


Рис. 2. Временная диаграмма цикла измерений

Требования к выполнению тестового задания:

- система должна быть реализована исключительно с использованием языков описания аппаратуры (VHDL/Verilog) и быть полностью синтезируемой;
- исходный код должен быть самодокументируемым и содержать комментарии, описывающие алгоритмы работы и способы реализации отдельных функций;
- помимо файлов с исходным кодом модулей должны быть предоставлены средства для тестирования системы:
 - проект ModelSim;
 - модуль тестирования верхнего уровня (testbench);
 - макрос (*.do) для вывода на экран Wave в ModelSim внешних и промежуточных сигналов в удобном для их прочтения формате.