**MINISTERUL EDUCAȚIEI ȘI CERCETĂRII AL REPUBLICII MOLDOVA**

**Universitatea Tehnică a Moldovei**

**RAPORT**

Lucrare de laborator nr. 2

la cursul ***„Proiectarea cu dispozitive programabile”***

**A efectuat:**  **St. gr. CR-221FR Serba Cristina**

**A verificat: Cărbune Viorel**

**Chișinău 2025**

# Tema:

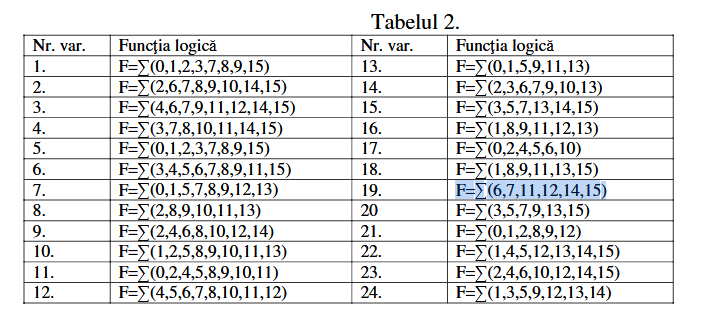
Sinteza si implementarea circuitelor logice combinationale

# Scopul lucrării:

Proiectarea, testarea şi simularea circuitelor logice combinaţionale în mediul de dezvoltare software Altera Quartus II. Descrierea circuitului va fi efectuată în limbajul VHDL, folosind codificarea structurală, flux de date şi comportamentală.

# Sarcina lucrării:

1. Se va studia exemplul de proiectare structurală a circuitului sumator/scăzător de 4 biţi şi, în baza lui, se va proiecta circitul logic combinațional din lucrarea de laborator Nr. 1. Pentru descrierea componentelor (porţilor logice) din circuit se va utiliza codificarea comportamentală.

2. Se va proiecta circitul logic combinațional din lucrarea de laborator Nr. 1 folosind codificarea flux de date (trei proiecte separate pentru atribuirea directă, condiţională şi selectivă concurentă de semnal).

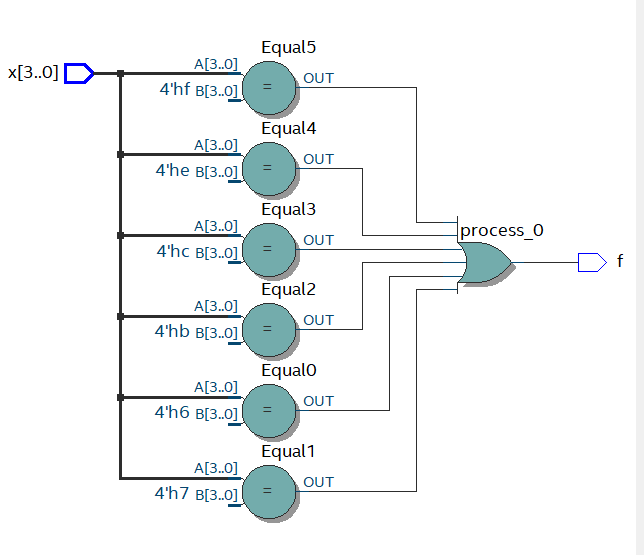
# Mersul lucrării:

Partea 1

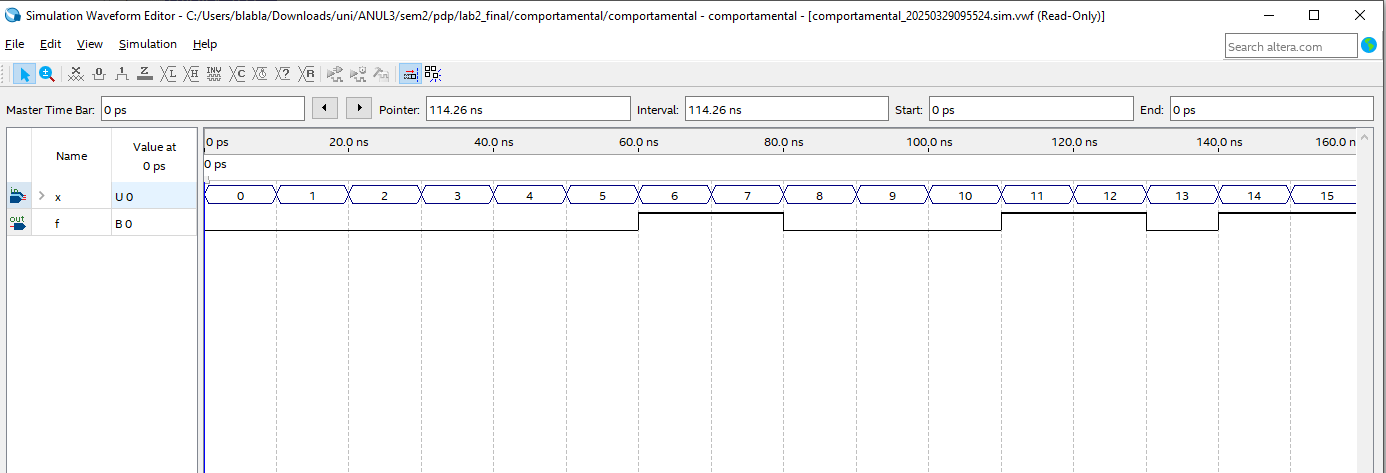
Proiectarea combinațională:

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.all;  use ieee.numeric\_std.all;  entity Lab2 is  port ( x : in std\_logic\_vector (3 downto 0);  f : out std\_logic);  end Lab2;  architecture Lab2\_comp of Lab2 is  begin  process (x)  variable x\_int : integer;  begin  x\_int := to\_integer(unsigned(x));  f <= '0';  if (x\_int = 6) or  (x\_int = 7) or  (x\_int = 11) or  (x\_int = 12) or  (x\_int = 14) or  (x\_int = 15) then  f <= '1';  else  f <= '0';  end if;  end process;  end Lab2\_comp; |

RTL view:



Waveform simulation:

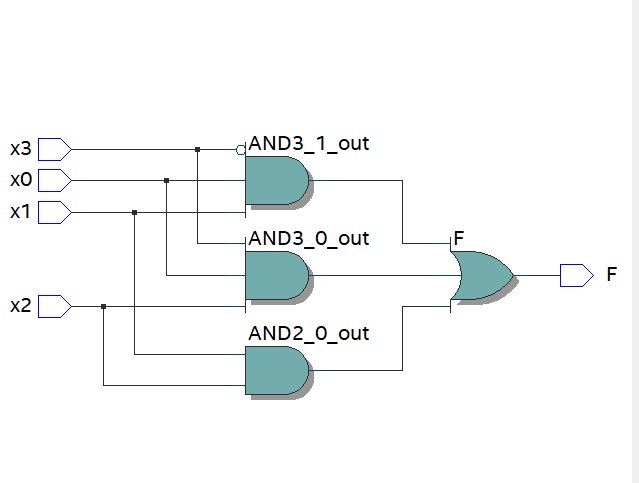


Partea 2

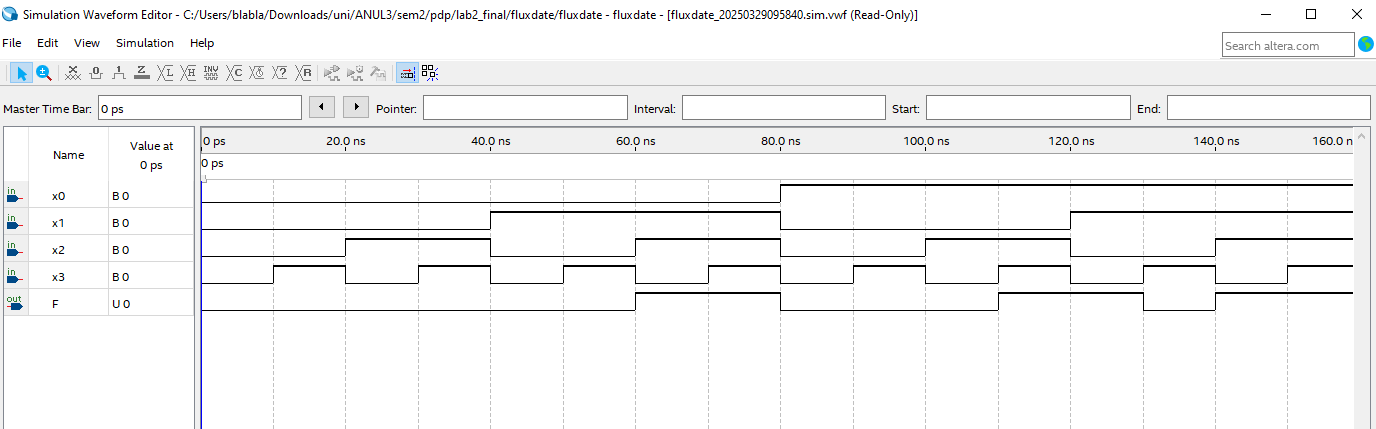
Proiectarea flux de date:

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.all;  entity Lab2 is  port (  x0, x1, x2, x3: in std\_logic;  F: out std\_logic  );  end Lab2;  architecture fluxdate of Lab2 is    signal NOT\_1\_out: std\_logic;  signal AND2\_0\_out, AND3\_0\_out, AND3\_1\_out: std\_logic;  begin    NOT\_1\_out <= not x3;      AND2\_0\_out <= x1 and x2;    AND3\_0\_out <= x0 and x2 and x3;    AND3\_1\_out <= x0 and x1 and NOT\_1\_out;  F <= AND2\_0\_out or AND3\_0\_out or AND3\_1\_out;  end fluxdate; |

RTL view:



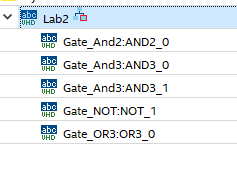
Simularea în waveform:



Partea 3

Proiectarea structurală:

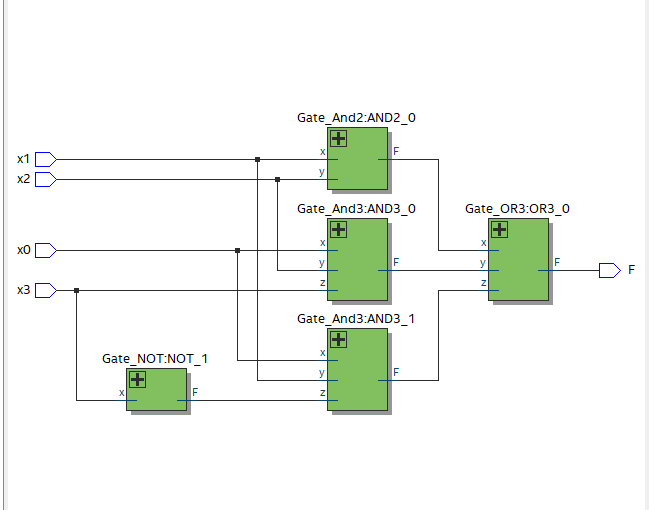
Am creat structura tuturor portilor folosite în circuit



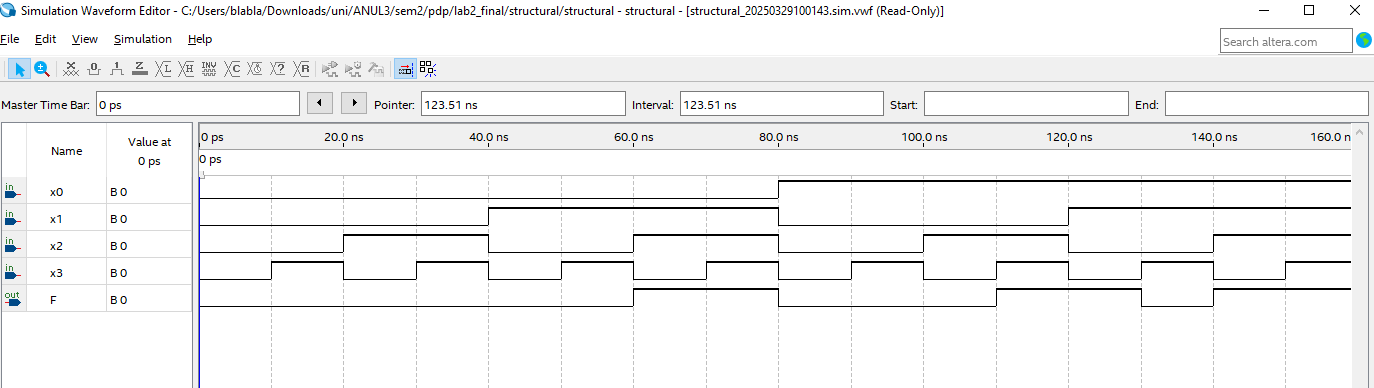
Descrierea circuitului principal:

|  |
| --- |
| library ieee;  use ieee.std\_logic\_1164.all;  entity Lab2 is  port (  x0, x1, x2, x3: in std\_logic;  F: out std\_logic  );  end Lab2;  architecture Lab2\_struct of Lab2 is  component Gate\_And2 is  port (x, y: in std\_logic; F: out std\_logic);  end component;  component Gate\_And3 is  port (x, y, z: in std\_logic; F: out std\_logic);  end component;  component Gate\_OR3 is  port (x, y, z: in std\_logic; F: out std\_logic);  end component;  component Gate\_NOT is  port (x: in std\_logic; F: out std\_logic);  end component;  signal NOT\_1\_out, NOT\_2\_out: std\_logic;  signal AND2\_0\_out, AND3\_0\_out, AND3\_1\_out: std\_logic;  begin  NOT\_1: Gate\_NOT port map (x => x3, F => NOT\_1\_out);  AND2\_0: Gate\_And2 port map (x => x1, y => x2, F => AND2\_0\_out);  AND3\_0: Gate\_And3 port map (x => x0, y => x2, z => x3, F => AND3\_0\_out);  AND3\_1: Gate\_And3 port map (x => x0, y => x1, z => NOT\_1\_out, F => AND3\_1\_out);  OR3\_0: Gate\_OR3 port map (x => AND2\_0\_out, y => AND3\_0\_out, z => AND3\_1\_out, F => F);  end Lab2\_struct; |

RTL view:



Waveform simulation:



# Concluzii:

În urma realizării acestei lucrări, am aprofundat procesul de proiectare, testare și simulare a circuitelor logice combinaționale în mediul Altera Quartus II, utilizând descrierea în limbajul VHDL. Am explorat diferite metode de codificare—structurală, pe flux de date și comportamentală—înțelegând avantajele și particularitățile fiecăreia. Prin simularea circuitelor, am verificat funcționalitatea implementărilor și am identificat importanța optimizării descrierii hardware pentru eficiență și performanță. Această experiență practică a consolidat cunoștințele despre proiectarea digitală și utilizarea instrumentelor specifice pentru dezvoltarea circuitelor logice.