

디지털시스템의 설계를 위한 VHDL의 기본과 활용

학습목표

디지털회로설계의 개념에서부터 목표하는 반도체 칩(chip)인 주문형 반도체(ASIC)에 대한 내용을 확인하고, 설계의 전반적인 흐름을 살펴 보며, 하드웨어 기술언어인 VHDL구문에 대한 기본지식을 습득하여 시스템설계의 적용기법을 이해한다.

- 제 1장 디지털회로의 설계
- 제 2장 VHDL의 기본구성
- 제 3장 객체와 자료형 및 연산자
- 제 4장 VHDL의 표현방법
- 제 5장 Package와 부 프로그램(Skip)
- 제 6장 조합논리회로의 설계
- 제 7장 순서논리회로의 설계

1장 디지털회로의 설계

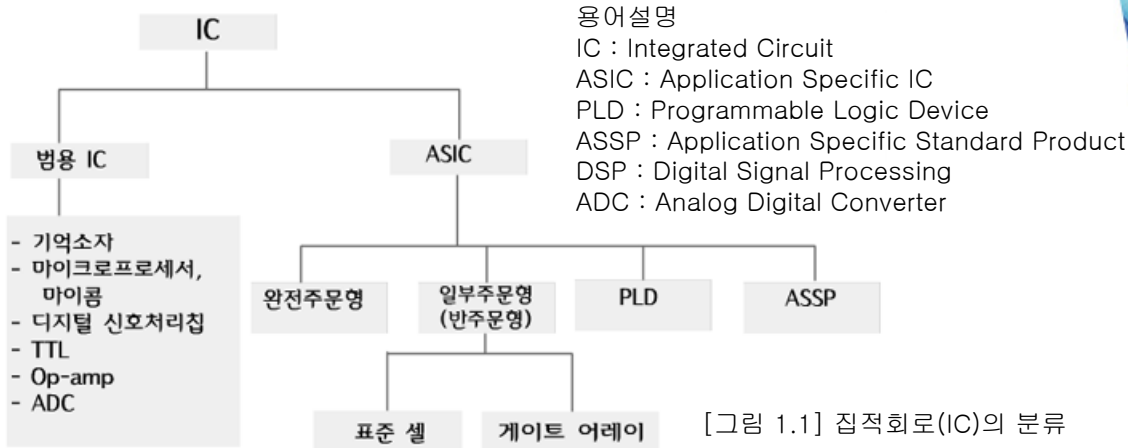
[1 장 디지털회로의 설계]

제1절 디지털 회로설계의 개요

- 디지털회로의 설계
디지털 로직(logic)을 이용하여 목표하는 회로를 구성하는 것
- 디지털제품의 제작
표준화된 부품을 적절히 조합하여 원하는 동작이 되도록 회로를 구성하고 인쇄회로기판(PCB)을 제작하여 제품을 완성
- 디지털제품 제작의 문제점
점점 복잡하고, 소형이며, 다양한 제품이 요구됨에 따라,
 - 부품수 증가에 따른 기판면적의 증가로 제품의 소형화가 어려운 요인 발생
 - 부품수 증가에 따른 원가상승 요인 발생
 - 부품수 증가에 따른 복잡화로 고속동작이 어려운 요인 발생
 - 전력소모를 효과적으로 줄일 수 없는 요인 발생
- 주문형반도체(ASIC:Application Specific Integrated Circuit)의 출현
필요한 디지털 회로 혹은 시스템 등의 개별부품을 하나의 기판에 집적시킨 집적회로(IC)로 특정기능을 수행할 수 있도록 설계 · 제조된 칩(chip)

제2절 주문형 반도체(ASIC)

- 주문형 반도체(ASIC)
 - 범용성이 높은 표준 집적회로(IC)와는 달리 사용자의 요구에 따라 특정 기능을 갖도록 설계하여 하나의 칩(chip)으로 제작된 집적회로
 - 고집적화, 소형·경량화, 고성능화, 저가격화 및 기능의 복잡화, 저소비 전력화 등 제품의 경쟁력 강화와 핵심기술 보호 등의 장점
 - 초기 개발비용의 증가, 설계의 어려움, 설계사양의 변경에 대한 수정의 제한, 수량이 적은 경우, 칩(chip) 단가 상승 등의 단점
- 주문형반도체(ASIC)의 분류



5

제2절 주문형 반도체(ASIC)

- 구현방법에 따른 ASIC기술의 분류
 - 완전주문형(Full Custom) 설계기술
 - 표준 셀(Standard Cell) 설계기술
 - 게이트 어레이(Gate Array) 설계기술
 - SoG(Sea of Gate) 설계기술
 - PLD(Programmable Logic Device)설계기술
 - CPLD(Complexed PLD) 설계기술
 - FPGA(Field Programmable Gate Array) 설계기술
- 완전주문형(full custom) 설계기술
 - 특징
 - ① 구현하고자 하는 회로에 대하여 CAD 툴(tool)을 이용, 로직 셀(logic cell)부터 마스크 패턴(mask pattern)을 위한 레이아웃(layout)까지 설계자가 직접 설계와 검증을 수행하는 방식
 - ② 집적도를 높일 수 있으므로 대량생산시 저가격화가 가능, 동작속도의 조절이 가능
 - ③ 설계비용이 높고, 설계기간이 길며, 숙련된 고급 설계자가 필요
 - 완전주문형 설계를 위한 요구사항
 - ♢ 복잡한 회로설계기술이 필요
 - ♢ 단일 기판 상의 회로구성기술이 필요
 - ♢ 미세 반도체 공정기술이 필요
 - ♢ 회로성능 점검을 위한 시뮬레이션 기술이 필요

6

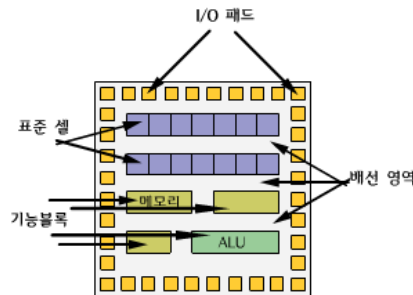
제2절 주문형 반도체(ASIC)

■ 표준 셀(standard cell) 설계기술

■ 특징

- ① 설계하려는 칩의 레이아웃을 위하여 칩(chip)제조 전에 필요한 셀(cell)들을 셀 저장고(cell library)로부터 불러서 조립한 후, 시뮬레이션을 통해 그 기능을 검증하는 설계방식
- ② 동작과 성능이 검증된 논리기능들이 회로 혹은 레이아웃 도면 형태로 셀 저장고에 있다가 새로운 시스템을 설계할 때 이들 논리기능을 가져와 배치 및 배선하여 칩 설계
- ③ 간편함과 대중성의 장점, 셀 종류 및 성능의 제한, 설계 면적의 비효율성인 단점

■ 표준 셀의 구조



[그림 1.2] 표준 셀(standard cell)의 구조

7

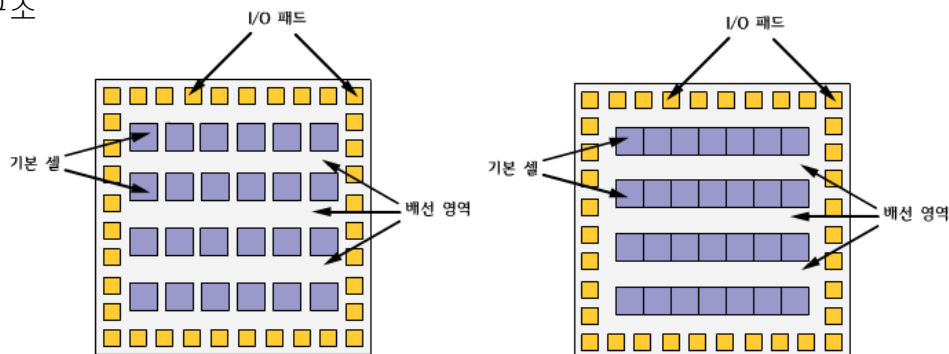
제2절 주문형 반도체(ASIC)

■ 게이트 어레이(Gate Array) 설계기술

■ 특징

- ① NAND/NOR와 같은 기본 논리게이트 또는 표준 논리소자와 같이 완전한 기능의 논리소자를 규칙적으로 배열하여 금속배선 이전까지 제조공정이 끝난 일부 주문형(semi custom) 집적회로
- ② 기본 논리회로의 종류와 특성은 미리 제조회사에서 셀 라이브러리(cell library)로 준비하여 사용자에게 제공하는 방식.
- ③ 개발기간이 짧고 개발비용이 절약되는 장점, 칩면적이 낭비되는 단점.

■ 구조



(a) 블록(block)형

(b) 수평채널형

[그림 1.3] 게이트 어레이(Gate Array)의 구조

8

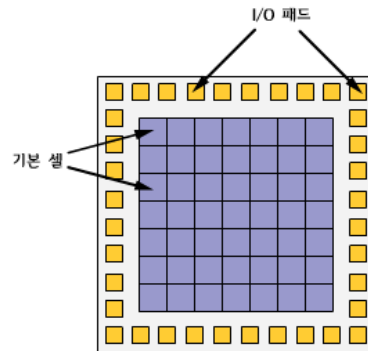
제2절 주문형 반도체(ASIC)

■ SoG(Sea of Gate)설계기술

■ 특징

- ① 게이트 어레이의 설계기술의 일종으로 배선영역이 없는 (channelless) 방식으로 배선하는 기술
- ② 고 집적도, 개발 비용의 절약, 개발기간 단축 등의 장점
- ③ 주어진 셀을 모두 사용하지 못하며, 칩 면적이 낭비되는 단점

■ 구조



[그림 1.4] SoG(Sea of Gate)의 구조

9

제2절 주문형 반도체(ASIC)

■ PLD(Programmable Logic Device)설계기술

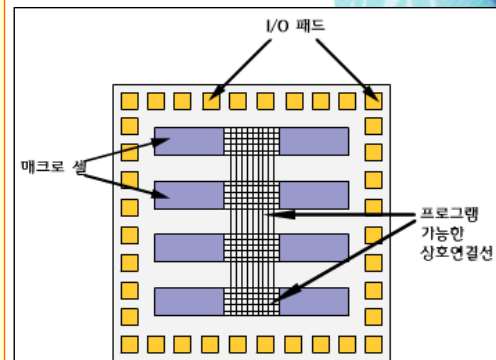
■ 특징

- ① PLD는 반도체 칩을 제작하지 않고, 이미 프로그램이 가능한 형태의 소자로 제작되어 판매되는 칩에 설계할 회로를 프로그램하여 원하는 설계를 구현
- ② 시제품 혹은 기능 검증용 칩을 최단기간 내에 구현이 가능
- ③ 소량의 칩제작이 적은 비용으로 가능

■ 종류

- ① ROM(Read Only Memory)
프로그램이 가능한 소자로 사용자가 용도에 맞게 프로그램하여 사용할 수 있는 칩
- ② PROM(Programmable ROM)
퓨즈(fuse)인 연결 금속선을 서로 연결시킨 상태로 칩을 만든 후, 사용자의 필요에 따라 끊거나, 연결하여 프로그램하는 칩으로 프로그램이 되면 더 이상 내용 변경이 불가
- ③ EPROM(Erasable PROM)
내용을 지울 수 있으며, 재 프로그램이 가능한 칩
- ④ EEPROM(Electrically EPROM)
전기적으로 내용을 지울 수 있으며, 재 프로그램이 가능한 칩
- ⑤ PAL(Programmable Array Logic)
AND 어레이 로직과 OR어레이 로직으로 구성된 소자로 OR항은 고정되어 있고, AND항은 프로그램이 가능한 칩
- ⑥ PLA(Programmable Logic Array)
프로그램이 가능한 AND게이트와 OR게이트로 구성된 칩

■ PLD의 구조



[그림 1.5] PLD의 일반적인 구조

10

제2절 주문형 반도체(ASIC)

■ CPLD(Complexed PLD)설계기술

■ 특징

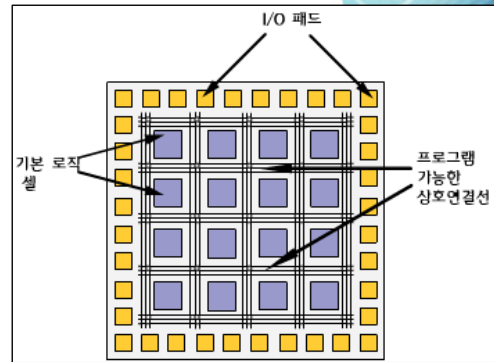
- ① 매크로 셀(macro cell)이라 하는 기본 논리회로 영역은 PAL과 유사하나, 속도는 상대적으로 빠르며, 작은 매크로 셀을 사용하여 회로의 집적도를 향상한 소자로서 다수의 입력을 받아 AND하고, 그 결과를 OR하여 출력하는 구조의 소자
- ② 하나의 매크로 셀을 구성하는 논리회로의 규모가 비교적 크고, 매크로 셀의 지연특성이 일정하므로 지연속도의 예측이 가능하며, 조합논리회로의 구현에 적합

■ FPGA(Field Programmable Gate Array)설계기술

■ 특징

- ① FPGA는 기본 논리영역의 배열은 게이트 어레이(Gate Array)와 유사하나, 내부회로의 배선이 프로그램에 의하여 연결되는 구조의 소자
- ② 게이트의 사용도가 높고, 플립-플롭(flip-flop)이 많은 순서논리회로의 구성에 용이하나, 지연시간의 예측이 어려워 반듯이 타이밍(timing) 검증이 요구

■ 구조



[그림 1.6] FPGA의 일반적 구조

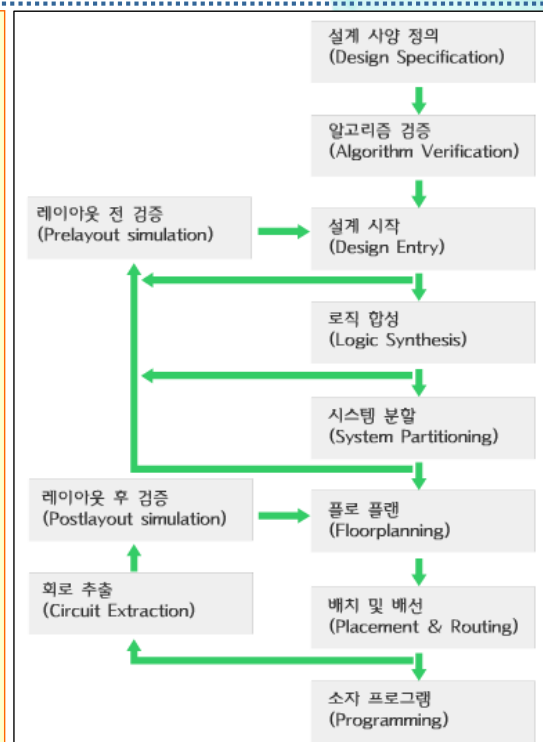
제3절 설계흐름(Design Flow)

■ 디지털회로의 설계 흐름

설계사항이 결정된 후부터 목적하는 소자에 그 설계내용을 채우기까지의 과정을 단계별로 나타내는 것

■ 설계흐름순서

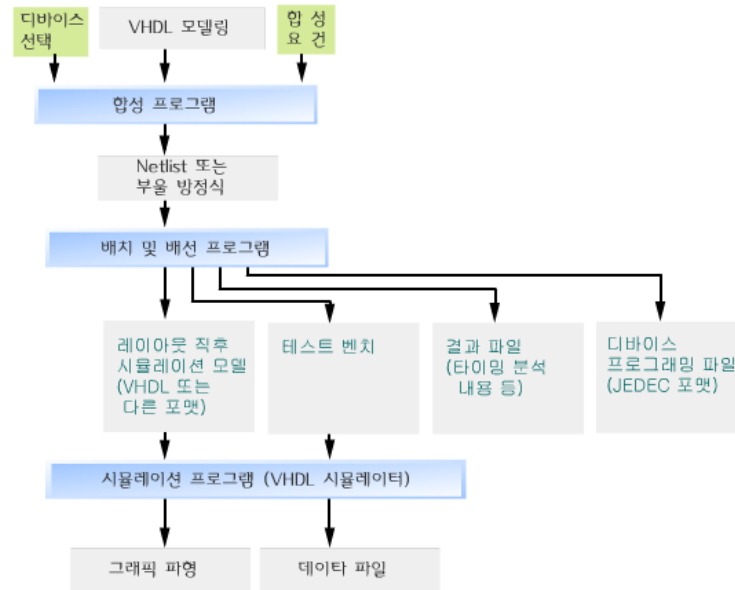
- 설계사항(design specification)
어떤 내용을 설계할 것인가? 즉, 설계내용, 소자선택의 요구조건 등을 결정
- 알고리즘 검증(algorithm verification)
설계사항에 대한 내용의 검증, 가능한 한 하드웨어(hardware)에 근접한 설계내용의 검증
- 설계 시작(design entry)
설계의 요구사항에 맞게 실제 하드웨어를 위한 설계의 시작
- 설계회로 합성(logic synthesis)
HDL(hardware description language) 즉, 하드웨어기술언어로 구성한 회로 설계의 경우, 이 하드웨어기술 언어를 논리회로로 변환하는 과정
- 시스템 분할(system partition)
설계된 회로를 CPLD/FPGA 내부의 매크로 셀들을 조합하여 실현할 수 있도록 시스템 전체의 관점에서 나누는 작업
- 레이아웃 전 검증(pre layout simulation)
설계 요구사항과 같이 설계가 이루어졌는지를 검증하는 과정, 기능검정이 포함
- 플로 플랜(floor plan)
목적하는 소자를 실제 다이(die)기준으로 설계된 시스템을 각 영역별로 그 배치구도를 잡는 과정
- 배치 및 배선(placement & routing)
실제 논리회로를 배치한 후, 배선하는 과정, 이를 레이아웃(layout)이라 함
- 회로 추출(circuit extraction)
회로 전체에 걸쳐 발생하는 지연시간, 저항 및 커패시터 값 등을 계산하여 추출하는 과정
- 레이아웃 후 검증(post layout simulation)
레이아웃 후에 발생할 수 있는 지연시간, 셋업 시간(setup time), 유지시간(hold time) 등 타이밍 문제의 검증과정, 타이밍 검증
- 소자의 프로그래밍(device programming)
배치 및 배선이 끝난 후, 프로그래밍하여 목표하는 소자를 얻는 과정



[그림 1.7] 주문형 반도체의 설계 흐름도

제3절 설계흐름(Design Flow)

■ FPGA의 설계 흐름

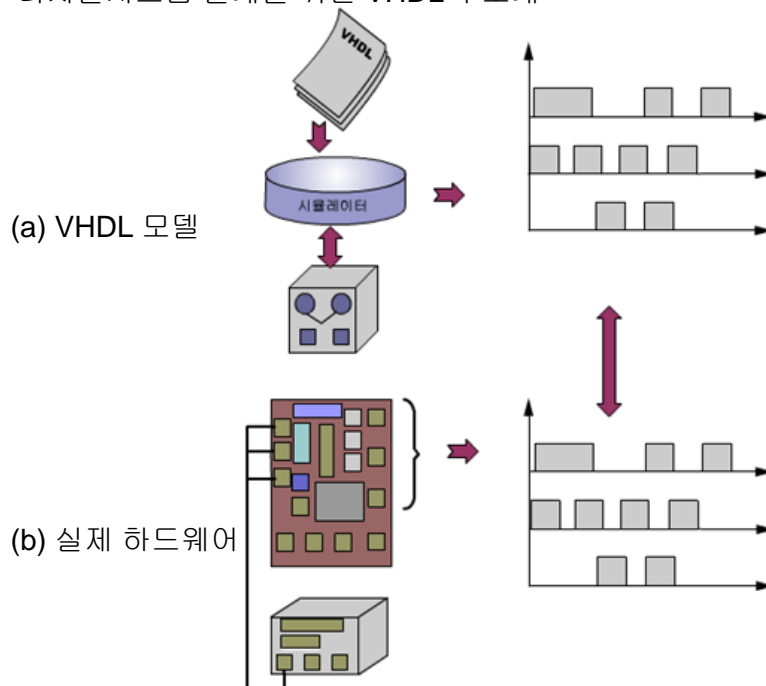


[그림 1.8] FPGA의 대표적 설계흐름도

13

제4절 하드웨어 기술언어

■ 디지털시스템 설계를 위한 VHDL의 소개

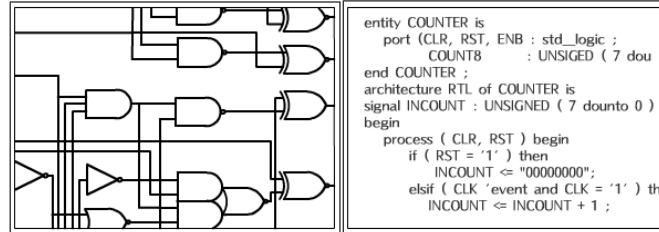


[그림 1.9] VHDL모델과 하드웨어의 관계

14

제4절 하드웨어 기술언어

- 하드웨어기술언어(HDL : Hardware Description Language)
 - 최초로 공인된 표준 하드웨어 설계언어
 - CPLD/FPGA 등 소규모 설계에서 주문형집적회로(ASIC) 등 대규모 시스템 설계에 사용
 - 회로도 와 하드웨어기술언어의 설계 비교



(a) 회로도를 이용한 설계 (b) 하드웨어기술언어를 이용한 설계
[그림 1.10] 회로도 와 하드웨어기술언어를 이용한 설계의 비교

[표 1.1] 회로도 및 하드웨어기술언어의 설계비교

항 목	회로도를 이용한 설계	하드웨어 기술 언어를 이용한 설계
입 력	회로도를 입력하는데 시간이 걸린다.	텍스트로 간단히 입력한다.
논 리 식	논리식(불 대수)을 생각하여야 한다.	논리식을 생각할 필요가 없다.
회로변경	설계한 회로를 변경하기 쉽지 않다.	설계한 것을 쉽게 변경할 수 있다.
이 해 도	설계자 이외는 내용을 이해하기가 어렵다.	어느 사람도 이해하기 쉽다.
사용영역	A라 부르는 CPLD/FPGA로 설계하려면, A라 부르는 CPLD/FPGA를 만든 회사가 제공하는 프로그램을 이용하여야 한다.	어느 회사에서 만든 CPLD/FPGA에서도 사용할 수 있다.

15

제4절 하드웨어 기술언어

- 하드웨어기술 언어의 종류

[표 1.2] 하드웨어기술언어의 종류

언어 이름	특 징	비 고
VHDL	광범위한 분야의 기술이 가능. 높은 기술 능력	미국 국방성을 중심으로 개발
Verilog HDL	광범위한 분야의 기술이 가능하지만, VHDL보다 기술 능력이 높지 않다.	시뮬레이터 Verilog 언어로서 개발
ABEL-HDL	VHDL 보다 낮은 레벨 언어이다.	DATA I/O사에서 개발
AHDL	Altera사의 MAX시리즈에서 지원되는 언어로서, 스테이트 머신의 기술이 가능한 언어이지만, Altera사가 만든 CPLD/FPGA에만 사용된다.	Altera사에서 개발

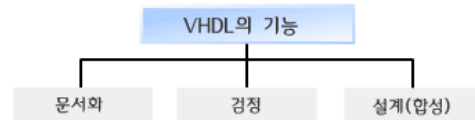
16

제4절 하드웨어 기술언어

■ VHDL의 출현배경

■ VHDL의 기능

- ① V:VHSIC(Very High Speed Integrated Circuit) + HDL: Hardware Description Language
 - ② 문서화(coding/modeling), 검증(simulation/verification), 합성(synthesis)
- IEEE(the Institute of Electrical and Electronics Engineers) 공인
1987년; IEEE_1076, 1991년 : IEEE_1164



[그림 1.11] VHDL의 기능

■ VHDL의 사용 배경

- ① 컴퓨터, 휴대전화, 통신장치 등 고부가가치 제품의 다양한 기능과 높은 성능이 요구
- ② 고 집적화, 낮은 가격, 빠른 개발기간이 요구
- ③ 기존의 전통적인 설계방법은 경쟁력이 없어지고, 하드웨어기술언어의 사용이 필요한 상황

17

제4절 하드웨어 기술언어

■ VHDL의 특징

■ 장점

- ① 특정기술, 공정에 독립적: 특정기술이나 공정에 관계없이 디지털시스템의 설계가 가능
- ② 광범위한 기술능력: 다양한 설계기법을 이용한 설계가 가능하며, 사용자가 원하는 기술의 사용이 가능하고, 소규모는 물론 대규모 시스템의 설계에 유용하며, 설계 재사용이 가능
- ③ 표준화와 문서화: IEEE에 의한 표준화, 하드웨어 관련 문서화에 용이
- ④ 설계기간 단축: 검증의 빠른 반복능력으로 설계기간이 단축되고, 설계자 오류의 검증이 용이하며, 제품 설계비용의 감소 등 경쟁력 강화에 적합

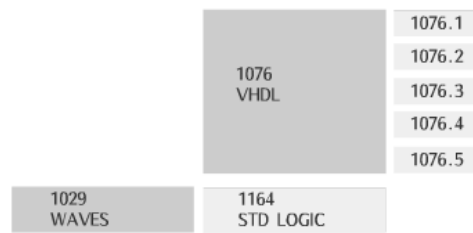
■ 단점

- ① VHDL 자체의 복잡성으로 많은 시간과 노력이 필요
- ② 회로합성 단계가 필요하므로 합성 툴(tool)에 따라 회로 성능이 좌우
- ③ 합성 툴(tool)이 VHDL구문의 일부지원에 따른 불편

18

제4절 하드웨어 기술언어

■ VHDL의 역사



[그림 1.12] VHDL관련 표준화의 역사

■ VHDL 관련 표준화 설명

- ♣ IEEE std_1076 : VHDL표준의 핵심부분으로 언어의 정의를 표준화
 - ① 1076.1: VHDL 아날로그(analog)와 혼합 아날로그-디지털 시스템 (mixed analog-digital system) 부분의 정의
 - ② 1076.2: 수학연산을 위한 수학도구에 대한 부분의 정의
 - ③ 1976.3: VHDL 합성(synthesis)에 대한 부분의 정의
 - ④ 1076.4: VITAL(VHDL initiative towards ASIC libraries)에 대한 부분의 정의
 - ⑤ 1976.5: IEEE 라이브러리 부품(library components)에 대한 부분의 정의
- ♣ IEEE std_1164 : 실제 시스템에 적용할 수 있는 다중 값(multi value)에 대한 부분의 정의
- ♣ IEEE std_1029 : 타이밍 검증을 위한 파형, 벡터변환 등에 대한 부분의 정의