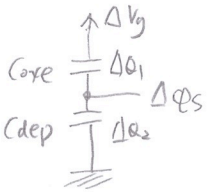# 1. Subthreshold. current 수식을 유도해 보시오.

$I_{ds} \propto \exp(V_{gs})$ 이므로 양변에 $\log$를 취하면

$\log I_{ds} \propto V_{gs}$ 꼴로 전위가 증가한다.

V_{gs}가 증가할 수록 surface에 전기의 양이 기수적으로 증가함에 따라 I_{ds}도 기수적으로 증가한다.

여기서 $\Delta Q_1 = C_{oxe}(\Delta V_{gs} - \Delta \Phi_s)$

$\Delta Q_2 = C_{dep}(\Delta \Phi_s)$ 이다.

두 커패시터가 직렬이므로 change가 같아. $\Delta Q_1 - \Delta Q_2 = 0$ 이다.

즉 $C_{oxe}(\Delta V_{gs} - \Delta \Phi_s) - C_{dep}(\Delta \Phi_s) = 0$ 이고.

$C_{oxe}\left(1 - \dfrac{\Delta \Phi_s}{\Delta V_{gs}}\right) - C_{dep}\left(\dfrac{\Delta \Phi_s}{\Delta V_{gs}}\right) = 0$ 가 된다

$\dfrac{\Delta \Phi_s}{\Delta V_{gs}} = \dfrac{C_{oxe}}{C_{oxe} + C_{dep}} = \dfrac{d\Phi_s}{dV_{gs}}$ 인데 이를

$\dfrac{1}{n}$ 로 정의할 수 있다. 즉 $n = 1 + \dfrac{C_{dep}}{C_{oxe}}$ 가 된다.

$\dfrac{d\Phi_s}{dV_{gs}} = \dfrac{C_{oxe}}{C_{oxe} + C_{dep}}$ 를 양변 적분시

$\Phi_s = C_1 + \dfrac{V_{gs}}{n}$ 이며

I_{ds}는 n_s에 비례하고 n_s는 $e^{\frac{q\Phi_s}{kT}}$ 에 비례하므로 $I_{ds} \propto e^{\frac{q\Phi_s}{kT}} \propto e^{\frac{q}{kT}\left(C_1 + \frac{V_{gs}}{n}\right)}$ 이다.

$I_{ds} = 100nA \cdot \dfrac{W}{L}$ 일때를 V_t로 정의 하기 때문에 V_{gs} 대신 V_t 를 대입한 I_{ds}가

$100nA \cdot \dfrac{W}{L}$ 이면 된다.

$e^{\frac{q}{kT}\left(C_1 + \frac{V_{gs}}{n}\right)}$ 는 $e^{\frac{qC_1}{kT} + \frac{qV_{gs}}{nkT}}$ 이므로

$e^{\frac{qC_1}{kT}} \cdot e^{\frac{qV_{gs}}{nkT}}$ 인데 $e^{\frac{qC_1}{kT}}$ 을 C_2 라고 두자.

$I_{ds} = C_2 e^{\frac{qV_{gs}}{nkT}}$ 이므로 $100nA \cdot \dfrac{W}{L} = C_2 e^{\frac{qV_t}{nkT}}$

그러므로 $C_2 = 100 \cdot \dfrac{W}{L} \cdot e^{-\frac{qV_t}{nkT}}$ [nA] 이다.

$I_{ds} = 100 \cdot \dfrac{W}{L} \cdot e^{\frac{q(V_{gs} - V_t)}{nkT}}$ 을 얻을 수 있다.

2. subthreshold current 를 낮추기 위해, 또는 subthreshold swing S를 낮추기 위해 필요한 바람직한 MOSFET 설계 조건은 무엇일까?

특히, short-channel 소자에서의 DIBL 효과를 감안시, 바람직한 실제 조건방향은 무엇일까?

$n = 1 + \dfrac{C_{dep}}{C_{oxe}}$ 에서 n가 1일 때 가장 바람직하다.

n를 줄이기 위해서는 C_{dep}를 줄이거나 C_{oxe}를 키워야 한다.

C_{oxe}를 키우기 위해선 T_{ox}를 줄이면 될 것이다.

$\left(C_{oxe} = \dfrac{\varepsilon_{oxe}}{T_{ox}}\right)$

C_{dep}를 줄이기 위해선 W_{dep}를 늘리면 되므로 P Type substrate doping density를 낮춘다.)

하지만 short channel 소자에서는 W_{dep}를 키우는게 바람직 하지 못하다. 소자 scailing시 W_{dep}를 $\dfrac{1}{k}$ 배 해줘야 하기 때문이다.

3. MOSFET 기반 IC에서 칩발열의 상승경구 off-current 측면에서 우려되는 바는 무엇인지 이유와 함께 설명해 보시오.

subthreshold swing S 는 기울기의 역수값 이므로 작아야지 좋다.

$S = \dfrac{dV_{gs}}{d\log I_{ds}} = \ln 10 \dfrac{dV_{gs}}{d\ln I_{ds}} = 2.3 \cdot \dfrac{kT}{q} \cdot n$

$= 2.3 \cdot 25mV \cdot n = 60mV \cdot n \cdot \dfrac{T}{300k}$ 이므로

T가 증가시 S가 증가하므로 $\log I_{ds} / V_{gs}$ 기울기가 완만해져 게이트 전압에 current 변동이 떨어져 소자 성능이 나빠진다.

4. Short-channel MOSFET 에서 hot-electron 에 따른 interface trap state 가 증가 될시 off-current 특성은 어떻게 되리, subthreshold 특성은 어떻게 되 / 논리 해 보시오.

MOSFET 제작시 oxide 하단부 에 계면특성이 clean 해야 한다. (추가적인 interface trap state 가 유발되지 않도록 노력)

interface trap state 에 의해 커패시터 성분이 생기고 이는 (dep 과 병렬로 크게되기 때문에 $\eta = 1 + \dfrac{C_{dep} + C_{it}}{C_{oxe}}$ 가 된다.

따라서 interface trap 이 증가하면 (hot election 에 의해) 문턱전압과 전류 전압 그래프의 기울기가 바뀌게 된다.

$\Rightarrow$ 악화되는 쪽으로.