

1. MOSFET에서 effective channel length 구하기 2. MOSFET에서 output conductance가 Saturation 영역에서 동작시, zero가 되지 않을 수 있는 이유를 소위 타입에 따라 나누어 설명하시오.

Cad에서 그리는 channel Length가  $L_{draun}$  이라고 하면, 실제 channel length는  $L_{draun} - \Delta L$  일 것이다.

Shallow Junction은 하지 않으면

$$I_{ds} = A q n v \text{ 이므로 } W Q_{inv} \cdot V = W C_{oxe} (V_{gs} - V_t) M_{ns} \cdot \frac{V_{ds}}{L} \text{ 일 것이다.}$$

여기서  $L = L_{draun} - \Delta L$  이므로

$$V_{ds} = \frac{I_{ds} (L_{draun} - \Delta L)}{W C_{oxe} (V_{gs} - V_t) M_{ns}} \text{ 이다.}$$

Shallow Junction은 여기서  $R_{ds} \equiv R_d + R_s$ 가 더해지므로  $V_{ds}$ 가 기존  $V_{ds}$ 에  $I_{ds} R_{ds}$ 가 더해진

$$V_{ds} = I_{ds} R_{ds} + \frac{I_{ds} (L_{draun} - \Delta L)}{W C_{oxe} (V_{gs} - V_t) M_{ns}} \text{ 가 된다.}$$

양변을  $I_{ds}$ 로 나누면.

$$\frac{V_{ds}}{I_{ds}} = R_{ds} + \frac{L_{draun} - \Delta L}{W C_{oxe} (V_{gs} - V_t) M_{ns}} \text{ 가 된다.}$$

$$\frac{V_{ds}}{I_{ds}} - R_{ds} = \frac{1}{W C_{oxe} (V_{gs} - V_t) M_{ns}} (L_{draun} - \Delta L)$$

이므로  $V_{gs} - V_t$ 가 어떤 전압이든 간에

$$\frac{V_{ds}}{I_{ds}} = R_{ds}, \quad L_{draun} = \Delta L \text{ 일때 교점으로 만나게 된다.}$$

이렇게 구한  $\Delta L$ 을 통해  $L = L_{draun} - \Delta L$ 에

대입해 effective channel length를 구할 수 있다.

$g_{ds} \equiv \frac{dI_{dsat}}{dV_{ds}}$ 는 이상적으로 0이 될 수 있는 그래프를 그릴 수 있다.

Saturation 상태에서 소자가 완전히 short channel Effect로 인해 threshold voltage의 roll-off 현상으로  $V_{ds}, V_t$ 에 영향을 주기 때문이다.

소자의 크기가 short channel 만큼 작아지면 channel length modulation으로 전류가 미세하게 증가해  $g_{ds}$ 가 0이 될 수 없다.

3. MOSFET의 output conductance가 이상적으로 zero가 되면 비강박한 이유를 설명해 보시오.

$g_{ds}$ 가 0이 아니면 VTCT가 선형적인 모양으로 바뀌어 가서 좋지 못하다.

output conductance가 0이 된다면 Large gain을 얻을 수 있고 Noise margin 특성에서도 유리해

4. 이를 달성하기 위한 MOSFET 소자 설계 관련이 대해 논의해 보시오.

small  $g_{ds}$ 와 큰 voltage gain을 위해서는  $L$ 을 늘리는 방법이 있지만 요즘 IC 설계와는 거리가 있다 (관각도가 떨어짐)

다른 방법으로 소관각도를 높여 수직방향으로 큰치는 Design Parameter인  $T_{ox}, W_{dep}, X_j$ 를 줄일 수 있다.

수평방향 Length가 짧아지면 Potential barrier에 Drain 전압이 영향을 줄 수 있지만 수직방향으로의 Dimension을 줄이면 Gate에 의해 통제되는 channel potential이 더 강화된다.

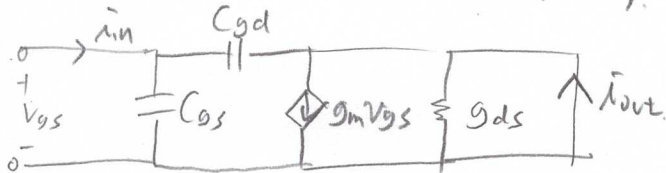
5. IC에서 MOSFET 회로 사이즈와 cutoff frequency

간의 관계에 대해 수식이 근거하여 설명해 보자.

$$\left| \frac{\hat{\lambda}_{out}}{\hat{\lambda}_{in}} \right| = 1 \text{ 을 만족할 때 (클럭은 소트/키고)}$$

주파수가 cutoff frequency 이다.

$\Rightarrow$  unity current gain frequency



$$\begin{aligned} \hat{\lambda}_{in} &= j\omega(C_{gs} + C_{gd}) \boxed{WL_g} V_{gs} \\ &\approx j(2\pi f) C_{ox} WL_g V_{gs} \end{aligned}$$

$\rightarrow$  capacitor가 들어  
면 저항으로  
나타나지 않음으로  
변칙을 보일 수 있다.

$$\hat{\lambda}_{out} \approx g_m V_{gs}$$

$$\text{따라서 } \left| \frac{\hat{\lambda}_{out}}{\hat{\lambda}_{in}} \right| = \frac{g_m V_{gs}}{2\pi f C_{ox} WL_g V_{gs}} \bigg|_{f=f_T} = 1$$

$$f_T = \frac{g_m}{2\pi C_{ox} WL_g}$$

$\Rightarrow$  IC의 성능이 증가할수록  $f_T$ 는 증가한다.

$$\left( \frac{1}{WL_g} \text{ 이 의해} \right)$$