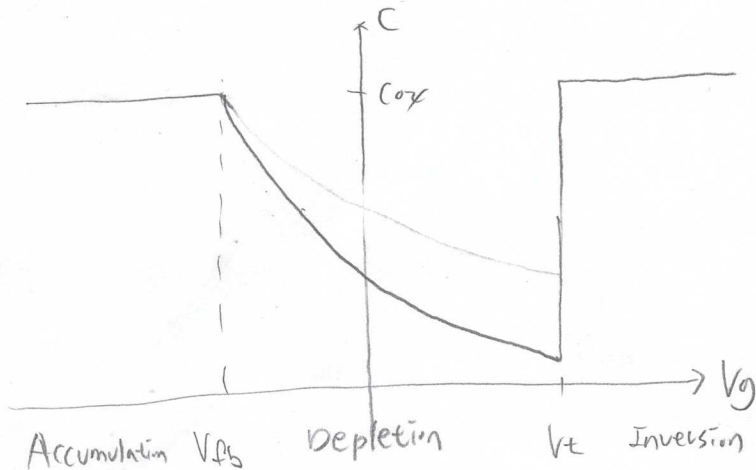


1. n-channel MOSFET에서 CV 특성을 Poly-Si gate의 depletion 형성과 (accumulation 및 inversion 시) effective charge layer thickness 효과를 감안하여 등가전압 영역별로 도식해보시오.  
Ideal case의 C-V curve와 비교하여 설명하고 각 구간별 등가 Capacitor를 도식해보시오.

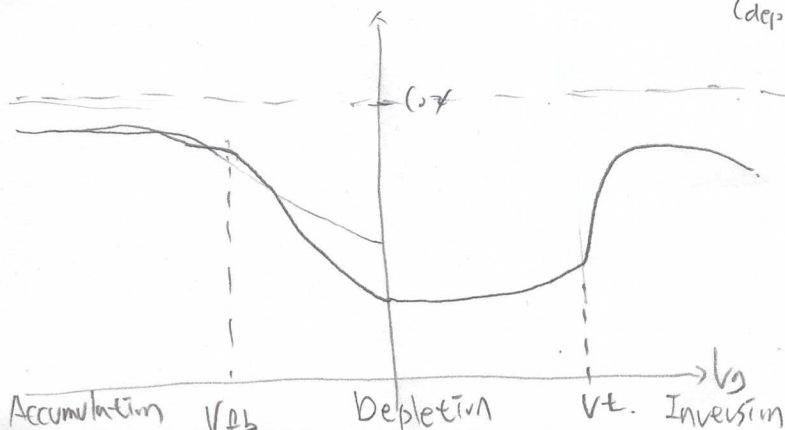
Poly-Si를 Gate로 사용시 Depletion 영역이 생기고, oxide가 얇을수록 Poly-Si의 Depletion 영역에 영향을 받는다

Accumulation effective charge layer thickness  
↓  
inversion effective charge layer thickness  
는 실제로 전하중심 SiO<sub>2</sub>이 붙어서 형성된게 아니라.

양극성/음극성으로 분포되어 있어 대칭적으로 어느 한 방향을 Delta 함수로 볼때까지의 거리 T이다.

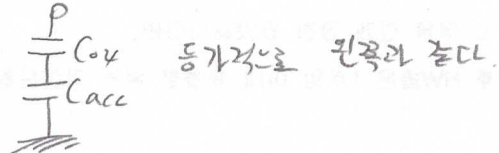


< Ideal Case >



Accumulation의 경우. Ideal 같은  $\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{dep}}$ 에서  $(W_{dep})$ 가 변화가 없어  $C = Cox$ 이 된다.

하지만 실제로는 Accumulation charge-layer thickness에 의해 Hole이 SiO<sub>2</sub>이 붙어있어서 아니라 분포되어 있어서 Tacc 만큼 Toz가 클 것이다. 이역할은 하는 커패시터가 Cacc이며



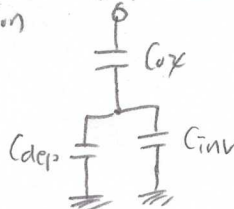
Depletion의 경우. ideal case에서  $W_{dep}$ 의 변화만은 따진다.  $V_{gs}$ 가 0보다는 작을때 Flat band 이상의  $V_{gs}$  전압이긴 하지만 게이트 전압이 충분히 양의 전압이 아니라 depletion charge를 만드는게만 쓰여 Heavy doping된 Si의 Bending은 없어 ideal과 거리가 멀다.



Depletion에서  $V_{gs}$ 가 0보다 클때는 등극전압 이하라라도  $V_t$ 와 가까운 inversion charge가 생기게 시작한다.

따라서 Poly Depletion과 charge-layer thickness의 영향을 받는다.  $C_{dep}$ 과  $C_{inv}$ 은 동일함기

큰게하므로



Inversion에서  $V_{gs}$ 가 증가할수록  $C_{poly}$  효과는 늘어나고  $C_{inv}$  효과는 감소한다. 그 이유는 electron이 SiO<sub>2</sub>이 가까이 붙어  $T_{inv}$ 를 감소시키고, P+ Gate의 Bend는 더 심해져  $C_{dep}$ 은 더 심해진다.

