

1. CMOS inverter의 voltage transfer curve 2. IC의 switching speed를 키우려면 IC에서 noise margin을 키키 noise tolerance를 키키하는 MOSFET은 어떤 특성을 가키 설계하는 것이 아라라라. Switching speed이 영향을 주는 여러 요인중 가장 중요한 두어아 하는 것 하나를 만면 선택키 큰가 하키 알아보시오.

V_{in} 이 $0V \sim V_{th}$ 일때는 V_{out} 이 V_{dd}
 V_{in} 이 $V_{imax} - |V_{tp}|$ 일때는 V_{out} 이 $0V$
 이어야 한다.

그럼기 때분기. regenerative 특성을 가져야 한다.

inductive 한, capacitive 한 노이즈나 미세 배선기 voltage drop도 일으키 수 아므로 이를 극복해야한다.

① Gate 전압이 의리 Drain 전류가 급격히 변해야한다 (transconductance g_m 이 커야한다)

② NMOS, PMOS 모두 Leakage current가 최소가 되어야한다.

③ Saturation current level이 높기되어야 한다. (Ideal한 Saturation current일수록 좋다).

④ NMOS, PMOS의 out curve는 대칭적이여야한다. 하리안 $\mu_{ns} > \mu_{np}$ 이므로.

layout 설계시 NMOSFET의 channel width 보다 PMOSFET의 channel width를 키키 이를 보상한다.

Switching speed는 I_{on} current가 증가할수록 빨라진다.

delay라는 것이 $\frac{\text{charge의 양}}{\text{단위시간당 charge}}$ 이므로

$Q = \frac{1}{2} CV_{dd}$ (상태가 $\frac{1}{2} V_{dd}$ 전후로 0, 1로 바뀔때 보므로) 이고.

단위시간당 charge의 양 $\frac{dQ}{dt} = I$ 이므로

delay = $\frac{Q}{I} = \frac{\frac{1}{2} CV_{dd}}{I_{on}}$ 이다.

Pull-down 이션 NMOS를 고려해 $\frac{1}{2} \frac{CV_{dd}}{I_{onN}}$, Pull-up 이션 PMOS를 고려해

$\frac{CV_{dd}}{2 I_{onP}}$ 이므로 $\tau_d = \frac{1}{2} (\text{Pull-down} + \text{Pull-up})$

이므로 $\tau_d = \frac{CV_{dd}}{4} \left(\frac{1}{I_{onN}} + \frac{1}{I_{onP}} \right)$

이 τ_d 가 낮을수록 switching이 빠르다

따라서 I_{on} current가 증가해야 Switching speed가 증가한다.

3. High speed로 switching (clock

속도가 매우 높은) 되는 IC에서는 소자 임피던스 및 구동 주파수가 높아 전력소모 및 발열(열은 발열에 따른 소자 특성 열화)이 극심히 유발된다.

이를 방지하기 위해 IC 설계 관련 그래프 IC를 구성하는 MOSFET 소자 설계 관련에서 고려해야 할 몇몇 지표를 분석 (dynamic power consumption) 이 관계하여 들어보시오.

파워소모의 단위로 우선 파워소모가 심하면 발열이 심하고, 발열이 심하니 문턱전압이 변한다. 문턱전압이 변하면 I_{off} 가 이된다.

각 스위치 사이클동안 전원공급기에서 전하가 공급돼 부하 C에 저장된다. 즉

$$Q = C V_{dd} \text{ 이다.}$$

파워는 충전 (charge)의 변화와 관계가 있어 $k C V_{dd} f$ 가 average current 가 된다. ($\frac{dQ}{dt} = I$ 이며 $[Hz] = \frac{1}{[sec]}$ 이므로 $Q \cdot f$ 가 되고, k 는 active factor)

최고 설계 디자인 관점에서 특정한 연산을 하더라도 k 를 줄이기 위해 회로를 효율적으로 만들어야 한다.

$$P_{dynamic} = k C V_{dd}^2 f$$

L·W가 각아질수록 total capacitance도 감소하고, Bias Voltage V_{DD} 가 감소할수록.

Dynamic power 이 유리하다.