

1. 공정 향상이 따라 MOSFET 집적도를 올리 (c) Power consumption.

게 될 경우, 아래와 같은 device scaling rule을 따르게 된다. 이 경우 대체로 특면에서 기대되는 효과를 계산해 보자.

Surface Dimensions (L, W) $\Rightarrow \frac{1}{k}$

Vertical Dimension (T_{ox}, x_0) $\Rightarrow \frac{1}{k}$

impurity Concentrations $\Rightarrow k$

Current, Voltages $\Rightarrow \frac{1}{k}$

Current Density k .

(a) sheet capacitance (C_{ox} [F/cm^2])

실제 커패시턴스는 $C = \frac{\epsilon A}{T_{ox}}$ 이다.

하지만 sheet capacitance는 단위면적당

커패시턴스 이므로 $C = \frac{\epsilon}{T_{ox}}$ 이다.

T_{ox} 는 $\frac{1}{k}$ 이므로 scaling 되므로

sheet capacitance는 k 배로 scaling 된다.

(b) circuit delay time

$\tau_{da} \approx \frac{C V_{dd}}{4} \left(\frac{1}{I_{onN}} + \frac{1}{I_{onP}} \right)$ 이며

이때 C 는 실제 capacitance 이므로 $\frac{1}{k}$ 로 scaling 되며.

V_{dd} 와 I_{onN} , I_{onP} 도 $\frac{1}{k}$ 로 scaling 된다.

$\tau_{da} \approx \frac{1}{4} \cdot \frac{1}{k} \cdot \frac{1}{k} \cdot (k + k)$ (정리)

이므로 circuit delay time이 $\frac{1}{k}$ 로

scaling 된다.

$$P_{dynamic} = V_{dd} \times \text{평균전류} \\ = k C V_{dd} f \quad \text{이므로}$$

실제 커패시턴스 C 는 $\frac{1}{k}$

V_{dd} 는 $\frac{1}{k}$

f 는 $\frac{1}{\tau_d}$ 이므로 k 배로 scaling 되므로

파워소모를 $\frac{1}{k^2}$ 배로 감소시킬 수 있다.

(d) Power density.

길이 dimension이 $\frac{1}{k}$ 이 되면 면적이 낮을 수 있는 트랜지스터 개수는 k^2 배 늘어날다.

그래서 일정 면적에서 트랜지스터를 막 되얌으로써

Power consumption $\frac{1}{k^2}$ 이 면적 k^2 배를 곱한 1이 된다.

(e) Power-Delay Product.

소라 시미크가 클수록 Switching Speed가 빨라야 함. 집적도가 올라가면 파워소모가 증가한다.

이 둘간에는 trade off 관계가 있다.

파워소모는 $\frac{1}{k^2}$ 으로 줄 수 있고 Delay time도 $\frac{1}{k}$ 으로 줄 수 있어서 $\frac{1}{k^3}$ 로 개선되는 것을 볼 수 있다.

파워소모와 집적도가 올라감에 따라. time delay가 $\frac{1}{k^3}$ 이 되게 하는 형태로 엄청난 장점이 있다.

\Rightarrow 비용과 스위칭 속도, 파워소모를 개선할 수 있다.