

# CMOS Image Sensor 의 설계기술 현황 및 전망

## I. 서론

이미지 센서는 광학 신호를 전기적인 신호로 변환하여 시스템에 전달하는 반도체 chip으로서 많은 응용 제품에 적용되고 있다. 현재 이미지 센서 시장은 크게 Charge Coupled Device (CCD) 이미지 센서와 CMOS 공정에서 구현되는 CMOS Image Sensor(CIS)로 분류할 수 있다. CIS는 CCD 이미지 센서 보다 빠른 1967년 등장 하여 활발히 연구되었으나 각종 노이즈에 취약하여 화질이 열등하고, 비용면에서도 CCD 이미지

센서와 큰 차이가 없다는 이유로 1990년대 후반까지 상업적 생산이 이루어지지 못하였다. 이에 반해 CCD 이미지 센서는 낮은 노이즈와 높은 이득을 바탕으로 한 뛰어난 이미지 품질

**CIS는 CCD 이미지 센서 보다 빠른 1967년 등장 하여 활발히 연구되었으나 각종 노이즈에 취약하여 화질이 열등하고, 비용면에서도 CCD 이미지 센서와 큰 차이가 없다는 이유로 1990년대 후반까지 상업적 생산이 이루어지지 못하였다.**

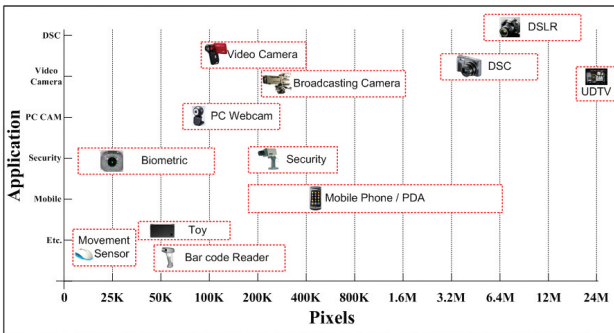
로 인해 이미지 센서 시장의 대부분을 차지하였다. 하지만 IT 기기의 소형화 경향이 지속되면서 큰 전력 소모, 특수 공정에 의한 높은 가격, 낮은 시스템 집적도와 같은 CCD 이미지 센서의 단점은 점점 큰 문제가 되었고, 그에 따라 낮은 전력 소모와 소형화의 장점을 지닌 CIS가 부각되었다. 이러한 상황은 새로운 CMOS pixel 및 설계 기술 연구에 원동력이 되었고, 기존 단점들을 극복한 새로운 CIS의 개발과 함께 관련 시장이 급속히 성장하였다. 근래에 들어서는 CIS는 연평균 13.1%의 성장률을, CCD는 -17.1%의 성장률을 보이고 있다. 따라서 현재 국내외 많은 반도체 회사들은 시스템 반도체 분



김 대 운  
동국대학교



송 민 규  
동국대학교



〈그림 1〉 화소별 이미지 센서 응용 제품

야에서 차기 주력제품 중의 하나로 CIS를 꼽고 있으며 그 중요도도 점차 증가할 것으로 예측된다.

일반적으로 CIS는 카메라 모듈 과정을 통해 〈그림 1〉처럼 화소 및 성능에 따라 휴대폰, 디지털 카메라, 비디오카메라 등의 최종 수요 시장으로 공급되며 방송용 장비, 바코드 리더기, CCTV카메라에도 적용되고 있다. 최근에는 자동차 전후방 카메라, 로봇, 홍채인식 장치, X-ray 등의 새로운 시장에도 적용되고 있는 추세이다. 본 논문에서는 이러한 CIS의 구조와 설계기술들을 고찰함으로써 CIS에 대한 전반적인 현황을 돌아보고자 한다. 특히 CIS에서 사용되는 readout 회로 중 Analog to Digital Converter(ADC)의 설계기술에 대해 좀 더 자세하게 다룬다.

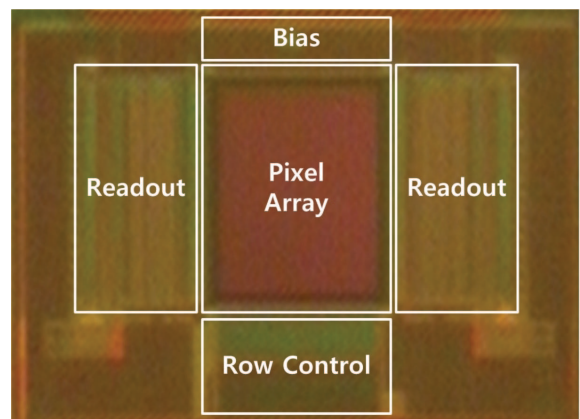
## II. CMOS Image Sensor의 특징 및 구조 현황

### 1. CMOS Image Sensor의 특징

〈표 1〉에서 볼 수 있듯이 CIS는 CCD 이미지 센서와 비교하여 동작 환경, 구조, 성능 등 많은 부분에서 차이를 보인다. 일반적으로 CIS는 노이즈와 Dynamic Range(DR)에서 부족하지만 속도, 전력 소모 등에서 월등히 뛰어나다. 특히 많은 반도체 회로들이 CMOS 공정으로 제작되기 때문에 주

〈표 1〉 CCD 이미지 센서와 CIS 비교표

	CCD	CIS
전력소비	High	Low
전력 공급모드	Multi Voltage	Single Voltage
시스템	Multi Chip	System on Chip
속도	Slow	Fast
Dynamic Range	Good (120dB)	Bad (60dB)
Uniformity	Good	Bad
Noise	Good	Bad



〈그림 2〉 CMOS Image Sensor Chip 사진

변 회로들을 모두 on-chip하여 설계 할 수 있다는 큰 장점이 있다. 이것은 이미지 센서의 크기 감소 및 전원 전압의 단일화 등 CIS 성능 향상 뿐 아니라 적용 가능한 응용 제품의 범위를 넓힐 수 있는 주요인이다. 또한 최근에는 CIS의 단점들을 회로 설계를 통해 극복하고자 하는 다양한 시도들이 이루어지고 있으며 많은 성과를 보이고 있다. 이러한 CIS는 일반적으로 〈그림 2〉와

같이 pixel과 이를 읽어내기 위한 readout 회로가 결합되어 하나의 chip으로 설계된다. 물론 이미지 센서에서 매우 중요한 역할을 하는 Image Signal Processing(ISP) 회로 역시 on-chip 화하는 추세이긴 하지만 이는 디지털 신호 처리에

이러한 CIS는 일반적으로 〈그림 2〉와 같이 pixel과 이를 읽어내기 위한 readout 회로가 결합되어 하나의 chip으로 설계된다. 물론 이미지 센서에서 매우 중요한 역할을 하는 Image Signal Processing(ISP) 회로 역시 on-chip 화하는 추세...

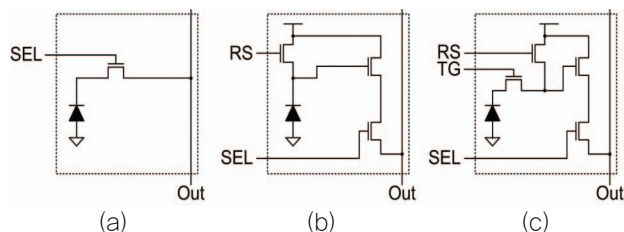
생략하기로 한다.

## 2. CMOS Image Sensor의 구조

### 가. Pixel

CIS에서 pixel은 빛을 받아 이를 전기적 신호로 바꾸어주는 역할을 한다. 다시 말해 pixel은 수광부에 집적되는 광신호를 전기적 신호로 변환하여 readout 회로에 전달하기 때문에 이미지 센서의 기본 성능을 결정하는 중요한 위치에 있다. 따라서 pixel 성능은 이미지 센서의 노이즈 특성에 큰 영향을 주며, DR 역시 pixel의 full-well capacity에 의해 변할 수 있다. 이 때문에 현재 pixel 성능 향상을 위한 연구는 지속적으로 수행되고 있으며, pixel의 구조 변경 뿐만 아니라 doping 농도 조절, full-well capacity 확장 등 반도체 설계 및 공정 등 전반적인 영역에서 많은 연구가 이루어지고 있다.

〈그림 3〉과 〈표 2〉에 대표적인 CIS의 pixel의 구조도와 그 특성을 나타내었다. CIS 초기에는 〈그림 3〉(a)의 Passive Pixel Sensor(PPS)가 간단한 구조와 빠른 속도로 인해 많은 관심을 받았지만 pixel에 축적



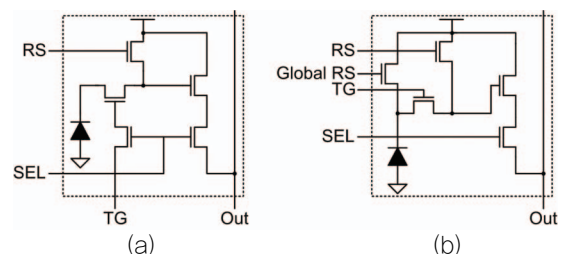
〈그림 3〉 CMOS Image Sensor Pixel (a) Passive Pixel Sensor (b) 3Tr Active Pixel Sensor (c) 4Tr Active Pixel Sensor

〈표 2〉 CMOS Image Sensor pixel 종류 및 특성

	PPS	3Tr-APS	4Tr-APS
Sensitivity	Depends on the Amp	Good	Good
Fill-Factor	Excellent	Good	Not Good
Noise	bad	Not Good (kTC noise)	Excellent
Dark current	Good	Good	Excellent
Speed	Excellent	Good	Not Good
Process	Standard	Standard	Special
Commerce	Very few	Widely	Widely

된 전하를 스위치만을 이용하여 읽어내기 때문에 많은 노이즈가 발생하는 문제를 가지고 있었다. 이후 기존 PPS의 노이즈 특성을 보완하기 위해 source follower 형태의 buffer를 추가한 Active Pixel Sensor(APS)가 개발되었다. 이러한 APS는 추가 MOS transistor의 배치에 따라 그 특성이 달라지는데 대표적인 APS로는 〈그림 3〉(b)의 3Tr-APS와 〈그림 3〉(c)의 4Tr-APS가 존재한다. 이 중 3개의 transistor를 사용한 3Tr-APS는 기존의 CMOS standard 공정을 그대로 사용하면서 노이즈를 감소시킬 수 있어 많이 사용하고 있지만 CDS가 불안정하고 kTC noise에 취약한 문제점을 가지고 있다. 반면 4Tr-APS는 reset과 signal read시 이를 단절시킬 수 있는 스위치가 추가되어 거의 완벽한 CDS가 가능하며, 특수 공정을 사용한 pinned photodiode를 적용하여 향상된 quantum efficiency와 낮은 dark current를 갖는다. 이 때문에 4Tr-APS의 경우 고품질 이미지 구현을 위한 제품에 많이 적용되고 있다. 하지만 추가 transistor로 인해 fill-factor가 상대적으로 감소하게 되며, 잔여 전하로 인한 image lag의 발생, 특수 공정으로 인한 단가 상승, 저전압 동작이 어렵다는 단점을 가지고 있다.

이 외에도 〈그림 4〉(a)와 같이 pixel 자체적으로 pixel addressed readout이 가능하여 아날로그 메모리 추가 없이 single ADC 구조를 구현할 수 있는 5Tr-APS와 〈그림 4〉(b)처럼 global shutter 동작을 위한 설계된 APS 등 다양한 구조의 pixel이 존재하며, 최근에는 빛이 통과할 수 없는 MOS transistor 및 메탈을



〈그림 4〉 그 밖의 CMOS Image Sensor용 pixel (a) 5Tr Active Pixel Sensor (b) Global Shutter Active Pixel Sensor



수광부의 밑으로 위치시켜 이론적으로 100%의 fill-factor를 갖는 Back Side Illuminated(BSI) pixel도 많이 연구, 적용되고 있다.

## 나. Readout 회로

Pixel에서 생성된 아날로그 신호는 readout 회로의 ADC를 통해 디지털로 변환되어 읽어지게 된다. 이 변환 과정 중에 신호를 얼마나 손실 없이 변환할 것인지, 그리고 얼마나 빨리 읽어낼 것인지에 따라 readout 회로의 스펙이 결정된다. 하지만 그 이전에  $\mu\text{m}^2$  매우 작은 면적을 갖는 pixel에 효율적으로 readout 회로를 on-chip 하기 위해서는 CIS 구조 선택이 수반 되어야 한다. 이러한 CIS 구조 역시 이미지 센서의 요구 스펙에 따라 달라질 수 있는데 현재 CIS의 대표 구조 들은 <그림 5>와 같다.

CIS의 구조는 readout 회로 중 ADC의 type과 배치에 가장 많은 영향을 받는다. <그림 5>(a)는 하나의 ADC가 모든 pixel에 대해서 변환 과정을 수행 하는 single ADC 구조로서 CCD 이미지 센서 동작과 비교적 유사하다. 따라서 다른 CIS 구조에 비해 Fixed Pattern Noise(FPN)에 강하며, ADC의 면적이 비교적 자유롭기 때문에 설계가 용이하다. 하지만 일정 이상의 frame rate을 위해서는 빠른 변환 속도를 갖는 ADC가 요구되며, CIS의 해상도가 올라 갈수록 이러한 부하는 커져 ADC의 부담이 급격히 증가하는 문제가 발생한다.

<그림 5>(b)의 pixel ADC 구조는 말 그대로 pixel마다 ADC가 위치하는 구조이다. 따라서 모든 pixel이

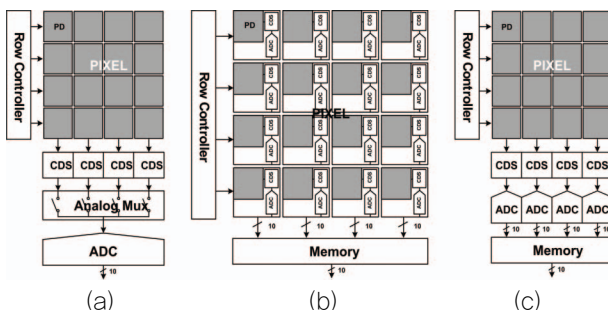
동시에 A/D 변환 과정을 수행할 수 있고, 이후 변환된 디지털 신호를 고속으로 읽어냄으로써 매우 높은 frame rate을 갖는 CIS 제작이 가능하다. 또한 DR 확장을 위한 pixel 설계에 유리하여 많이 연구 되고 있다<sup>[1]</sup>. 하지만 pixel에 pMOS를 적용하기 위한 n-well이 필요하고, 각각 배치된 ADC에 의해 pixel의 크기가 커진다는 단점이 있으며 경우에 따라 파워 소모가 매우 클 수 있다. 이 때

문에 pixel ADC 구조는 x-ray나 기타 측정을 위한 특수 환경에서 많이 사용하고

있다. 일반적으로 pixel ADC는 단일 comparator 구조의 ADC를 사용하거나, pulse modulation 을 통하여 digital 출력을 내보낸 후에 외부에서 A/D 변환을 하는 time to digital 변환 방법이 많이 사용되고 있다.

<그림 5>(c)의 column-parallel ADC 구조는 각 column 열마다 그에 대응하는 각각의 ADC가 위치하는 구조로서, 하나의 row 열의 pixel들이 선택될 때 각각의 column ADC들이 A/D 변환 과정을 수행하고, 이를 읽어내는 방식을 갖는다. single ADC와 pixel ADC의 장·단점을 섞어 놓은 듯한 특징을 갖는 이 구조는 ADC의 부하가 상대적으로 적으면서 pixel에 추가되는 회로 없이 사용 가능하다는 장점이 있다. 이러한 이유로 고해상도 이미지 센서가 필요한 상업용 CIS시장에서는 이 구조를 많이 사용한다. 하지만 column ADC들의 mismatching에 의한 column FPN이 발생할 수 있으며, 작은 pixel pitch안에 ADC가 위치하기 때문에 설계가 어렵고, ADC type이 제한되는 문제점을 가지고 있다. 때문에 다수의 comparator를 사용하는 구조를 갖는 ADC들은 적용이 거의 불가능하며, Single-Slope ADC (SS-ADC) 같은 단일 comparator ADC가 많이 사용된다<sup>[2]</sup>.

Pixel에서 생성된 아날로그 신호는 readout 회로의 ADC를 통해 디지털로 변환되어 읽어지게 된다. 이 변환 과정 중에 신호를 얼마나 손실 없이 변환할 것인지, 그리고 얼마나 빨리 읽어낼 것인지에 따라 readout 회로의 스펙이 결정된다.



<그림 5> CMOS Image Sensor 구조 (a) Single ADC 구조 (b) Pixel ADC 구조 (c) Column-Parallel ADC 구조

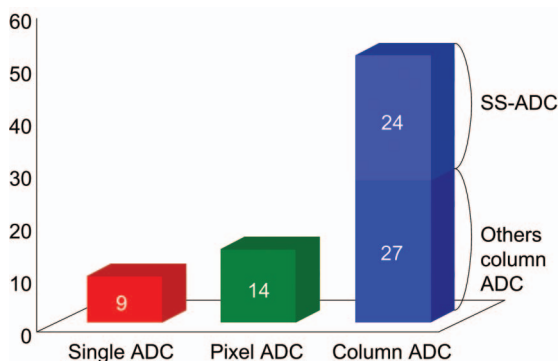
〈그림 6〉에 2002년도부터 2012년까지 주요 학회 및 저널에 발표된 CIS 논문들을 CIS 구조별로 정리하여 도시하였다. 75개의 논문 중 약 68%를 column parallel ADC 구조가 차지하고 있으며, 이중 SS-ADC의 비중이 가장 높은 것을 알 수 있다. 이것은 column-parallel ADC의 구조가 고해상도로 갈수록 효율이 높고 안정된 성능을 보이기 때문이며, 이중에서도

column-parallel ADC 구조는 각 column 열마다 그에 대응하는 각각의 ADC가 위치하는 구조로서, 하나의 row 열의 pixel들이 선택될 때 각각의 column ADC들이 A/D 변환 과정을 수행하고, 이를 읽어내는 방식을 갖는다. single ADC와 pixel ADC의 장·단점을 섞어 놓은 듯한 특징을 갖는 이 구조는 ADC의 부하가 상대적으로 적으면서 pixel에 추가되는 회로 없이 사용 가능하다는 장점이 있다.

SS-ADC가 이미지 센서에서 중요한 특성 중 하나인 선형성에 많은 강점을 보여 이를 활용한 연구가 많이 이루어지고 있는 것으로

여겨진다.

이 밖에도 readout 회로에는 이미지 센서의 gain 조절을 위한 Auto Gain Control(AGC), FPN을 감소시키기 위한 Correlated Double Sampling(CDS) 등의 회로들을 포함하고 있으며, 이 회로들은 이미지 센서의 성능 향상에 매우 중요한 역할을 한다.



〈그림 6〉 2002년~2012년 CMOS Image Sensor 구조에 관한 논문 동향

### Ⅲ. CMOS Image Sensor용 ADC 연구현황

Readout 회로 중 ADC는 CIS의 구조를 결정할 뿐 아니라 CIS의 전반적인 성능에 영향을 미치는 중요한 역할을 한다. 예를 들어 ADC의 변환 속도는 이미지 센서의 frame rate를 제한할 수 있는 주요한 요인이며, ADC의 변환 해상도는 이미지의 품질을 결정한다. CIS 전체의 파워 소모 역시 ADC의 파워 소모에 의해 상당 부분 영향을 받는다. 따라서 어떤 종류의 ADC를 사용하느냐에 따라 적용 가능한 제품 범위 및 경쟁력이 결정된다고 하여도 과언이 아니다. 현재 CIS에 주로 연구되고, 적용되는 ADC type들은 다음과 같다.

#### 1. Flash ADC

Flash ADC는 다수의 comparator를 사용한 병렬 처리 기법을 통해 큰 면적이 필요하지만, 매우 빠른 변환 속도를 갖는 고속 ADC이다. 따라서 single ADC 구조에 적합한 ADC라 할 수 있다. 하지만 큰 입력 캐패시턴스로 인해 해상도가 5-8bit 수준으로 제한되어 고품질의 이미지 구현을 목표로 하는 CIS에는 적합하지 않다는 문제점이 있어 많이 사용되지는 않는다<sup>[3]</sup>.

#### 2. Pipelined ADC

낮은 해상도를 갖는 다수의 flash ADC와 MDAC을 사용하는 pipelined 기법을 통해 상대적으로 낮은 파워 소모와 높은 변환 해상도를 갖는 ADC이다. Pipelined ADC 역시 다수의 comparator를 사용하여 큰 면적을 갖기 때문에 pixel ADC나 column-parallel ADC 구조에는 적합하지 않다. 하지만 빠른 변환 속도와 높은 변환 해상도로 인해 single ADC 구조에 가장 적합한 구조로 알려져 있다<sup>[4]</sup>.

#### 3. Single Slope ADC

SS-ADC는 대표적인 column-parallel ADC 중의 하나로서 간단한 구조, 높은 선형성 및 해상도, 낮은 파워 소모 등 이미지 센서에 매우 적합한 특징을 가지고 있는 ADC이다<sup>[5]</sup>. 이 때문에 현재 상업화된 CIS는

대부분 이 방식을 채택하고 있으며 그 간단한 구조로 인해 pixel ADC 구조에서도 응용된 SS-ADC가 사용되기도 한다<sup>[6]</sup>. 하지만 SS-ADC는 A/D 변환 해상도가 증가하면 변환 시간도 지수배로 증가하기 때문에 고해상도 이미지 센서에서 frame rate을 제한하는 원인이 될 수 있다.

#### 4. Successive Approximation ADC / Cyclic ADC

Column-parallel ADC 구조에서 SS-ADC의 느린 변환 속도를 극복할 수 있는 대안으로 Successive Approximation ADC(SA-ADC)와 cyclic ADC가 제안되었다<sup>[7-8]</sup>. 두 구조 모두 이론적으로 n-bit 해상도 구현을 위해서는 n번의 clock 만으로 A/D 변환이 가능하여 고속 CIS 설계가 가능하다. 하지만 SA-ADC의 경우 해상도에 따라 증가하는 capacitor 면적이 CIS로의 적용에 가장 큰 걸림돌이 되고 있으며, cyclic ADC의 경우 큰 면적과 복수의 comparator 및 amplifier로 인한 전력 소모가 문제로 지적되고 있다.

#### 5. $\Delta\Sigma$ ADC

최근 이미지 센서는 영상 정보 처리, temporal noise 감소, 아날로그 이득 제어 등을 위해 14bit 이상의 높은 A/D 변환 해상도를 요구하고 있다. 하지만 일반적인 ADC의 경우 이를 만족시키기 위해선 높은 파워 소모를 요구하거나 calibration 회로의 설계가 불가피 하여 적용에 많은 어려움을 겪고 있다. 따라서 최근 noise shaping을 통해 고해상도 A/D 변환을 수행할 수 있는  $\Delta\Sigma$  ADC가 그 대안으로 제시되고 있다<sup>[9]</sup>. 하지만 필터 설계가 까다롭고 느린 변환 속도와 면적 문제를 해결해야 하는 과제를 가지고 있다.

〈표 3〉 CMOS Image Sensor 구조별 사용 ADC

구조	주 사용 ADC
Single ADC	Flash ADC Subbranging ADC IPipelined ADC
Pixel ADC	Digital Pixel(PWM) Time to Digital Converter MSBC ADC
Column Parallel ADC	Single Slope ADC SA-ADC Cyclic ADC $\Delta\Sigma$ ADC

ADC의 변환 속도는 이미지 센서의 frame rate을 제한할 수 있는 주요한 요인이며, ADC의 변환 해상도는 이미지의 품질을 결정한다. CIS 전체의 파워 소모 역시 ADC의 파워 소모에 의해 상당부분 영향을 받는다. 따라서 어떤 종류의 ADC를 사용하는가에 따라 적용 가능한 제품 범위 및 경쟁력이 결정 된다고 하여도 과언이 아니다.

이 밖에도 다양한 type의 ADC가 CIS에 적용 될 수 있으며, 현재 CIS 성능을 높이고 기존의 문제를 해결하기 위한 새로운 회로 설계 기법이 적용된 ADC 들이 학회 및 저널에 발표되고 있다. 〈표 3〉은 CIS 구조별 많이 사용되는 ADC type을 정리한 표이다.

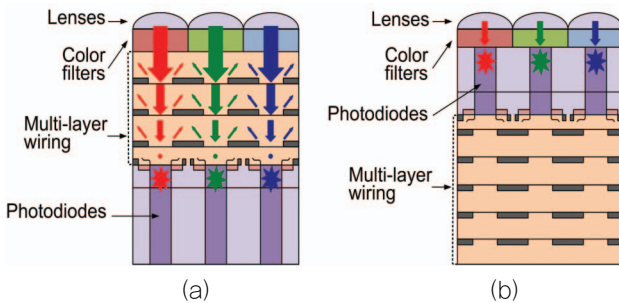
### IV. CMOS Image Sensor 최신 기술 현황

CIS는 낮은 노이즈, 저전력, 높은 frame rate, 넓은 DR, 3-D 이미지 구현 등 다양한 요구 조건을 만족시키기 위해서 하루가 다르게 발전하고 있다. 이러한 CIS의 최신 기술 동향을 최근 발표된 논문 및 주요 연구 결과를 통해 살펴보았다.

#### 1. Back-Side Illuminated Pixel

Front-Side Illuminated(FSI) pixel은 오늘날 가장 보편적이면서 많이 판매된 pixel이다. 이후 개발된 Back-Side Illuminated (BSI) pixel은 기존 pixel과는 다른 구조를 통해 성능 향상을 이룬 pixel로서 점점 발전하고 있다. 이러한 두 pixel은 〈그림 7〉(a)(b)와 같은 구조를 가지고 있다.

〈그림 7〉(a)의 FSI 구조는 비교적 비용이 적게 들고, crosstalk 발생이 낮은 장점이 있다. 그러나 on-chip



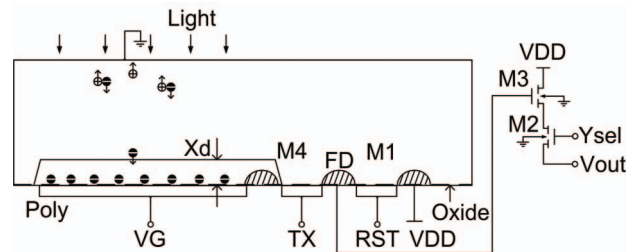
〈그림 7〉 CMOS Image Sensor pixel 단면도 (a) Front-Side Illuminated pixel (b) Back-Side Illuminated pixel

공정 과정에서 충분한 fill-factor를 확보하기 위해서는 layer를 연결하는 메탈의 종류가 극히 제한적일 수밖에 없으며, pixel의 크기를 줄일 때 발생하는 회절 효과로 인해  $1.1\mu\text{m}^2$  이하의 작은 pixel의 개발이 힘들다. 이 때문에 FSI pixel은 미세 분야에 적용이 어려워 이를 보완하고자 BSI pixel이 개발되었다. 〈그림 7〉(b)의 BSI pixel은 transistor 및 메탈들을 pixel의 수광부 밑으로 위치시킴으로써 기존의 FSI pixel이 가지고 있던 문제를 해결하였다. Aptina 社の BSI pixel에 대한 연구 결과에 의하면 BSI pixel은  $1.4\mu\text{m}^2$ 에서도 quantum efficiency가 대략 50~60%이며 crosstalk는 15~20%로서 일반 크기의 FSI pixel과 비교해서

**Front-Side Illuminated(FSI) pixel은 오늘날 가장 보편적이면서 많이 판매된 pixel이다. 이후 개발된 Back-Side Illuminated (BSI) pixel은 기존 pixel과는 다른 구조를 통해 성능 향상을 이룬 pixel로서 점점 발전하고 있다.**

크게 뒤떨어지지 않을 뿐만 아니라 광학적 요소와 전기적 요소가 서로 미치는 영향을 차단

할 수 있다고 밝혔다<sup>[10]</sup>. 그러나 BSI pixel은 웨이퍼 제조 과정에서 추가 공정 과정이 필요하여 비용, 시간, 수율 면에서 불리하기 때문에 제품 가격이 다소 높고, crosstalk에 취약하다는 단점이 있다. 이 때문에 아직까지는 FSI pixel이 널리 사용되고 있지만 BSI pixel이 구조적 장점을 바탕으로 고성능 pixel 구현에 많이 유리



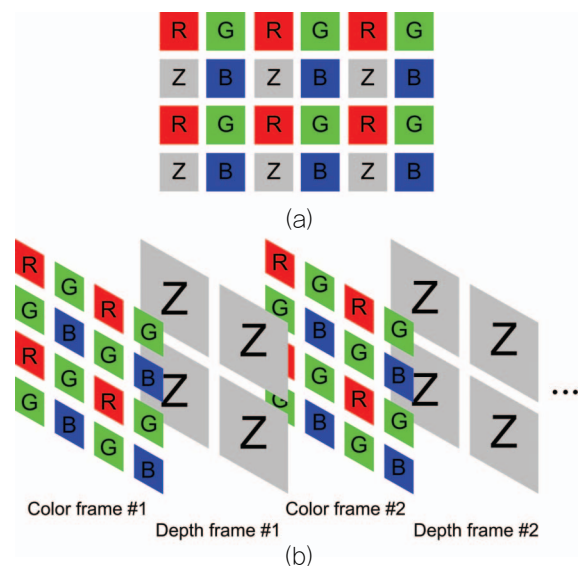
〈그림 8〉 단파장 응답을 위한 Back-Side Illuminated pixel<sup>[11]</sup>

하여 있어 점점 FSI pixel을 대체할 것으로 전망된다.

〈그림 8〉은 2011년 발표된 BSI 구조를 사용하여 CIS의 단파장 응답을 향상시킨 논문이다. 일반적으로 단파장 빛은 이미지 센서의 폴리실리콘 게이트에 상당량이 흡수되는 경향이 있는데, 이 문제를 BSI Photogate APS를 사용하여 해결하였다. 또한 폴리 게이트를 특정 메탈 게이트로 교체하여 비용 절감 뿐 만 아니라 전자의 속도 향상과 공핍 영역 증가를 통해 동작 특성을 향상 시킨 BSI pixel이다<sup>[11]</sup>.

## 2. 3-Dimensional

최근 로봇공학, 보안, 게임, 자동차 등등 여러 분야



〈그림 9〉 3-Dimensional pixel 배치 (a) Space-Division 방식 (b) Time-Division 방식<sup>[12]</sup>



에서 3-Dimensional(3-D) 이미지 센서를 활용한 3-D 카메라의 필요성이 커지고 있다. 3-D 이미지 센서는 2-Dimensional(2-D) color 이미지와 함께 depth 정보를 제공하는 역할을 한다. 보통 3-D 이미지 센서는 피사체, 배경과 센서의 거리를 측정하는 기술을 이용하는데 크게 triangulation, interferometry, Time-of-Flight(ToF) 이렇게 3가지로 나뉜다. Triangulation 기술은 두 개 또는 그 이상의 센서를 이용하여 목표물과의 거리를 측정하여 입체적인 이미지를 구현하는 방법이며 interferometry 기술은 목표물의 특정 파장에서 스펙트럼 반사율의 변화와 반사된 선명도를 측정하는 기술이다. 마지막으로 소개할 ToF 기술은 두 가지 방법으로 나뉘는데 하나는 단일 광자 아발란체 다이오드 (SPAD)를 이용하여 방사된 빛이 목표 물체와의 왕복 시간을 측정하는 것이고, 또 다른 방법은 photo-mixing 장치로부터 나온 변조된 빛이 목표물에 반사되면, 그 신호의 위상차를 감지하여 depth 정보를 알아내는 기법이다. ToF 기술은 모든 pixel을 각각의 depth 정보를 실시간으로 제공하여 3-D 이미지 구현에 있어 가장 적합한 방법으로 요즘 널리 사용되고 있으며, 빠른 속도, 넓은 DR이 가능한 장점이 있다. 하지만 사이즈가 크고 비교적 낮은 fill factor를 가지는 것이 문제점으로 지적되어 이러한 단점을 해결하고자 많은 연구들이 발표되고 있다.

〈그림 9〉는 ToF 기술 구현을 위한 CIS pixel 배치도로서, 〈그림 9〉(a)의 space-division 방식은 pixel 배치에 depth를 인식할 수 있는 Z pixel을 추가하여 3-D를 구현하는 방법이다. 하지만 이 경우 상대적으로 큰 pixel 크기와, 새로운 이미지 처리 알고리즘 개발 등의 부가적인 문제가 발생한다. 〈그림 9〉(b)의 방법은 최근 제안된 time-division 방식으로, frame rate 마다 번갈아가며 이미지의 color 정보와 depth정보를 각각 취득함으로써 기존 space-division 방식에서 발

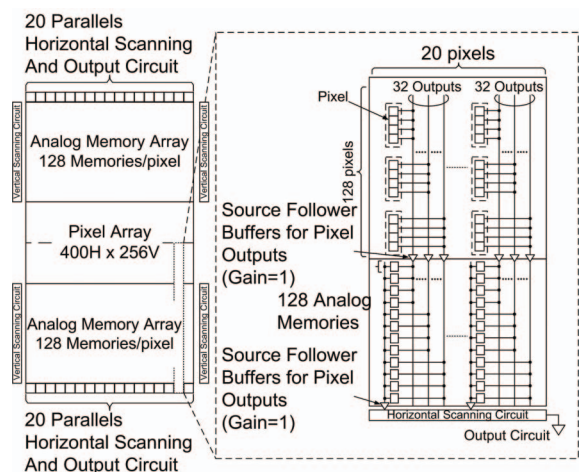
생하는 문제를 해결하고자 하였다. 또한 각 pixel에 있는 두 개의 photodiode와 네 개의 transfer gate를 이용하여 전자의 전송 속도를 향상시켜 속도 문제를 해결하였으며, FD sharing을 통해 fill factor를 높여 향상된 3-D pixel을 구현 하였다<sup>[12]</sup>.

### 3. Ultra Frame Rate

이미지 센서에서 초당 촬영수를 나타내는 frame rate는 그 수치가 높을수록 부드러운 동영상 촬영 뿐만 아니라, 움직이는 피사체의 순간적인 모습의 촬영이 가능하여 사용자들의 많은 관심을 받는 성능 요소 중 하나이다. 또한 매우 높은 frame rate를 갖는 이미지 센서는 핵융합 측정, 전자 궤도 추적 등 실험용 측정 장비에서도 매우 중요한 역할을 하게 된다. CIS의 경우 CCD에 비해 그 동작 속도가 매우 빠르기 때문에 ultra

frame rate 이미지 센서 제작에 매우 유리한 면을 가지고 있어 이를 통한 연구가 많이 진행되고 있다. 하지만 기존 CIS 촬영 방식의 주류인 rolling shutter 방식은 ultra frame rate에 적합하지 않기 때문에 global

최근 로봇공학, 보안, 게임, 자동차 등등 여러 분야에서 3-Dimensional(3-D) 이미지 센서를 활용한 3-D 카메라의 필요성이 커지고 있다. 3-D 이미지 센서는 2-Dimensional(2-D) color 이미지와 함께 depth 정보를 제공하는 역할을 한다.



〈그림 10〉 A global shutter CMOS Image Sensor with Readout Speed of 1Tpixel/s Burst and 780Mpixel/s Continuous<sup>[13]</sup>



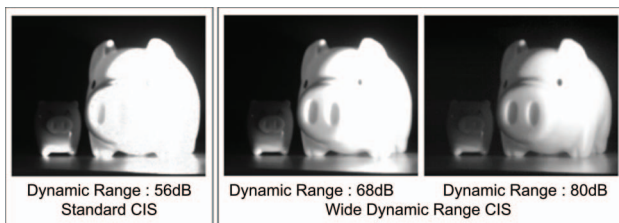
shutter 방식이 주로 연구 되고 있다.

〈그림 10〉의 global shutter CIS는 pixel의 정보를 아날로그 메모리에 저장하고 병렬 처리를 통해 고속으로 readout이 가능한 회로를 사용하여 ultra frame rate을 구현한 논문으로 정지화상으로 초당 1테라 pixel(10MF/s)을 읽어낼 수 있는 성능을 가지고 있다<sup>[13]</sup>.

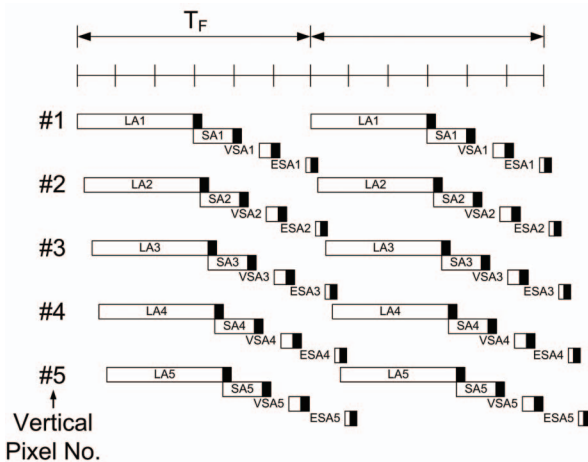
#### 4. Wide Dynamic Range

CIS에서 DR이란 최저 조도와 최대 조도비의 차이를 의미하며, DR이 클수록 이미지 밝기 표현 범위가 넓다고 정의한다. 일반적으로 DR이 넓은 CIS를 Wide Dynamic Range(WDR) CIS라 하며, 이러한 WDR CIS로 촬영된 이미지는 〈그림 11〉과 같이 사용자에게 많은 정보를 전달 해주어 피사체의 형태 파악에 도움을 주고, 이미지의 품질을 높일 수 있다는 장점이 있

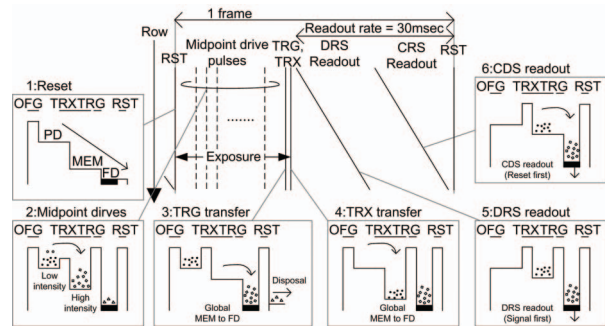
**CIS에서 DR이란 최저 조도와 최대 조도비의 차이를 의미하며, DR이 클수록 이미지 밝기 표현 범위가 넓다고 정의한다. 일반적으로 DR이 넓은 CIS를 Wide Dynamic Range(WDR) CIS라 하며...**



〈그림 11〉 Wide Dynamic Range 이미지<sup>[14]</sup>



〈그림 12〉 다중 캡처 방법<sup>[15]</sup>



〈그림 13〉 Dual-Storage 방법<sup>[16]</sup>

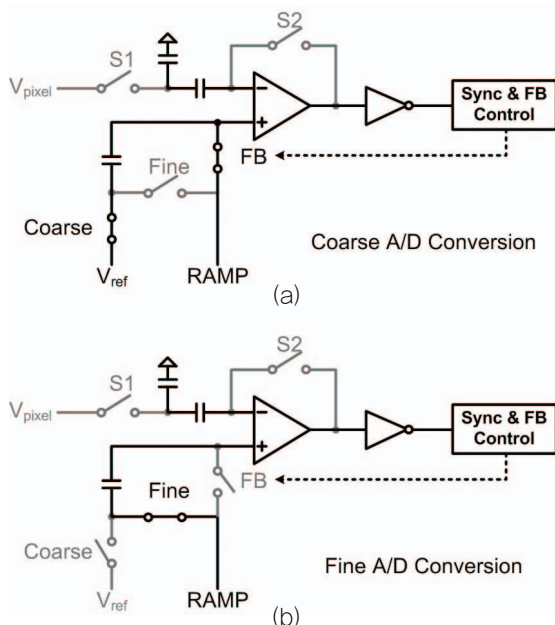
다<sup>[14]</sup>. 따라서 WDR 이미지 센서는 보안 카메라, 고성능 방송 장비, 의료용과 같은 전문분야 뿐만 아니라 개인용 카메라까지 넓은 분야에 걸쳐 적용되고 있는 실정이다. CIS에서는 이를 구현하기 위해 전하를 저장하는 full-well capacity를 크게 키우거나, 빛의 용량에 따라 pixel의 감도를 조절하는 log-pixel, pixel 포화를 감지하여 pixel을 리셋해주는 다양한 방법들이 연구되고 있으며, 〈그림 12〉와 같이 빠른 변환 속도를 갖는 ADC를 사용하여 서로 다른 노출 시간을 갖는 이미지를 빠른 속도로 획득하고 이후 재합성하는 다중 캡처 방식도 시제품에 많이 적용되고 있다<sup>[15]</sup>. 최근에는 〈그림 13〉과 같이 global shutter pixel의 부족한 DR을 극복하기 위해, 전하 storage를 추가하고, 그 곳에 각각 다른 intensity에 의한 전하를 저장한 후 이를 읽어내는 방식인 dual-storage 방법이 연구되었다<sup>[16]</sup>.

#### 5. Advanced Column-Parallel ADC (Two-Stage Column-Parallel ADC)

이전 CIS에서는 10bit ADC를 사용하는 것이 일반적이었지만 최근 노이즈 감소와 이미지 품질 향상을 위해 10bit 이상의 고해상도 ADC가 적용되는 추세이다. 하지만 기존 ADC 구조로는 속도, 면적, 전력 등 다양한 부분에서 문제가 발생하여, two-step(stage) 구조의 ADC가 그 대안으로 제시되고 있다.

## 가. Two-Step Single Slope ADC

〈그림 14〉의 two-step SS-ADC는 SS-ADC의 느린 속도를 보완하기 위해 제안된 구조이다. 기존의 SS-ADC가 N-bit으로 동작하기 위해서는  $2^N$ 번의 카운팅 횟수가 필요하다. 이로 인해 고해상도 SS-ADC는 상당한 A/D 변환 시간을 요구하여 CIS의 전력 손실 및 frame rate에 악영향을 미친다. 따라서 기존의 SS-ADC에 capacitor와 스위치로 구성된 입력단을 이용, coarse 해상도 구간과 fine 해상도 구간으로 나누어 A/D 변환 과정을 수행하는 two-step SS-ADC가 제안되었다<sup>[17]</sup>. 이 경우 A/D 변환을 수행하는데 필요한 카운팅 횟수는  $2^C + 2^F$  (C=Coarse 해상도, F=Fine 해상도, C+F=ADC 해상도)로 적은 카운팅 만으로도 A/D 변환이 가능하여 고해상도에서도 고속으로 동작하는 CIS의 설계가 가능하다.



〈그림 14〉 Two-Step Single Slope ADC (a) Coarse A/D 변환 (b) Fine A/D 변환

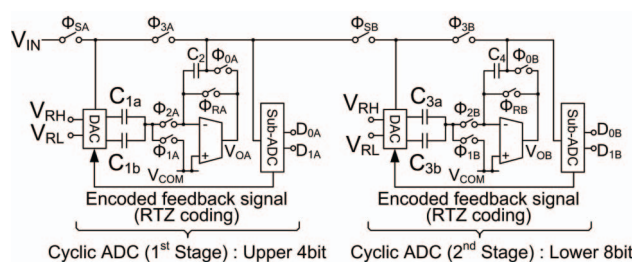
기존의 SS-ADC가 N-bit으로 동작하기 위해서는  $2^N$ 번의 카운팅 횟수가 필요하다. 이로 인해 고해상도 SS-ADC는 상당한 A/D 변환 시간을 요구하여 CIS의 전력 손실 및 frame rate에 악영향을 미친다. 따라서 기존의 SS-ADC에 capacitor와 스위치로 구성된 입력단을 이용, coarse 해상도 구간과 fine 해상도 구간으로 나누어 A/D 변환 과정을 수행하는 two-step SS-ADC가 제안되었다

## 나. Two-Stage Cyclic ADC

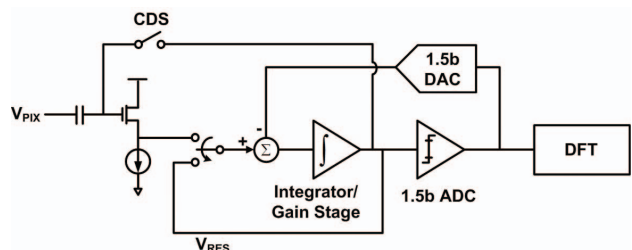
Cyclic ADC는 column-parallel ADC 구조에 적용될 수 있는 ADC 중 빠른 변환 속도를 갖는 ADC로 알려져 있다. 하지만 cyclic ADC의 동작 과정을 더욱 빠르게 하기 위해서는 보다 높은 전력을 소모 하는 OTA가 반드시 필요하다. 〈그림 15〉의 two-stage cyclic ADC는 이와 같은 파워 소모 문제를 두 개의 cyclic ADC를 pipelined 구조로 연결하여 해결하고자 하였다<sup>[18]</sup>. Two-stage cyclic ADC는 two-step SS-ADC처럼 변환 속도가 크게 증가하지는 않지만, 동일 성능을 갖는 기존의 cyclic ADC에 비해 전력 소모가 약 1/3 가량 감소 되는 장점이 있다.

## 다. Extended Counting ADC

〈그림 16〉은 extended counting ADC로 명명된 ADC로서, Incremental- $\Delta\Sigma$  ADC(I- $\Delta\Sigma$  ADC)와 cyclic ADC가 two-stage로 연결된 새로운 ADC 구조



〈그림 15〉 Two-Stage Cyclic ADC<sup>[18]</sup>



〈그림 16〉 Extended Counting ADC<sup>[19]</sup>

이다<sup>[19]</sup>. 일반적으로  $\Delta\Sigma$  ADC는 고해상도를 구현함에 있어서 가장 효과적인 ADC로 널리 알려져 있다. 하지만 oversampling으로 인한 느린 변환 속도가 단점으로 지적되었고, 이를 보완하기 위해 coarse 해상도 구간은  $I-\Delta\Sigma$  ADC가, fine 해상도 구간은 cyclic ADC가 각각 A/D 변환을 수행하는 two-step 구조를 이용하여 해상도와 속도를 동시에 만족하고자 하였다.

이처럼 two-stage 구조들은 기존 이미지 센서에 적용되었던 ADC 들의 단점들을 보완하고 고성능 CIS 구현을 위해 새롭게 제안된 ADC들이다. 하지만 two-stage 구조는 부정합 및 coarse 해상도 구간과 fine 해상도 구간간의 이득 오차로 인한 선형성 저하가 심하게 발생할 수 있어 이에 대한 해결책이 반드시 필요하며, 현재 연구가 활발히 이루어지고 있다.

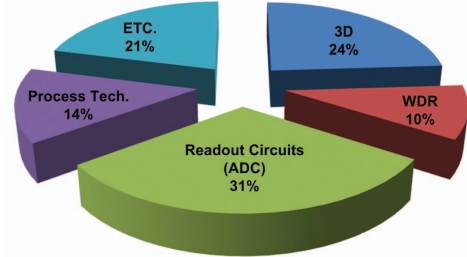
## V. 향후 연구 및 결론

CIS는 이미지 센서 분야를 주도하는 반도체 chip으로서, 인간의 눈 그리고 그 이상의 성능을 구현하기 위해 빠른 속도로 발전하고 있다. 따라서 이미지 센서 분야에서의 경쟁력을 더욱 배가 시키기 위해서는 CIS 기술의 현재에 대한 분석과 미래에 대한 예측이 필요하다.

〈그림 17〉은 2010~2012

년도 ISSCC에서 발표된 이미지 섹션 논문들의 현황 분석을 한 그림이다. 최근 3년 동안 ISSCC 학회에서는 3-D 이미지 센서관련 논문이 24%, WDR 이미지 센서 논문이 10%, BSI와 같은 공정 기술에 대한 논문이 14%, ADC를 포함한 readout 회로에 관한 논문이 31%, 초고속 및 적외선 카메라 등 특수 분야에 대한 이미지 센서 논문이 21%를 차지하였다. 이 논문들의 연구 결과를 보아 가까운 미래에 3-D 및 적외선 이미지 센서와 같은 특수 기능을 갖는 이미지 센서가 보급화 될 것이며, pixel의 기본적인 성능도 공정 기술의

International Solid-State Circuits Conference Image Sensor Papers (2010-2012)



〈그림 17〉 2010년~2012년 ISSCC 이미지 센서 논문 동향

발전을 통해 한층 향상될 것으로 예상된다. 또한 CIS를 적용한 측정 장비의 개발은 점점 활발해져, 여러 실험에 대한 기여도 상승과 함께 좀 더 특수한 환경에 적용하기 위한 CIS에 대한 연구도 같이 진행될 것으로 보인다. 물론 공정 및 pixel의 성능 향상에 맞춘 readout 회로의 개발은 CIS에서 매우 중요한 부분을 차지하기 때문에 이 부분 역시 함께 발전해 나갈 것으로 예상된다. 따라서 readout 회로는 점점 높아지는 A/D 변환 해상도와 속도, 그리고 낮아지는 전력 소모를 만족시키기 위한 방향으로 발전할 것이며, 이를 위해 고성능 이미지 센서에 최적화된 ADC 구조들이 제안되고 연구되어질 것으로 보인다. 그러므로 이미지 센서 설계자들은 이러한 추세에 맞추어 연구를 진행해야 할 것이며, 조금 더 멀리 나아가서는 1억화소 이상의 초고해상도를 갖는 차세대 이미지 센서의 개발을 위한 연구도 필요할 것으로 예상된다.

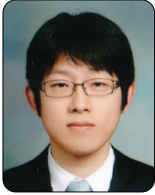
**이미지 센서 설계자들은 이러한 추세에 맞추어 연구를 진행해야 할 것이며, 조금 더 멀리 나아가서는 1억화소 이상의 초고해상도를 갖는 차세대 이미지 센서의 개발을 위한 연구도 필요할 것으로 예상된다.**

## 참 고 문 헌

- [1] A. Kitchen, A. Bermak, A. Bouzerdoum, "A digital pixel sensor array with programmable dynamic range," IEEE Trans. Electron Devices, Vol.52, No.12, pp. 2591-2601, Dec., 2005
- [2] K. Findlater et al., "SXGA Pinned Photodiode CMOS Image Sensor in 0.35um Technology," in proc. ISSCC Dig. Tech Papers, pp. 218-219, 489, Feb., 2003.

- [3] Kwangho Yoon, Chanki Kim, Bumha Lee, Doyoung Lee, "Single-Chip CMOS Image Sensor for Mobile Applications," IEEE J. Solid-State Circuits, Vol. 37, No.12, pp. 1839–1845, Dec., 2002.
- [4] H. Takhashi et al., "A 3.9- $\mu$ m pixel pitch VGA format 10-b digital output CMOS image sensor with 1.5 transistor/pixel," IEEE J. Solid-State Circuits, Vol. 39, No. 12, pp. 2417–2425, Dec., 2004.
- [5] Daeyun Kim, Minkyu Song, "Design of a 25 mW 16 frame/s 10-bit Low Power CMOS Image Sensor for Mobile Appliances," J. Semiconductor Technology and Science, Vol. 11, No. 2, pp. 104–110, Jun., 2011.
- [6] D.X.D. Yang, Boyd Fowler, A. El Gamal, "A Nyquist-rate pixel-level ADC for CMOS image sensors," IEEE J. Solid-State Circuits, Vol. 34, No. 3, pp. 348–356, Mar., 1999.
- [7] S. Matsuo et al., "A very low column FPN and row temporal noise 8.9 M-pixel, 60 fps CMOS image sensor with 14bit column parallel SA-ADC," in proc. Symp. VLSI Circuits Dig. Tech Papers, pp. 138–139, Jun., 2008.
- [8] M. Furuta, S. Kawahito, T. Inoue, Y. Nishikawa, "A cyclic A/D converter with pixel noise and column-wise offset canceling for CMOS image sensors" in proc. ESSCIRC, pp. 411–414, Sep., 2005.
- [9] Youngcheol Chae et al., "A 2.1Mpixel 120frame/s CMOS image sensor with column-parallel  $\Delta\Sigma$  ADC architecture," in proc. ISSCC Dig. Tech Papers, pp. 394–395, Feb., 2010.
- [10] An AptinaTM Technology White Paper, "An Objective Look at FSI and BSI," [Online] Available:<http://www.apgina.com/news/FSI-BSI-WhitePaper.pdf>
- [11] Qiyu Huang et al., "Back-Side Illuminated Photogate CMOS Active Pixel Sensor Structure With Improved Short Wavelength Response," IEEE Sensors Journal, Vol. 11, No. 9, pp. 1993–1997, Sep., 2011.
- [12] Seong-Jin Kim, "A CMOS Image Sensor Based on Unified Pixel Architecture With Time-Division Multiplexing Scheme for Color and Depth Image Acquisition," IEEE J. Solid-State Circuits, Vol. 47, No. 11, pp. 2834–2845, Nov., 2012.
- [13] Y. Tochigi et al., "A global-shutter CMOS image sensor with readout speed of 1Tpixel/s burst and 780Mpixel/s continuous," in proc. ISSCC Dig. Tech Papers, pp. 382–384, Feb., 2012.
- [14] Daeyun Kim, Minkyu Song, "An Enhanced Dynamic-Range CMOS Image Sensor Using a Digital Logarithmic Single-Slope ADC," IEEE Trans. Circuits and Systems II, Vol. 59, No. 10, pp. 653–657, Oct., 2012.
- [15] M. Mase et al., "A wide dynamic range CMOS image sensor with multiple exposure-time signal outputs and 12-bit column-parallel cyclic A/D converters," IEEE J. Solid-State Circuits, Vol. 40, No. 12, pp. 2787–2795, Dec., 2005.
- [16] M. Sakakibara et al., "An 83dB-dynamic -range single-exposure global-shutter CMOS image sensor with in-pixel dual storage," in proc. ISSCC Dig. Tech Papers, pp. 380–382, Feb., 2012.
- [17] Seunghyun Lim, Jeonghwan Lee, Dongsoo Kim, Gunhee Han, "A High-Speed CMOS Image Sensor With Column-Parallel Two-Step Single-Slope ADCs," IEEE Trans. Electron Devices, Vol. 56, No. 3, pp. 393–398, Mar., 2009.
- [18] T. Watabe et al., "A 33Mpixel 120fps CMOS image sensor using 12b column-parallel pipelined cyclic ADCs," in proc. ISSCC Dig. Tech Papers, pp. 388–390, Feb., 2012.
- [19] Jae-Hong Kim et al., "A 14b extended counting ADC implemented in a 24Mpixel APS-C CMOS image sensor," in proc. ISSCC Dig. Tech Papers, pp. 390–392, Feb., 2012.





김 대 윤

2008년 2월 동국대학교 반도체학과 학사  
2010년 2월 동국대학교 반도체학과 석사  
2010년~현재 동국대학교 반도체학과 박사과정

〈관심분야〉

CMOS 아날로그 회로설계, CMOS Image Sensor 설계, 고성능 데이터 변환기 설계



송 민 규

1986년 2월 서울대학교 전자공학과 학사  
1988년 2월 서울대학교 전자공학과 석사  
1993년 2월 서울대학교 전자공학과 박사  
1993년~1995년 동경대학교 초빙연구원  
1995년~1997년 삼성전자 ASIC 설계팀 연구원  
1997 年년~현재 동국대학교 반도체학과 교수

〈관심분야〉

CMOS 아날로그 회로설계, 저 전력 혼성모드 회로 설계, 데이터 변환기 설계, CMOS Image Sensor 설계