

1. MOSFET 의 high frequency operation 이서 low frequency operation 과 달리 MOSFET In put 단의 gate capacitance 과 input resistance 가 output current level 이 크게 영향을 줄 수 있음을 설명해 보시오.

Gate capacitance 는 $C_{ox}WL_g$ 인데

임피던스로 볼때 $\frac{1}{WC} = \frac{1}{2\pi RC}$ 이므로 f 가 클수록

임피던스가 감소하는 것을 알 수 있다.

즉 C_{gs} , C_{gd} 가 영향을 주게 되는 것이다.

이때 Input resistance 가 gate electrode 저항과 intrinsic Input resistance 의 영향을 받고 이 3개가 등가회로로 볼때 series로 붙어 있어 $\tau = RC$ 만큼 time delay 를 유발한다.

2. Channel length가 미세 패턴화 된 최근 IC

에서 MOSFET 에서 gate-electrode resistance 를 줄일 수 있는 유효한 소자 구조로 multi finger type gate 전극 구조를 가져올 수 있음을 설명해 보시오. 단일 gate 전극 구조 대비, MOSFET 의 유효 channel width 감소 없이 얼마만큼의 gate-electrode resistance 감소를 기대할 수 있는지를 수식에 근거하여 비교 설명해 보시오.

$$R_{g-electrode} = \frac{\rho W}{12 T_g L_g N_d^2} \quad \text{이다.}$$

게이트 Signal 은 한쪽에서만 넣기 않고 또한 쪽에서 이 게이트에서 인가해 주면

input current 가 두쪽에서 전달 되니까.

동일한 전압강하로 기존 width 대비 $\frac{1}{2}$ 가량

에서 Virtual node가 형성된다.

이때 생긴 $R_{g-electrode}$ 는 $\frac{1}{2}$ 배된 저항이며 이 두 저항이 병렬이라 $\frac{1}{4}$ 배된 $R_{g-electrode}$ 를 얻을 수 있다.

Gate Input Signal 은 Oxid로 통해 여러 리질로 분산되는 효과가 있는데 이 factor 가 $\frac{1}{3}$ 이므로 총 $\frac{1}{12}$ 배의 보상을 얻는다.

만약 직관적으로 $R_{g-electrode}$ 를 줄인다고

L 을 늘리면 channel Field가 감소되고

이로 인해 V_{ds} 감소, $\frac{W}{L}$ 감소로 I_{ds} 도 낮아져 output current level 이 떨어진다.