

# 뉴로모픽 시스템을 위한 인공 시냅스 소자 기술

DOI: 10.3938/PhiT.28.011

Artificial Synaptic Devices for Neuromorphic Systems

#### Tae-Sik YOON

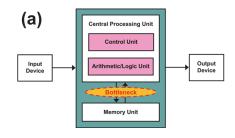
An artificial synaptic device that emulates a biological synapse is essential to construct highly energy-efficient neuromorphic systems, whose operation principle is distinct from that of the current von Neumann computing architecture. In this article, the function of a brain-inspired neuromorphic system with an artificial synapse and the current technological approaches to fabricate an artificial synapse with two-terminal memristors and three-terminal transistor-based devices are reviewed for applications to neuromophic systems.

## 두뇌모사 뉴로모픽 시스템

기존의 컴퓨팅 시스템은 그림 1(a)에 나타낸 바와 같이, 연산, 논리, 정보처리 기능을 담당하는 마이크로 프로세서 (microprocessor)와 처리된 정보를 저장하는 메모리(memory)로 구성된 폰 노이만 아키텍처(von Neumann architecture) 기반의 디지털 시스템으로서, 이를 구성하는 반도체 소자의 미세화와 집적도 향상을 통하여 지속적으로 성능을 개선해 왔다. 하지만, Moore의 법칙을 따라 소자의 성능을 개선하고 집적도를 향상시키는 기술은 점점 한계에 다다르고 있는 상황이다. 이와 더불어, 폰 노이만 아키텍처 기반의 컴퓨팅 시스템은 프로세서와 메모리 소자가 분리된 구조를 갖고 있으므로, 폰 노이만 병목 현상(von Neumann bottleneck)이라 불리는 프로세서와 메모리 사이의 데이터 전송 과정에서의 시간 지연과 높은 에너지 소모로 인해 컴퓨팅 성능이 저하되는 문제를 안고

#### 저자약력

윤태식 교수는 서울대학교 재료공학부에서 2002년 박사학위를 받은 후 서울대 학교 신소재공동연구소 연구원, UCLA 연구원, 삼성전자 메모리 연구소 책임연 구원을 거쳐 현재 명지대학교 신소재공학과에 교수로 재직 중이며, 반도체 및 시냅스 재료와 소자 연구를 수행하고 있다.(tsyoon@mju.ac.kr) 윤 태 식



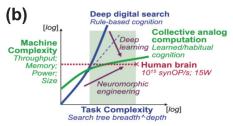


Fig. 1. (a) Schematic illustration of von Neumann bottleneck<sup>[2]</sup> and (b) conceptual scaling of machine complexity with task complexity for a digital rule-based cognitive agent and a neuromorphic cognitive agent. <sup>[4]</sup>

있다.<sup>[1]</sup> 특히, 현재의 데이터 중심 사회, 즉 인공지능, 빅 데이터, 사물 인터넷 기술 등과 같이 많은 양의 데이터를 실시간으로 인식, 처리, 전송하는 환경에서는 이러한 폰 노이만 병목 현상의 문제를 극복할 수 있는 기술, 즉 방대한 양의 데이터를 높은 에너지 효율과 빠른 속도로 처리할 수 있는 새로운 패러다임의 컴퓨팅 시스템 개발이 요구되고 있다.

폰 노이만 아키텍처의 한계를 극복하는 대안으로서 활발히 연구되고 있는 기술 중 하나가 뉴로모픽(neuromorphic) 시스템이다.<sup>[3]</sup> 뉴로모픽 시스템은 인간의 두뇌를 구성하는 신경 시스템을 모사하는 시스템으로서, 뉴런 소자와 시냅스 소자가 고밀도 네트워크로 연결된 구성을 갖는 시스템이다. 즉, 외부에서 입력된 자극을 전기적 신호로 전환하는 뉴런(neuron)과 전

- [1] J. Backus, Communication of the ACM 21, 613 (1978).
- [2] https://en.wikipedia.org/wiki/Von\_Neumann\_architecture.
- [3] G. W. Burr et al., Adv. Phys. X 2, 89 (2017).
- [4] G. Cauwenberghs, Proc. Natl. Acad. Sci. 110, 15512 (2013).

기적 신호를 인접한 뉴런으로 전달하면서 신호 전달 능력을 의미하는 시냅스 가중치(synaptic weight)를 변화시켜 적응 학 습 및 기억 기능을 수행하는 시냅스(synapse)가 대규모의 병렬 구조로 형성되어 방대한 양의 데이터를 효과적으로 처리하는 두뇌를 모사하는 시스템을 의미한다. 인간의 두뇌는 컴퓨터에 비해 매우 효율적으로 정보처리, 연산, 논리, 학습, 기억 등의 다양한 기능을 수행한다. 예를 들어, 폰 노이만 시스템을 이용 하여 인간의 두뇌를 모사하는 인공지능 기능을 구현하기 위해 서는 다수의 대용량 컴퓨터를 연결하여 수 MW의 막대한 전력 을 소모하며 동작시켜야 하는 반면, 인간의 두되는 약 1 liter 의 부피로 약 15 W 정도의 낮은 전력을 소비하면서 동작한다 고 알려져 있다. 이는 인간의 두뇌에 약 10<sup>11</sup>개의 뉴런이 있고 각각의 뉴런과 뉴런 사이에는 약 10<sup>4</sup>개의 시냅스가 고밀도로 존재하여, 외부 입력 신호를 병렬처리 방식으로 매우 효율적으 로 처리하는 구조를 갖고 있기 때문이다. 그림 1(b)는 computing machine complexity와 task complexity를 programbased digital 기능을 수행하는 폰 노이만 시스템과 collective analog computing을 하는 뉴로모픽 시스템을 비교한 그림이 다.[4] 즉, 복잡한 정보를 처리해야 하는 경우에는 두뇌를 모사 하는 뉴로모픽 시스템이 더욱 효율적임을 나타내는 그림이다. 두뇌에서는 뉴런과 시냅스가 고밀도로 연결된 네트워크 구조를 형성하여 데이터 전달 지연의 문제를 해결하고 높은 에너지 효율로 논리, 연산, 학습, 기억 기능 등의 복합적인 기능을 수 행할 수 있다.

## 뉴로모픽 하드웨어 시스템 연구

현재까지의 뉴로모픽 시스템 연구는 주로 기존의 컴퓨터 하드웨어를 기반으로 개발되어 왔으나, 여전히 많은 수의 프로세서와 메모리로 구성된 뉴런과 시냅스 소자 사이의 데이터 이동에 의한 높은 에너지 소모, 낮은 처리 속도, 인간의 두뇌와같은 3차원 집적화 구현의 어려움 등의 문제를 안고 있다. 또한, 두뇌의 다양한 기능들을 효율적으로 모사할 수 있는 소자와 아키텍처 연구가 미흡한 상황이다. 따라서 인간의 두뇌를 모사하는 뉴로모픽 시스템을 구현하기 위해서는 신경망 알고리즘의 최적화와 더불어, 두뇌 기능을 효과적으로 수행할 수 있는 하드웨어 기술 개발이 이루어져야 한다.

뉴로모픽 시스템에 대한 연구는 미국 국방부 Defense Advanced Research Projects Agency(DARPA)에서 시작된 SyNAPSE(Systems of Neuromorphic Adaptive Plastic Scalable Electronics) 프로젝트를 기점으로 경쟁적으로 연구가 진행되어 왔다. [5] SyNAPSE 프로젝트는 IBM, HP, HRL 연구소와 스탠포드 대학교, 코넬 대학교, 컬럼비아 대학교, 위스콘신 대학교

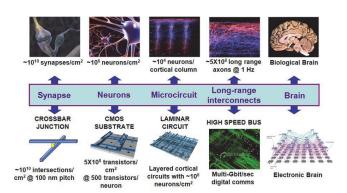


Fig. 2. Scheme of SyNAPSE program in DARPA, USA. [5]

등 여러 대학이 참여한 프로젝트로서, 그림 2와 같이 인공 뉴런 소자를 CMOS 소자로 구성하고, 인공 시냅스 소자는 생체 시냅스의 구성과 유사하게 2단자 크로스바(crossbar) 구조의 소자로 형성하여 인간의 두뇌를 모사하는 것을 목표로 하였다. 유럽에서도 Human Brain Project의 일환으로 영국 Manchester 대학교에서 CMOS 프로세서 기반의 코어와 메모리 소자로 구성된 SpiNNaker(Spiking Neural Network Architecture) 인공지능 칩을 보고하였다. [6] 이와 같이 여러 나라에서 뉴로모픽 시스템 연구를 중점적으로 수행하고 있으며, 이러한 뉴로모픽 하드웨어 시스템의 구현에 있어서 중요한 요건 중 하나는 신경 시스템의 기본 단위인 뉴런과 시냅스 소자의 개발이라고 할 수 있다.

# 인공 시냅스 소자 연구

생체 시스템에서의 뉴런-시냅스 거동을 간단하게 살펴보면 다음과 같다. 외부 감각 신경 등을 통하여 입력된 신호가 누적되어 일정 임계값 이상이 되면 뉴런 세포에서 수십 mV의 전기신호(활동전위)를 스파이크 형태로 발생시킨다. 이러한 전기신호가 presynaptic 뉴런(시냅스 앞에 있는 뉴런)으로부터 시냅스로 도달하면, 시냅스 내의 Ca²+, Na⁺ 등의 이온이 presynaptic 뉴런으로 이동하면서 뉴런 내의 신호전달물질 (neurotransmitter)이 시냅스를 통해 postsynaptic 뉴런(시냅스후에 있는 뉴런)으로 이동하게 하여 신호를 전송한다. 이 과정에서 시냅스 내의 이온 분포가 변하고, postsynaptic 뉴런에서 신호전달물질을 포획하는 receptor 농도가 변하면서 시냅스 가중치가 아날로그 형태로 변하는 적응 학습 기능을 갖는다. 그리고 학습 결과로 변화된 시냅스 가중치를 기억하는 기억 기

- [5] https://www.darpa.mil.
- [6] https://www.humanbrainproject.eu/en/silicon-brains.

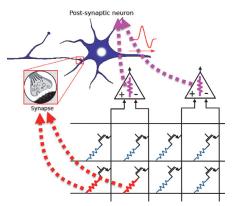


Fig. 3. Scheme of neuron-synapse network with resistive switching devices as synapses.<sup>[3]</sup>

능을 갖는다. 그림 3은 이러한 뉴런-시냅스 연결을 모방하는 전자회로의 간단한 개략도를 나타낸 그림이다.<sup>[3]</sup> 생체 시냅스는 기억 상태가 아날로그 형태로 변화하는 특성을 가지며, 입력 신호의 크기, 반복 횟수 등 입력 신호의 조건에 따라 변화된 시냅스 가중치를 유지할지 결정되도록 하여 여러 단계의기억 특성을 갖도록 한다.

시냅스 거동의 몇 가지 예를 그림 4에 나타내었다. 그림 4(a)는 시냅스에 인가된 전기 신호에 의해 시냅스 가중치가 증 가되어 장시간 유지되는 특성을 나타내는 시냅스 장기 강화 (long-term potentiation, LTP)와 반대로 시냅스 가중치가 감소 하는, 즉 신호 전달 능력이 감소하는 시냅스 장기 기능 저하 (long-term depression, LTD) 특성을 나타내는 그림이다.[7] 그 림 4(b)는 증가된 시냅스 가중치가 시간이 지남에 따라 다시 초기 상태로 감소하는 모습을 나타내는데, 이는 시간이 지남에 따라 학습된 정보를 기억하지 못하게 되는 망각(forgetting) 특 성을 의미한다. Rubin 등<sup>[8]</sup>은 인간의 기억 특성에서 입력된 정보를 다시 기억해내는 확률(probability of recall)이 10분 정 도만 지나도 약 10%로 낮아지는 것을 보고하였다. 그림 4(c) 는 인가된 전압 펄스 신호에 의해 postsynaptic 뉴런으로 전 류가 흐르게 되는 특성인 excitatory postsynaptic current (EPSC)와 연속적인 펄스에 의해 EPSC가 더욱 증가하는 paired pulse facilitation(PPF)의 모습을 보여준다.[9] 시냅스에 전압이 인가되면, 시냅스는 postsynaptic 뉴런으로 EPSC를 발 생시켜 신호를 전달한다. 그리고 이러한 EPSC는 시간이 지남 에 따라 점점 감소하여 초기 값으로 돌아가는 short-term plasticity 거동을 보인다. 이 과정에서 입력 신호가 짧은 주기 로 반복하여 인가되면 시냅스 가중치가 초기 값으로 돌아가기 전에 다시 신호를 처리하게 되어 EPSC가 더욱 증가하는 PPF 특성을 보인다. 그림 4(d)는 두뇌가 갖는 여러 단계의 기억 특 성을 나타내는 그림이다. Atkinson와 Shiffrin<sup>[10]</sup>은 두뇌 기억 모델로서 "multi-store model"을 제시하였는데, 이는 외부 자

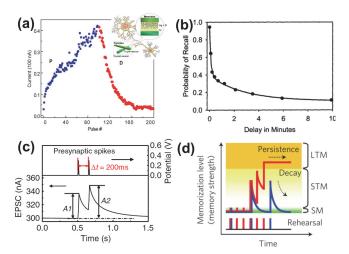


Fig. 4. (a) LTP and LTD synaptic characteristics (Reprinted with permission from [7]. Copyright 2019 American Chemical Society.), (b) forgetting curve of memory, [8] (c) EPSC and PPF characteristics of synapse, [9] and (d) STM-to-LTM transition of memory, [11]

극에 의해 정보를 인지하는 단계인 "sensory register", 그리고 인지된 정보의 일부는 망각되고 그 중 주목할 만한 정보는 단기 기억인 "short-term store 또는 short-term memory(STM)"로 전이되고, 단기 기억 상태의 정보 중 일부는 반복적인 학습을 통해 장기 기억인 "long-term store 또는 long-term memory(LTM)" 단계로 전이된다는 모델이다. 두뇌의 기억 능력과원리에 대해서는 여전히 많이 알려지지 않은 상태이며, 이 모델 또한 더욱 검증이 필요하지만, 반복 학습 정도 등의 조건에따라 기억이 여러 단계로 존재함은 실험적으로 많이 증명되고있는 현상이라 하겠다. 이는 컴퓨터 메모리 부품에서 레지스터(register)와 캐시 메모리, 메인 메모리, 그리고 하드 디스크가수행하는 여러 단계의 기억 기능을 시냅스의 상태 변화를 통해 더욱 효율적으로 구현이 가능하다는 것을 의미한다.

이러한 생체 시냅스를 모사하기 위하여 기억 기능을 갖는 비휘발성 메모리 소자를 이용한 연구가 활발히 진행되고 있다. 대표적인 예로, 시냅스 가중치의 변화를 산화물의 저항 변화로 구현하려는 저항 변화 메모리 소자(Resistive random access memory, ReRAM)가 있다.<sup>[7,12]</sup> ReRAM은 memory+resistor의

- [7] S. H. Jo et al., Nano Lett. 10, 1297 (2010).
- [8] D. C. Rubin, S. Hinton and A. Wenzel, J. Exp. Psychol.: Learn. Mem. Cognit. 25, 1161 (1999).
- [9] L. Q. Zhu et al., Nac. Comm. 5, 3158 (2014).
- [10] R. C. Atkinson and R. M. Shiffrin, Psychol. Rev. **76**, 179 (1969).
- [11] T. Ohno et al., Nat. Mater. 10, 591 (2011).
- [12] D. S. Jeong and C. S. Hwang, Avd. Mater. **30**, 1704729 (2018).



특성을 갖는다는 의미에서의 멤리스터(memristor) 소자로 분류 되며, 이를 2단자 구조로 형성하면 생체 시스템의 뉴런-시냅스 -뉴런으로 연결된 구조와 유사한 형태를 갖는다. 시냅스인 멤 리스터 소자에 전압 또는 전류 신호가 인가되면 저항이 변하 는, 즉 고 저항 상태(high resistance state)와 저 저항 상태 (low resistance state) 사이로 변하며, 변화된 상태를 기억하 는 비휘발성 특성과, 다음 신호에 의해 다시 변화하는 이력 의 존적 기억 특성을 갖는다. ReRAM 소자뿐만 아니라, 비정질 상에서 결정질 상이 서로 다른 저항을 갖는 재료에서 전압 및 전류에 의한 상전이를 통하여 고 저항 상태와 저 저항 상태를 얻는 상전이 메모리(Phase change memory, PRAM), [3,13] 그리 고 플래시 메모리 소자에 적용되는 구조로서 게이트 절연막 내부의 플로팅 게이트에 전하를 저장하여 트랜지스터의 동작 (turn-on)을 위한 문턱전압(threshold voltage)을 변화시키는 원리를 이용하는 플로팅 게이트 메모리 소자 등<sup>[14,15]</sup>을 이용한 시냅스 연구도 활발하게 진행되고 있다.

일반적으로 이러한 비휘발성 메모리 소자들은 기억 상태를 디지털 방식, 즉 0 또는 1을 구별하는 single-level cell과, 기 억 용량을 높이기 위하여 00, 01, 10, 11 등의 다단계 상태를 구별하는 multi-level cell 등을 구현하도록 개발이 진행되어 왔다. 또한, 정보 저장의 신뢰도를 높이기 위하여 기억 상태, 예를 들어 ReRAM에서는 저항 값의 차이, 그리고 플래시 메모 리에서는 소자의 문턱전압의 차이를 충분히 크게 하여 정보를 읽어 들이는 과정에서 오류가 발생하지 않도록 하는 것이 중 요하였다. 그리고 정보를 읽어 들인 후에도 상태가 변하지 않 고 유지되는 특성, 즉 read disturbance가 없도록 하여 저장 된 정보를 안정적으로 보존할 수 있도록 개발이 되어 왔다. 반 면, 시냅스 소자의 적응 학습을 위해서는 인가된 입력 신호에 따라 시냅스 가중치가 아날로그 형태로 유연하게 변화될 수 있는 것이 바람직하다. 또한, 단기, 장기 기억 기능을 모두 갖 기 위해서는 휘발성과 비휘발성 메모리 특성을 모두 나타낼 수 있어야 한다. 이를 위하여 ReRAM, PRAM, 3단자 트랜지스 터 소자 등의 재료, 구조, 동작 원리를 제어하여 시냅스 거동 을 모사하는 연구가 활발히 진행되고 있다.

그림 5는 2단자 구조의 멤리스터를 이용하여 시냅스 거동을 모사한 연구의 예를 보여준다.  $^{[16]}$  부도체 산화물인  $CeO_2$  박막을 Pt 전극 사이에 형성한  $Pt/CeO_2/Pt$  구조로서, 이는 그림 5(a)에 나타낸 바와 같이 crossbar array 형태로 구현이 용이하다. 그림 5(b)는  $Pt/CeO_2/Pt$  멤리스터 소자의 상부 Pt 전극에 +V 전압 인가를 반복함에 따라 전류가 아날로그 형태로 점점 증가하는 모습을 보여준다. 또한, 그림 5(c)에서처럼 상부 Pt 전극에 +10 V 전압 펄스를 반복하여 인가하면, +2 V의 읽기 전압 조건에서 전류가 아날로그 형태로 증가하는 LTP 거

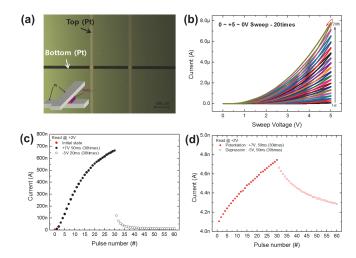


Fig. 5. (a) Pt/CeO<sub>2</sub>/Pt memristor synaptic array structure, (b) current-voltage characteristics during +V sweep of Pt/CeO<sub>2</sub>/Pt memristor, (c) LTP and LTD characteristics of Pt/CeO<sub>2</sub>/Pt memristor, and (d) LTP and LTD characteristics of Pt/ITO/CeO<sub>2</sub>/Pt memristor. [16]

동을 모사하고, 반대로 -10 V 전압을 인가하고 +2 V에서 읽은 경우에 전류가 감소하는 LTD 거동을 모사한다. 이러한 아날로그 시냅스 가중치 변화에서는 전압을 반복적으로 인가할 때 가중치가 선형적이며 대칭적으로 변하는 것이 바람직하다. 만약 시냅스 가중치가 비선형적으로 변한다면, 동일한 변화량 을 유도하기 위해서 각각의 시냅스 상태에 따라 다른 크기의 전압이 필요하므로 뉴런 소자의 구동이 복잡해지는 문제가 있 다. 또한 LTP와 LTD 거동에서의 시냅스 가중치 변화가 대칭 적인 모습을 갖는다면, 비슷한 크기의 반대 부호 전압을 인가 함으로써 동일한 영역 대의 시냅스 가중치 변화를 유도할 수 있으므로 뉴런 소자의 동작을 보다 간단하게 할 수 있다. 하지 만, 그림 5(c)에서는 +V 전압에 의한 LTP 거동은 비교적 선 형적인 반면, -V 전압에 의한 LTD는 초반에 급격하게 감소 하는 비선형적 특성을 보이며, LTP와 LTD가 비대칭적인 모습 을 나타내고 있다. 반면, 그림 5(d)는 상부 Pt 전극과  $CeO_2$  사 이에 indium-tin oxide(ITO) 산화물 전극을 삽입한 Pt/ITO/  $CeO_2/Pt$  구조에서의 LTP와 LTD 특성을 나타낸 결과이다. ITO 전극을 삽입함으로써 선형성과 대칭성이 개선된 결과를 보여주고 있다. 이는 멤리스터의 저항 변화가 산화물 내부 상 대, 전극과의 계면 특성, 이온 분포 및 이동 등에 민감하게 의 존함을 보여주는 것이며, 이러한 파라미터들을 조절하여 원하 는 시냅스 특성을 얻을 수 있음을 의미하는 결과라고 할 수

- [13] A. Sebastian et al., J. Appl. Phys. 124, 111101 (2018).
- [14] C. Diorio et al., IEEE Trans. Elec. Dev. 43, 1972 (1996).
- [15] H. Kim et al., IEEE Elec. Dev. Lett. 37, 249 (2016).
- [16] H. J. Kim et al., Nanotechnology 29, 265204 (2018).

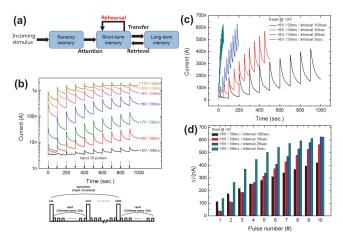


Fig. 6. (a) Atkinson $\mathfrak P$  Shiffrin's multi-store model, (b) STM-to-LTM transition upon repeating high voltage application, (c) increased synaptic weight with the frequency of voltage application, and (d) quantitative comparison of synaptic weight change with the interval between voltage pulse in Pt/CeO<sub>2</sub>/Pt memristor. [16]

## 있다.

앞서 설명한 바와 같이, 두뇌에서는 중요하지 않은 정보는 소실되는 반면, 중요한 정보, 즉 높은 전압 또는 반복되는 입 력을 가한 경우에는 변화된 시냅스 가중치가 장시간 유지되 는 장기 기억의 특성을 나타낸다. 그림 6(a)는 반복 학습을 통해 단기 기억(STM)에서 장기 기억(LTM)으로 전이되는 특 성(STM-to-LTM transition)을 보여주는 multi-store model의 개략도를 나타낸 것이며, 그림 6(b)는 Pt/CeO2/Pt 시냅스 소 자에서 반복학습을 통한 STM-to-LTM transition의 실험적 결 과를 보여준다. +V 펄스를 인가하여 저항을 감소시킨 후에 시간에 따른 전류 변화를 보면 점점 초기값으로 감소하는 두 뇌의 망각 특성을 나타낸다. 하지만 이 과정에서 다시 전압 펄 스를 인가하면 전류의 증가폭이 더욱 커지고, 이를 반복하면 시간이 지나도 매우 높은 전류값을 유지하는 상태를 얻을 수 있다. 예를 들어, +5 V의 펄스 조건에서는 펄스를 중간에 반 복하여 인가해도 시간이 지나면 초기 값으로 되돌아오는 반면, +11 V의 펄스 조건에서는 초기 값보다 약 1000배 이상의 높은 전류값을 안정적으로 유지하는 특성을 보인다. 즉, 저 전 압 펄스 입력 조건에서는 단기 기억 특성을 나타내고, 고 전압 조건에서는 장기 기억 특성으로 전이되는 거동을 나타내는 결 과이다. 그림 6(c)와 6(d)는 전압 펄스를 인가하는 간격(interval)에 따른 전류 변화량을 나타낸 결과로서, 앞선 경우와 마찬 가지로 전류가 증가한 이후에 점점 초기 값으로 감소하다가 중간에 다시 전압을 인가하면 전류가 증가하는 과정을 반복한 다. 그리고 펄스 인가 빈도(frequency)를 높이면, 즉 펄스 사이 의 간격을 줄이면 더 높은 전류 증가를 나타낸다. 이는 학습 관점에서 보면 반복학습의 빈도를 증가시키면 기억이 향상되는

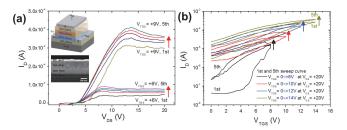


Fig. 7. (a) Output and (b) transfer characteristics of synaptic transistor operating with Al/SiOx/TaOx/IGZO top-gate stack. [19]

# 특성을 의미한다.

이러한 2단자 멤리스터 시냅스 소자 연구뿐만 아니라, 3단 자 또는 4단자의 트랜지스터 구조를 갖는 시냅스 소자 연구도 활발하게 진행되고 있다. 트랜지스터 구조의 시냅스 소자는 2 단자 소자에 비해 복잡한 구조를 갖기 때문에 3차원 집적 어 레이(array) 구조로 형성하기가 용이하지 않은 단점이 있다. 하 지만, 2단자 소자에 비해 몇 가지 유용한 장점을 갖고 있는데, 그 중 하나는 드레인(drain) 전압으로 신호를 처리하는 동시에 게이트(gate) 전압을 이용하여 시냅스 가중치에 해당하는 트 랜지스터의 드레인 전류(drain current) 또는 채널 컨덕턴스 (channel conductance)를 조절하는 학습이 가능하다는 점이 다. Kim 등<sup>[15]</sup>은 두 개의 분리된 게이트를 갖는 트랜지스터 소 자에서 플로팅 Si body와 SiNx 전하 저장층에 전하를 저장하 는 원리를 이용하여 학습, 단기, 장기 기억 능력을 구현하였다. 산화물 재료를 이용한 시냅틱 트랜지스터 연구의 예로서, Shi 등<sup>[17]</sup>은 SmNiO<sub>3</sub> 채널 전도도를 내부 양이온과 산소 정공의 이 동을 통하여 조절하여 시냅스 거동을 모사하였다.

본 연구팀에서는 산화물 반도체인 indium-gallium-zinc oxide(IGZO) 채널층과 게이트 절연막인  $HfOx^{[18]}$  또는  $TaOx^{[19]}$  사이의 산소이온의 교환을 통하여 트랜지스터의 커패시턴스가 비휘발적으로 변하는 멤커패시턴스 현상과 IGZO 채널층의 전자 농도 변화를 이용하여 시냅스 거동을 모사하는 시냅틱 트랜지스터를 보고하였다. 여기서 멤커패시턴스 현상이란 커패시터 재료의 내부 상태가 인가된 전압 및 전류의 이력에 의존하여 비휘발적으로 변하는 현상을 의미한다. $^{[20]}$  트랜지스터의 포화영역에서 드레인 전류( $I_D$ )는 식 (1)과 같이 게이트 절연막의 커패시턴스( $C_{OX}$ )와 채널 이동도( $\mu$ )에 비례하고, 또한 채널층의 도핑농도(전자농도)가 증가하면 문턱전압( $V_T$ )이 감소함으로 드

- [17] J. Shi et al., Nat. Comm. 4, 2676 (2013).
- [18] P. Yang et al., Nanotechnology 29, 295201 (2018).
- [19] K. Beom et al., Nanotechnology 30, 025203 (2019).
- [20] M. Di Ventra et al., Proc. IEEE 97, 1717 (2009).

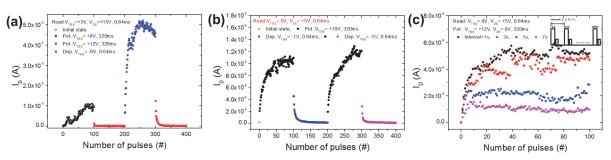


Fig. 8. (a), (b) LTP and LTD behaviors with potentiation pulse amplitude and read condition, respectively, and (c) increase of  $I_D$  as reducing pulse interval. [19]

레인 전류가 증가하게 된다. 식 (1)에서 W와 L은 각각 채널 의 폭과 길이,  $V_{\rm GS}$ 는 게이트 전압을 의미한다. 게이트 절연막 과 IGZO 채널층 사이의 상호작용에 의한  $C_{\rm OX}$ ,  $\mu$ ,  $V_{\rm T}$  등의 변화를 이용하여 시냅스 가중치를 제어할 수 있게 된다.

$$I_{\rm D} = \frac{W \cdot \mu \cdot C_{\rm OX}}{2L} (V_{\rm GS} - V_{\rm T})^2. \tag{1}$$

그림 7은 Al/SiOx/TaOx/IGZO의 게이트 스택으로 구성된시냅틱 트랜지스터의 거동을 나타낸 결과이다. [19] 그림 7(a)는시냅틱 트랜지스터의 출력(output) 특성 결과로서, 드레인 전압(VDS)을 증가시킴에 따라 드레인 전류(ID)가 증가하다가 포화되며, 게이트 전압(VTGS)이 클수록 포화된 전류값은 더욱 증가하는 전형적인 출력 특성을 보여준다. 하지만, 일반적인 박막트랜지스터와는 달리, 동일한 전압을 인가하여 반복적으로 측정할수록 포화 드레인 전류가 점점 증가하는 특성을 보인다.이는 앞서 2단자 멤리스터 시냅스 소자에서의 결과와 같이 동일 전압을 반복적으로 인가함에 따라 시냅스 가중치가 점점증가하는 특성을 나타낸다. 그림 7(b)는 일정한 드레인 전압하에서 게이트 전압을 증가시키면 드레인 전류가 증가하는 양상을 보여주는 전달(transfer) 특성 곡선이다. 마찬가지로 동일한 전압 조건에서 측정을 반복하면 드레인 전류가 점점 증가하는 모습을 보인다.

그림 8은 펄스 전압을 인가하면서 시냅스의 LTP와 LTD 특성을 얻은 결과이다. 그림 8(a)는 LTP를 위한 게이트 펄스 전압  $V_{\text{TGS}} = +8$ , +12 V, 펄스 폭(width) 320 ms, 그리고 LTD 펄스  $V_{\text{TGS}} = -6$  V, 0.64 ms로 인가하고,  $V_{\text{TGS}} = +3$  V,  $V_{\text{DS}} = +15$  V, 0.64 ms 조건에서 시냅스 가중치를 읽은 결과이다. +V 전압을 반복하여 인가할수록 드레인 전류가 증가하는 LTP와 -V 전압을 인가하면 다시 감소하는 LTD 특성

을 나타내며, +V 전압을 크게 하면 더 큰 시냅스 가중치 변화를 보인다. 또한, 그림 8(b)에서와 같이 읽기 조건을  $V_{TGS} = 0V$ ,  $V_{DS} = +5$  V, 0.64 ms로 변화시키면 다른 크기의 시냅스 가중치 변화를 얻을 수 있는데, 이는 트랜지스터 구조에서 다양한 레벨의 시냅스 가중치를 보다 용이하게 얻어낼 수 있음을 나타내는 결과이다. 그림 8(c)는 펄스 사이의 간격을 줄이면 시냅스 가중치가 더 크게 증가하는 특성으로서, 반복학습 주기를 짧게 함으로써 기억 능력을 더욱 향상시킬 수 있음을 모사하는 결과이다.

## 결 론

두뇌를 모사하는 뉴로모픽 시스템 연구는 기존의 폰-노이만 아키텍처의 한계를 극복하고 현재의 데이터 중심 사회에 적합 한 새로운 패러다임의 컴퓨팅 시스템 연구이다. 우수한 성능을 갖는 뉴로모픽 시스템 구현을 위해서는 두뇌 거동에 대한 심 도있는 이해, 이를 모사하는 신경망 알고리즘 연구, 그리고 뉴 런과 시냅스 단위 소자와 아키텍처 설계 연구 등이 종합적으 로 이루어져야 한다. 인공 시냅스 소자 연구에서는 생체 시냅 스 거동을 보다 정확하게 모사하기 위하여 다양한 재료, 소자 구조, 동작 원리 등을 제안하고 있다. 하지만, 아직 해결해야 할 여러 난제들이 남아 있는데, 예를 들어 아날로그 시냅스 가 중치 변화의 균일성, 재현성, 여러 단계의 기억 특성의 안정적 구현, 수 pJ/event 수준의 낮은 소모 에너지와 저 전력 구동 등을 모두 만족하는 시냅스 단위 소자 구현이 아직 이루어지 지 않은 상황이다. 뿐만 아니라, 뉴런 소자와의 호환성, 고밀도 뉴런-시냅스 네트워크 구성을 위한 선택소자와의 동작 적합성, 그리고 신경망 알고리즘에 최적화된 동작 특성을 갖는 시냅스 소자 연구가 지속적으로 이루어져야 할 것이다.

8