

## СОДЕРЖАНИЕ

Введение.....	4
1. Исследовательская часть.....	5
1.1. Анализ функциональных особенностей разрабатываемого устройства.....	5
1.2. Сравнительный анализ построения общей структуры существующих прототипов ОЗУ.....	6
1.3. Сравнительный анализ теоретических баз проектирования регистровых ОЗУ .....	13
1.4. Микросхемы КМОП.....	14
2. Конструкторская часть .....	16

## **ВВЕДЕНИЕ**

Целью данной курсовой работы является разработка регистрового оперативного запоминающего устройства на 16 строк по 16 бит каждая.

Вопрос разработки данного устройства заключается в том, что микросхемы регистровых ОЗУ актуальны и имеют широкое применение в современной сфере микроэлектроники. Данные микросхемы могут быть применены для повышения отказоустойчивости той или иной системы.

Регистровой памятью называют модули ОЗУ, которые имеют на «борту» отдельный регистр для адресов и команд. Контроллер ОЗУ в процессоре обращается к регистрам, регистры же направляют информацию в микросхемы памяти. Такая организация позволяет увеличить количество модулей на канал за счет снижения электрической нагрузки на контроллер памяти.

В первой части курсовой работы уточняется техническое задание, рассматриваются существующие решения поставленной задачи и осуществляется выбор элементной базы разрабатываемого устройства.

Во второй части курсовой работы будут приведены этапы разработки структурной схемы устройства, построится временная диаграмма работы устройства, будет разработана принципиальная схема устройства в соответствии с выбранной элементной базой.

Итоги работы будут представлены в части «Заключение» курсовой работы.

# **1. ИССЛЕДОВАТЕЛЬСКАЯ ЧАСТЬ**

## **1.1. АНАЛИЗ ФУНКЦИОНАЛЬНЫХ ОСОБЕННОСТЕЙ РАЗРАБАТЫВАЕМОГО УСТРОЙСТВА.**

Регистровое оперативно запоминающее устройство является распространённым видом памяти и нашло широкое применение в сфере информационных технологий. Исходя из его названия, можно понять, что одним из основных составляющих компонентов данного типа памяти является регистр, который располагается между микросхемами памяти и его контроллером.

К применению регистров в оперативной памяти обращаются для повышения отказоустойчивости системы. Также регистровое ОЗУ является масштабируемой, что позволяет системе повышать свою производительность пропорционально дополнительным ресурсам.

Использование регистров в памяти ОЗУ позволяет снизить нагрузку на контроллер памяти и повысить количество модулей памяти на один канал, тем самым повышая объём доступной памяти, обрабатываемой процессором с поддержкой максимально возможного количества памяти. Не смотря на данную особенность, она же и приводит к несущественному недостатку. Из-за наличия регистров, данный тип памяти считается более медленным, нежели память без их использования. Всё это происходит по причине того, что регистры находятся между микросхемами памяти и, как следствие, каждое чтение и запись памяти буферизируются продолжительностью в один такт, так как именно столько времени требуется для прохождения сигнала через регистр, а буферизации подвергаются сигналы управления и выставления памяти. Именно поэтому регистровое ОЗУ также называют буферизированной ОЗУ.

Регистровое ОЗУ может включать в себя матрицы из РОН (регистры общего назначения), с которыми проводятся операции чтения и записи. Также в состав РОЗУ входят два независимых устройства ввода-вывода, как правило, именуемыми каналами А и В, двух дешифраторов кодов адреса ячеек памяти (регистров) и двух устройств управления (контроллеров памяти).

Работа над считыванием информации проводится за счёт обработки адресных кодов, которые могут принимать вид: АА0...АА3, АВ0...АВ3, тем самым позволяя обращаться к различным ячейкам памяти в массиве регистров, при условии того, что коды не должны совпадать.

## **1.2. СРАВНИТЕЛЬНЫЙ АНАЛИЗ ПОСТРОЕНИЯ ОБЩЕЙ СТРУКТУРЫ СУЩЕСТВУЮЩИХ ПРОТИПОВ ОЗУ.**

Существует множество отечественных микросхем оперативных запоминающих устройств, имеющих маркировки, например, К155РУ5 или К176РУ2, где цифра после «К» - номер серии микросхемы.

Как К155РУ5, так и К176РУ2 имеют организацию 256 слов по одному биту, то есть 256 ячеек хранения данных. Исходя из отличительных особенностей используемых технологий при проектировании данных ОЗУ, некоторые параметры модулей памяти могут отличаться. В данном случае, модули памяти изготовленные по технологии ТТЛ (К155РУ5) предоставляют высокую скорость выборки адресов памяти, используя при этом большое количество энергии по сравнению с модулями памяти изготовленными по технологии КМОП (К176РУ2), которые потребляют мало энергии и, как следствие, обладают меньшей скоростью обработки адресов памяти.

Таблица № 1

Тип	Технология изготовления	Информационный объём, бит	Организация слов x разрядов	Время выборки адреса, нс	Потребляемая мощность, мВт
К155РУ5	ТТЛ	256	256 x 1	90	735

В данной таблице продемонстрированы параметры, рассматриваемых РОЗУ различных типов технологий исполнения, в которой видны различия между технологиями ТТЛ ( транзистерно-транзистерная логика ) и КМОП(комплементарная структура металл-оксид-полупроводник), применяемые в данных микросхемах памяти.

### Микросхема памяти K155PY5

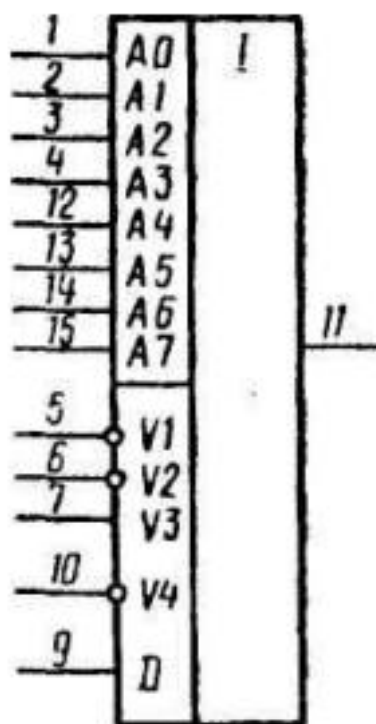


Рисунок - 1 Условное графическое обозначение K155PY5

Микросхема представляет собой оперативное запоминающее устройство на 256 бит (256 слов x 1 разряд) со схемами разрядного и адресного управления. Данная микросхема состоит из 2200 интегральных элементов.

Назначение выводов:

- 1) вход дешифратора A0.
- 2) вход дешифратора A1.
- 3) вход дешифратора A2.
- 4) вход дешифратора A3.

5) вход разрешения выборки V1. 6) вход разрешения выборки V2. 7) вход разрешения выборки V3. 8) общий вход.

9) информационный вход D.

10) вход разрешения выборки V4. 11) выход.

12) вход дешифратора A4.

13) вход дешифратора A5.

14) вход дешифратора A6.

15) вход дешифратора A7.

16) Напряжение питания.

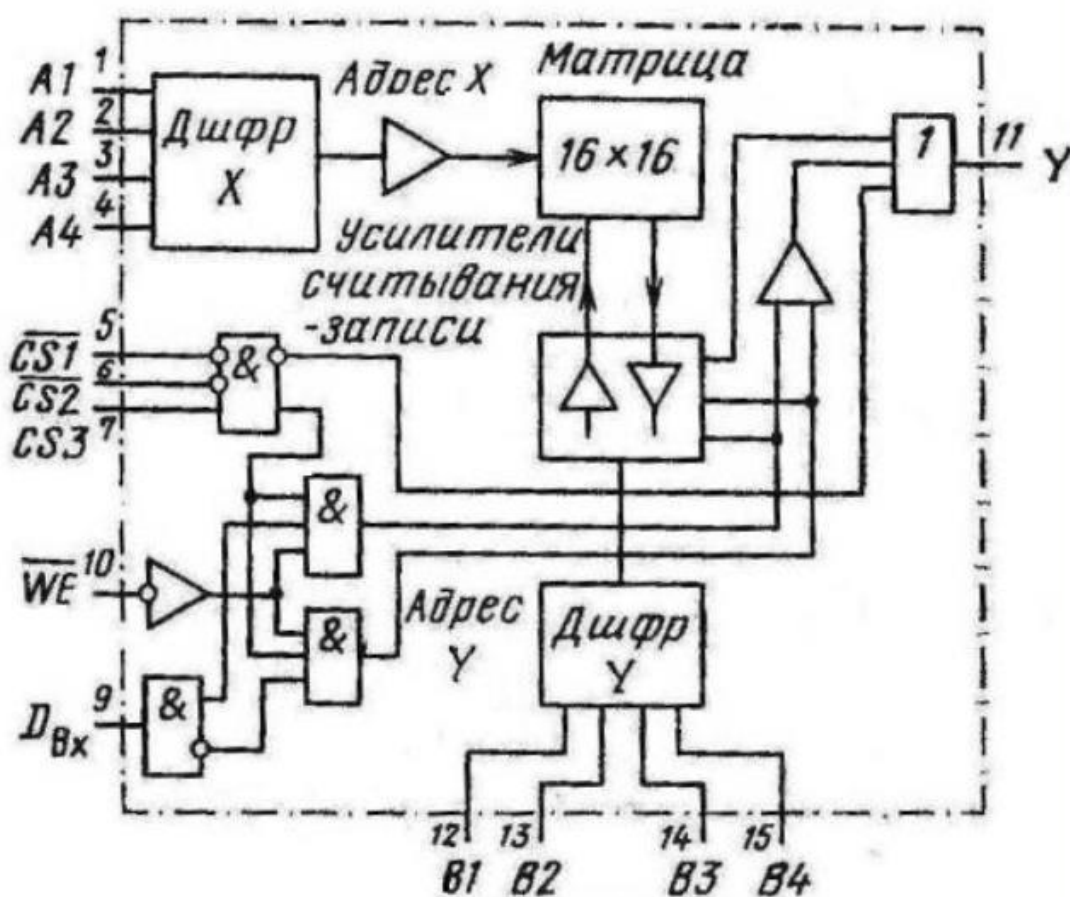


Рисунок - 2 Общая структурная схема микросхемы K155PY5

Микросхема K155PY5 - структура матричного ОЗУ с организацией 256 слов по 1 биту. Матрица имеет 16 рядов и 16 колонок запоминающих ячеек.

Для выбора ячейки K155PY5, куда записано требуемое одноразрядное слово, служат два четырехходовых дешифратора. Дешифратор X (адреса A1 — A4) выбирает один из 16 рядов матрицы, а дешифратор Y (адреса B1 — B4) — одну из 16 колонок (итого  $16 \times 16 = 256$  адресов). Считывание данных ячейки и запись в ячейку проводятся усилителем считывания/записи, который имеет четыре входа управления CS1, CS1, CS3, WE, а также вход записи данных Dвх и выход данных Y. Входы CS1, CS2 и CS3 открывают доступ к матрице памяти (для входов CS1 и CS2, активный уровень — низкий, для CS3 высокий) По входу WE (активный уровень — низкий) разрешается запись в выбранную ячейку.

### Микросхема памяти K176PY2

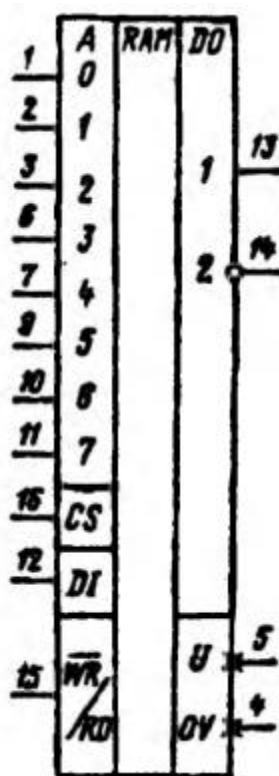


Рисунок - 3 Условное графическое обозначение K176PY2

Микросхема представляет собой оперативное запоминающее устройство на 256 бит с управлением. Содержит 2088 интегральных элементов.

#### Назначения выводов:

1. Вход адреса A0.
2. Вход адреса A1.
3. Вход адреса A2.
4. Общий.
5. Напряжение питания.
6. Вход адреса A3.
7. Вход адреса A4.
8. Свободный.
9. Вход адреса A5.
  
10. Вход адреса A6.
11. Вход адреса A7.
12. Вход информации.
13. Выход Q.
14. Выход  $\neg Q$
15. Вход записи/считывания.
16. Вход выбора микросхемы.





Группа логических элементов, образующих входы CS (доступ к памяти) и R/W (Чтение/Запись), вырабатывает внутренние сигналы K2, K2 (для

разрешения записи) и  $\overline{K1}$ ,  $\overline{K1}$  (для разрешения или запрета чтения содержимого памяти).

Выходы 13 и 14 (выходы Q и  $\overline{Q}$ ) обслуживают инверторы, имеющие состояние разомкнуто Z. Бит хранения данных вносится в память по выбранному адресу АО — A7 через вход D. Как адрес ячейки записи, так и адрес ячейки считывания выбираются в произвольном порядке. Для чтения и записи на вход CS следует подать напряжение низкого уровня. Напряжением высокого уровня на входе CS эти операции запрещаются, а выходы переходят в Z-состояние. В моменты высокого уровня на входе CS можно менять адреса ячеек (независимо от уровня на входе R/W). Вход CS в схемах, где объединяется много корпусов K176PY2 служит сигналом выбора отдельного корпуса.

Выходы Q и  $\overline{Q}$  станут активными (чтение), если на обоих входах CS и R/W уровни низкие. Если на входе R/W сменить уровень на высокий, можно записать бит информации.

Оперативное запоминающее устройство K176PY2 потребляет статическую мощность 10 нВт; время выборки из памяти составляет 380 нс. На вход D надо подавать напряжения высоких и низких уровней КМОП. Выходы ОЗУ могут обслуживать входы микросхем ТТЛ.

Данные ОЗУ K176PY2 удобны для систем с шинной структурой (имеется Z- состояние выходов, входы записи D и выходы Q и  $\overline{Q}$  — отдельные).

### **1.3. СРАВНИТЕЛЬНЫЙ АНАЛИЗ ТЕОРЕТИЧЕСКИХ БАЗ ПРОЕКТИРОВАНИЯ РЕГИСТРОВЫХ ОЗУ.**

Любая электронная микросхема выполняет свою работу за определённый промежуток времени и поэтому величиной измерения принято

считать один тактовый сигнал или синхросигнал. Синхросигнал используется для согласования операций одной или нескольких цифровых схем и может представлять из себя цифровой сигнал со скважностью 2, то есть меандр. Синхросигнал используется в триггерах, которые являются ячейками памяти, позволяющие запоминать информацию в размере одного бита, так как они способны находиться в двух устойчивых состояниях, а именно в состоянии нуля или единицы.

Устройство памяти состоит из множества ячеек памяти (триггеров), которые должны быть соединены между собой и в совокупности представлять из себя слаженный механизм. Как мы уже выяснили, для синхронизации работы триггеров используется синхросигнал, но для более эффективной работы микросхемы требуется определиться с выбором режима работы. В данном случае, существует последовательный и параллельный режимы работы микросхем памяти.

Суть последовательного режима заключается в последовательном прохождении сигналов по одному каналу памяти. Скорость передачи данных определяется количеством бит, переданных через канал памяти за определённый промежуток времени (квант), а количество передаваемой информации за один квант времени равен одному биту, так как через один канал может проходить только один сигнал. В силу этой особенности, данный режим работы памяти является самым оптимальным выбором для реализации тех или иных микросхем памяти, так как является более простым в исполнении, и как следствие более дешёвым, но в тоже время данный режим может привести к низкой производительности запоминающего устройства.

Если при проектировании модулей памяти требуется максимальная производительность, то, как правило, обращаются к параллельному режиму работы памяти, так как его пропускная способность по сравнению с последовательным режимом возрастает пропорционально количеству каналов

памяти, используемые в том или ином модуле, и чем большим количеством каналов памяти обладает модуль памяти, тем быстрее по итогу он будет. Но не смотря на все преимущества параллельного режима над последовательным, разработка того или иного модуля памяти на основе параллельного режима будет существенно дороже последовательного в силу того, что разработчику придётся тратить средства на большое количество проводов и дальнейшую синхронизацию сигналов, идущих по этим проводам.

#### **1.4 МИКРОСХЕМЫ КМОП**

КМОП – набор полупроводниковых технологий построения интегральных микросхем. Подавляющее большинство современных цифровых микросхем — КМОП.

В технологии КМОП используются полевые транзисторы с изолированным затвором с каналами разной проводимости. Отличительной особенностью схем КМОП по сравнению с биполярными технологиями (ТТЛ, ЭСЛ и др.) является очень малое энергопотребление в статическом режиме (в большинстве случаев можно считать, что энергия потребляется только во время переключения состояний). Отличительной особенностью структуры КМОП по сравнению с другими МОП-структурами (N-МОП, P-МОП) является наличие как n-канальных, так и p-канальных полевых транзисторов в одной локации кристалла; вследствие меньшего расстояния между элементами

КМОП-схемы обладают более высокой скоростью действия и меньшим энергопотреблением, однако при этом характеризуются более сложным технологическим процессом изготовления и меньшей плотностью упаковки.

Основными логическими элементами серий на КМОП транзисторах являются элементы И-НЕ; ИЛИ-НЕ, а базовым логическим элементом является инвертор (элемент НЕ) на КМОП транзисторах.

Цифровые интегральные микросхемы на КМОП транзисторах считаются наиболее перспективным типом транзисторной логики, поскольку

мощность, потребляемая в статическом, режиме у них составляет десятки нановатт при высоком быстродействии. Среди цифровых интегральных схем на МОП транзисторах интегральные микросхемы на КМОП транзисторах обладают наибольшей помехоустойчивостью и высокой эффективностью использования источника питания. Также КМОП более производительны по сравнению с ТТЛ логикой.

Таким образом ключевая особенность микросхем на комплементарных МОП транзисторах (КМОП-микросхем) является то, что в этих микросхемах в статическом режиме ток практически не потребляется. Потребление тока происходит только в момент ее переключения из единичного состояния в нулевое и наоборот. Данный тип микросхем позволит снизить электропотребление в проектируемом устройстве, а также позволит использовать питание только с шины PCI, без необходимости организации дополнительного блока питания. КМОП-микросхемы уступают ТТЛ по функциональной полноте, но для данного проекта предоставленной базы элементов достаточно.