

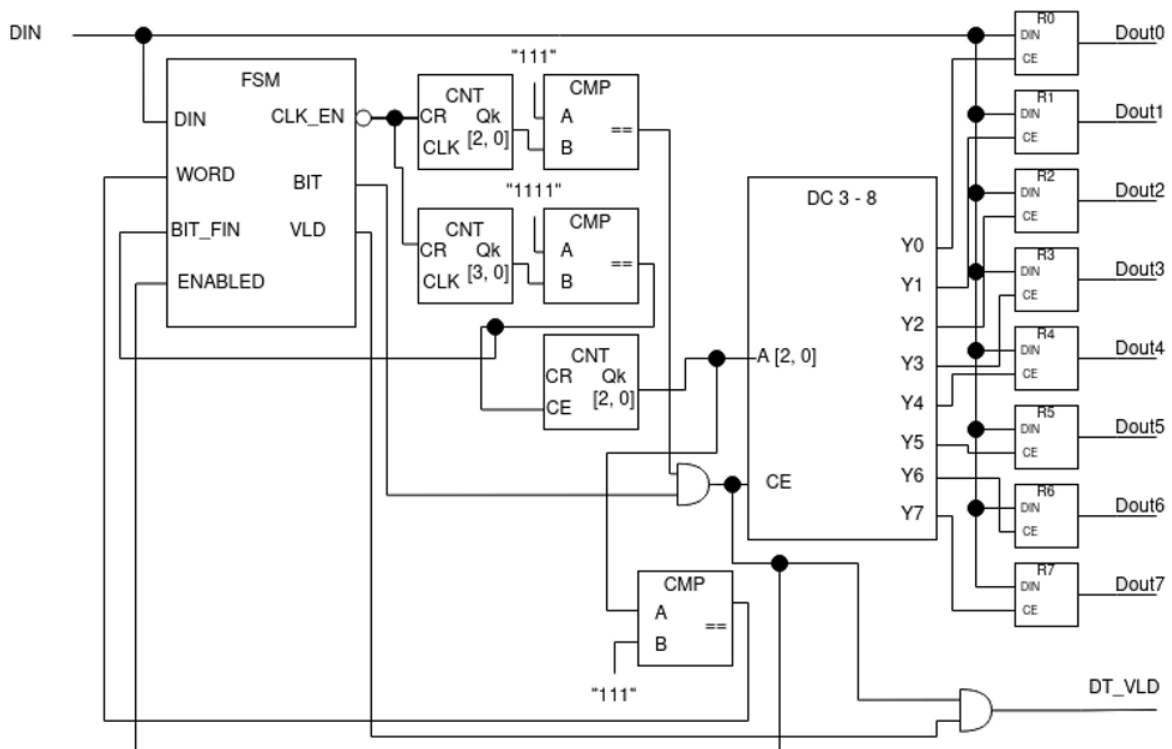
# Příloha: INC Projekt 1. část – návrh

Jméno: Martin Zúbek

Login: x253206

## Architektura navrženého obvodu (na úrovni RTL)

### Schéma obvodu



### Popis funkce

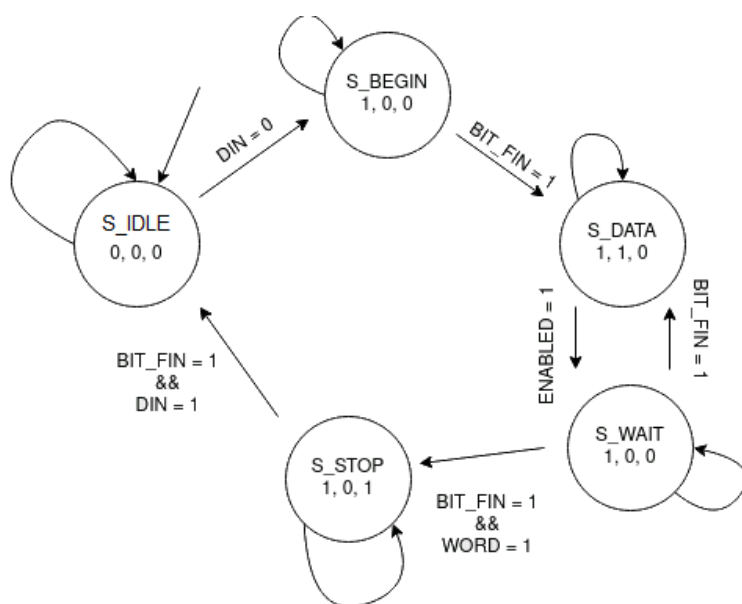
Při obdržení  $DIN = 1$ , přestane se posílat na reset CNT '1' a začne se počítat. Počítá se do doby, než naleznu midbit (jedna hodnota má 16 ticků, tudíž, než mi counter napočítá do 8), v tento moment se hodnota DIN zapíše do registru, probíhá zde kontrola pomocí ENABLE a BIT\_FIN, aby se nečetl daný midbit dvakrát. Následně se pokračuje, ve čtení/počítání do 16, kde se opět zkontroluje, jestli poslední bit není přečten dvakrát.

## Návrh automatu (Finite State Machine)

### Schéma automatu

Legenda:

- Stavy automatu: S\_IDLE, S\_DATA, S\_WAIT, S\_STOP, S\_BEGIN
- Vstupní signály: BIT\_FIN, ENABLED, DIN, WORD
- Moorovy výstupy: CLK\_EN, BIT, VLD



### Popis funkce

Automat FSM začíná ve stavu S\_IDLE kde jsou všechny výstupy rovny '0', po obdržení vstupu DIN = 0, se přesune do stavu S\_BEGIN, s výstupy všemi rovny 0, kromě CLK\_EN = 1. Do stavu S\_DATA se přesune po obdržení vstupu BIT\_FIN = 1, výstupy tohoto stavu jsou nastaveny na CLK\_EN = 1, BIT = 1, odtud se přesouvá do stavu S\_WAIT, pokud je ENABLED = 1, výstupy jsou stejné jako u S\_BEGIN. Může se přesunout i zpět do S\_DATA, pokud BIT\_FIN = 1. Pokud je BIT\_FIN = 1 a zároveň WORD = 1, tak se přesouvá do S\_STOP s výstupy CLK\_EN = 1 a VLD = 1. Při BIT\_FIN = 1 DIN = 1 se přesouvá do počátečního stavu.