Lojik Tasarım

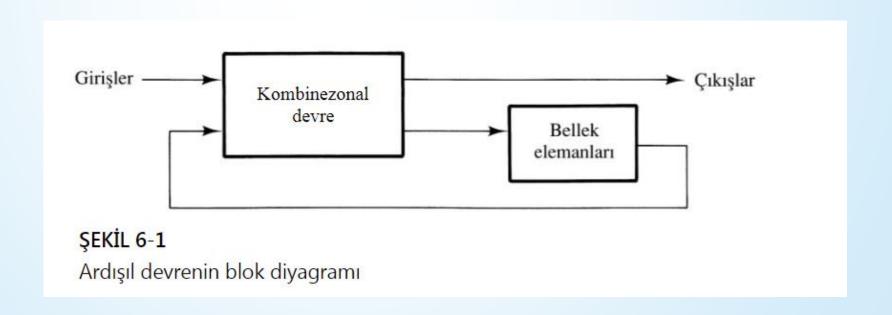
Ders 9

Kaynak:

M.M. Mano, M.D. Ciletti, "Digital Design with An Introduction to Verilog HDL"

Ardışıl Lojik Sistemler

Şu ana kadar incelenen sayısal devreler kombinezonal devre yapısında ele alınmıştır. Yani zamanın herhangi bir anındaki çıkışlar, tümüyle o anki girişlere bağlıdır. Her sayısal sistem bir kombinezonal devre içermesine rağmen, pratikteki çoğu sistem buna ilave olarak bellek elemanları da içermektedir. Bu yapıdaki sistemler *ardışıl lojik* diye adlandırılır.



Flip - Flop

Saat girişli ardışıl devrelerde kullanılan bellek elemanları *flip-flop* diye adlandırılır. Bu devreler bir bitlik bilgiyi saklama kapasitesine sahip ikili hücrelerdir. Bir flip-flop devresinin iki çıkışı vardır. Bunlardan biri saklanan bitin normal değeri, diğeri ise tümleyeni içindir. İkili bilgi farklı flip-floplara değişik yollarla uygulanabilir. Bir sonraki bölümde değişik tip flip-floplar incelenmiş ve lojik özellikleri tanımlanmıştır.

Tanım:

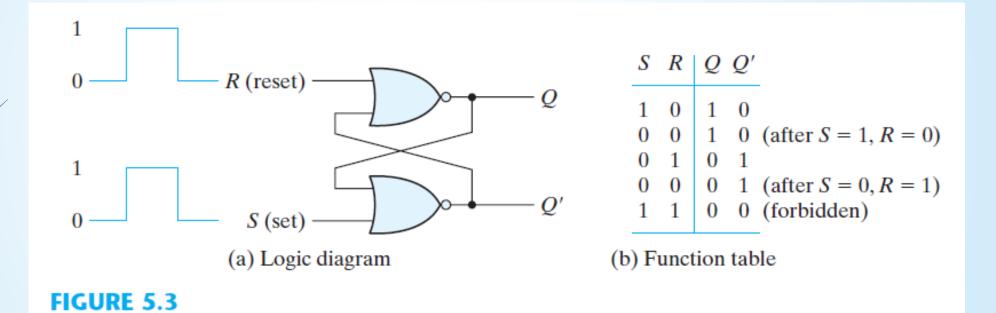
Girişlerine verilen değerlerle senkron işaretlerine göre sonraki değerleri önceden hesap edilebilen devre elamanlarıdır.

Saklama Elamanları

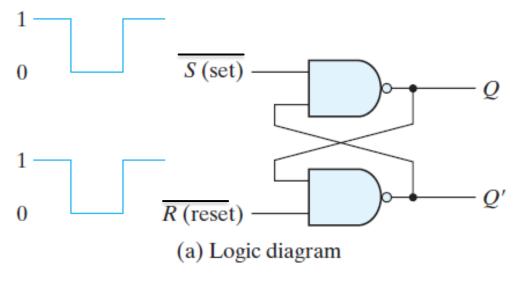
- Latch
- Flip Flop

RS Latch

SR latch with NOR gates



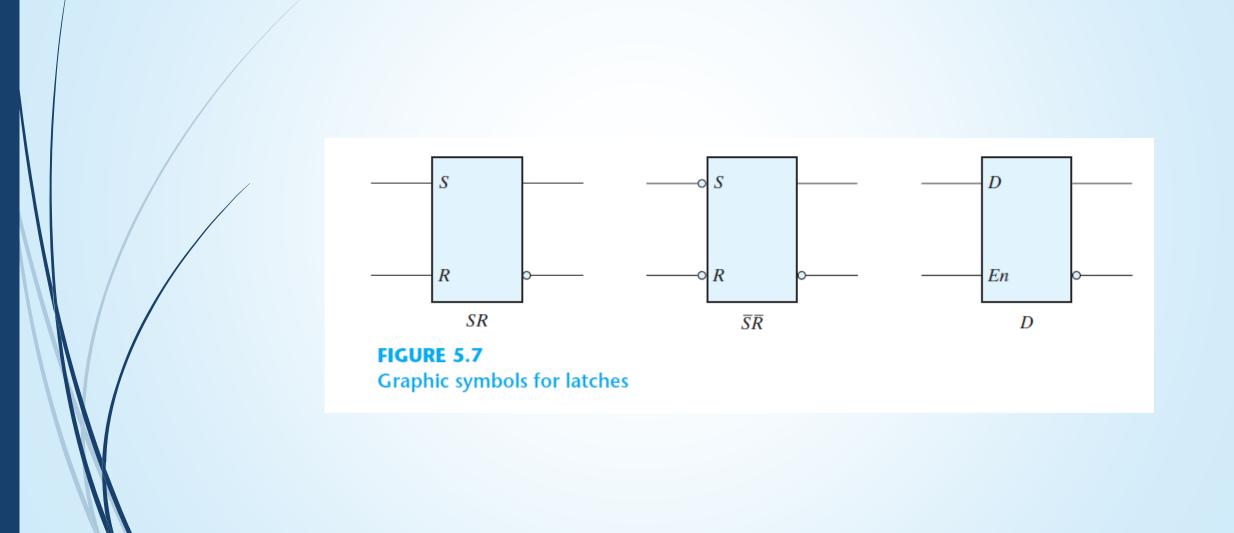
RS Latch



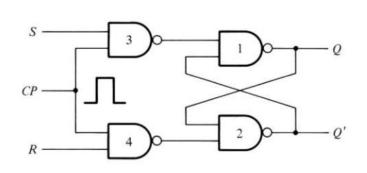
S	R	Q	Q'	_
1	0	0	1	(after $S = 1$, $R = 0$) (after $S = 0$, $R = 1$) (forbidden)
1	1	0	1	(after $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(after $S = 0, R = 1$)
0	0	1	1	(forbidden)

(b) Function table

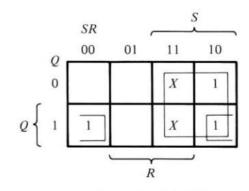
FIGURE 5.4
SR latch with NAND gates



RS Flip-Flop



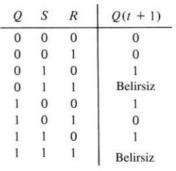
(a) Lojik diyagram



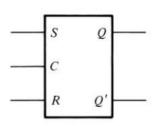
$$Q(t+1) = S + R'Q$$
$$SR = 0$$

(c) Karakteristik denklem

ŞEKİL 6-4 RS flip-flobu

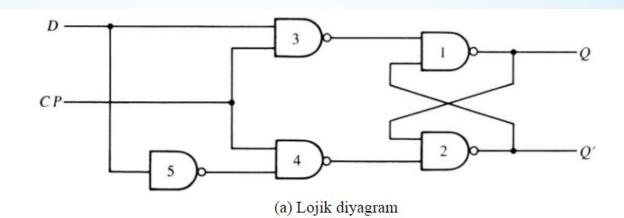


(b) Karakteristik tablo



(d) Grafik sembol

D Tipi Flip-Flop

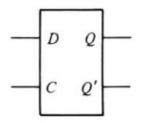


$$\begin{array}{c|cccc} Q & D & Q(t+1) \\ \hline 0 & 0 & 0 \\ 0 & 1 & 1 \\ 1 & 0 & 0 \\ 1 & 1 & 1 \\ \end{array}$$

(b) Karakteristik tablo

 $Q = \begin{cases} 0 & 1 \\ 0 & 1 \\ 0 & 1 \end{cases}$ $Q = \begin{cases} 1 & 1 \\ 0 & 1 \end{cases}$ Q(t+1) = D

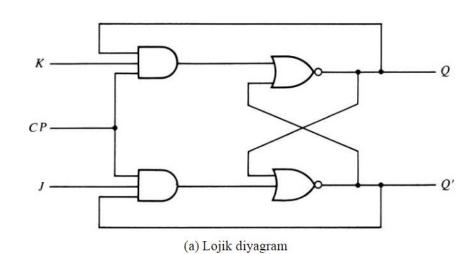
(c) Karakteristik denklem



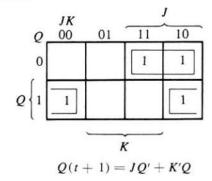
(d) Grafik sembol

ŞEKİL 6-5 *D* flip-flobu

JK Tipi Flip-Flop



Q	J	K	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

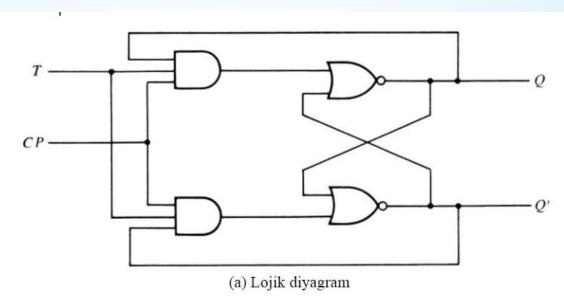


(b) Karakteristik tablo

(c) Karakteristik denklem

ŞEKİL 6-6 *JK* flip-flobu

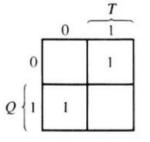
T Tipi Flip-Flop



Q	T	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

(b) Karakteristik tablo

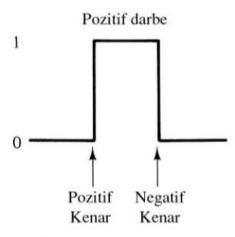
ŞEKİL 6-7 *T* flip-flobu



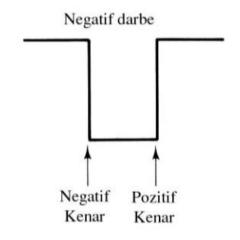
$$Q(t+1) = TQ' + T'Q$$

(c) Karakteristik denklem

Flip-Flop Iarın Tetiklenmesi



ŞEKİL 6-8 Saat darbe geçişlerinin tanımı



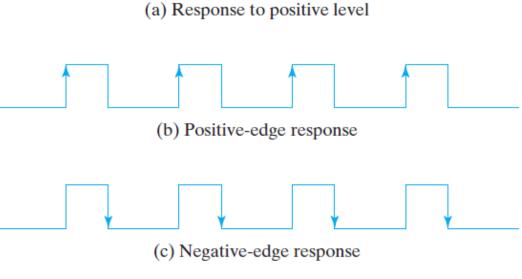
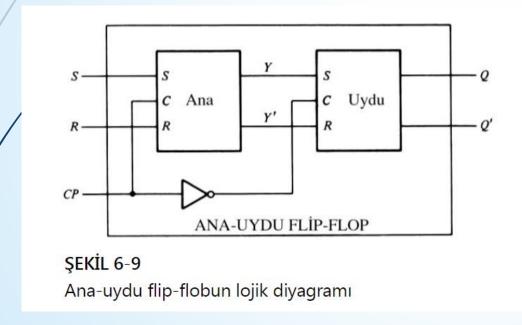
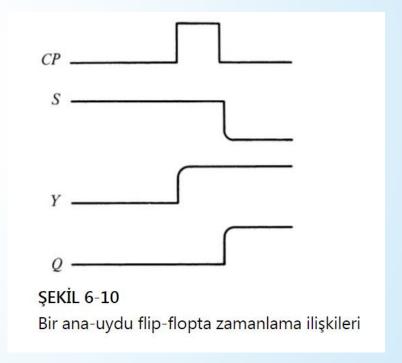


FIGURE 5.8 Clock response in latch and flip-flop

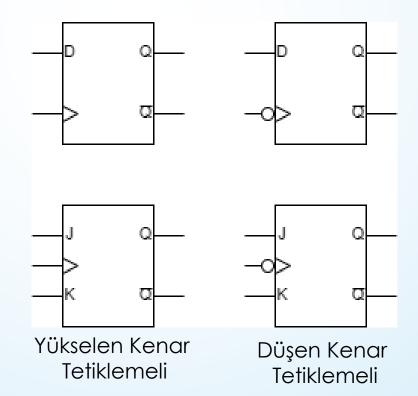
Master – Slave Flip-Flop (Ana-Uydu Flip-Flop)



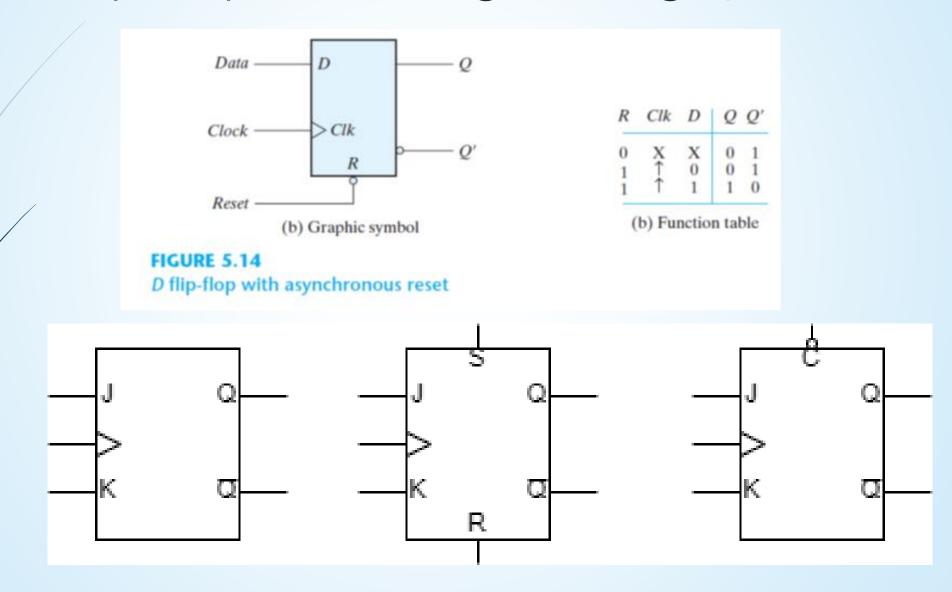


Kenar Tetiklemeli Flip-Flop

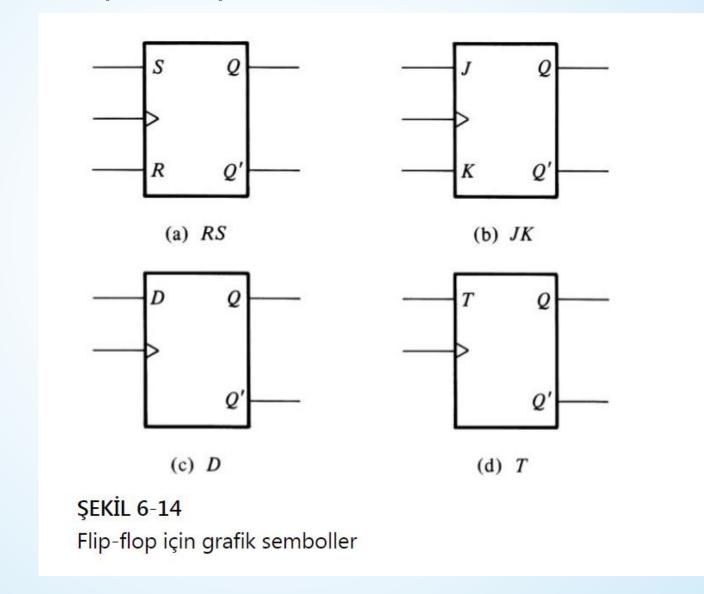
- Uygulamada hesaplama kolaylığı ve kararlı çalışma avantajlarından dolayı flip-flop lar kenar tetiklemeli olarak üretilirler
- 1. Yükselen kenar tetiklemeli
- 2. Düşen kenar tetiklemeli



Flip-Flop larda doğrudan girişler



Temel Flip-Flop Türleri



Flip-Flopların Karakteristik Tabloları

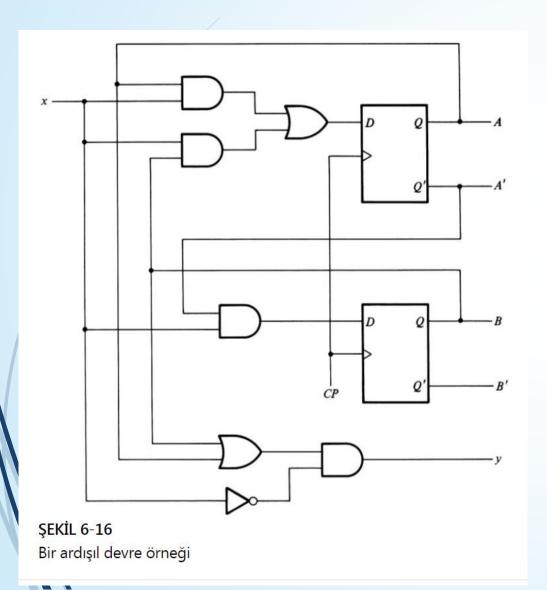
TABLO 6-3 Flip-Flop Karakteristik Tabloları

		<i>JK</i> Flip	-Flobu			RS Flip-	-Flobu
J	K	Q(t+1)		S	R	Q(t + 1)	1)
0	0	Q(t)	Değişim yok	0	0	Q(t)	Değişim yok
0	1	0	Yeniden başlatma	0	1	0	Yeniden başlatma
1	0	1	Kurma	1	0	1	Kurma
_1	1	Q'(t)	Tümleyen	1	1	?	Tanımsız

	D Flip-F	lobu
D	Q(t+1)	
0	0	Yeniden başlatma
1	1	Kurma

T Flip-Flobu				
T	Q(t+1)			
0	Q(t)	Değişim yok		
1	Q'(t)	Tümleyen		

Saat girişli ardışıl devrelerin analizi



Saat girişli ardışıl bir devreye ilişkin bir örnek Şekil 6-16'da gösterilmiştir. Devre A ve B gibi iki D flip-flobundan, bir x girişinden ve bir y çıkışından oluşmuştur. D'nin girişleri flip-flopların sonraki durumlarını belirlediğinden devrenin sonraki durumuna ilişkin bir denklem grubu yazmak mümkündür:

$$A(t+1) = A(t)x(t) + B(t)x(t)$$

$$B(t+1) = A'(t)x(t)$$

Bir durum denklemi cebirsel bir ifadedir. Bu ifade flip-flop durum geçişi için gerekli koşulu belirler. Denklemin sol tarafı flip-flobun sonraki durumunu belirler. Sağ tarafı ise bir Boole ifadesidir. Bu ifade sonraki durumu 1'e eşitleyecek şimdiki durum ve giriş koşullarını belirler. Boole ifadesindeki tüm değişkenler şimdiki durumun fonksiyonu olduğundan, her bir değişkenden sonra alışıldığı üzere (t) gösterimi ihmal edilebilir. Yukarıda verilen denklemler daha kısa ve özlü bir şekilde aşağıdaki gibi ifade edilebilir:

$$A(t+1) = Ax + Bx$$
$$B(t+1) = A'x$$

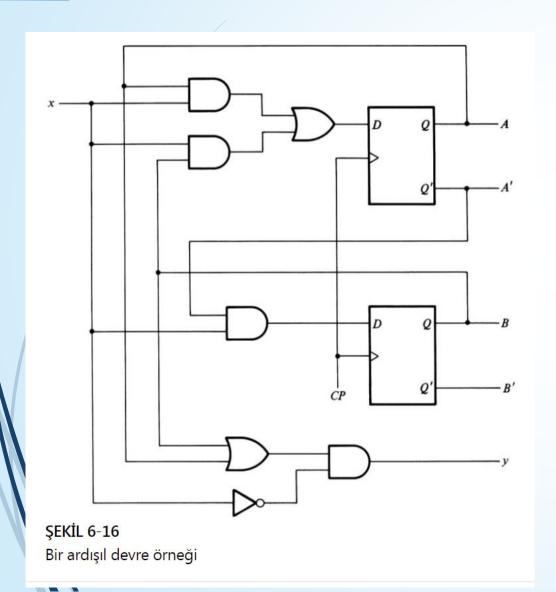
Benzer şekilde, çıkışın o anki durumu cebirsel olarak aşağıdaki gibi elde edilebilir:

$$y(t) = [A(t) + B(t)]x'(t)$$

Şimdiki durum gösteriminden (t) sembolü çıkarıldığında çıkışın Boole fonksiyonu aşağıdaki gibi elde edilebilir:

$$y = (A + B)x'$$

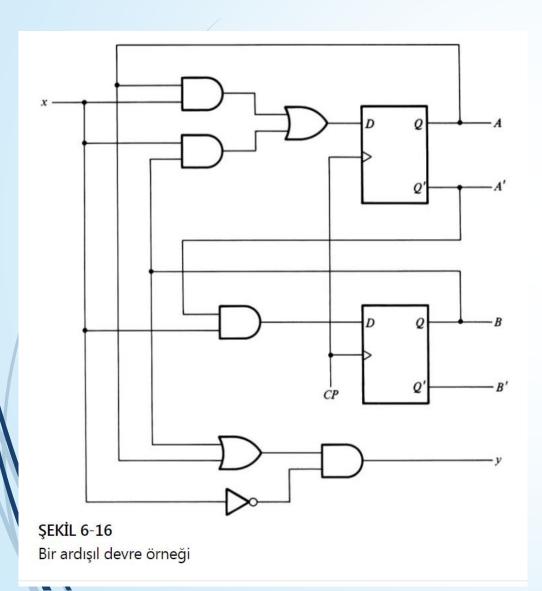
Saat girişli ardışıl devrelerin analizi



TABLO 6-1 Şekil 6-16 'daki Devrenin Durum Tablosu

Şin	ndiki um	Giriş	Sonraki durum		Çıkış
\overline{A}	В	x	\overline{A}	В	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

Saat girişli ardışıl devrelerin analizi



TABLO 6-1 Şekil 6-16'daki Devrenin Durum Tablosu

Şin dur	ndiki um	Giriş	Sonraki durum		Çıkış
\overline{A}	\overline{B}	<i>x</i>	\overline{A}	\overline{B}	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

TABLO 6-2 Durum Tablosunun İkinci Formu

*	Sonrak	Sonraki durum		Çı	kış
Şimdiki Durum	x = 0	x = 1		x = 0	x = 1
AB	AB	AB		y	у
00	00	01		0	0
01	00	11		1	0
10	00	10		1	0
11	00	10		1	0

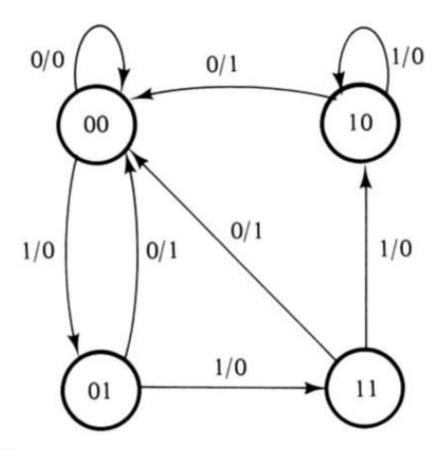
Durum Diyagramları

TABLO 6-1 Şekil 6-16'daki Devrenin Durum Tablosu

Şin	ndiki um	Giriş	Sonraki durum		Çıkış
\overline{A}	В	x	\overline{A}	В	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

TABLO 6-2 Durum Tablosunun İkinci Formu

	Sonrak	Sonraki durum		Çı	kış
Şimdiki Durum	x = 0	x = 1		x = 0	x = 1
\overline{AB}	\overline{AB}	\overline{AB}		y	y
00	00	01		0	0
01	00	11		1	0
10	00	10		1	0
11	00	10		1	0



ŞEKİL 6-17

Şekil 6-16'da verilen devrenin durum diyagramı

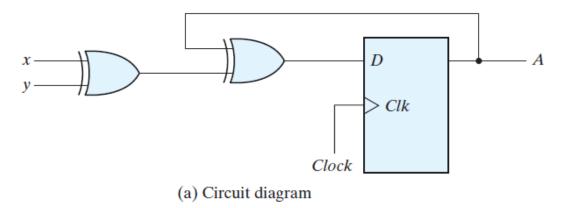
Analiz Yöntemi

- 1. Her ff'un giriş fonksiyonuna ait ikili değer şimdiki durum ve giriş değişkenleri cinsinden elde edilir
- 2. Sonraki durumu elde etmek için karakteristik tablolar kullanılır

	1
D	Q(t + 1)
0	0
1	1

D_A	=	A	\oplus	x	\oplus	ν
\mathcal{L}_A		7 1	$\mathbf{\Psi}$	\sim	$\mathbf{\Psi}$	y

$$A(t+1) = A \oplus x \oplus y$$



Present state	Inputs	Next	
A	x y	A	
0	0 0	0	
0	0 1	1	
0	1 0	1	
0	1 1	0	
1	0 0	1	
1	0 1	0	
1	1 0	0	
1	1 1	1	

(b) State table

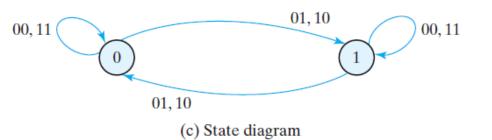


FIGURE 5.17

Sequential circuit with *D* flip-flop

J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	Q'(t)

$J_A = B$	$K_A = Bx'$
$J_B = x'$	$K_B = A'x + Ax' = A \oplus x$

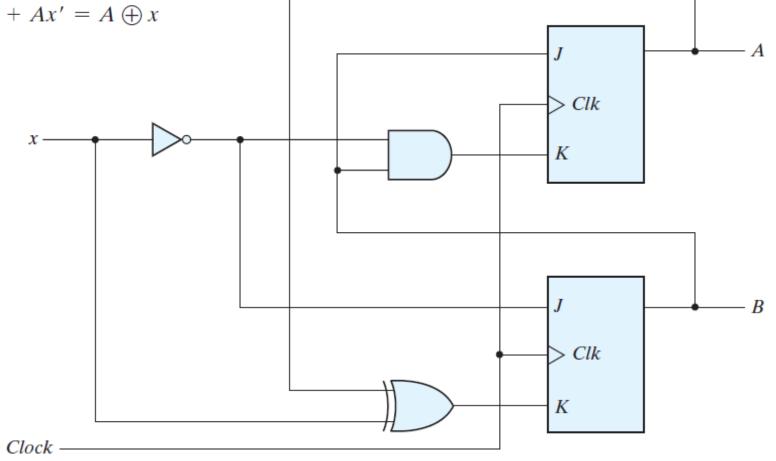


FIGURE 5.18

Sequential circuit with JK flip-flop

Q(t + 1)

Q(t)

Q'(t)

K

$$J_A = B$$
 $K_A = Bx'$
 $J_B = x'$ $K_B = A'x + Ax' = A \oplus x$

Table 5.4 *State Table for Sequential Circuit with JK Flip-Flops*

	esent Next tate Input State			Flip-Flop Inputs				
A	В	X	A	В	JA	K _A	J _B	K _B
0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1
0	1	0	1	1	1	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0

$$J_A = B$$
 $K_A = Bx'$
 $J_B = x'$ $K_B = A'x + Ax' = A \oplus x$

Table 5.4State Table for Sequential Circuit with JK Flip-

Present State		Input	Ne Sta		
Α	В	X	Α	В	
0	0	0	0	1	
0	0	1	0	0	
0	1	0	1	1	
0	1	1	1	0	
1	0	0	1	1	
1	0	1	1	0	
1	1	0	0	0	
1	1	1	1	1	

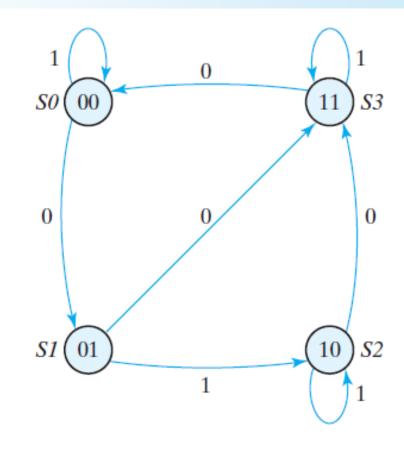


FIGURE 5.19

State diagram of the circuit of Fig. 5.18