

プロセッサ設計演習

ウン クアン イー

2021.06.22

1 はじめに

現代のマイクロプロセッサの動作原理を理解することを目的とし、基礎である命令パイプライン構造を持つプロセッサを設計・実装した。プロセッサの設計・実装は、Verilog-HDL というハードウェア記述言語を用いて行った。更に、プロセッサの最大遅延時間と面積を削減するために、分岐予測を導入して、パイプラインの各ステージの役割分担を見直した。分岐予測の導入によって、テストプログラムの実行クロックサイクル数が (数字を入れる) 減少した。パイプラインの各ステージの役割分担の見直しによって、ボトルネックとなるステージの処理が他のステージに行われるようにすることで、最大遅延時間が (数字を入れる) 減少した。

本稿では、第 2 章でプロセッサの仕様について述べる。第 3 章で、プロセッサの機能検証の方法について説明し、第 4 章で、プロセッサの性能評価と論理合成の結果を示す。第 5 章で、分岐予測とパイプラインステージの役割分担の見直しについて述べる。最後に、第 6 章でまとめを行う。

2 プロセッサの仕様

2.1 外部インタフェース

図 1 にプロセッサの外部インタフェースを示す。信号線名の後ろに # が記述されている信号線は負論理であり、# が記述されていない信号線は正論理であることを示している。

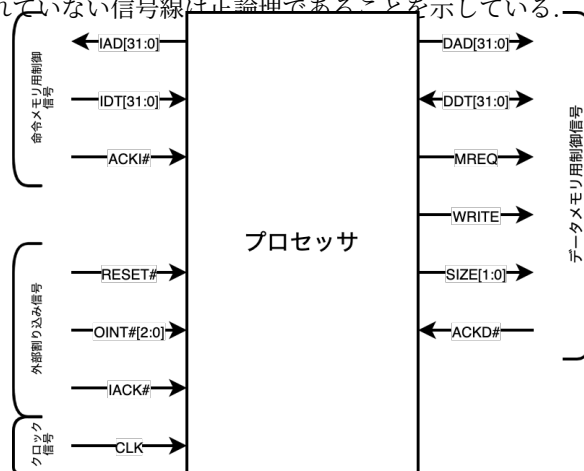


図 1 プロセッサの外部インタフェース

図 1 にあるそれぞれの信号線の説明は以下の通りである。

- IAD (Instruction ADDRESS Bus)
命令メモリへの 32 [bit] のアクセスアドレスバス。
- IDT (Instruction DaTa Bus)
命令メモリからの 32 [bit] のデータバス。
- ACKI# (ACKnowledge from Instruction memory)
命令メモリへのアクセスに対するアクノリッジ信号。命令メモリにアクセスして、この信号がインアクティブであれば、読み出し・書き込みが完了していないことを意味する。
- RESET#
リセット信号。
- OINT#
外部からの割り込みを示す信号。外部からの割り込みがあった時に、対応するビットがアクティブになる。
- IACK# (Interrupt ACKnowledge)
外部の割り込みを処理している時にアクティブになる信号。
- CLK (CLOCK)
クロック信号
- DAD (Data ADDRESS bus)
データメモリへの 32 [bit] のアクセスアドレスバス。
- DDT (Data DaTa bu)
データメモリからの 32 [bit] のデータバス。
- MREQ
データメモリに対するアクセス (読み出し・書き込み) をリクエストするための信号。データメモリへアクセスする前にリクエスト信号をアクティブにする必要がある。
- WRITE
データメモリへの書き込みをリクエストする信号。データメモリにデータを書き込む時にこの信号をアクティブにする必要がある。
- SIZE
データメモリへのアクセスサイズを示す。
 - word アクセス: SIZE = 00
 - halfword アクセス: SIZE = 01
 - byte アクセス: SIZE = 10
- ACKD# (ACKnowledge from Data memory)
データメモリへのアクセスに対するアクノリッジ信号。データメモリにアクセスして、この信号がインアクティブであれば、読み出し・書き込みが完了していないことを意味する。

命令メモリとデータメモリはシミュレーション環境で用意されているため、プロセッサの中に実装しない。ただし、メモリはリトルエンディアン方式を採用する。メモリのアドレスは 1 [byte] ごとに振り分けられ、1 つのアドレスに 32 [bit] のデータを保持することができる。

また、シミュレーション環境において、外部からの割り込みが発生しないため、OINT 入力信号の処理と、

IACK 出力信号への出力を行わない。

2.2 命令セット

設計したプロセッサがサポートしている命令の一覧は表 1 に示している。この命令セットは、RISC-V 32I 命令セットの一部である。RISC-V 32I にあり、このプロセッサがサポートしていない命令は、`fence`, `fence.i`, `sfence.vma`, `ebreak`, `uret`, `sret`, `wfi` である。機能検証と性能評価のプログラムでは、フェンスを使うことがないので、`fence`, `fence.i`, `sfence.vma` を実装しない。また、今回のプロセッサは、デバッグ、ユーザモード、スーパーバイザモード、外部割り込みをサポートしていないため、`ebreak`, `uret`, `sret`, `wfi` を実装しない。

命令	内容	形式	命令	内容	形式
<code>lui</code>	load upper immediate	U	<code>add</code>	add	R
<code>auipc</code>	add upper immediate to pc	U	<code>sub</code>	sub	R
<code>jal</code>	jump and link	J	<code>sll</code>	shift left logical	R
<code>jalr</code>	jump and link register	J	<code>slt</code>	set less than	R
<code>beq</code>	branch equal	B	<code>sltu</code>	set less than unsigned	R
<code>bne</code>	branch not equal	B	<code>xor</code>	exclusive or	R
<code>blt</code>	branch less than	B	<code>srl</code>	shift right logical	R
<code>bge</code>	branch greater than or equal	B	<code>sra</code>	shift right arithmetic	R
<code>bltu</code>	branch less than unsigned	B	<code>or</code>	or	R
<code>bgeu</code>	branch greater than or equal unsigned	B	<code>and</code>	and	R
<code>lb</code>	load byte	I	<code>ecall</code>	environment call	I
<code>lh</code>	load halfword	I	<code>csrrw</code>	csr read and write	I
<code>lw</code>	load word	I	<code>csrrs</code>	csr read and set	I
<code>lbu</code>	load byte unsigned	I	<code>csrrc</code>	csr read and clear	I
<code>lhu</code>	load halfword unsigned	I	<code>csrrwi</code>	csr read and write immediate	I
<code>sb</code>	store byte	S	<code>csrrsi</code>	csr read and set immediate	I
<code>sh</code>	store halfword	S	<code>csrrci</code>	csr read and clear immediate	I
<code>sw</code>	store word	S	<code>mret</code>	machine-mode exception return	R
<code>addi</code>	add immediate	I			
<code>slti</code>	set less than immediate	I			
<code>sltiu</code>	set less than immediate unsigned	I			
<code>xori</code>	exclusive or immediate	I			
<code>ori</code>	or immediate	I			
<code>andi</code>	and immediate	I			
<code>slli</code>	shift left logical immediate	I			
<code>srli</code>	shift right logical immediate	I			
<code>srai</code>	shift right arithmetic immediate	I			

表 1 命令セット

2.3 例外・割り込み処理

このプロセッサが対応している例外・割り込み処理を優先順位の高い順に以下に示す。

1. リセット
2. 不正命令
3. 命令アクセス・ミスアライメント
4. ECALL 命令

2.4 パイプライン処理

今回設計したプロセッサは、1つの命令を5つのパイプラインステージに分けて、実行される。それぞれのステージの名前と役割は以下の通りである。

1. IF ステージ
次に実行する命令を命令メモリから読み出す。
2. ID ステージ
命令を解釈して、EX ステージで行われる演算に必要な入力を用意する。
3. EX ステージ
命令で必要な演算を行う。
4. MEM ステージ
データメモリへのアクセス (読み出し・書き込み) を行う。
5. WB ステージ
汎用レジスタへデータを書き込む。

2.5 データハザードとその解決法

パイプライン処理では、異なるステージにおいて、異なる命令が実行されている。2つの命令の間にデータ依存性が存在する時に、先に実行される命令が汎用レジスタを更新する前に、後で実行される命令が同じレジスタの古い値を読み出してしまうことがある。これによって、正確な演算結果を得ることができない。この現象を、RAW (Read After Write) ハザードという。以下、RAW ハザードが発生する場合を記述する。

1. 命令 m はレジスタ x_n を更新し、命令 $m+1$ はレジスタ x_n の値を用いた演算を行う場合。
2. 命令 m はレジスタ x_n を更新し、命令 $m+2$ はレジスタ x_n の値を用いた演算を行う場合。

RAW ハザードを解決するために、データフォワーディングとパイプラインストールの2つの方法がある。

2.5.1 データフォワーディング

データフォワーディングとは、EX (または、MEM) ステージにある命令 m の演算結果を ID (または、EX) ステージにある命令 $m+1$ (または、命令 $m+2$) に渡し、命令 $m+1$ (または、命令 $m+2$) の EX (または、MEM) ステージで使用方法である。この時に、命令 $m+1$ (または、命令 $m+2$) はレジスタ x_n の最新値

を用いて演算を行うため、正確な結果が得られる。

データフォワーディングによって、上記の RAW ハザードが発生する場合の中で、命令 m がロード命令以外の場合の対処ができる。データフォワーディングで解決できなかった場合は、パイプラインストールを用いる。

2.5.2 パイプラインストール

パイプラインストールとは、パイプラインの各ステージにある命令を次のステージに進まないようにする方法である。データフォワーディングに必要なデータが用意できるまでに、それ以降の命令を待たせる。

パイプラインストールによって、データフォワーディングが解決できる状況が作られるため、RAW ハザードが解決できる。

RAW ハザードが発生する状況とその解決法を表 2 にまとめる。

レジスタ x_n を更新する命令	レジスタ x_n を用いる命令	解決法
ロード命令以外	ストア命令	データフォワーディング (EX/MEM \rightarrow ID)
ロード命令以外	ストア命令以外	データフォワーディング (EX/MEM \rightarrow ID)
ロード命令	ストア命令	データフォワーディング (MEM \rightarrow EX)
ロード命令	ストア命令以外	パイプラインストール

表 2 RAW ハザードに関わる命令とその解決法

2.6 プロセッサの名前

3 プロセッサの機能検証

今回設計したプロセッサの機能検証を以下のプログラムを用いて行った。

- アセンブリプログラム
 - load: ロード命令の動作検証
 - store: ストア命令の動作検証
 - p2: 演算と分岐命令の動作検証
 - trap: ecall, mret 命令の動作検証
- C プログラム
 - hello: Hello World! をコンソールに表示するプログラム
 - napier: Napier's Constant の値を 64 桁の精度で計算するプログラム
 - pi: pi の値を 64 桁の精度で計算するプログラム
 - prime: 2 を含め、40 個の素数を昇順に見つけるプログラム
 - bubblesort: 100 個の整数を Bubble Sort でソートするプログラム
 - insertsort: 100 個の整数を Insert Sort でソートするプログラム
 - quicksort: 100 個の整数を Quick Sort でソートするプログラム

機能検証は, Verilog-HDL で記述したプロセッサに対して, 論理シミュレーター `xmverilog` と波形ツール `SimVision` を用いて, シミュレーションを行った. 上記のプログラムが正しく実行され, 正確な出力が得られたことを確認した.

4 プロセッサの性能評価と論理合成

性能評価と論理合成の内容

5 改善点

改善点の内容

6 まとめ

まとめの内容

参考文献

参考文献の内容