

プロセッサ設計演習

ウン クアン イー

2021.06.21

1 はじめに

現代のマイクロプロセッサの動作原理を理解することを目的とし、基礎である命令パイプライン構造を持つプロセッサを設計・実装した。プロセッサの設計・実装は、Verilog-HDL というハードウェア記述言語を用いて行った。更に、プロセッサの最大遅延時間と面積を削減するために、分岐予測を導入して、パイプラインの各ステージの役割分担を見直した。分岐予測の導入によって、テストプログラムの実行クロックサイクル数が (数字を入れる) 減少した。パイプラインの各ステージの役割分担の見直しによって、ボトルネックとなるステージの処理が他のステージに行われるようにすることで、最大遅延時間が (数字を入れる) 減少した。

本稿では、第 2 章でプロセッサの仕様について述べる。第 3 章で、プロセッサの機能検証の方法について説明し、第 4 章で、プロセッサの性能評価と論理合成の結果を示す。第 5 章で、分岐予測とパイプラインステージの役割分担の見直しについて述べる。最後に、第 6 章でまとめを行う。

2 プロセッサの仕様

プロセッサの仕様の内容

3 プロセッサの機能検証

機能検証の内容

4 プロセッサの性能評価と論理合成

性能評価と論理合成の内容

5 改善点

改善点の内容

6 まとめ

まとめの内容

参考文献

参考文献の内容