

プロセッサ設計演習

ウン クアン イー

2021.06.21

1 はじめに

現代のマイクロプロセッサの動作原理を理解することを目的とし、基礎である命令パイプライン構造を持つプロセッサを設計・実装した。プロセッサの設計・実装は、Verilog-HDL というハードウェア記述言語を用いて行った。更に、プロセッサの最大遅延時間と面積を削減するために、分岐予測を導入して、パイプラインの各ステージの役割分担を見直した。分岐予測の導入によって、テストプログラムの実行クロックサイクル数が (数字を入れる) 減少した。パイプラインの各ステージの役割分担の見直しによって、ボトルネックとなるステージの処理が他のステージに行われるようにすることで、最大遅延時間が (数字を入れる) 減少した。

本稿では、第 2 章でプロセッサの仕様について述べる。第 3 章で、プロセッサの機能検証の方法について説明し、第 4 章で、プロセッサの性能評価と論理合成の結果を示す。第 5 章で、分岐予測とパイプラインステージの役割分担の見直しについて述べる。最後に、第 6 章でまとめを行う。

2 プロセッサの仕様

2.1 外部インターフェース

図 1 にプロセッサの外部インターフェースを示す。信号線名の後ろに # が記述されている信号線は負論理であり、# が記述されていない信号線は正論理であることを示している。

図 1 にあるそれぞれの信号線の説明は以下の通りである。

図1 プロセッサの外部インタフェース

- IAD (Instruction ADdress Bus)
命令メモリへの 32 [bit] のアクセスアドレスパス。
- IDT (Instruction DaTa Bus)
命令メモリからの 32 [bit] のデータパス。
- ACKI# (ACKnowledge from Instruction memory)
命令メモリへのアクセスに対するアクノリッジ信号。命令メモリにアクセスして、この信号がインアクティブであれば、読み出し・書き込みが完了していないことを意味する。
- RESET#
リセット信号。
- OINT#
外部からの割り込みを示す信号。外部からの割り込みがあった時に、対応するビットがアクティブになる。
- IACK# (Interruption ACKnowledge)
外部の割り込みを処理している時にアクティブになる信号。
- CLK (CLOCK)
クロック信号
- DAD (Data ADdress bus)
データメモリへの 32 [bit] のアクセスアドレスパス。
- DDT (Data DaTa bu)
データメモリからの 32 [bit] のデータパス。
- MREQ
データメモリに対するアクセス (読み出し・書き込み) をリクエストするための信号。データメモリへアクセスする前にリクエスト信号をアクティブにする必要がある。
- WRITE
データメモリへの書き込みをリクエストする信号。データメモリにデータを書き込む時にこの信号をアクティブにする必要がある。
- SIZE
データメモリへのアクセスサイズを示す。

- word アクセス: SIZE = 00
- halfword アクセス: SIZE = 01
- byte アクセス: SIZE = 10

- ACKD# (ACKnowledge from Data memory)

データメモリへのアクセスに対するアクノリッジ信号。データメモリにアクセスして、この信号がインアクティブであれば、読み出し・書き込みが完了していないことを意味する。

命令メモリとデータメモリはシミュレーション環境で用意されているため、プロセッサの中に実装しない。ただし、メモリはリトルエンディアン方式を採用する。メモリのアドレスは 1 [byte] ごとに振り分けられ、1 つのアドレスに 32 [bit] のデータを保持することができる。

また、シミュレーション環境において、外部からの割り込みが発生しないため、OINT 入力信号の処理と、IACK 出力信号への出力を行わない。

2.2 命令セット

2.3 例外・割り込み処理

2.4 パイプライン処理

2.5 データハザードとその解決法

2.6 プロセッサの名前

3 プロセッサの機能検証

機能検証の内容

4 プロセッサの性能評価と論理合成

性能評価と論理合成の内容

5 改善点

改善点の内容

6 まとめ

まよめの内容

参考文献

参考文献の内容