



*Department of Computer Science and Information Engineering*

*National Cheng Kung University*

# ***LAB - 11***

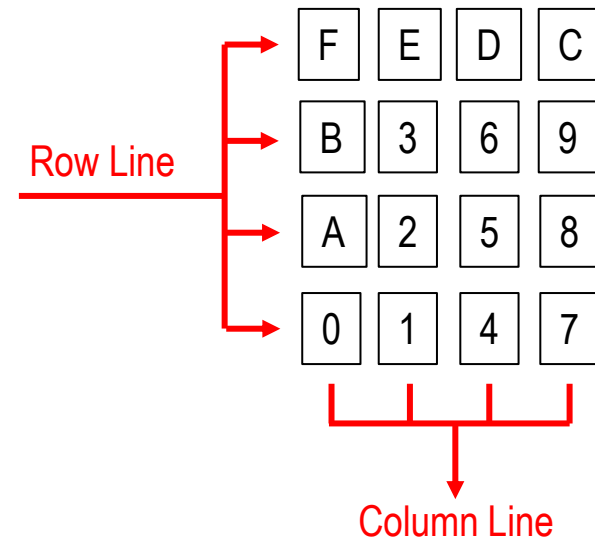
陳培殷老師

國立成功大學 資訊工程系



# Keypad(1/8)

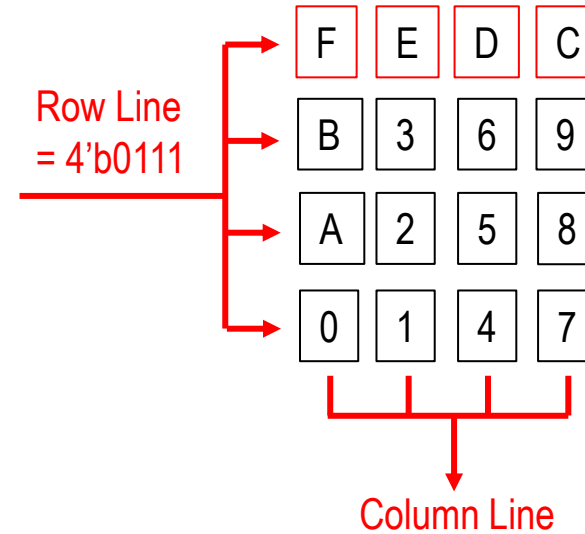
- DE0-CV的external board提供一組keypad
- 一組keypad共有8條控制線
  - 其中四條由FPGA輸入到keypad (Row Line)
  - 其中四條則從keypad輸出到FPGA (Column Line)
- Row Line決定要開啟哪個Row的按鍵
  - Row Line為0時，該row被開啟
  - Row Line為1時，該row被關閉
- Column Line表示該Row上，哪一個按鍵被按下
  - Column Line為0時，按鍵被按下
  - Column Line為1時，按鍵沒有按



# Keypad(2/8)

## ■ Example

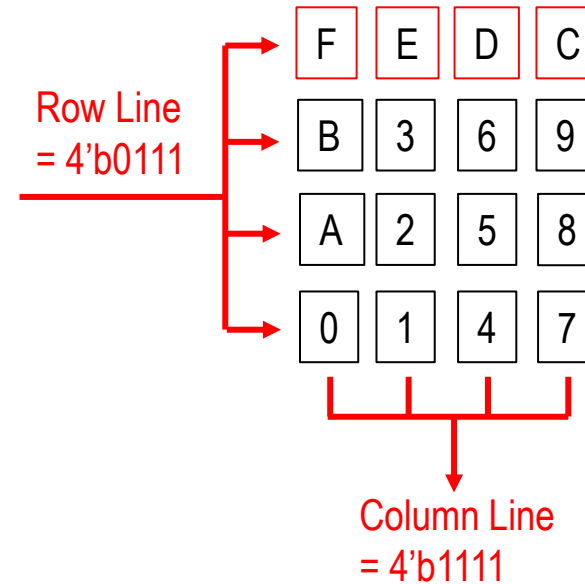
- 當Row Line = 4'b0111時，可偵測  
按鍵F、E、D、C



# Keypad(3/8)

## ■ Example

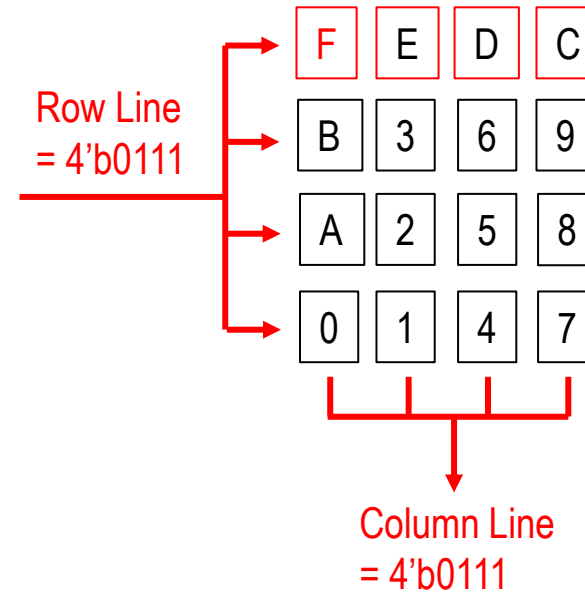
- 當Row Line = 4'b0111時，可偵測按鍵F、E、D、C
- 如果Column Line = 4'b1111時，則代表按鍵F、E、D、C都沒有被按下



# Keypad(4/8)

## ■ Example

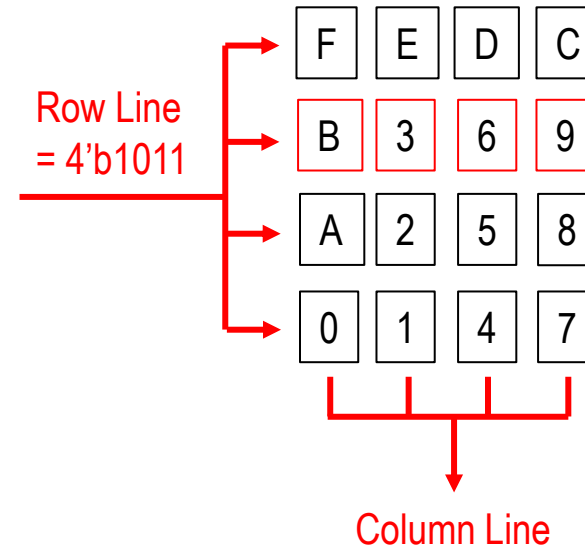
- 當Row Line = 4'b0111時，就可以偵測按鍵F、E、D、C
- 如果Column Line = 4'b0111時，則代表按鍵F被按下



# Keypad(5/8)

## ■ Example

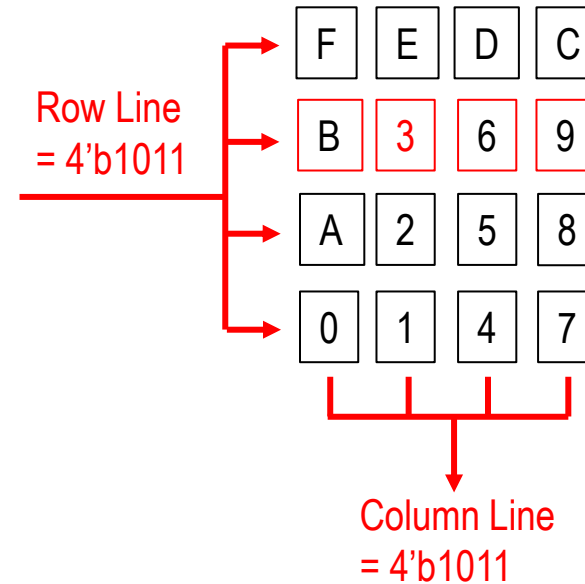
- 如果Row Line = 4'b1011，就可以偵測按鍵B、3、6、9



# Keypad(6/8)

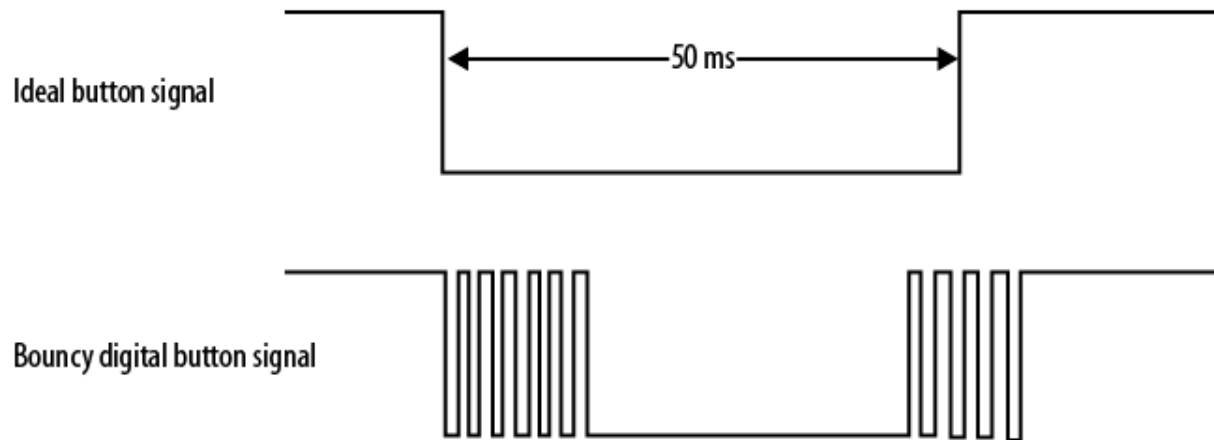
## ■ Example

- 如果Row Line =  $4'b1011$ ，就可以偵測按鍵B、3、6、9
- 如果Column Line =  $4'b1011$ 時，則代表按鍵3被按下



# Keypad(7/8)

- 若是要偵測每一排是否有按鍵被按下，則需要藉由快速切換來達到目的
- 每次偵測一排要給多少個clock cycle？
  - 如果太少(1 clock cycle)，則掃描速度太快，沒有debounce，可能會使結果不如預期輸入
  - 如果太多(50M clock cycle)，則掃描速度太慢，debounce過長，等待時間太久
- 因此需要透過除頻器產生適當頻率的clock來控制keypad，**對每一個FPGA，適當的頻率都不一樣，需要各別測試(此次使用 100 Hz 即可)**





# Keypad(8/8)

```
module checkkeypad(clk, rst, keypadRow, keypadCol);
    input clk, rst;
    input [3:0]keypadCol;
    output [3:0]keypadRow;

    reg [3:0]keypadRow;
    reg [3:0]keypadBuf;
    reg [31:0]keypadDelay;

    always@(posedge clk)
    begin
        if(!rst)
        begin
            keypadRow <= 4'b1110;
            keypadBuf <= 4'b0000;
            keypadDelay <= 31'd0;
        end
        else
        begin
            if(keypadDelay == `TimeExpire_KEY)
            begin
                keypadDelay = 31'd0;
                case({keypadRow, keypadCol})
                    8'b1110_1110 : keypadBuf <= 4'h7;
                    8'b1110_1101 : keypadBuf <= 4'h4;
                    8'b1110_1011 : keypadBuf <= 4'h1;
                    8'b1110_0111 : keypadBuf <= 4'h0;
                    8'b1101_1110 : keypadBuf <= 4'h8;
                    8'b1101_1101 : keypadBuf <= 4'h5;
                    8'b1101_1011 : keypadBuf <= 4'h2;
                    8'b1101_0111 : keypadBuf <= 4'ha;
                    8'b1011_1110 : keypadBuf <= 4'h9;
                    8'b1011_1101 : keypadBuf <= 4'h6;
                    8'b1011_1011 : keypadBuf <= 4'h3;
                    8'b1011_0111 : keypadBuf <= 4'hb;
                    8'b0111_1110 : keypadBuf <= 4'hc;
                    8'b0111_1101 : keypadBuf <= 4'hd;
                    8'b0111_1011 : keypadBuf <= 4'he;
                    8'b0111_0111 : keypadBuf <= 4'hf;
                    default      : keypadBuf <= keypadBuf;
                endcase
                case(keypadRow)
                    4'b1110 : keypadRow <= 4'b1101;
                    4'b1101 : keypadRow <= 4'b1011;
                    4'b1011 : keypadRow <= 4'b0111;
                    4'b0111 : keypadRow <= 4'b1110;
                    default: keypadRow <= 4'b1110;
                endcase
            end
            else
                keypadDelay <= keypadDelay + 1'b1;
            end
        end
    end
endmodule
```

當keypadDelay = TimeExpire時

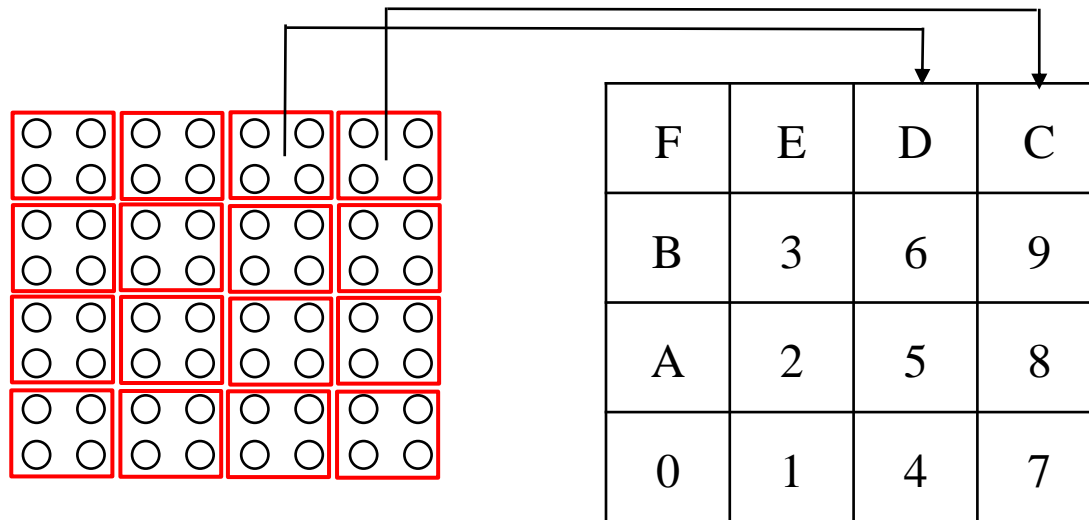
1.keypadDelay歸零

2.依照目前偵測的row，檢查是否該row是否有按鍵被按

3.切換到下一列

# Keypad controller

- 請設計一個Keypad控制電路，腳位如下：
  - Input: clock(CLOCK\_50)、reset(reset button)、keypadCol(4 bits)
  - Output: keypadRow(4 bits)、dot\_row(8 bits)、dot\_col(8 bits)
- 按下keypad按鈕時，點亮對應區域的點矩陣
- 當reset button按下時，點矩陣須維持全暗



# Notice

- 請勿命名中文或數字開頭的資料夾
- Device family 請確認與 FPGA Chip 符合 (5CEFA4F23C7)
- Top module name & Project name 需要一致
- 在組合電路中，case、if...else...若沒有寫滿，合成後會產生latch