



# ***LAB - 06***

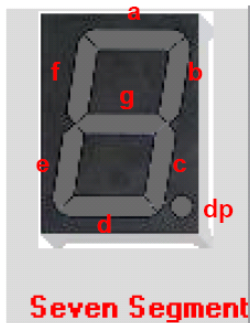
---

陳培殷老師

國立成功大學 資訊工程系

# Seven-segment display (1/3)

g f e d c b a





1000000	1111001	0100100	0110000
0	1	2	3
0011001	0010010	0000100	1111000
4	5	6	7
0000100	0010000	0001000	0000011
8	9	10	11
1000110	0100001	0000110	0001110
12	13	14	15

## Seven-segment display (2/3)



- 0 is on, 1 is off
- dp is useless in DE0-CV board  
— 右下亮

• Ex:  out=7'b<sup>g f e d c b a</sup>1000000;  
g=1

• Ex:  out=7'b<sup>e b</sup>0010010;  
b=1, e=1

# Seven-segment display (3/3)

- Assign out to seven segment digit pin of FPGA
  - Take seven segment digit 0 as example

Signal Name	FPGA Pin No.	Description	Signal Assigned	對應字母
HEX00	PIN_U21	Seven Segment Digit 0[0]	out[0]	a
HEX01	PIN_V21	Seven Segment Digit 0[1]	out[1]	b
HEX02	PIN_W22	Seven Segment Digit 0[2]	out[2]	c
HEX03	PIN_W21	Seven Segment Digit 0[3]	out[3]	d
HEX04	PIN_Y22	Seven Segment Digit 0[4]	out[4]	e
HEX05	PIN_Y21	Seven Segment Digit 0[5]	out[5]	f
HEX06	PIN_AA22	Seven Segment Digit 0[6]	out[6]	g

## Lab I 特殊功能乘法器

- 設計一個特殊功能乘法器並將結果以七段顯示器表示
- 功能說明：
  - 當輸入為 0~2，輸出值=輸入值
  - 當輸入為 3~5，輸出值=輸入值乘以 2 後，再加1
  - 當輸入為 6~8，輸出值=輸入值乘以 2 後，再減1
  - 其他輸入，輸出值為 0
- 輸入為4 bits SW3-S10 HEX06~HEX00
- 輸出為7 bits

# Notice for Lab I

- 輸入為 0~2

- 輸出值=輸入值
- Ex: in=1, out=1;



- 當輸入為 3~5

- 輸出值=輸入值乘以 2 後，再加1
- Ex: in=3, out=7;



- 輸入為 6~8

- 輸出值=輸入值乘以 2 後，再減1
- Ex: in=8, out=15 (F);



- 其他輸入

- 輸出值為 0
- Ex: in=12, out=0;



# Notice

- 請勿命名中文或數字開頭的資料夾
- Device family 請確認與 FPGA Chip 符合 (5CEFA4F23C7)
- Top module name & Project name 需要一致
- 在組合電路中，case、if...else...若沒有寫滿，合成後會產生latch