



# **LAB - 08**

---

陳培殷老師  
國立成功大學 資訊工程系

# Lab I -- Moore machine (1/2)

S0

- Moore machine: 輸出由當前的state決定

- Mealy machine: 輸出由當前的state和input訊號決定

- 完成一個Moore machine

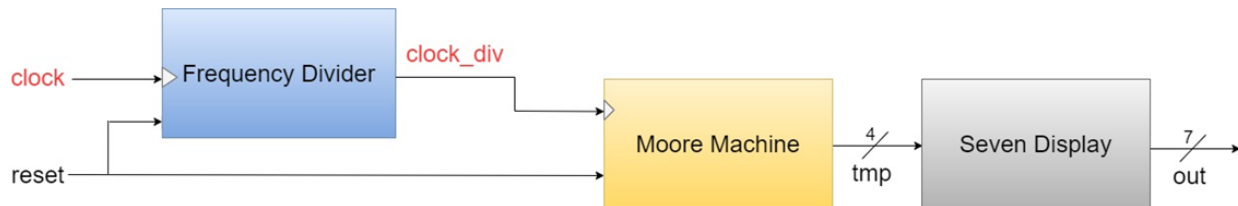


- 其 I/O 與 state 變化如右表
- 變動頻率為1Hz
- Reset為0時，State初始化為S0 (非同步)

目前狀態 (current-state)	下一個狀態 (next-state)		七段顯示器 輸出 (output)
	In=0	In=1	
S0	S1	S3	0
S1	S2	S5	1
S2	S3	S0	2
S3	S4	S1	3
S4	S5	S2	4
S5	S0	S4	5

## Lab I -- Moore machine (2/2)

- 請將輸出的數值顯示於七段顯示器
- 系統架構圖請參考下方
  - Input: clock(CLOCK\_50)、reset(SW0)、In(SW1)
  - Output: out(7 bits, HEX06~HEX00)
- 請畫出Finite State Machine並說明其運作過程



## Lab - Hint(1/2)

- **Frequency Divider (sequential circuit)**
    - 將clock頻率從50MHz降為1Hz
  - **Moore machine (sequential circuit)**
  - **Seven Display (combinational circuit)**
    - 將output數值轉為七段顯示器控制訊號
-

## Lab – Hint(2/2)

- 除頻器範例：
  - 每0.5秒改變一次訊號(div\_clk)

```
1  `define TimeExpire 32'd25000000
2
3  module clk_div(clk,rst,div_clk);
4  input  clk,rst;
5  output div_clk;
6
7  reg div_clk;
8  reg [31:0]count;
9
10 always@(posedge clk)
11 begin
12     if(!rst)  低位準同步reset
13     begin
14         count <= 32'd0;
15         div_clk <= 1'b0;
16     end
17     else
18     begin
19         if(count == `TimeExpire)
20         begin
21             count <= 32'd0;
22             div_clk <= ~div_clk;
23         end
24         else
25         begin
26             count <= count + 32'd1;
27         end
28     end
29 end
30
31 endmodule
```

# Notice

- 請勿命名中文或數字開頭的資料夾
- Device family 請確認與 FPGA Chip 符合 (5CEFA4F23C7)
- Top module name & Project name 需要一致
- 在組合電路中，case、if...else...若沒有寫滿，合成後會產生latch